

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2017年8月31日(31.08.2017)



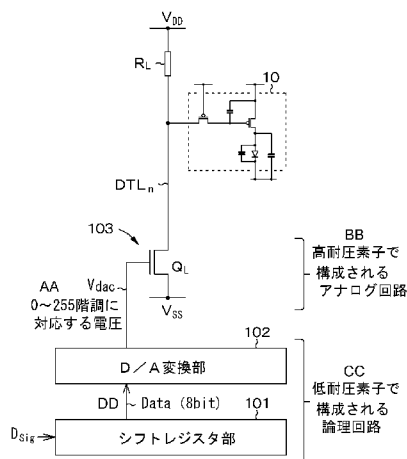
(10) 国際公開番号  
WO 2017/145568 A1

- (51) 国際特許分類:  
G09G 3/3283 (2016.01) G09G 3/3291 (2016.01)  
G09G 3/20 (2006.01) H01L 51/50 (2006.01)  
G09G 3/30 (2006.01)
  - (21) 国際出願番号: PCT/JP2017/001190
  - (22) 国際出願日: 2017年1月16日(16.01.2017)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2016-032045 2016年2月23日(23.02.2016) JP
  - (71) 出願人: ソニー株式会社 (SONY CORPORATION)  
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
  - (72) 発明者: 木村 圭(KIMURA Kei); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
  - (74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第21条(3))

(54) Title: SOURCE DRIVER, DISPLAY DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称: ソースドライバ、表示装置、及び、電子機器

図3



- 101 Shift register unit
- 102 D/A converter
- AA Voltage corresponding to gradation 0 to 255
- BB Analog circuit configured from high-voltage resistance elements
- CC Logic circuit configured from low-voltage resistance elements
- DD Data (8bit)

(57) Abstract: Provided is a source driver that is used for supplying the data lines of a display unit with a voltage according to the gradation value of a video signal, wherein: the source driver includes a resistor having a prescribed power supply voltage applied to the one end thereof, and a current source connected to the other end of the resistor and controlling the amount of current according to the gradation value of the video signal; and the voltage according to the gradation value of the video signal is supplied from the other end of the resistor.

(57) 要約: 映像信号の階調値に応じた電圧を、表示部のデータ線に供給するために用いられるソースドライバであって、所定の電源電圧が一端に印加される抵抗、及び、抵抗の他端に接続される、映像信号の階調値に応じて電流量が制御される電流源を備えており、映像信号の階調値に応じた電圧が、抵抗の他端から供給される。

WO 2017/145568 A1

## 明 細 書

発明の名称： ソースドライバ、表示装置、及び、電子機器

### 技術分野

[0001] 本開示は、ソースドライバ、表示装置、及び、電子機器に関する。

### 背景技術

[0002] エレクトロルミネッセンス表示パネルや液晶表示パネルといった表示部を備えた表示装置にあつては、画像を表示するために、デジタル信号として供給される階調値に応じた電圧をデータ線に供給するソースドライバが用いられる。例えば、特開2003-233355号公報（特許文献1）等が開示されているように、複数の基準電圧および基準電圧をラダー抵抗（ガンマ抵抗）などから成る抵抗回路によって分圧した電圧の中から、階調信号の値に応じた電圧を適宜選択し、更に、高い駆動能力を有する増幅回路で増幅してデータ線を駆動するといった構成のソースドライバが知られている。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開2003-233355号公報

### 発明の概要

#### 発明が解決しようとする課題

[0004] 上述した構成のソースドライバは、例えば波高値が1.5ボルト程度の低電圧デジタルデータとして供給される映像信号を処理するシフトレジスタ部などの論理回路、論理回路の出力を昇圧してD/A変換回路に供給するレベルシフタ部、D/A変換回路の出力インピーダンスを変換しデータ線を駆動する増幅回路などから構成される。

[0005] この場合、レベルシフタ部以降の回路は、例えば10ボルトないし20ボルト程度といった比較的高い電圧を扱う必要がある。このため、低電圧デジタルデータとして供給される映像信号を処理するシフトレジスタ部などに対して、レベルシフタ部以降の回路は、比較的高い耐圧のトランジスタを用い

て構成する必要がある。結果として、素子サイズを大きく設定する必要があり、回路面積が増大し、表示装置の額縁部分の拡大を招く。また、データ線を駆動する増幅回路の動作に伴って消費される電力は、表示装置の低消費電力化を妨げる要因となる。

[0006] 従って、本開示の目的は、素子サイズの大きいトランジスタの割合を減らすことで回路面積を小さくすることができ、かつ、低消費電力化も図ることができるソースドライバ、係るソースドライバを用いた表示装置、及び、係る表示装置を備えた電子機器を提供することにある。

### 課題を解決するための手段

[0007] 上記の目的を達成するための本開示の第1の態様に係るソースドライバは、

映像信号の階調値に応じた電圧を表示部のデータ線に供給するために用いられるソースドライバであって、

所定の電源電圧が一端に印加される抵抗、及び、

抵抗の他端に接続される、映像信号の階調値に応じて電流量が制御される電流源、

を備えており、

映像信号の階調値に応じた電圧が、抵抗の他端から供給される、

ソースドライバである。

[0008] 上記の目的を達成するための本開示の第1の態様に係る表示装置は、

表示部と、映像信号の階調値に応じた電圧を表示部のデータ線に供給するために用いられるソースドライバとを含んでおり、

ソースドライバは、

所定の電源電圧が一端に印加される抵抗、及び、

抵抗の他端に接続される、映像信号の階調値に応じて電流量が制御される電流源、

を備えており、

映像信号の階調値に応じた電圧が、抵抗の他端からデータ線に供給される

、  
表示装置である。

- [0009] 上記の目的を達成するための本開示の第1の態様に係る電子機器は、  
表示装置を備えた電子機器であって、  
表示装置は、表示部と、映像信号の階調値に応じた電圧を表示部のデータ線に供給するために用いられるソースドライバとを含んでおり、  
ソースドライバは、  
所定の電源電圧が一端に印加される抵抗、及び、  
抵抗の他端に接続される、映像信号の階調値に応じて電流量が制御される電流源、  
を備えており、  
映像信号の階調値に応じた電圧が、抵抗の他端からデータ線に供給される、  
、  
電子機器である。

### 発明の効果

- [0010] 本開示のソースドライバによれば、所定の電源電圧が一端に印加される抵抗に流れる電流量を制御することによって、映像信号の階調値に応じた電圧が抵抗の他端からデータ線に供給される。そして、電流源は比較的低い電圧で制御することができるので、ソースドライバの回路面積の縮小を図ることができる。また、インピーダンスを変換しデータ線を駆動する増幅回路は不要となり、低消費電力化も図ることができる。本開示の表示装置や電子機器によれば、額縁部分を狭くすることができ、低消費電力化も図ることができる。また、本開示に記載された効果は例示であって限定されるものではなく、また、付加的な効果があってもよい。

### 図面の簡単な説明

- [0011] [図1]図1は、第1の実施形態に係る表示装置の概念図である。  
[図2]図2は、表示部における表示素子を含む部分の模式的な一部断面図である。

[図3]図3は、図1に示すソースドライバの構成などを説明するための模式的な回路図である。

[図4]図4は、ソースドライバの他の構成例を説明するための模式的な回路図である。

[図5]図5は、参考例のソースドライバの構成などを説明するための模式的な回路図である。

[図6]図6は、参考例のソースドライバに用いられるボルテージフォロワンプを説明するための模式的な回路図である。

[図7]図7Aは、映像信号電圧として電圧 $V_{DD}$ を供給する場合の動作を説明するための模式的な回路図である。図7Bは、映像信号電圧として、抵抗に流れる電流によって電圧降下した電圧を供給する場合の動作を説明するための模式的な回路図である。

[図8]図8は、第2の実施形態の表示装置に用いられるソースドライバの構成などを説明するための模式的な回路図である。

[図9]図9は、図8に示すソースドライバの動作を説明するための模式的なグラフである。

[図10]図10は、第3の実施形態の表示装置に用いられるソースドライバの構成などを説明するための模式的な回路図である。

[図11]図11は、第4の実施形態の表示装置に用いられるソースドライバの構成などを説明するための模式的な回路図である。

[図12]図12は、図11に示すソースドライバの動作を説明するための模式的なグラフである。

[図13]図13は、第5の実施形態の表示装置に用いられるソースドライバの構成などを説明するための模式的な回路図である。

[図14]図14は、図13に示すソースドライバの動作を説明するための模式的なグラフである。

[図15]図15は、レンズ交換式一眼レフレックスタイプのデジタルスチルカメラの外観図であり、図15Aにその正面図を示し、図15Bにその背面図

を示す。

[図16]図16は、ヘッドマウントディスプレイの外観図である。

[図17]図17は、シースルーヘッドマウントディスプレイの外観図である。

### 発明を実施するための形態

[0012] 以下、図面を参照して、実施形態に基づいて本開示を説明する。本開示は実施形態に限定されるものではなく、実施形態における種々の数値や材料は例示である。以下の説明において、同一要素または同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は、以下の順序で行う。

1. 本開示に係る、ソースドライバ、表示装置、及び、電子機器、全般に関する説明
2. 第1の実施形態
3. 第2の実施形態
4. 第3の実施形態
5. 第4の実施形態
6. 第5の実施形態
7. 電子機器の説明、その他

[0013] [本開示に係る、ソースドライバ、表示装置、及び、電子機器、全般に関する説明]

本開示の第1の態様に係るソースドライバ、本開示の第1の態様に係る表示装置に用いられるソースドライバ、本開示の第1の態様に係る電子機器に用いられるソースドライバ（以下、これらを単に、本開示の第1の態様に係るソースドライバと呼ぶ場合がある）において、抵抗の他端と電流源とは、データ線を介して接続されている構成とすることができるし、あるいは又、抵抗の他端と電流源との接続点に、データ線が接続されている構成とすることもできる。

[0014] 上述した各種の好ましい構成を含む本開示の第1の態様に係るソースドライバにおいて、電流源の電流量は、映像信号の階調値に応じた電圧を出力す

るD/A変換部の出力電圧によって制御される構成とすることができる。

[0015] この場合において、D/A変換部における1つの出力部に対して複数の電流源を対応させるセレクト回路を備えている構成とすることができる。そして、この場合において、各電流源は、D/A変換部から供給される電圧を保持する容量部を備えている構成とすることができる。

[0016] D/A変換部における1つの出力部に対応させる電流源の個数は、特に限定するものではなく、ソースドライバの仕様などに応じて適宜設定すればよい。例えば、赤色表示素子、青色表示素子、及び、緑色表示素子の画素の組によるカラー表示を行う場合には、D/A変換部における1つの出力部に、3個の電流源を対応させる構成、更には、3×3個の電流源を対応させる構成を例示することができる。

[0017] 上述した各種の好ましい構成を含む本開示の第1の態様に係るソースドライバにおいて、電流源はトランジスタから構成されている構成とすることができる。

[0018] この場合において、電流源は、電界効果トランジスタから構成されており、更に、電界効果トランジスタの特性ばらつきを補正する補正回路を備えている構成とすることができる。

[0019] この場合において、補正回路は、電界効果トランジスタの閾値電圧の値に応じた補正を行う構成とすることができる。この場合において、補正回路は、電界効果トランジスタのゲートソース間に接続される容量部に、電界効果トランジスタの閾値電圧の値に応じて補正された電圧を保持させる構成とすることができる。

[0020] 本開示の第1の態様に係る表示装置において、表示部には、データ線に出力される電圧が所定の電源電圧に近づくほど黒表示となるように構成された表示素子が配されている構成とすることができる。この場合において、表示素子は、電流駆動型の発光部、データ線から供給される電圧を保持する保持容量、及び、保持容量が保持した電圧に応じた電流を発光部に流す駆動トランジスタを少なくとも含んでいる構成とすることができる。

- [0021] 以下、本開示の第1の態様に係るソースドライバ、表示装置、及び、電子機器を、単に、本開示と呼ぶ場合がある。
- [0022] ソースドライバは、各構成部分が集積され一体となった構成であってもよいし、適宜別体として構成されていてもよい。これらは、周知の回路素子を用いて構成することができる。例えば、図1に示す垂直スキャナーや電源部についても、周知の回路素子を用いて構成することができる。
- [0023] 本開示の表示装置に用いられる表示部として、液晶表示部やエレクトロルミネッセンス表示部などといった、周知の表示部を例示することができる。表示部の構成は、表示装置としての動作に支障がない限り、特に限定するものではない。
- [0024] ヘッドマウントディスプレイ用やビューファインダ用の表示部など、小型化が要求される用途においては、表示部とソースドライバとが、同じ基板上に形成されているといった構成とすることが好ましい。
- [0025] 表示部は、所謂モノクロ表示の構成であってもよいし、カラー表示の構成であってもよい。カラー表示の構成とする場合には、1つの画素は複数の副画素から成る構成、具体的には、1つの画素は、赤色表示素子、緑色表示素子、及び、青色表示素子の組から成る構成とすることができる。更には、これらの3種の表示素子に更に1種類あるいは複数種類の表示素子を加えた1組から構成することもできる。
- [0026] 表示部の画素（ピクセル）の値として、U-XGA（1600，1200）、HD-TV（1920，1080）、Q-XGA（2048，1536）の他、（3840，2160）、（7680，4320）等、画像表示用解像度の幾つかを例示することができるが、これらの値に限定するものではない。
- [0027] 本明細書における各種の条件は、数学的に厳密に成立する場合の他、実質的に成立する場合にも満たされる。設計上あるいは製造上生ずる種々のばらつきは許容される。
- [0028] 以下の説明で用いるタイミングチャートにおいて、各期間を示す横軸の長

さ（時間長）は模式的なものであり、各期間の時間長の割合を示すものではない。縦軸においても同様である。また、タイミングチャートにおける波形の形状も模式的なものである。

[0029] [第1の実施形態]

第1の実施形態は、本開示の第1の態様に係る、ソースドライバ、及び、表示装置に関する。

[0030] 図1は、第1の実施形態に係る表示装置の概念図である。表示装置1は、行方向（図1においてX方向）に延びる走査線WS1と列方向（図1においてY方向）に延びるデータ線DTLとに接続された状態で、表示素子10が2次元マトリクス状に配列された表示部2、及び、データ線DTLに電圧を印加するソースドライバ100を備えている。走査線WS1には、垂直スキャナー110から走査信号が供給される。尚、図示の都合上、図1においては、1つの表示素子10、より具体的には、後述する第(n, m)番目の表示素子10についての結線関係を示した。

[0031] 表示部2は、更に、行方向に並ぶ表示素子10に接続される給電線PS1と、全ての表示素子10に共通に接続される共通給電線PS2を備えている。給電線PS1には、走査線WS1の走査に対応して、電源部120から所定の駆動電圧が供給される。一方、共通給電線PS2には、共通の電圧 $V_{cath}$ （例えば接地電位）が定常的に供給される。

[0032] 図1では図示されていないが、表示部2が画像を表示する領域（表示領域）は、行方向にN個、列方向にM個、合計 $N \times M$ 個の、2次元マトリクス状に配列された表示素子10から構成されている。表示領域における表示素子10の行数はMであり、各行を構成する表示素子10の数はNである。

[0033] また、走査線WS1及び給電線PS1の本数はそれぞれM本である。第m行目（但し、 $m = 1, 2, \dots, M$ ）の表示素子10は、第m番目の走査線 $WS1_m$ 及び第m番目の給電線 $PS1_m$ に接続されており、1つの表示素子行を構成する。尚、図1では、給電線 $PS1_m$ のみが示されている。

[0034] また、データ線DTLの本数はN本である。第n列目（但し、 $n = 1, 2$

・・・, N) の表示素子 10 は、第 n 番目のデータ線  $D T L_n$  に接続されている。尚、図 1 では、データ線  $D T L_n$  のみが示されている。

[0035] 表示装置 1 は、例えばモノクロ表示の表示装置であり、1 つの表示素子 10 が 1 つの画素を構成する。垂直スキャナー 110 からの走査信号によって、表示装置 1 は行単位で線順次走査される。第 m 行、第 n 列目に位置する表示素子 10 を、以下、第 (n, m) 番目の表示素子 10 あるいは第 (n, m) 番目の画素と呼ぶ。

[0036] 表示装置 1 にあっては、第 m 行目に配列された N 個の画素のそれぞれを構成する表示素子 10 が同時に駆動される。換言すれば、行方向に沿って配された N 個の表示素子 10 にあっては、その発光／非発光のタイミングは、それらが属する行単位で制御される。表示装置 1 の表示フレームレートを FR (回／秒) と表せば、表示装置 1 を行単位で線順次走査するときの 1 行当たりの走査期間 (いわゆる水平走査期間) は、 $(1 / FR) \times (1 / M)$  秒未満である。

[0037] ソースドライバ 100 には、例えば図示せぬ装置から、表示すべき画像に応じた階調を表す映像信号  $D_{sig}$  が入力される。映像信号  $D_{sig}$  は、例えば波高値が 1.5 ボルト程度の低電圧のデジタル信号である。表示装置 1 のソースドライバ 100 は、映像信号  $D_{sig}$  の階調値に応じた電圧を、表示部 2 のデータ線  $D T L$  に供給するために用いられるソースドライバである。

[0038] 入力される映像信号  $D_{sig}$  のうち、第 (n, m) 番目の表示素子 10 に対応する信号を  $D_{sig(n,m)}$  と表す。以下の説明において、映像信号  $D_{sig}$  の階調ビット数は 8 ビットであるとするが、これに限定するものではない。例えば、12 ビット、16 ビットおよび 24 ビットなどといったビット数とした構成とすることもできる。

[0039] ソースドライバ 100 は、映像信号  $D_{sig}$  の階調値に応じたアナログ信号を生成し、データ線  $D T L$  に供給する。生成するアナログ信号は、波高値が例えば 10 ボルトないし 20 ボルト程度といった信号であって、映像信号  $D_{sig}$  に対して高い電圧である。

- [0040] 表示部2に配される表示素子10は、データ線DTLに供給される電圧が所定の電源電圧 $V_{DD}$ （例えば15ボルト）に近づくほど黒表示となるように構成された表示素子である。表示素子10は、電流駆動型の発光部ELP、データ線DTLから供給される電圧を保持する保持容量 $C_s$ 、及び、保持容量 $C_s$ が保持した電圧に応じた電流を発光部ELPに流す駆動トランジスタ $TR_D$ 、を少なくとも含んでおり、更に、書込みトランジスタ $TR_W$ を備えている。
- [0041] 発光部ELPは、流れる電流値に応じて発光輝度が増加する電流駆動型の電気光学素子であって、具体的には、有機エレクトロルミネッセンス素子から構成されている。発光部ELPは、アノード電極、正孔輸送層、発光層、電子輸送層、及び、カソード電極等から成る周知の構成や構造を有する。
- [0042] 表示素子10が備える各トランジスタは、例えば、ガラスなどの基板上に形成された半導体薄膜から構成されていてもよいし、シリコン半導体基板上に設けられていてもよい。第1の実施形態において、表示素子10が備える各トランジスタは、pチャネル型の電界効果トランジスタから構成されている。
- [0043] 保持容量 $C_s$ は、駆動トランジスタ $TR_D$ のソース領域に対するゲート電極の電圧（所謂ゲート-ソース間電圧）を保持するために用いられる。表示素子10の発光状態においては、駆動トランジスタ $TR_D$ の一方のソース/ドレイン領域（図1において給電線PS1に接続されている側）はソース領域として働き、他方のソース/ドレイン領域はドレイン領域として働く。保持容量 $C_s$ を構成する一方の電極と他方の電極は、それぞれ、駆動トランジスタ $TR_D$ の一方のソース/ドレイン領域とゲート電極に接続されている。駆動トランジスタ $TR_D$ の他方のソース/ドレイン領域は、発光部ELPのアノード電極に接続されている。
- [0044] 書込みトランジスタ $TR_W$ は、走査線WS1に接続されたゲート電極と、データ線DTLに接続された一方のソース/ドレイン領域と、駆動トランジスタ $TR_D$ のゲート電極に接続された他方のソース/ドレイン領域とを有する。
- [0045] 発光部ELPの他端（具体的には、カソード電極）は、共通給電線PS2

に接続されている。共通給電線PS2には所定の電圧 $V_{cath}$ が供給される。尚、発光部ELPの容量を符号 $C_{EL}$ で表す。発光部ELPの容量 $C_{EL}$ が小さくて表示素子10を駆動する上で支障を生ずるなどといった場合には、必要に応じて、発光部ELPに対して並列に接続される補助容量 $C_{sub}$ を設ければよい。図では、補助容量 $C_{sub}$ が設けられている例を示したが、これは例示に過ぎない。

[0046] ソースドライバ100からデータ線DTLに表示すべき画像の輝度に応じた電圧が供給された状態で、垂直スキャナー110からの走査信号により書込みトランジスタ $TR_w$ が導通状態とされると、保持容量 $C_s$ に表示すべき画像の階調値に応じた電圧が書き込まれる。書込みトランジスタ $TR_w$ が非導通状態とされた後、保持容量 $C_s$ に保持された電圧に応じて駆動トランジスタ $TR_d$ に電流が流れ、発光部ELPが発光する。

[0047] ここで、発光部ELPやトランジスタなどの配置関係について説明する。図2は、表示部における表示素子を含む部分の模式的な一部断面図である。

[0048] 表示素子10を構成する各トランジスタ、及び、保持容量 $C_s$ は、支持体21上に形成されている。そして、これらの上方に層間絶縁層40を介して発光部ELPが形成されている。また、駆動トランジスタ $TR_d$ の他方のソース／ドレイン領域は、発光部ELPに備えられたアノード電極に、コンタクトホールを介して接続されている。尚、図2においては、駆動トランジスタ $TR_d$ や保持容量 $C_s$ のみを図示する。他のトランジスタなどは隠れて見えない。

[0049] 駆動トランジスタ $TR_d$ は、ゲート電極31、ゲート絶縁層32、半導体層33に設けられた一方のソース／ドレイン領域35A、他方のソース／ドレイン領域35B、及び、一方のソース／ドレイン領域35Aと他方のソース／ドレイン領域35Bとの間の半導体層33の部分が該当するチャンネル形成領域34から構成されている。一方、保持容量 $C_s$ は、一方の電極36、ゲート絶縁層32の延在部から構成された誘電体層、及び、他方の電極37から成る。ゲート電極31、ゲート絶縁層32の一部、及び、保持容量 $C_s$ を構成する一方の電極36は、支持体21上に形成されている。駆動トランジスタ

T R<sub>D</sub>の一方のソース／ドレイン領域35Aは配線38（給電線P S 1に対応する）に接続され、他方のソース／ドレイン領域35Bは、配線39Aを介して、後述するアノード電極51に接続されている。

[0050] 駆動トランジスタT R<sub>D</sub>及び保持容量C<sub>s</sub>等は、層間絶縁層40で覆われており、層間絶縁層40上に、アノード電極51、正孔輸送層、発光層、電子輸送層、及び、カソード電極53から成る発光部E L Pが設けられている。尚、図面においては、正孔輸送層、発光層、及び、電子輸送層を1層52で表した。発光部E L Pが設けられていない層間絶縁層40の部分の上には、第2層間絶縁層54が設けられ、第2層間絶縁層54及びカソード電極53上には透明な基板22が配置されており、発光層にて発光した光は、基板22を通過して、外部に出射される。尚、配線39Aとアノード電極51とは、層間絶縁層40に設けられたコンタクトホールによって接続されている。また、カソード電極53は、第2層間絶縁層54、層間絶縁層40に設けられたコンタクトホール56、55を介して、ゲート絶縁層32の延在部上に設けられた配線39B（電圧V<sub>Cath</sub>が供給される共通給電線P S 2に対応する）に接続されている。

[0051] 次いで、ソースドライバ100の構成について説明する。図3は、図1に示すソースドライバの構成などを説明するための模式的な回路図である。尚、図示の都合上、図3にあっては、一本のデータ線D T Lに関する接続関係を示した。

[0052] ソースドライバ100は、所定の電源電圧V<sub>DD</sub>が一端に印加される抵抗R<sub>L</sub>、及び、抵抗R<sub>L</sub>の他端に接続される、映像信号D<sub>sig</sub>の階調値に応じて電流量が制御される電流源103を備えており、更に、低電圧のデジタル信号である映像信号D<sub>sig</sub>のシフト処理を行うシフトレジスタ部101、映像信号D<sub>sig</sub>の示す階調に応じた電圧を生成するD/A変換部102を備えている。電流源103はトランジスタ、より具体的には、ソースが所定の基準電圧V<sub>SS</sub>に接続（接地）された電界効果トランジスタQ<sub>L</sub>から構成されている。

[0053] 図3に示す例では、抵抗R<sub>L</sub>の他端と電流源103とは、データ線D T Lを

介して接続されている。尚、図4に示すように、抵抗 $R_L$ の他端と電流源103との接続点に、データ線DTLが接続されている構成とすることもできる。

[0054] 上述した各種の好ましい構成を含む本開示の第1の態様に係るソースドライバにおいて、電流源の電流量は、映像信号 $D_{sig}$ の階調値に応じた電圧を出力するD/A変換部102の出力電圧によって制御される。そして、映像信号 $D_{sig}$ の階調値に応じた電圧が、抵抗 $R_L$ の他端から供給される。

[0055] ここで、本開示の理解を助けるため、高い駆動能力を有する増幅回路で増幅してデータ線を駆動するといった参考例のソースドライバの一般的な構成や課題について説明する。

[0056] 図5は、参考例のソースドライバの構成などを説明するための模式的な回路図である。

[0057] 参考例のソースドライバ900は、映像信号 $D_{sig}$ を転送するシフトレジスタ部901、映像信号 $D_{sig}$ を昇圧するレベルシフタ部904、昇圧後の映像信号 $D_{sig}$ の階調に応じたアナログ電圧を選択し出力するD/A変換部902、D/A変換部902の出力をインピーダンス変換し、信号線DTLを充放電するためのボルテージフォロアアンプ903から構成される。符号905は、1つのボルテージフォロアアンプ903を複数のデータ線DTLに対応させるためのセレクト回路である。

[0058] この場合、シフトレジスタ部901は、低電圧のデジタル信号である映像信号 $D_{sig}$ のシフト処理を行う。従って、これを構成するトランジスタなどの素子は、耐圧の低いものを用いて構成することができる。また、シフトレジスタ部901を動作させるために供給される電圧も比較的低い電圧で足りるので、動作時に消費される電力も削減される。

[0059] 一方、レベルシフタ部904は、映像信号 $D_{sig}$ の波高値を例えば10ないし20ボルトといった電圧にして、D/A変換部902に供給する。従って、これらを構成するトランジスタなどの素子は、比較的高い耐圧のものを用いる必要がある。ボルテージフォロアアンプ903においても同様である。

[0060] 結果として、図5に示す構成にあっては、レベルシフト部904以降の回路は、全て、高い耐圧のトランジスタなどで構成する必要がある。このため、素子サイズの大きいものを使用することとなり、回路面積が増大する。また、これらを構成する回路を動作させるために供給される電源電圧は比較的高い電圧とする必要があるため、動作時に消費される電力は大きくなり、低消費電力化のボトルネックとなる。

[0061] 更に、ボルテージフォロアンプ903は、動作時に一定のバイアス電流を流す必要があり、入力される信号値によらず定常的に電力を消費する。図6は、参考例のソースドライバに用いられるボルテージフォロワンプを説明するための模式的な回路図である。

[0062] ボルテージフォロワンプ903は、差動対を成すトランジスタ $Q_{11}$ 、 $Q_{12}$ 、カレントミラーを構成するトランジスタ $Q_{13}$ 、 $Q_{14}$ 、出力用のトランジスタ $Q_{15}$ 、容量 $C_9$ のほか、バイアス電流を流す定電流回路などによって構成される。このように、入力される信号値に関わらず常にバイアス電流が流れるといった構成であるため、定常的に電力を消費する。

[0063] 以上、参考例のソースドライバの一般的な構成や課題について説明した。引き続き、本開示に係るソースドライバや表示装置について説明する。

[0064] 図3に示すように、第1の実施形態に係るソースドライバを構成するD/A変換部102には、シフトレジスタ部101を介して、低電圧のデジタル信号である映像信号 $D_{sig}$ が入力される。従って、D/A変換部102を構成するトランジスタなどの素子は、耐圧の低いものを用いて構成することができる。また、D/A変換部102を動作させるために供給される電圧も比較的低い電圧で足りるので、動作時に消費される電力も削減される。

[0065] このように、映像信号 $D_{sig}$ を昇圧させずD/A変換部102に入力し、D/A変換部102の出力電圧 $V_{dac}$ によって、ドレイン側が信号線DTLに接続された電流源103に流れる電流を制御する。より具体的には、出力電圧 $V_{dac}$ を、 $n$ チャンネル型の電界効果トランジスタ $Q_L$ のソースが接地されて成る電流源ゲートに入力する。電界効果トランジスタ $Q_L$ が飽和領域で動作するように電

圧設定されているとすれば、流れるドレイン電流  $I_{ds}$  は、以下の式 (1) で表される。

$$\begin{aligned}
 [0066] \quad I_{ds} &= k \cdot \mu \cdot (V_{gs\ QL} - V_{th\ QL})^2 \\
 &= k \cdot \mu \cdot ((V_{dac} - V_{SS}) - V_{th\ QL})^2 \quad (1)
 \end{aligned}$$

尚、

$\mu$  : 実効的な移動度

$L$  : チャネル長

$W$  : チャネル幅

$V_{gs\ QL}$  : トランジスタ  $Q_L$  のゲート-ソース間電圧

$V_{th\ QL}$  : トランジスタ  $Q_L$  の閾値電圧

$C_{ox}$  : (ゲート絶縁層の比誘電率)  $\times$  (真空の誘電率) / (ゲート絶縁層の厚さ)

$$k \equiv (1/2) \cdot (W/L) \cdot C_{ox}$$

とする。

[0067] 上述したように、所定の電源電圧  $V_{DD}$  が一端に印加される抵抗  $R_L$  の他端と、電流源 103 とは、データ線 DTL を介して接続されている。従って、データ線 DTL に供給される電圧  $V_{sig}$  は、以下の式 (2) で表される。

$$[0068] \quad V_{sig} = V_{DD} - I_{ds} \cdot R_L \quad (2)$$

[0069] 抵抗  $R_L$  は、信号配線の寄生抵抗が実使用上問題とならないような高抵抗値とすることができ、半導体チップ内に一体として形成が可能なポリシリコン抵抗素子を用いて構成することが好ましい。

[0070] 本開示に係るソースドライバによれば、D/A変換部 102 からの小振幅な出力電圧  $V_{dac}$  に基づいて、これを反転して増幅した電圧  $V_{sig}$  を生成することが可能となる。

[0071] 上述の構成にあつては、データ線 DTL に供給される電圧  $V_{sig}$  を電圧  $V_{DD}$  とするためには、ドレイン電流  $I_{ds}$  を「0」とすればよい。即ち、電流源 103 を構成するトランジスタ  $Q_L$  をカットオフさせるように、 $V_{dac} \leq V_{th\ QL}$  とすればよい。この状態を図 7A に示す。この場合、電圧  $V_{sig}$  を電圧  $V_{DD}$  にするために

、電源回路から信号線D T Lの負荷容量を充電するための過渡的な電流は流れるが、定常的な電流は流れない。

[0072] また、データ線D T Lに供給される電圧 $V_{sig}$ を電圧 $V_{DD}$ よりも低い電圧とする場合には、 $V_{dac} > V_{th_{OL}}$ とすればよい。この場合、電圧 $V_{sig}$ は、上述した(2)の式で与えられる。この状態を図7 Bに示す。

[0073] 表示素子10は、データ線D T Lに供給される電圧が所定の電源電圧に近づくほど黒表示となるように構成された表示素子である。表示素子10の駆動トランジスタ $T_{RD}$ はpチャネル型の電界効果トランジスタであるので、黒表示とする場合には、駆動トランジスタ $T_{RD}$ が非導通状態となるように電圧 $V_{DD}$ を書き込む。

[0074] 黒表示状態にあっては、信号線D T Lの負荷容量を充電するための過渡的な電流が流れるが、定常的な電流は流れない。従って、黒表示が多い映像を表示するといった場合に、消費電力の削減を一層図ることができる。例えば、シースルー用途のヘッドマウントディスプレイは、背景が観察できる状態で表示を行うといったことが前提となる。従って、表示部2の大半は黒表示となる。このような用途において消費電力の削減を一層図ることができる。

[0075] [第2の実施形態]

第2の実施形態も、本開示の第1の態様に係る、ソースドライバ、及び、表示装置に関する。

[0076] 第2の実施形態に係る表示装置1Aの模式図は、図1において表示装置1を表示装置1Aと読み替え、ソースドライバ100をソースドライバ100Aと読み替えればよい。

[0077] 図3に示すD/A変換部102は、多数のスイッチングトランジスタで構成される。従って、D/A変換部102の回路面積は、電流源103の回路面積に比べて大きい。表示装置の額縁面積を小さくするには、D/A変換部102の規模を小さくすることが望ましい。

[0078] そこで、第2の実施形態のソースドライバ100Aは、D/A変換部における1つの出力部に対して複数の電流源を対応させるセクタ回路を備えて

いる構成とした。各電流源は、D/A変換部から供給される電圧を保持する容量部を備えている。これによって、D/A変換部の回路規模の縮小を図ることができる。

[0079] 図8は、第2の実施形態の表示装置に用いられるソースドライバの構成などを説明するための模式的な回路図である。

[0080] 図8に示すように、ソースドライバ100Aにあっては、複数（図では3つ）の電流源103Aと、D/A変換部102における1つの出力部とを対応させた。電流源103Aを構成するnチャンネル型の電界効果トランジスタ $Q_{L1}$ 、 $Q_{L2}$ 、 $Q_{L3}$ のそれぞれには、ゲートソース間電圧を保持するための容量部 $C_{L1}$ 、 $C_{L2}$ 、 $C_{L3}$ が配されている。

[0081] セレクタ回路は、トランジスタ $Q_{S1}$ 、 $Q_{S2}$ 、 $Q_{S3}$ によって構成されている。これらは、制御線 $SEL_1$ 、 $SEL_2$ 、 $SEL_3$ の信号によって、導通状態/非導通状態が制御される。

[0082] 図9を参照して、第2の実施形態のソースドライバの動作を説明する。期間 $TP_1$ ないし期間 $TP_3$ において、D/A変換部102から、容量部 $C_{L1}$ 、 $C_{L2}$ 、 $C_{L3}$ に保持されるべき電圧 $V_{dac1}$ 、 $V_{dac2}$ 、 $V_{dac3}$ が順次出力される。そして、これに同期して制御線 $SEL_1$ 、 $SEL_2$ 、 $SEL_3$ から順次パルスが供給される。これによって、容量部 $C_{L1}$ 、 $C_{L2}$ 、 $C_{L3}$ に電圧 $V_{dac1}$ 、 $V_{dac2}$ 、 $V_{dac3}$ が書き込まれる。各データ線DTLには、トランジスタ $Q_{S1}$ 、 $Q_{S2}$ 、 $Q_{S3}$ に流れる電流に基づいて、上述した式(2)に示した電圧 $V_{sig}$ が供給される。その後、期間 $TP_4$ において、垂直スキャナー110から走査線WS1に書込みパルスが供給され、表示素子10の保持容量 $C_s$ に電圧 $V_{sig}$ が書き込まれる。

[0083] [第3の実施形態]

第3の実施形態も、本開示の第1の態様に係る、ソースドライバ、及び、表示装置に関する。第3の実施形態は、第2の実施形態の変形である。

[0084] 第3の実施形態に係る表示装置1Bの模式図は、図1において表示装置1を表示装置1Bと読み替え、ソースドライバ100をソースドライバ100Bと読み替えればよい。

- [0085] 第2の実施形態にあっては、D/A変換部102における1つの出力部と、セレクトを構成するトランジスタ $Q_{S1}$ 、 $Q_{S2}$ 、 $Q_{S3}$ との間が定常的に配線で接続されている。従って、D/A変換部102の出力負荷が大きい。
- [0086] これに対して、第3の実施形態にあっては、D/A変換部102における1つの出力部と、セレクトを構成するトランジスタ $Q_{S1}$ 、 $Q_{S2}$ 、 $Q_{S3}$ との間に、更に列選択用のスイッチ $SW_1$ 、 $SW_2$ 、 $SW_3$ が配されている。これを用いて、各列に時分割で電圧 $V_{dac}$ を書き込んだ後、電流源のゲートに接続された制御線WP1によって一括に書き込む。
- [0087] [第4の実施形態]
- 第4の実施形態も、本開示の第1の態様に係る、ソースドライバ、及び、表示装置に関する。
- [0088] 第1ないし第3の実施形態において説明した電流源を構成するトランジスタ $Q_L$ については、トランジスタ $Q_L$ 毎に閾値電圧 $V_{th_{QL}}$ がばらつくことは避けられない。従って、電圧 $V_{dac}$ が同じであっても、上述した式(1)に示すドレイン電流 $I_{ds}$ の値はばらつく。これによって、表示部2においてランダムな縦スジが視認されることが考えられる。
- [0089] 第4の実施形態にあっては、電流源は、電界効果トランジスタから構成されており、更に、電界効果トランジスタの特性ばらつきを補正する補正回路を備えている。補正回路は、電界効果トランジスタの閾値電圧の値に応じた補正を行う。より具体的には、補正回路は、電界効果トランジスタのゲートーソース間に接続される容量部に、電界効果トランジスタの閾値電圧の値に応じて補正された電圧を保持させる。
- [0090] 第4の実施形態に係る表示装置1Cの模式図は、図1において表示装置1を表示装置1Cと読み替え、ソースドライバ100をソースドライバ100Cと読み替えればよい。
- [0091] 図11は、第4の実施形態の表示装置に用いられるソースドライバの構成などを説明するための模式的な回路図である。尚、図11では、ソースドライバ100Cを構成する電流源103Cの部分を示した。D/A変換部10

2との接続態様として、図8や図10を参照して説明した接続態様を取り得る。

[0092] 電界効果トランジスタの特性ばらつきを補正する補正回路は、セレクトを構成するトランジスタ $Q_S$ 、基準電圧 $V_{SS}$ の給電線とトランジスタ $Q_L$ の他方のソース／ドレイン領域との接続を制御するためのトランジスタ $Q_D$ 、基準電圧 $V_{SS}$ の給電線とトランジスタ $Q_L$ の他方のソース／ドレイン領域との間に配された容量 $C_D$ から成る。

[0093] トランジスタ $Q_S$ 、 $Q_D$ は、 $n$ チャネル型の電界効果トランジスタから構成されている。これらの導通状態／非導通状態は、制御線 $WP_1$ 、 $WP_2$ によって制御される。

[0094] 図12は、図11に示すソースドライバの動作を説明するための模式的なグラフである。

[0095] [期間 $TP_1$ ]

この期間の始期において、制御線 $WP_1$ がハイレベルに切り換えられる。制御線 $WP_2$ はハイレベルを維持する。 $D/A$ 変換部102は、後述する[期間 $TP_3$ ]の終期まで、出力電圧 $V_{dac}$ として初期化用の電圧 $V_1$ を出力する。

[0096] トランジスタ $Q_S$ 、 $Q_D$ は共に導通状態である。従って、トランジスタ $Q_L$ において、ゲート電圧 $V_{g_{QL}} = \text{電圧 } V_1$ 、ソース電圧 $V_{s_{QL}} = \text{電圧 } V_{SS}$ である。従って、トランジスタ $Q_L$ のゲート－ソース間電圧 $V_{gs_{QL}}$ は $(V_1 - V_{SS})$ となる。尚、この状態において $V_{gs_{QL}} > V_{th_{QL}}$ といった条件を満たすように、電圧 $V_1$ の値は設定されているとする。例えば、 $V_{SS}$ が0ボルト、 $V_{th_{QL}}$ が約3ボルトであるとすれば、電圧 $V_1$ を5～10ボルト程度の値に設定すればよい。

[0097] [期間 $TP_2$ ]

この期間の始期において、制御線 $WP_2$ がローレベルに切り換えられる。制御線 $WP_1$ はハイレベルを維持する。トランジスタ $Q_S$ は導通状態、トランジスタ $Q_D$ は非導通状態である。

[0098] トランジスタ $Q_L$ のゲート電圧 $V_{g_{QL}}$ は電圧 $V_1$ を維持する。一方、トランジ

スタ $Q_L$ のゲートソース間電圧 $V_{gs\ QL}$ は閾値電圧 $V_{th\ QL}$ を超えているので、トランジスタ $Q_L$ には電流が流れ、ソース電圧 $V_{s\ QL}$ が上昇する。ゲートソース間電圧 $V_{gs\ QL}$ が閾値電圧 $V_{th\ QL}$ に達すると、トランジスタ $Q_L$ は非導通状態となる。このとき、ソース電圧 $V_{s\ QL}$ は $(V_1 - V_{th\ QL})$ である。

[0099] [期間 $T_{P_3}$ ]

この期間の始期において、制御線 $WP_1$ がローレベルに切り換えられる。制御線 $WP_2$ はローレベルを維持する。

[0100] トランジスタ $Q_S$ 、 $Q_D$ は共に非導通状態である。従前のゲートソース間電圧 $V_{gs\ QL}$ が容量部 $C_L$ で保持されているので、[期間 $T_{P_2}$ ]においてトランジスタ $Q_L$ が非導通状態に達しているとすれば、ゲート電圧 $V_{g\ QL}$ およびソース電圧 $V_{s\ QL}$ は特に変化しない。

[0101] [期間 $T_{P_4}$ ]

この期間の始期において、 $D/A$ 変換部 $102$ は、表示すべき映像の階調値に応じた電圧 $V_2$ を出力する。また、制御線 $WP_1$ 、 $WP_2$ はローレベルを維持する。

[0102] [期間 $T_{P_3}$ ]において説明したのと同様に、[期間 $T_{P_2}$ ]においてトランジスタ $Q_L$ が非導通状態に達しているとすれば、ゲート電圧 $V_{g\ QL}$ およびソース電圧 $V_{s\ QL}$ は特に変化しない。

[0103] [期間 $T_{P_5}$ ]

この期間の間において、制御線 $WP_1$ がハイレベルに切り換えられる。制御線 $WP_2$ はローレベルを維持する。

[0104] トランジスタ $Q_S$ は導通状態、トランジスタ $Q_D$ は非導通状態である。トランジスタ $Q_L$ のゲートには電圧 $V_2$ が印加される。トランジスタ $Q_L$ のゲートソース間電圧 $V_{gs\ QL}$ が閾値電圧 $V_{th\ QL}$ を超えるので、トランジスタ $Q_L$ には電流が流れ、結果として、ソース電圧 $V_{s\ QL}$ が上昇する。上昇分を $\Delta V$ で表す。

[0105] [期間 $T_{P_6}$ ]

この期間の始期において、制御線 $WP_1$ がローレベルに切り換えられる。制御線 $WP_2$ はローレベルを維持する。

[0106] トランジスタ  $Q_S$ ,  $Q_D$  は非導通状態である。このとき、トランジスタ  $Q_L$  のゲートソース間電圧  $V_{gs\ QL}$  は、以下の式 (3) で表される。

$$[0107] \quad V_{gs\ QL} = V_2 + V_{th\ QL} - \Delta V \quad (3)$$

[0108] 従って、電界効果トランジスタ  $Q_L$  のゲートソース間に接続される容量部  $C_L$  に、電界効果トランジスタ  $Q_L$  の閾値電圧  $V_{th\ QL}$  の値に応じて補正された電圧が保持される。

[0109] 上述した電位の上昇分  $\Delta V$  について説明する。[期間  $T_{P5}$ ] においてトランジスタ  $Q_L$  を流れる電流が大きいほど、 $\Delta V$  は大きくなる。トランジスタ  $Q_L$  を流れる電流は移動度  $\mu$  に比例するので、結局、トランジスタ  $Q_L$  の移動度  $\mu$  の値が大きいほど、 $\Delta V$  は大きくなるといった傾向を示す。

[0110] [期間  $T_{P7}$ ]

この期間の始期において、制御線  $WP_2$  がハイレベルに切り換えられる。制御線  $WP_1$  はローレベルを維持する。

[0111] トランジスタ  $Q_S$  は非導通状態、トランジスタ  $Q_D$  は導通状態である。トランジスタ  $Q_L$  には、電流が流れる。また、ソース電圧  $V_{s\ QL}$  は、基準電圧  $V_{SS}$  となる。容量  $C_L$  には上述した式 (3) で示した電圧が保持されているので、ブートストラップ回路と同様の現象が起こる。即ち、ゲートソース間電圧  $V_{gs\ QL}$  を保った状態で、ゲート電圧  $V_g\ QL$  も変化する。

[0112] トランジスタ  $Q_L$  に流れるドレイン電流は、上述した式 (3) と式 (1) に基づいて、以下の式 (4) のように表される。

$$[0113] \quad I_{ds} = k \cdot \mu \cdot \left( (V_2 + V_{th\ QL} - \Delta V) - V_{th\ QL} \right)^2 \\ = k \cdot \mu \cdot (V_2 - \Delta V)^2 \quad (4)$$

[0114] 従って、トランジスタ  $Q_L$  を流れる電流  $I_{ds}$  は、 $D/A$  変換部 102 からの書き込み用の電圧  $V_2$  の値から、トランジスタ  $Q_L$  の移動度  $\mu$  に起因した上昇分  $\Delta V$  の値を減じた値の 2 乗に比例し、閾値電圧  $V_{th\ QL}$  には依存しない。従って、閾値電圧  $V_{th\ QL}$  のばらつきは、ドレイン電流  $I_{ds}$  に影響をあたえない。

[0115] しかも、移動度  $\mu$  の大きなトランジスタ  $Q_L$  ほど  $\Delta V$  が大きくなるので、式 (4) において、移動度  $\mu$  の値が大きくなると  $(V_2 - \Delta V)^2$  の値が小さく

なるといった関係にある。これによって、移動度 $\mu$ のばらつき（更には、 $k$ のばらつき）に起因するドレイン電流のばらつきをも補正することができる。

[0116] 尚、トランジスタ $Q_D$ を非導通状態とすると、トランジスタ $Q_L$ のソースと基準電圧 $V_{SS}$ は切り離される。MOSトランジスタから成る回路を用いて上述した駆動を行う際、ボディとソースの電位差による基板バイアス効果により、トランジスタ $Q_D$ の導通状態と非導通状態とで、トランジスタ $Q_L$ の閾値電圧が変化する。従って、電流源を構成するトランジスタ $Q_L$ はウェル分離を行い、ウェル電位とソース電位を一致させ、基板バイアス効果の影響をなくすよう構成することが好ましい。

[0117] [第5の実施形態]

第5の実施形態も、本開示の第1の態様に係る、ソースドライバ、及び、表示装置に関する。

[0118] 第5の実施形態に係る表示装置1Dの模式図は、図1において表示装置1を表示装置1Dと読み替え、ソースドライバ100をソースドライバ100Dと読み替えればよい。

[0119] 上述した第4の実施形態においては、図12に示す[期間 $T_{P5}$ ]において表示すべき映像の階調値に応じた電圧を書き込む。また、このときにトランジスタ $Q_L$ のソース電圧 $V_{s,QL}$ を上昇させることで、移動度 $\mu$ のばらつきによる影響を補償するといったことを行っている。

[0120] しかしながら、オン電流特性の優れたトランジスタを用いて電流源を構成する場合には、図12に示す[期間 $T_{P5}$ ]において急峻にソース電圧 $V_{s,QL}$ が上昇してしまい、パルス幅を極端に狭くしないと動作に支障を来すなどといったことも考えられる。図11に示す容量 $C_D$ を大容量にすればソース電圧 $V_{s,QL}$ の上昇を緩やかにすることはできるが、回路規模の増大を招く。

[0121] そこで、第5の実施形態にあつては、表示すべき映像の階調値に応じた電圧を書き込む際の、トランジスタ $Q_L$ のソース電圧 $V_{s,QL}$ の上昇を防ぐといった構成とした。

- [0122] 図13は、第5の実施形態の表示装置に用いられるソースドライバの構成などを説明するための模式的な回路図である。尚、図13では、ソースドライバ100Dを構成する電流源103Dの部分を示した。D/A変換部102との接続態様として、図8や図10を参照して説明した接続態様を取り得る。
- [0123] 図13に示すように、電流源103Dは、図11に示す電流源103Cに対して、トランジスタ $Q_T$ を付加したといった構成である。トランジスタ $Q_T$ は、nチャネル型の電界効果トランジスタから構成されている。この導通状態/非導通状態は、制御線WP3によって制御される。
- [0124] 図14は、図13に示すソースドライバの動作を説明するための模式的なグラフである。
- [0125] [期間 $T_{P1}$ ] ないし [期間 $T_{P3}$ ]  
この期間は制御線WP3がハイレベルであり、トランジスタ $Q_T$ は導通状態である点を除く他、図12を参照して第4の実施形態において説明した動作と同様である。従って、説明は省略する。
- [0126] [期間 $T_{P4}$ ] ないし [期間 $T_{P7}$ ]  
この期間は制御線WP3がローレベルであり、トランジスタ $Q_T$ は非導通状態である点を除く他、基本的には、図12を参照して第4の実施形態において説明した動作と同様である。
- [0127] 第4の実施形態では、[期間 $T_{P5}$ ]において表示すべき映像の階調値に応じた電圧を書き込む、また、このときにトランジスタ $Q_L$ に電流を流すことでソース電圧を上昇させた。第5の実施形態では、トランジスタ $Q_T$ は非導通状態であるので、トランジスタ $Q_L$ に電流は流れない。
- [0128] 尚、[期間 $T_{P5}$ ]の始期においてゲート電圧が電圧V1から電圧V2に変化するので、カップリングによってソース電圧 $V_{s,QL}$ も多少変化する。図14では、カップリングによる影響があるとして波形を記した。
- [0129] [期間 $T_{P8}$ ]  
この期間の始期において制御線WP3がハイレベルに切り替えられる。ト

ランジスタ $Q_T$ は導通状態である。基本的には、上述した式(4)から $\Delta V$ を排除した形のドレイン電流が流れる。

[0130] [電子機器]

以上説明した本開示の表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示部(表示装置)として用いることができる。一例として、例えば、テレビジョンセット、デジタルスチルカメラ、ノート型パーソナルコンピュータ、携帯電話機等の携帯端末装置、ビデオカメラ、ヘッドマウントディスプレイ(頭部装着型ディスプレイ)等の表示部として用いることができる。

[0131] 本開示の表示装置は、封止された構成のモジュール形状のものをも含む。一例として、画素アレイ部に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やフレキシブルプリントサーキット(FPC)などが設けられていてもよい。以下に、本開示の表示装置を用いる電子機器の具体例として、デジタルスチルカメラ及びヘッドマウントディスプレイを例示する。但し、ここで例示する具体例は一例に過ぎず、これに限られるものではない。

[0132] (具体例1)

図15は、レンズ交換式一眼レフレックスタイプのデジタルスチルカメラの外観図であり、図15Aにその正面図を示し、図15Bにその背面図を示す。レンズ交換式一眼レフレックスタイプのデジタルスチルカメラは、例えば、カメラ本体部(カメラボディ)311の正面右側に交換式の撮影レンズユニット(交換レンズ)312を有し、正面左側に撮影者が把持するためのグリップ部313を有している。

[0133] そして、カメラ本体部311の背面略中央にはモニタ314が設けられている。モニタ314の上部には、ビューファインダ(接眼窓)315が設けられている。撮影者は、ビューファインダ315を覗くことによって、撮影

レンズユニット312から導かれた被写体の光像を視認して構図決定を行うことが可能である。

[0134] 上記の構成のレンズ交換式一眼レフレックスタイプのデジタルスチルカメラにおいて、そのビューファインダ315として本開示の表示装置を用いることができる。すなわち、本例に係るレンズ交換式一眼レフレックスタイプのデジタルスチルカメラは、そのビューファインダ315として本開示の表示装置を用いることによって作製される。

[0135] (具体例2)

図16は、ヘッドマウントディスプレイの外観図である。ヘッドマウントディスプレイは、例えば、眼鏡形の表示部411の両側に、使用者の頭部に装着するための耳掛け部412を有している。このヘッドマウントディスプレイにおいて、その表示部411として本開示の表示装置を用いることができる。すなわち、本例に係るヘッドマウントディスプレイは、その表示部411として本開示の表示装置を用いることによって作製される。

[0136] (具体例3)

図17は、シースルーヘッドマウントディスプレイの外観図である。シースルーヘッドマウントディスプレイ511は、本体部512、アーム513および鏡筒514で構成される。

[0137] 本体部512は、アーム513および眼鏡500と接続される。具体的には、本体部512の長辺方向の端部はアーム513と結合され、本体部512の側面の一側は接続部材を介して眼鏡500と連結される。なお、本体部512は、直接的に人体の頭部に装着されてもよい。

[0138] 本体部512は、シースルーヘッドマウントディスプレイ511の動作を制御するための制御基板や、表示部を内蔵する。アーム513は、本体部512と鏡筒514とを接続させ、鏡筒514を支える。具体的には、アーム513は、本体部512の端部および鏡筒514の端部とそれぞれ結合され、鏡筒514を固定する。また、アーム513は、本体部512から鏡筒514に提供される画像に係るデータを通信するための信号線を内蔵する。

[0139] 鏡筒 5 1 4 は、本体部 5 1 2 からアーム 5 1 3 を経由して提供される画像光を、接眼レンズを通じて、シースルーヘッドマウントディスプレイ 5 1 1 を装着するユーザの目に向かって投射する。このシースルーヘッドマウントディスプレイ 5 1 1 において、本体部 5 1 2 の表示部に、本開示の表示装置を用いることができる。

[0140] [その他]

なお、本開示の技術は以下のような構成も取ることができる。

[A 1]

映像信号の階調値に応じた電圧を、表示部のデータ線に供給するために用いられるソースドライバであって、

所定の電源電圧が一端に印加される抵抗、及び、

抵抗の他端に接続される、映像信号の階調値に応じて電流量が制御される電流源、

を備えており、

映像信号の階調値に応じた電圧が、抵抗の他端から供給される、ソースドライバ。

[A 2]

抵抗の他端と電流源とは、データ線を介して接続されている、上記 [A 1] に記載のソースドライバ。

[A 3]

抵抗の他端と電流源との接続点に、データ線が接続されている、上記 [A 1] に記載のソースドライバ。

[A 4]

電流源の電流量は、映像信号の階調値に応じた電圧を出力する D/A 変換部の出力電圧によって制御される、

上記 [A 1] ないし [A 3] に記載のソースドライバ。

[A 5]

D/A 変換部における 1 つの出力部に対して複数の電流源を対応させるセ

レクタ回路を備えている、

上記 [A 4] に記載のソースドライバ。

[A 6]

各電流源は、D/A変換部から供給される電圧を保持する容量部を備えている、

上記 [A 5] に記載のソースドライバ。

[A 7]

電流源はトランジスタから構成されている、

上記 [A 1] ないし [A 6] に記載のソースドライバ。

[A 8]

電流源は、電界効果トランジスタから構成されており、更に、電界効果トランジスタの特性ばらつきを補正する補正回路を備えている、

上記 [A 7] に記載のソースドライバ。

[A 9]

補正回路は、電界効果トランジスタの閾値電圧の値に応じた補正を行う、

上記 [A 8] に記載のソースドライバ。

[A 10]

補正回路は、電界効果トランジスタのゲートソース間に接続される容量部に、電界効果トランジスタの閾値電圧の値に応じて補正された電圧を保持させる、

上記 [A 9] に記載のソースドライバ。

[B 1]

表示部と、映像信号の階調値に応じた電圧を表示部のデータ線に供給するために用いられるソースドライバとを含んでおり、

ソースドライバは、

所定の電源電圧が一端に印加される抵抗、及び、

抵抗の他端に接続される、映像信号の階調値に応じて電流量が制御される電流源、

を備えており、

映像信号の階調値に応じた電圧が、抵抗の他端からデータ線に供給される、  
表示装置。

[ B 2 ]

表示部には、データ線に供給される電圧が所定の電源電圧に近づくほど黒表示となるように構成された表示素子が配されている、  
上記 [ B 1 ] に記載の表示装置。

[ B 3 ]

表示素子は、  
電流駆動型の発光部、  
データ線から供給される電圧を保持する保持容量、及び、  
保持容量が保持した電圧に応じた電流を発光部に流す駆動トランジスタ、  
を少なくとも含んでいる、  
上記 [ B 2 ] に記載の表示装置。

[ B 4 ]

抵抗の他端と電流源とは、データ線を介して接続されている、  
上記 [ B 1 ] ないし [ B 3 ] に記載の表示装置。

[ B 5 ]

抵抗の他端と電流源との接続点に、データ線が接続されている、  
上記 [ B 1 ] ないし [ B 3 ] に記載の表示装置。

[ B 6 ]

電流源の電流量は、映像信号の階調値に応じた電圧を出力する D / A 変換部の出力電圧によって制御される、  
上記 [ B 1 ] ないし [ B 5 ] に記載の表示装置。

[ B 7 ]

D / A 変換部における 1 つの出力部に対して複数の電流源を対応させるセクタ回路を備えている、

上記 [ B 6 ] に記載の表示装置。

[ B 8 ]

各電流源は、D / A変換部から供給される電圧を保持する容量部を備えている、

上記 [ B 7 ] に記載の表示装置。

[ B 9 ]

電流源はトランジスタから構成されている、

上記 [ B 1 ] ないし [ B 8 ] に記載の表示装置。

[ B 1 0 ]

電流源は、電界効果トランジスタから構成されており、更に、電界効果トランジスタの特性ばらつきを補正する補正回路を備えている、

上記 [ B 9 ] に記載の表示装置。

[ B 1 1 ]

補正回路は、電界効果トランジスタの閾値電圧の値に応じた補正を行う、

上記 [ B 1 0 ] に記載の表示装置。

[ B 1 2 ]

補正回路は、電界効果トランジスタのゲートソース間に接続される容量部に、電界効果トランジスタの閾値電圧の値に応じて補正された電圧を保持させる、

上記 [ B 1 1 ] に記載の表示装置。

[ C 1 ]

表示装置を備えた電子機器であって、

表示装置は、表示部と、映像信号の階調値に応じた電圧を表示部のデータ線に供給するために用いられるソースドライバとを含んでおり、

ソースドライバは、

所定の電源電圧が一端に印加される抵抗、及び、

抵抗の他端に接続される、映像信号の階調値に応じて電流量が制御される電流源、

を備えており、

映像信号の階調値に応じた電圧が、抵抗の他端からデータ線に供給される

、

電子機器。

[C 2]

表示部には、データ線に供給される電圧が所定の電源電圧に近づくほど黒表示となるように構成された表示素子が配されている、

上記 [C 1] に記載の電子機器。

[C 3]

表示素子は、

電流駆動型の発光部、

データ線から供給される電圧を保持する保持容量、及び、

保持容量が保持した電圧に応じた電流を発光部に流す駆動トランジスタ、を少なくとも含んでいる、

上記 [C 2] に記載の電子機器。

[C 4]

抵抗の他端と電流源とは、データ線を介して接続されている、

上記 [C 1] ないし [C 3] に記載の電子機器。

[C 5]

抵抗の他端と電流源との接続点に、データ線が接続されている、

上記 [C 1] ないし [C 3] に記載の電子機器。

[C 6]

電流源の電流量は、映像信号の階調値に応じた電圧を出力する D/A 変換部の出力電圧によって制御される、

上記 [C 1] ないし [C 5] に記載の電子機器。

[C 7]

D/A 変換部における 1 つの出力部に対して複数の電流源を対応させるセクタ回路を備えている、

上記 [C 6] に記載の電子機器。

[C 8]

各電流源は、D/A変換部から供給される電圧を保持する容量部を備えている、

上記 [C 7] に記載の電子機器。

[C 9]

電流源はトランジスタから構成されている、

上記 [C 1] ないし [C 8] に記載の電子機器。

[C 10]

電流源は、電界効果トランジスタから構成されており、更に、電界効果トランジスタの特性ばらつきを補正する補正回路を備えている、

上記 [C 9] に記載の電子機器。

[C 11]

補正回路は、電界効果トランジスタの閾値電圧の値に応じた補正を行う、

上記 [C 10] に記載の電子機器。

[C 12]

補正回路は、電界効果トランジスタのゲートソース間に接続される容量部に、電界効果トランジスタの閾値電圧の値に応じて補正された電圧を保持させる、

上記 [C 11] に記載の電子機器。

## 符号の説明

- [0141] 1, 1 A, 1 B, 1 C, 1 D・・・表示装置、2・・・表示パネル、10・・・表示素子、21・・・支持体、22・・・透明な基板、31・・・ゲート電極、32・・・ゲート絶縁層、33・・・半導体層、34・・・チャンネル形成領域、35 A・・・一方のソース/ドレイン領域、35 B・・・他方のソース/ドレイン領域、36・・・一方の電極、37・・・他方の電極、38, 39・・・配線、40・・・層間絶縁層、51・・・アノード電極、52・・・正孔輸送層、発光層、及び、電子輸送層、53・・・カソード電

極、54・・・第2層間絶縁層、55, 56・・・コンタクトホール、100, 900・・・ソースドライバ、101, 901・・・シフトレジスタ部、102, 902・・・D/A変換部、103, 103A, 103B, 103C, 103D・・・電流源、903・・・ボルテージフォロワンプ、904・・・レベルシフト部、905・・・セクタ回路、 $TR_W$ ・・・書込みトランジスタ、 $TR_D$ ・・・駆動トランジスタ、 $C_S$ ・・・容量部、ELP・・・有機エレクトロルミネッセンス発光部、 $C_{EL}$ ・・・発光部ELPの容量、 $C_{sub}$ ・・・補助容量、 $Q_L$ ,  $Q_{L1}$ ,  $Q_{L2}$ ,  $Q_{L3}$ ・・・電流源を構成するトランジスタ、 $R_L$ ・・・抵抗、 $C_L$ ,  $C_D$ ・・・容量、 $Q_S$ ,  $Q_{S1}$ ,  $Q_{S2}$ ,  $Q_{S3}$ ,  $Q_D$ ・・・スイッチングに用いられるトランジスタ、 $Q_{11}$ ,  $Q_{12}$ ,  $Q_{13}$ ,  $Q_{14}$ ,  $Q_{15}$ ,  $C_G$ ・・・ボルテージフォロワンプを構成するトランジスタと容量、WS1・・・走査線、DTL・・・データ線、PS1・・・給電線、PS2・・・共通給電線、WP1, WP2, WP3・・・制御線、311・・・カメラ本体部、312・・・撮影レンズユニット、313・・・グリップ部、314・・・モニタ、315・・・ビューファインダ、500・・・眼鏡、511・・・シースルーヘッドマウントディスプレイ、512・・・本体部、513・・・アーム、514・・・鏡筒

## 請求の範囲

- [請求項1] 映像信号の階調値に応じた電圧を表示部のデータ線に供給するため  
に用いられるソースドライバであって、  
所定の電源電圧が一端に印加される抵抗、及び、  
抵抗の他端に接続される、映像信号の階調値に応じて電流量が制御  
される電流源、  
を備えており、  
映像信号の階調値に応じた電圧が、抵抗の他端から供給される、  
ソースドライバ。
- [請求項2] 抵抗の他端と電流源とは、データ線を介して接続されている、  
請求項1に記載のソースドライバ。
- [請求項3] 抵抗の他端と電流源との接続点に、データ線が接続されている、  
請求項1に記載のソースドライバ。
- [請求項4] 電流源の電流量は、映像信号の階調値に応じた電圧を出力するD/A  
変換部の出力電圧によって制御される、  
請求項1に記載のソースドライバ。
- [請求項5] D/A変換部における1つの出力部に対して複数の電流源を対応さ  
せるセレクタ回路を備えている、  
請求項4に記載のソースドライバ。
- [請求項6] 各電流源は、D/A変換部から供給される電圧を保持する容量部を  
備えている、  
請求項5に記載のソースドライバ。
- [請求項7] 電流源はトランジスタから構成されている、  
請求項1に記載のソースドライバ。
- [請求項8] 電流源は、電界効果トランジスタから構成されており、更に、電界  
効果トランジスタの特性ばらつきを補正する補正回路を備えている、  
請求項7に記載のソースドライバ。
- [請求項9] 補正回路は、電界効果トランジスタの閾値電圧の値に応じた補正を

行う、

請求項 8 に記載のソースドライバ。

[請求項10] 補正回路は、電界効果トランジスタのゲートソース間に接続される容量部に、電界効果トランジスタの閾値電圧の値に応じて補正された電圧を保持させる、  
請求項 9 に記載のソースドライバ。

[請求項11] 表示部と、映像信号の階調値に応じた電圧を表示部のデータ線に供給するために用いられるソースドライバとを含んでおり、  
ソースドライバは、  
所定の電源電圧が一端に印加される抵抗、及び、  
抵抗の他端に接続される、映像信号の階調値に応じて電流量が制御される電流源、  
を備えており、  
映像信号の階調値に応じた電圧が、抵抗の他端からデータ線に供給される、  
表示装置。

[請求項12] 表示部には、データ線に供給される電圧が所定の電源電圧に近づくほど黒表示となるように構成された表示素子が配されている、  
請求項 1 1 に記載の表示装置。

[請求項13] 表示素子は、  
電流駆動型の発光部、  
データ線から供給される電圧を保持する保持容量、及び、  
保持容量が保持した電圧に応じた電流を発光部に流す駆動トランジスタ、  
を少なくとも含んでいる、  
請求項 1 2 に記載の表示装置。

[請求項14] 表示装置を備えた電子機器であって、  
表示装置は、表示部と、映像信号の階調値に応じた電圧を表示部の

データ線に供給するために用いられるソースドライバとを含んでおり、

ソースドライバは、

所定の電源電圧が一端に印加される抵抗、及び、

抵抗の他端に接続される、映像信号の階調値に応じて電流量が制御される電流源、

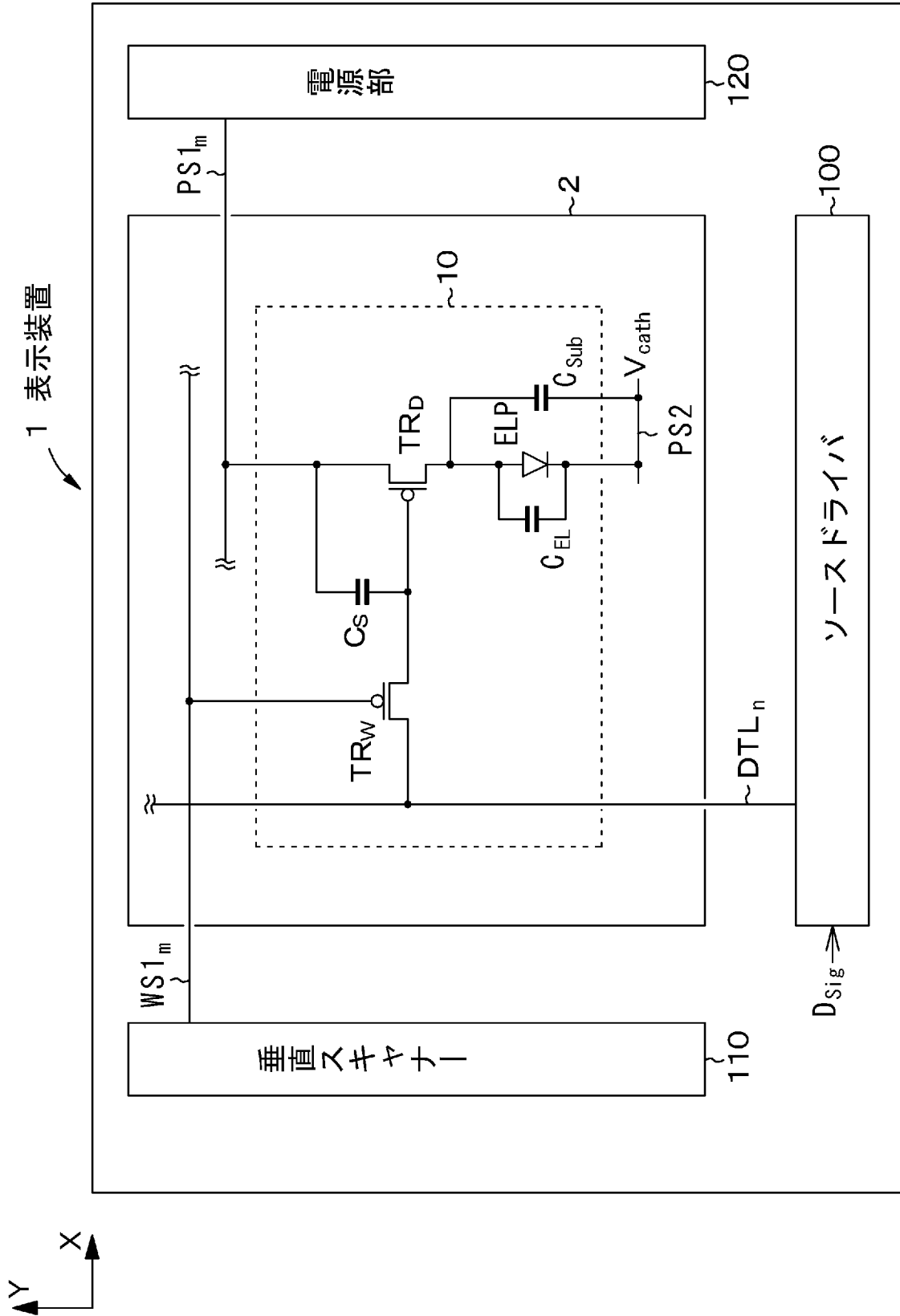
を備えており、

映像信号の階調値に応じた電圧が、抵抗の他端からデータ線に供給される、

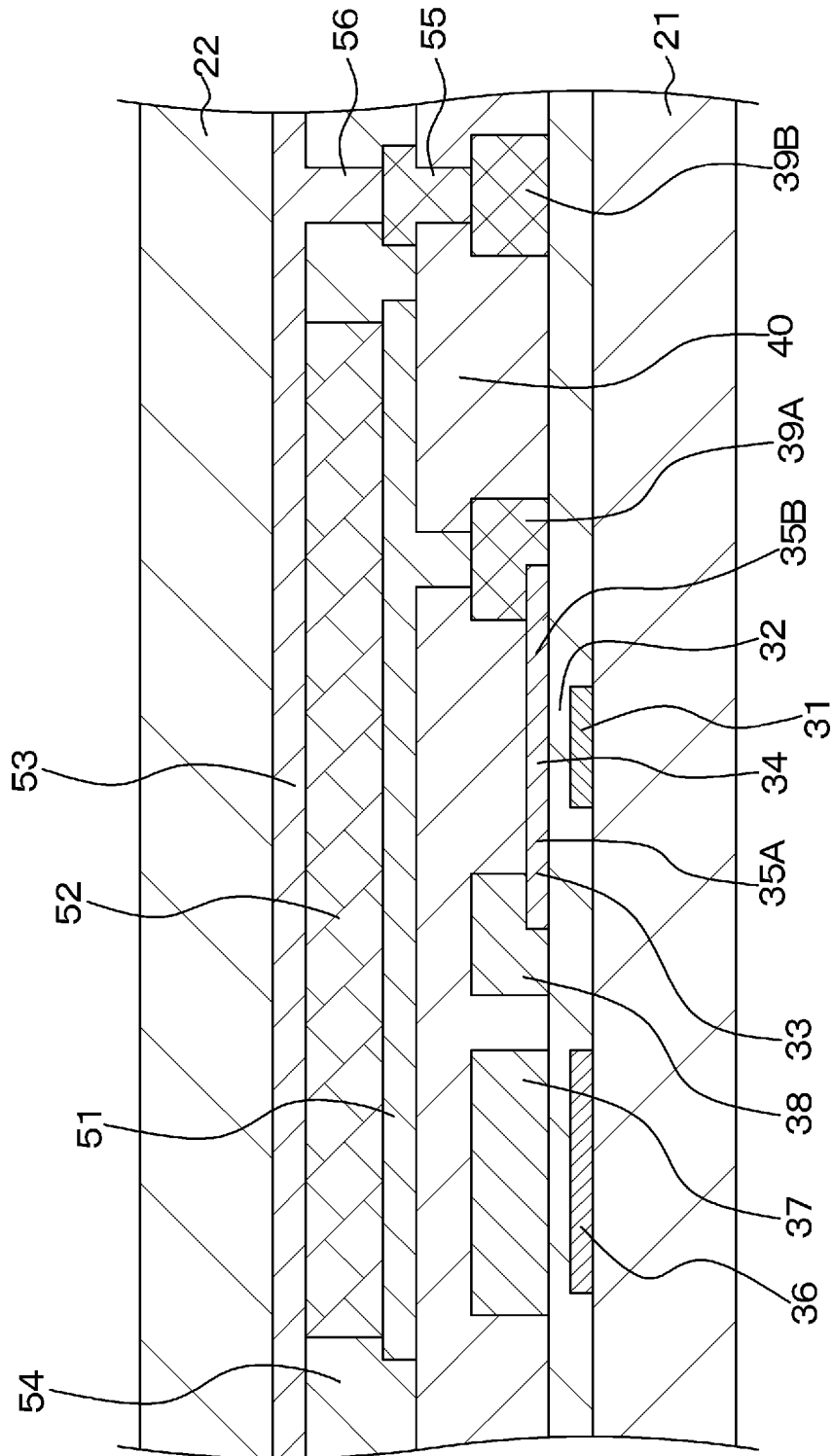
電子機器。

[図1]

図 1



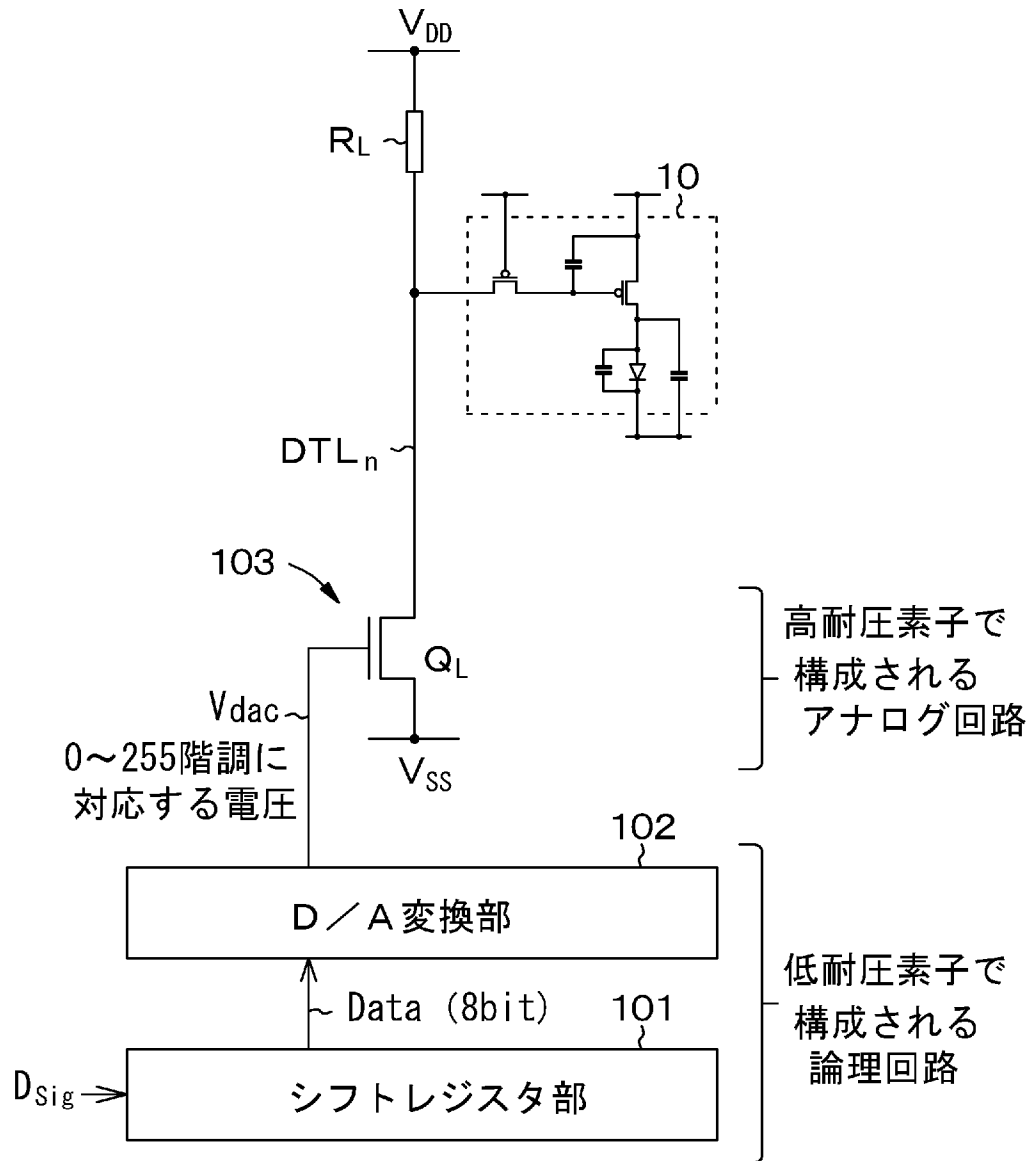
[図2]



[図2]

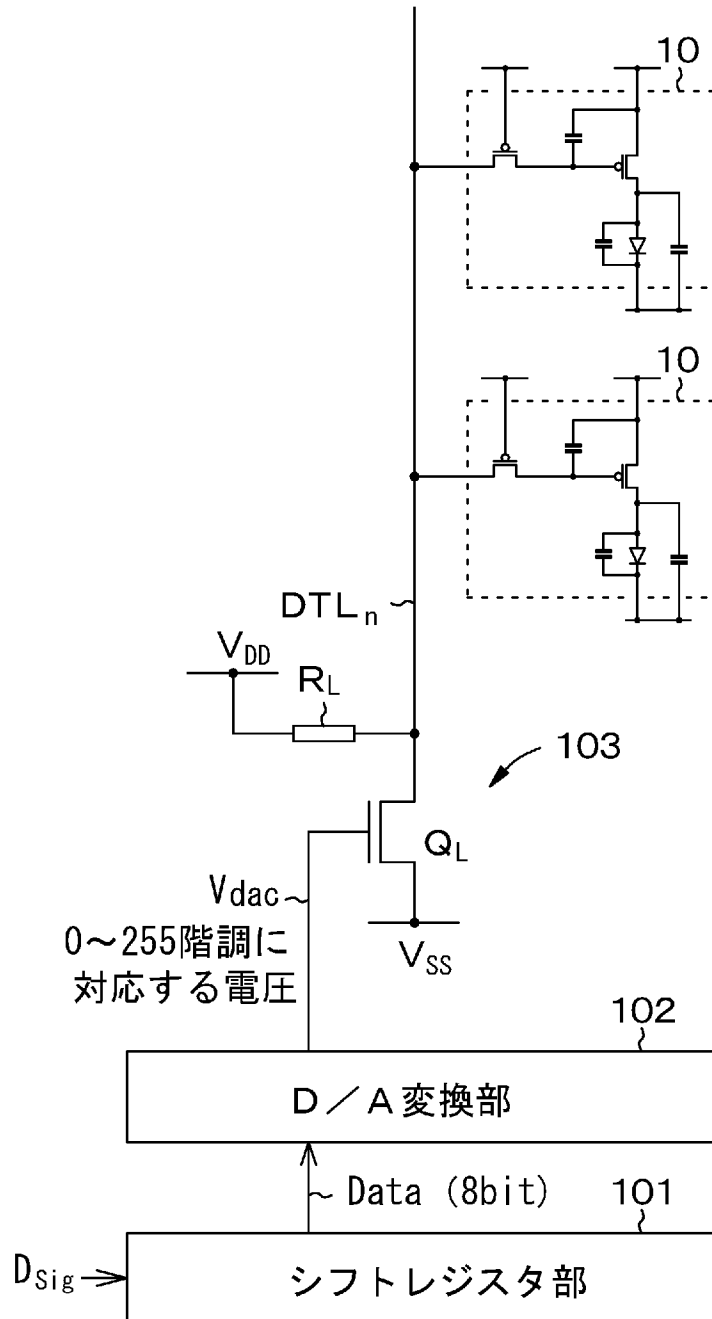
[図3]

図 3



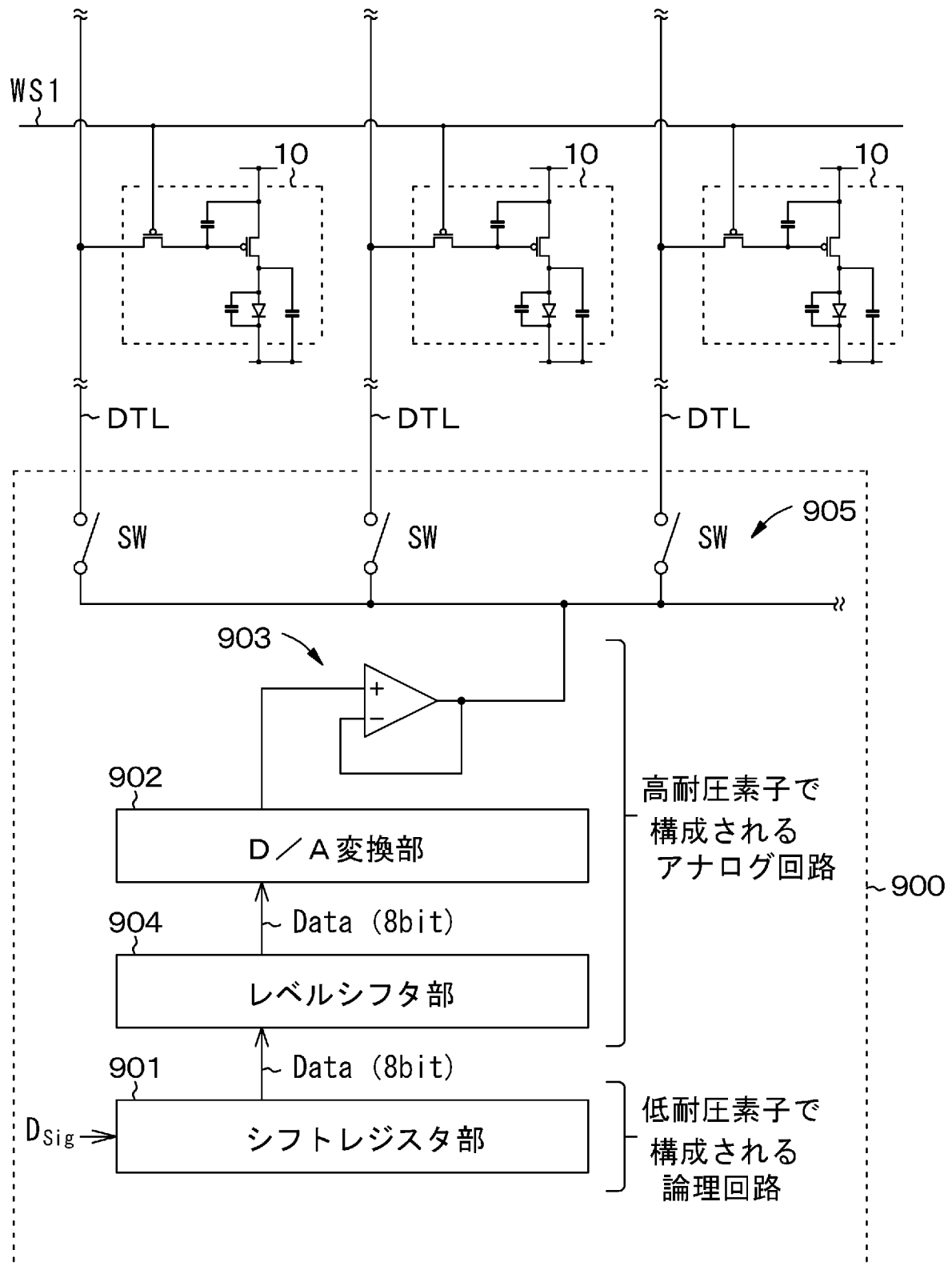
[図4]

図 4



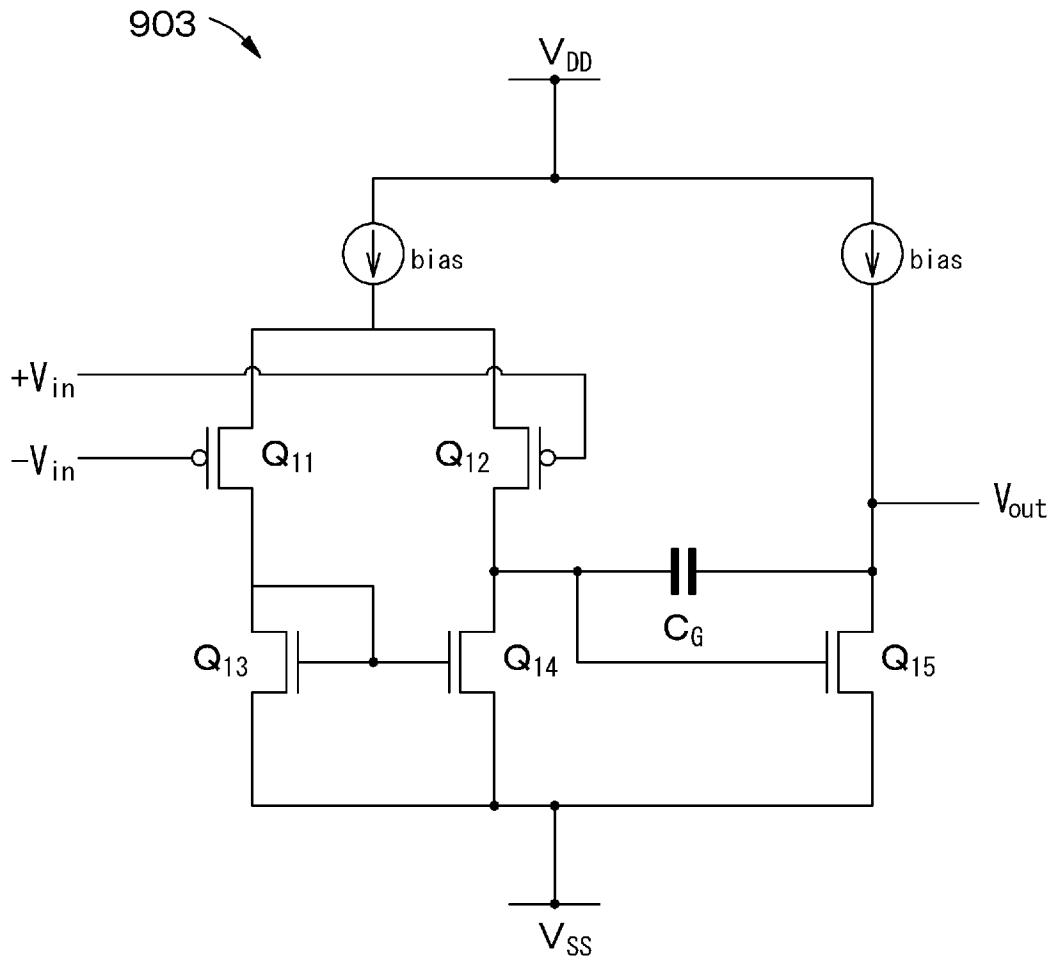
[図5]

図 5



[図6]

図 6



[図7]

図 7 A

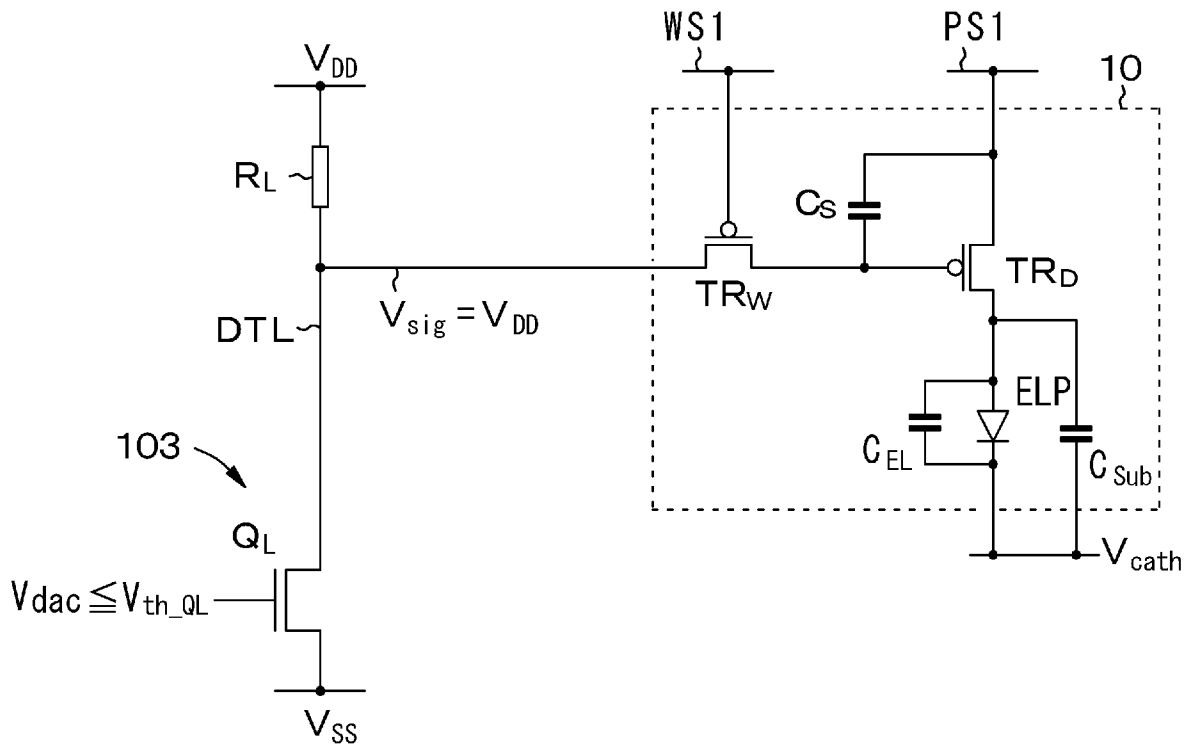
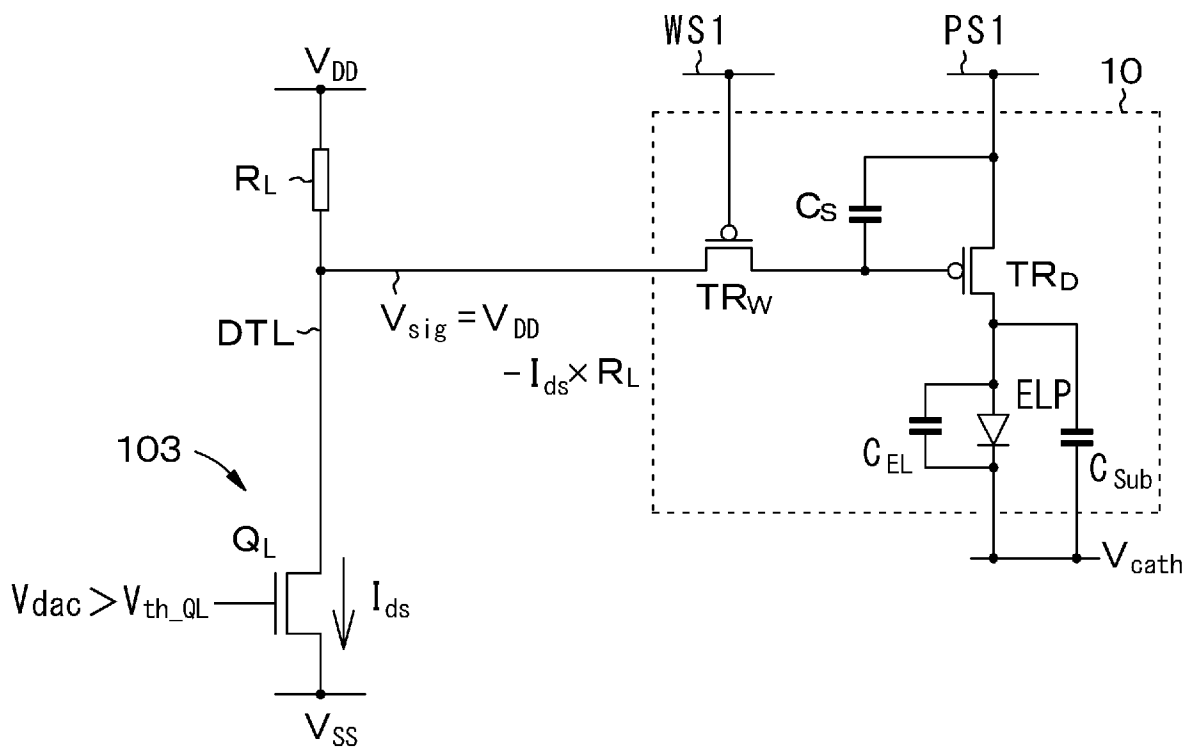
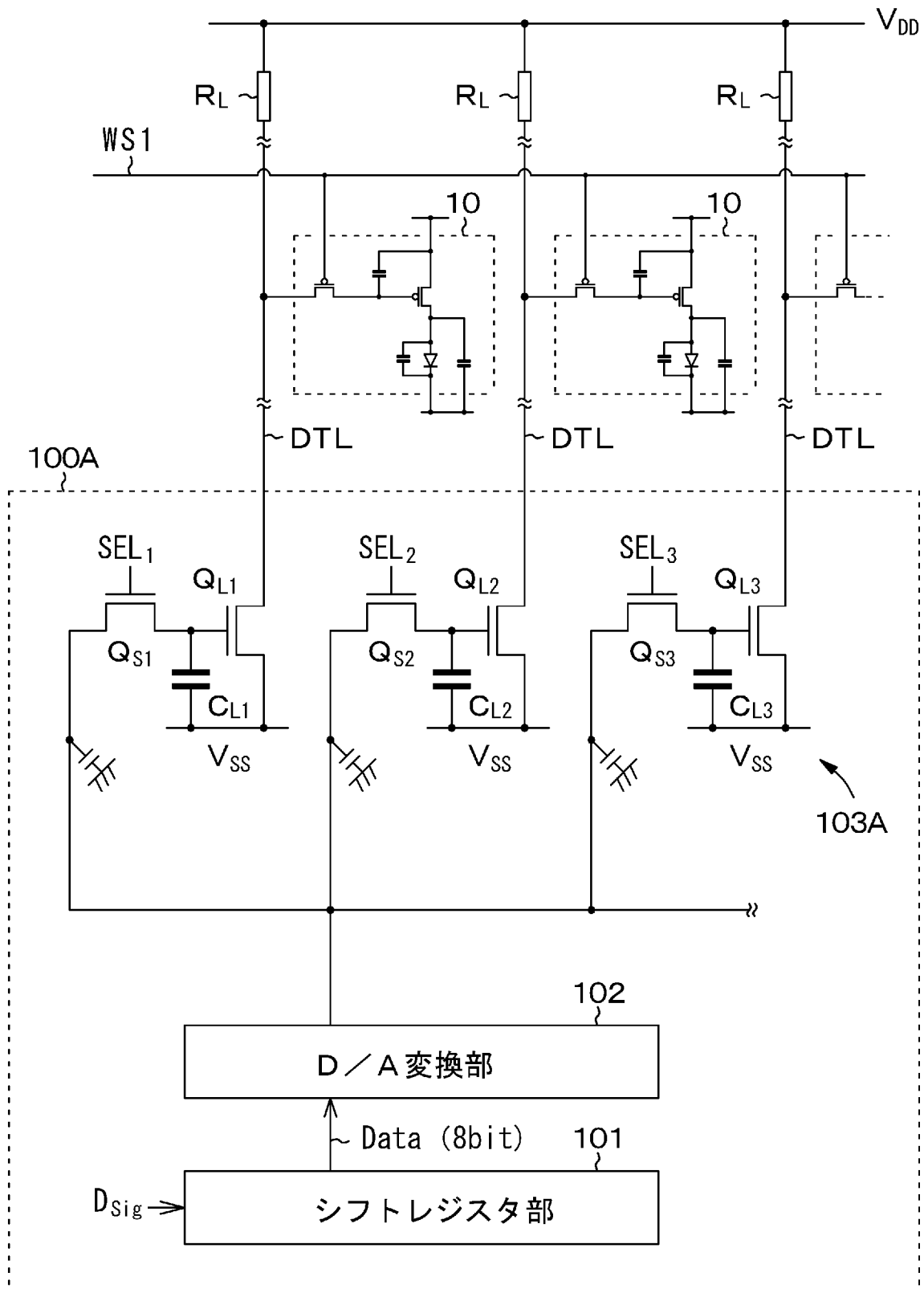


図 7 B



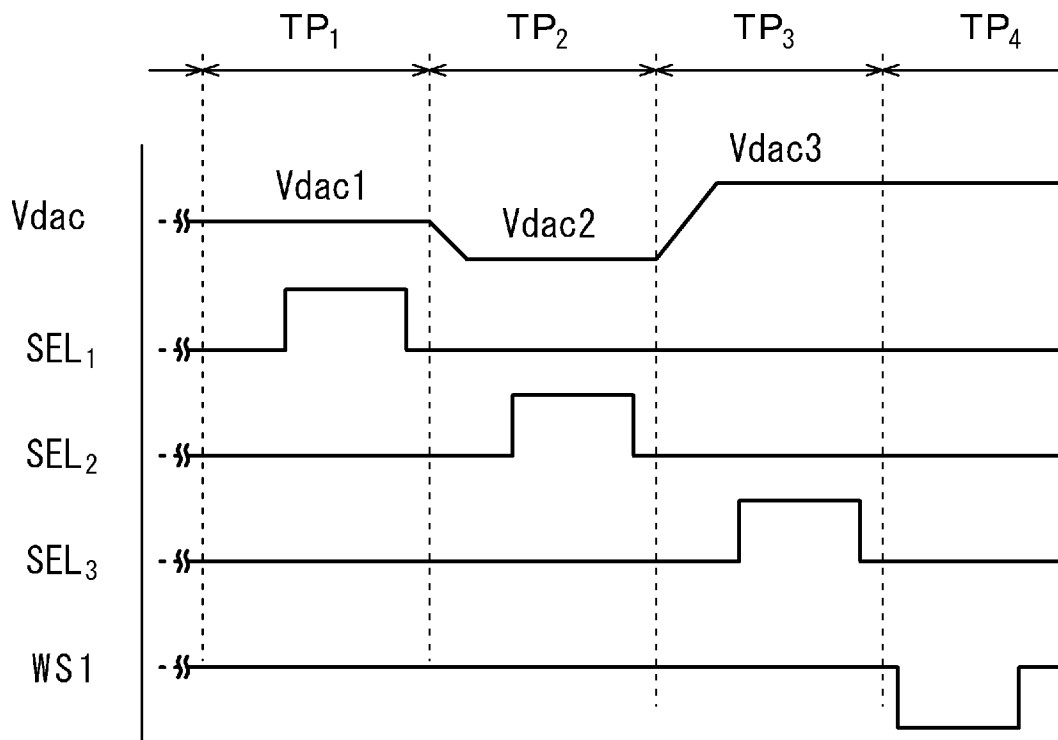
[図8]

図 8



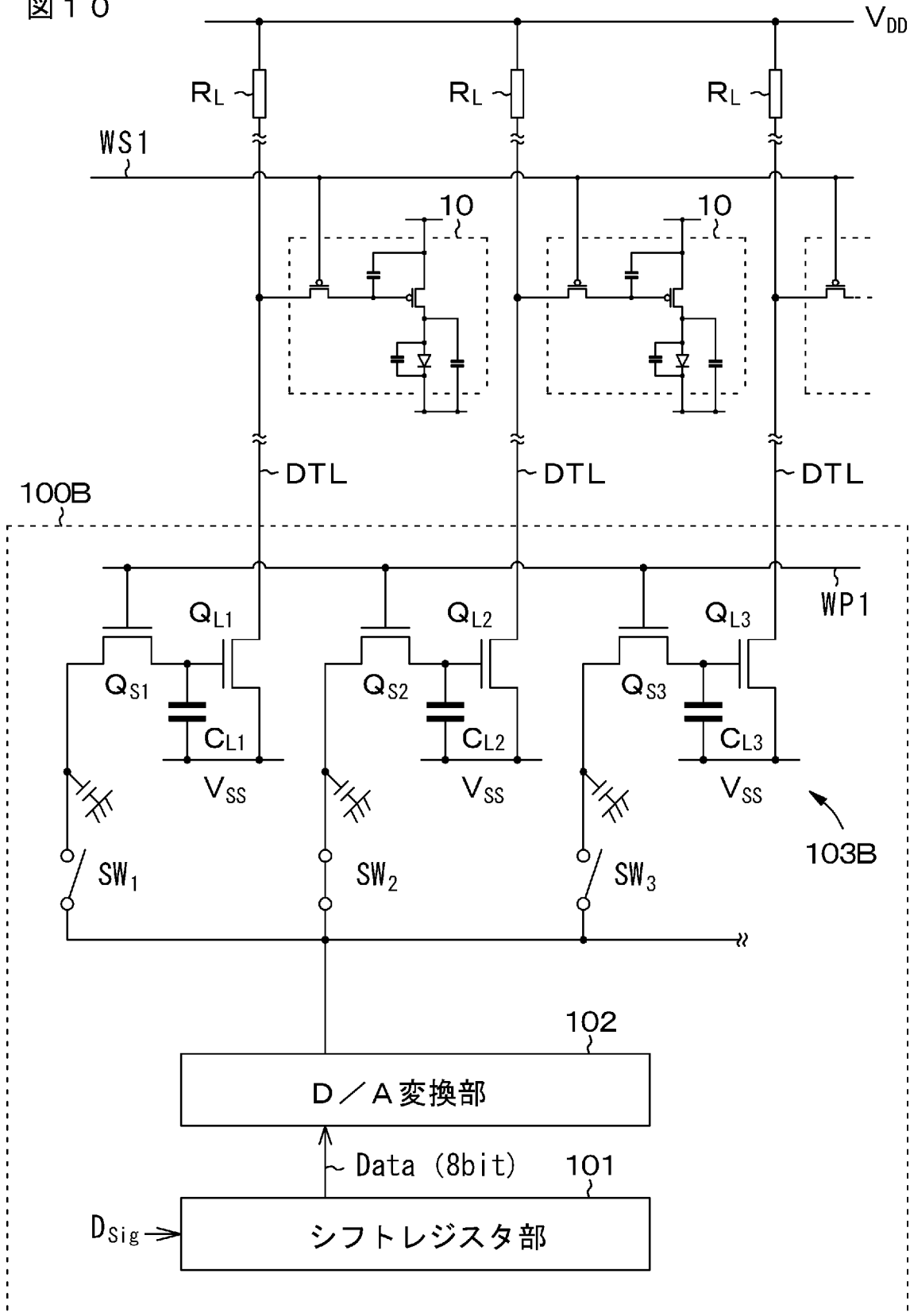
[図9]

図 9



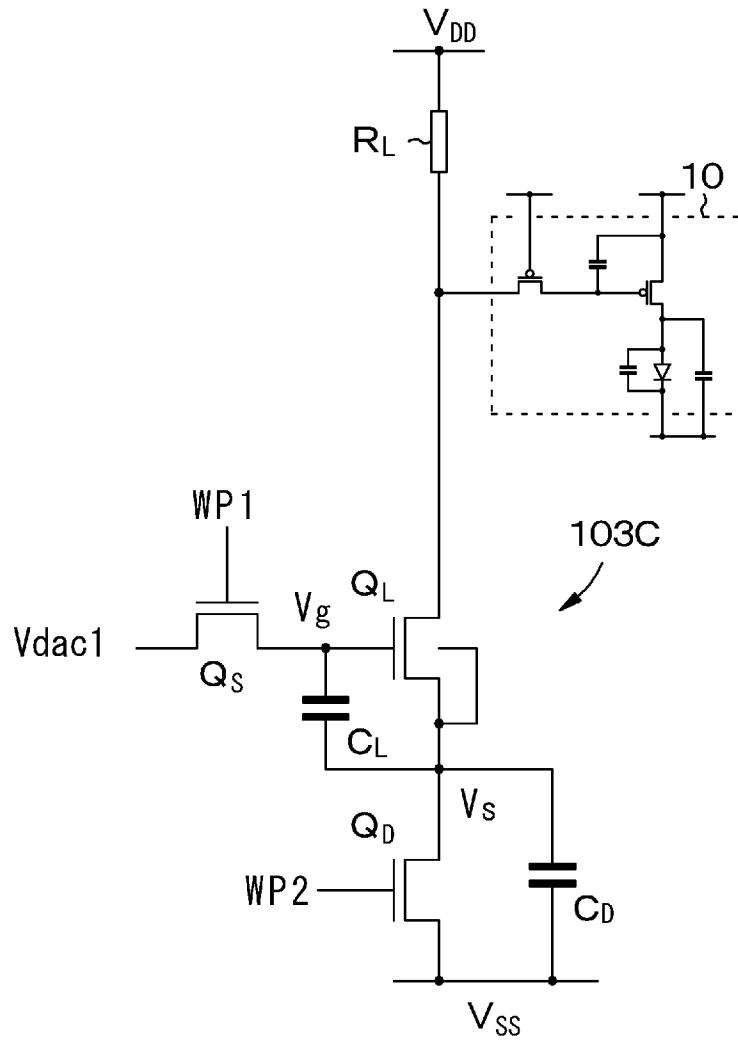
[図10]

図10



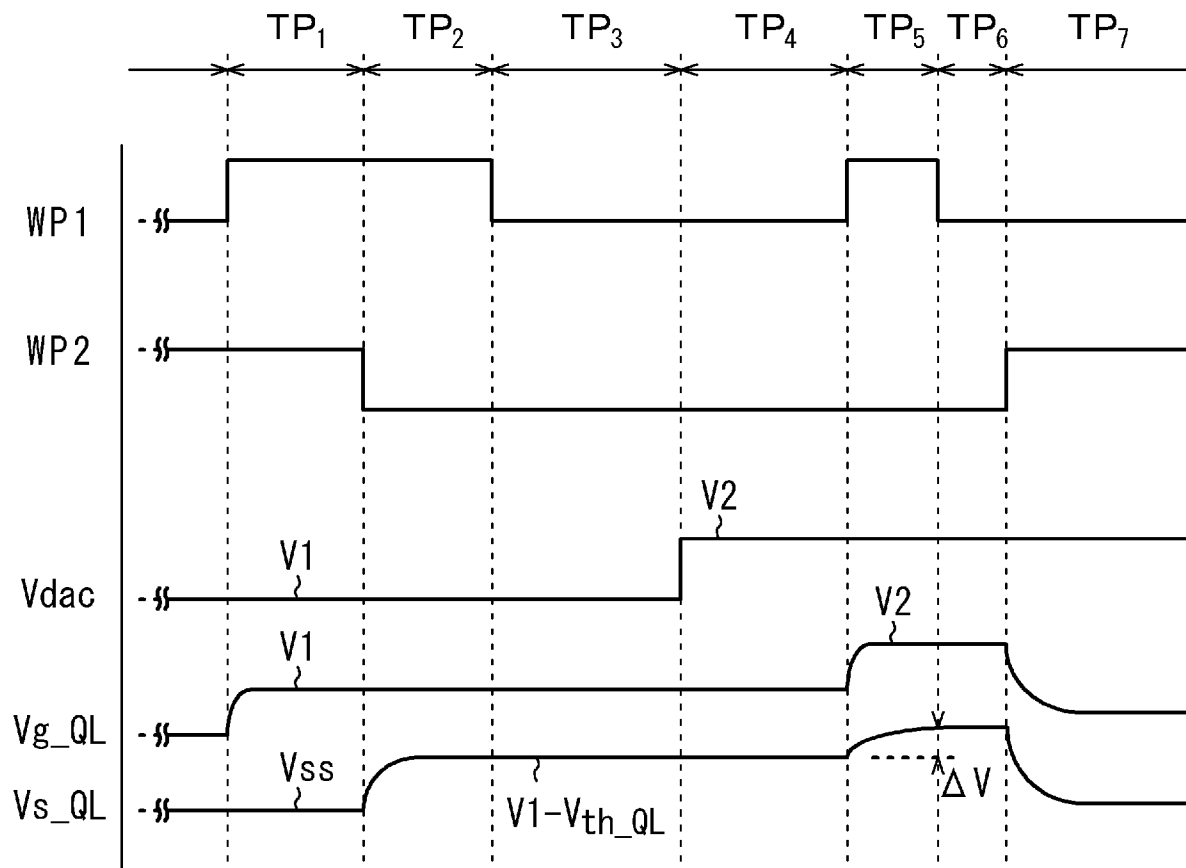
[図11]

図 1 1



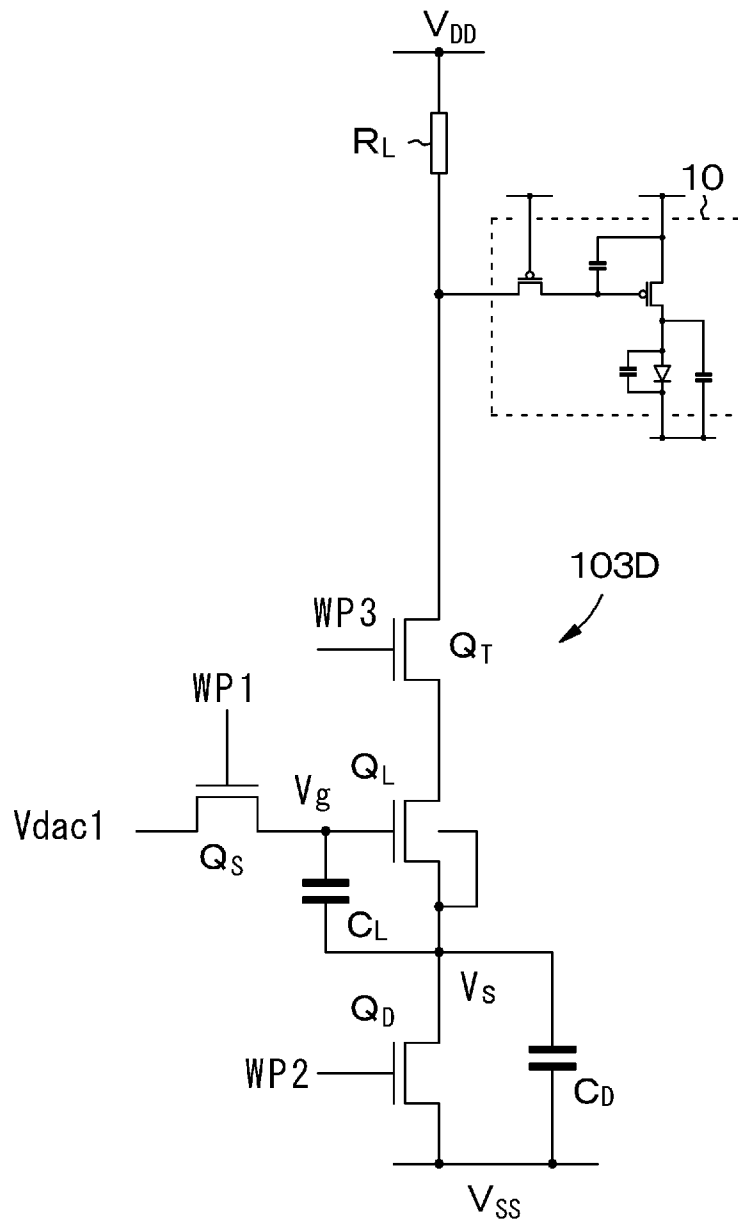
[図12]

図 1 2



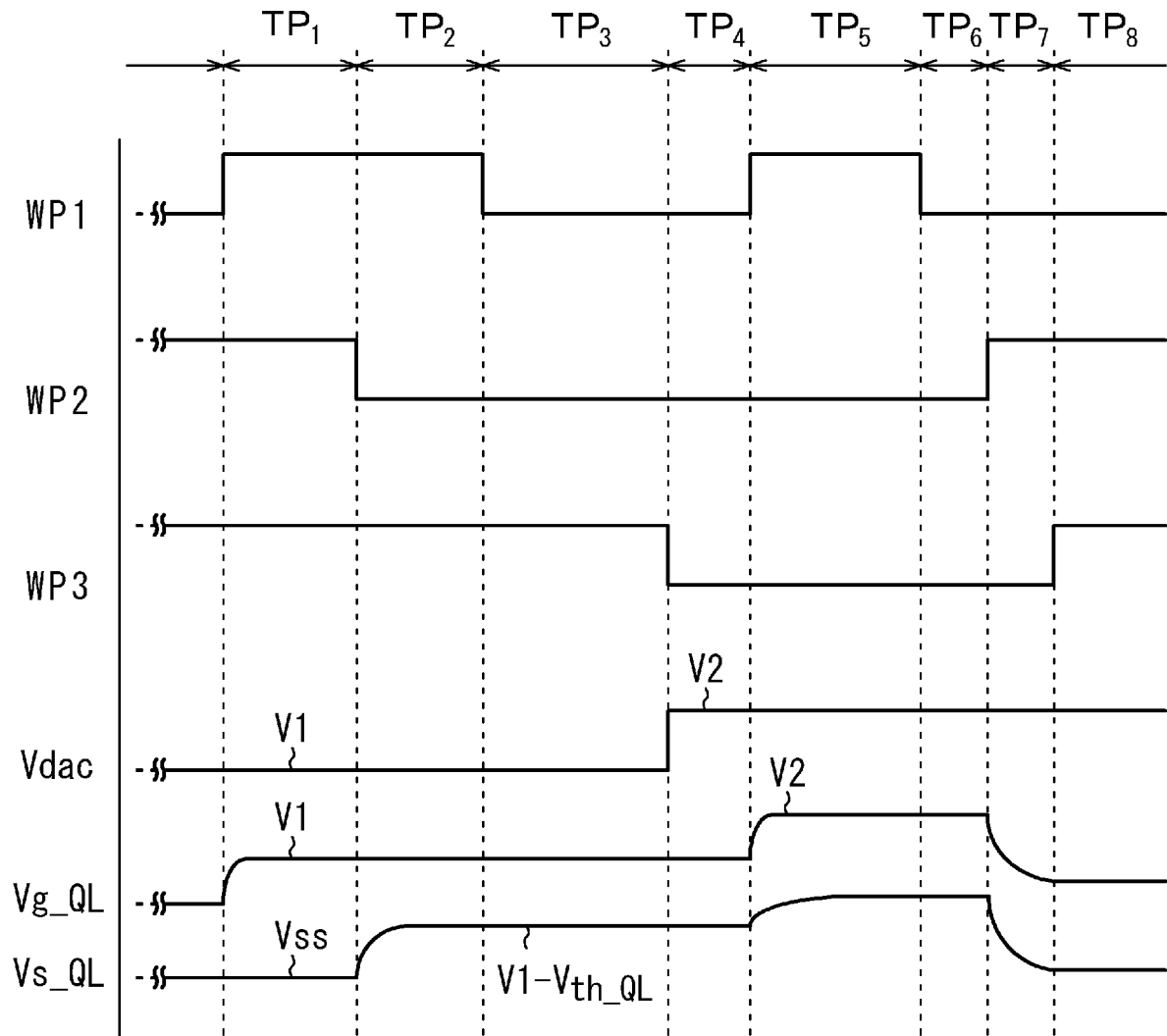
[図13]

図 1 3



[図14]

図 14



[図15]

図 1 5 A

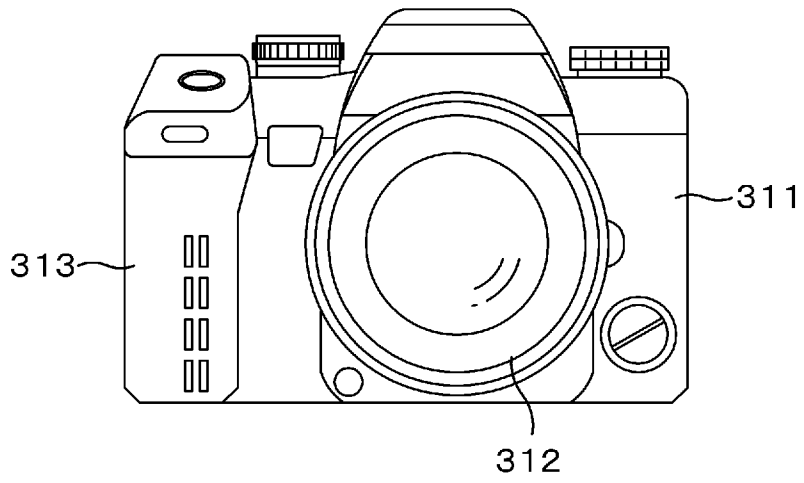
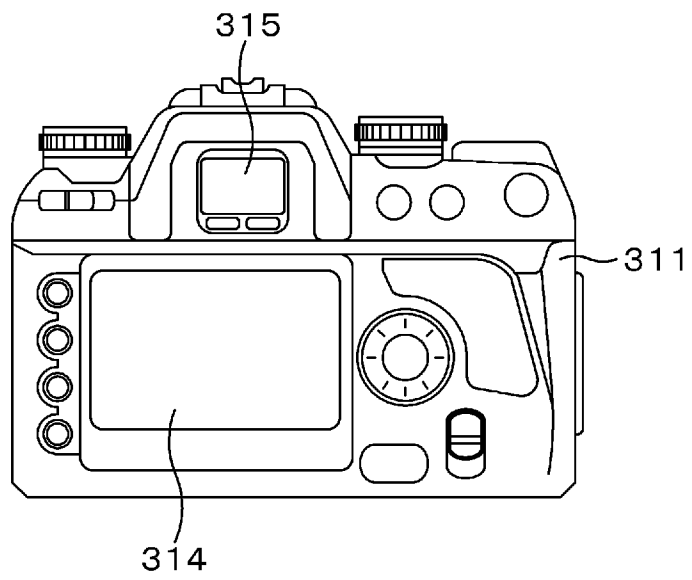
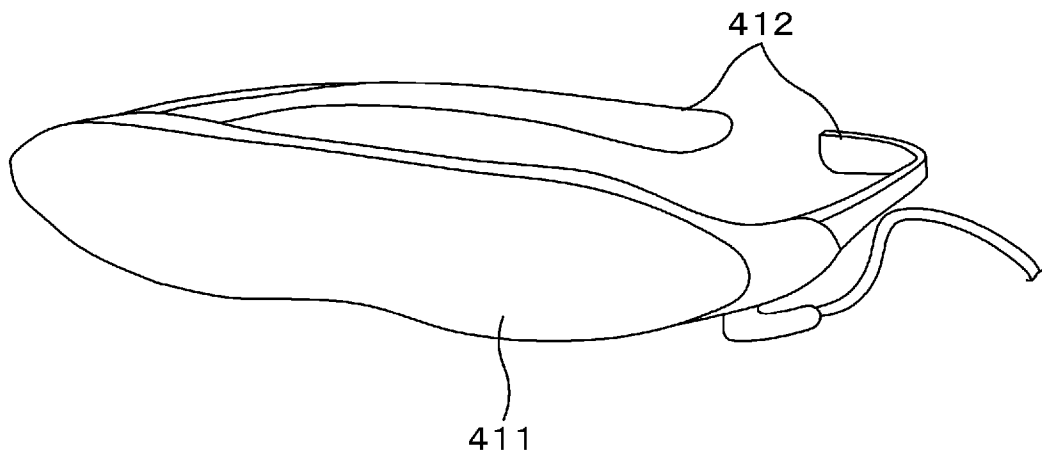


図 1 5 B



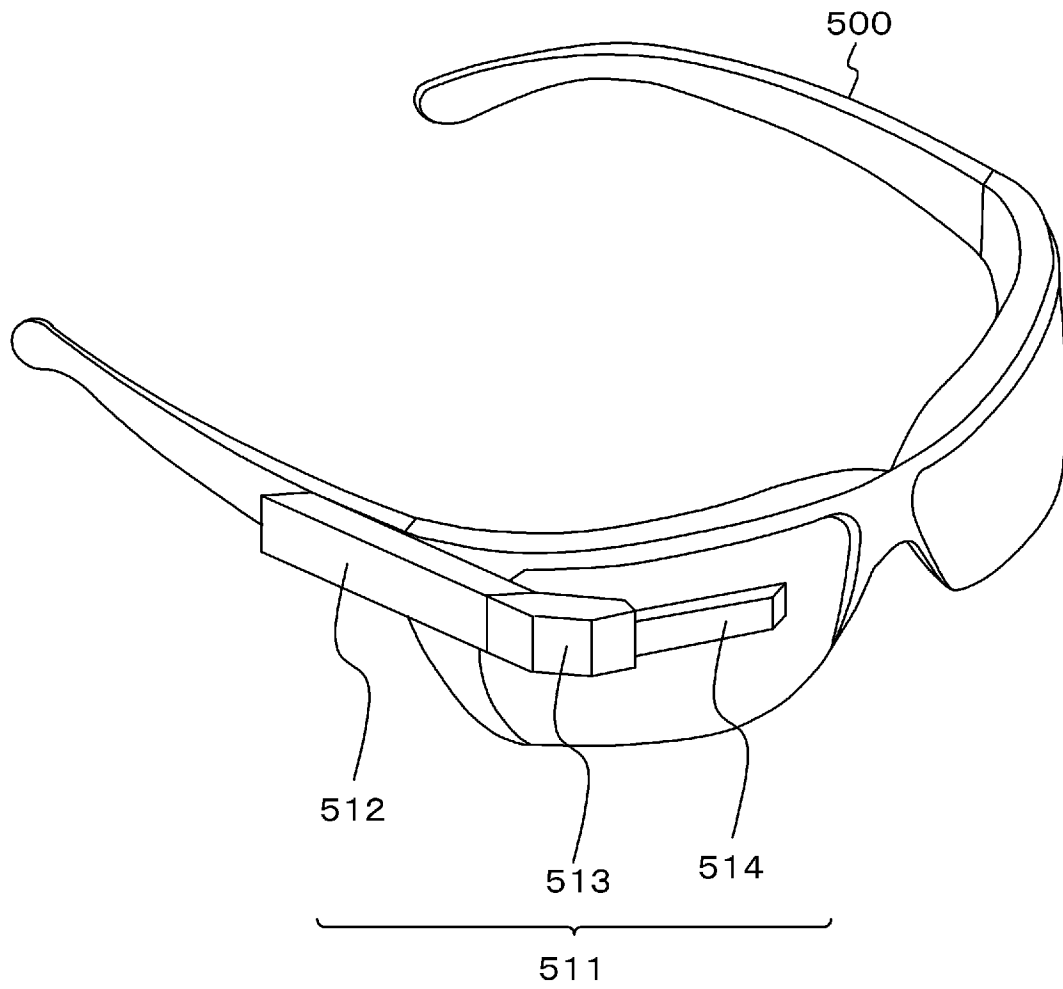
[図16]

図 1 6



[図17]

図 17



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2017/001190

**A. CLASSIFICATION OF SUBJECT MATTER**  
G09G3/3283(2016.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i, G09G3/3291(2016.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
G09G3/3283, G09G3/20, G09G3/30, G09G3/3291, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 10-49110 A (Fujitsu Ltd.), 20 February 1998 (20.02.1998), paragraphs [0002] to [0030]; fig. 1 to 4, 7 to 8 (Family: none)	1, 3, 7-14 4-6
Y	JP 2005-502093 A (Elantec Semiconductor, Inc.), 20 January 2005 (20.01.2005), fig. 4 & US 2003/0043060 A1 fig. 4 & WO 2003/021567 A1 & TW 267818 B & KR 10-2004-0044529 A	4-6

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 March 2017 (22.03.17)	Date of mailing of the international search report 04 April 2017 (04.04.17)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/001190

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-240788 A (Hitachi Displays, Ltd.), 20 September 2007 (20.09.2007), fig. 1 to 2 & US 2007/0211012 A1 fig. 1 to 2	1-14
A	JP 10-254412 A (Fujitsu Ltd.), 25 September 1998 (25.09.1998), fig. 1 to 2 (Family: none)	1-14
A	JP 2003-195815 A (Sony Corp.), 09 July 2003 (09.07.2003), fig. 19, 25 & US 2003/0128200 A1 fig. 19, 25 & WO 2002/039420 A1 & EP 1333422 A1 & TW 538649 B & CN 1404600 A	1-14
A	JP 2004-096702 A (Mitsubishi Electric Corp.), 25 March 2004 (25.03.2004), fig. 15 & US 2004/0160258 A1 fig. 15 & DE 10307320 A & TW 200304276 A & CN 1440120 A & KR 10-2003-0069868 A	1-14
A	JP 2011-004390 A (Canon Inc.), 06 January 2011 (06.01.2011), fig. 7 & US 2012/0026371 A1 fig. 7 & WO 2010/134443 A1 & EP 2433421 A1 & CN 102428695 A	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/3283(2016.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i, G09G3/3291(2016.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/3283, G09G3/20, G09G3/30, G09G3/3291, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 10-49110 A (富士通株式会社) 1998.02.20, 段落 [0002] - [0030]、図1-4、図7-8 (ファミリーなし)	1, 3, 7-14 4-6
Y	JP 2005-502093 A (エランテック セミコンダクター インコーポレーテッド) 2005.01.20, 図4 & US 2003/0043060 A1, 図4 & WO 2003/021567 A1 & TW 267818 B & KR 10-2004-0044529 A	4-6
A	JP 2007-240788 A (株式会社 日立ディスプレイズ) 2007.09.20, 図1-2 & US 2007/0211012 A1, 図1-2	1-14

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日

22.03.2017

国際調査報告の発送日

04.04.2017

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

森口 忠紀

2G

4402

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-254412 A (富士通株式会社) 1998.09.25, 図1-2 (ファミリーなし)	1-14
A	JP 2003-195815 A (ソニー株式会社) 2003.07.09, 図19、25 & US 2003/0128200 A1, 図19、25 & WO 2002/039420 A1 & EP 1333422 A1 & TW 538649 B & CN 1404600 A	1-14
A	JP 2004-096702 A (三菱電機株式会社) 2004.03.25, 図15 & US 2004/0160258 A1, 図15 & DE 10307320 A & TW 200304276 A & CN 1440120 A & KR 10-2003-0069868 A	1-14
A	JP 2011-004390 A (キヤノン株式会社) 2011.01.06, 図7 & US 2012/0026371 A1, 図7 & WO 2010/134443 A1 & EP 2433421 A1 & CN 102428695 A	1-14