



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월11일
(11) 등록번호 10-2715549
(24) 등록일자 2024년10월04일

- (51) 국제특허분류(Int. Cl.)
H01L 21/67 (2006.01) H01L 21/52 (2006.01)
H01L 21/677 (2006.01) H01L 21/683 (2006.01)
H01L 23/00 (2006.01) H05K 13/04 (2006.01)
- (52) CPC특허분류
H01L 21/67144 (2013.01)
H01L 21/52 (2013.01)
- (21) 출원번호 10-2021-7039736
- (22) 출원일자(국제) 2020년11월12일
심사청구일자 2021년12월03일
- (85) 번역문제출일자 2021년12월03일
- (65) 공개번호 10-2022-0004193
- (43) 공개일자 2022년01월11일
- (86) 국제출원번호 PCT/JP2020/042204
- (87) 국제공개번호 WO 2021/100591
국제공개일자 2021년05월27일
- (30) 우선권주장
JP-P-2019-209095 2019년11월19일 일본(JP)
- (56) 선행기술조사문헌
JP2012019096 A*
(뒷면에 계속)

- (73) 특허권자
가부시킴가이샤 신가와
일본국 도쿄도 무사시무라야마시 이나다이라 2쵸메 51반지노 1
- (72) 발명자
세야마 코헤이
일본 2088585 도쿄도 무사시무라야마시 이나다이라 2쵸메 51반지노 1 가부시킴가이샤 신가와 내
- (74) 대리인
특허법인와이에스장

전체 청구항 수 : 총 7 항

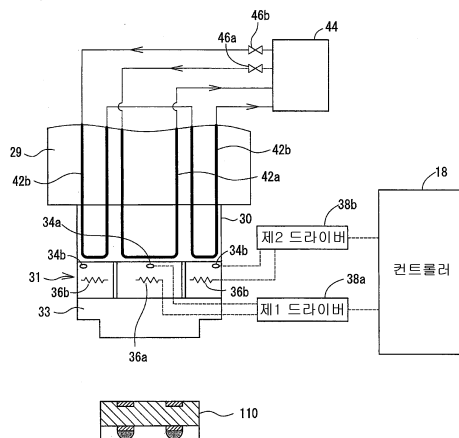
심사관 : 송윤선

(54) 발명의 명칭 반도체 장치의 제조 장치 및 제조 방법

(57) 요약

반도체 장치의 제조 장치(10)는 기관(100)이 재치되는 스테이지(12)와, 상기 스테이지(12)와 대향 배치되고, 상기 기관(100)에 반도체칩(110)을 본딩하는 본딩 헤드(14)와, 컨트롤러(18)를 갖추고, 상기 본딩 헤드(14)는 상기 반도체칩(110)을 흡인 유지하는 어태치먼트(33)와, 상기 어태치먼트(33)를 착탈 자유롭게 유지하고, 상기 어태치먼트(33)를 가열하는 가열부(31)이며, 제1 가열 에리어(32a)와, 상기 제1 가열 에리어(32a)를 수평 방향으로 둘러싸는 제2 가열 에리어(32b)를 가지는 가열부(31)를 포함하고, 상기 컨트롤러(18)는 상기 제1 가열 에리어(32a)와 제2 가열 에리어(32b)의 온도를 독립적으로 제어한다.

대표도 - 도4



(52) CPC특허분류

H01L 21/67103 (2013.01)
H01L 21/67721 (2013.01)
H01L 21/6838 (2013.01)
H01L 24/75 (2013.01)
H05K 13/0409 (2020.05)
H01L 2224/75282 (2013.01)

(56) 선행기술조사문헌

JP11003911 A*
KR1020150055234 A
KR1020150141361 A
KR100274127 B1
KR1020180055216 A
JP2007258483 A
JP2019033188 A
JP2000277893 A
JP평성08124972 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기판이 재치되는 스테이지와,

상기 스테이지와 대향 배치되고, 상기 기판에 반도체칩을 본딩하는 본딩 헤드와,

컨트롤러를 갖추고,

상기 본딩 헤드는

상기 반도체칩을 흡인 유지하는 어태치먼트와,

상기 어태치먼트를 착탈 자유롭게 유지하고, 상기 어태치먼트를 가열하는 가열부이며, 제1 가열 에리어와, 상기 제1 가열 에리어를 수평 방향으로 둘러싸는 제2 가열 에리어를 가지는 가열부와,

상기 제1 가열 에리어 및 상기 제2 가열 에리어 각각의 온도를 검출하는 온도 센서를 포함하고,

상기 컨트롤러는 상기 제1 가열 에리어 및 상기 제2 가열 에리어의 에리어 목표 온도를 미리 각각 기억하고 있고, 상기 기억된 에리어 목표 온도와, 상기 온도 센서에서의 에리어 검출 온도와의 차분에 따라, 상기 제1 가열 에리어와 제2 가열 에리어의 발열량을 독립적으로 제어하고,

상기 컨트롤러는, 상기 반도체칩의 본딩에 앞서, 상기 에리어 목표 온도를 취득하는 목표 취득 처리를 실행하도록 구성되고,

상기 목표 취득 처리에서, 상기 컨트롤러는 온도 센서가 부착된 샘플 칩을 상기 본딩 헤드로 본딩시킴과 아울러, 상기 부착된 온도 센서로 상기 샘플 칩의 온도 분포를 취득하고, 또한 상기 제1 가열 에리어 및 상기 제2 가열 에리어 각각의 에리어 검출 온도를 취득하고, 상기 취득된 샘플 칩의 온도 분포 및 에리어 검출 온도에 기초하여, 상기 제1 가열 에리어 및 상기 제2 가열 에리어의 에리어 목표 온도를 산출하는 것을 특징으로 하는 반도체 장치의 제조 장치.

청구항 2

제1항에 있어서,

상기 본딩 헤드는, 또한, 상기 제1 가열 에리어, 상기 제2 가열 에리어에 대응하여 설치됨과 아울러 서로 독립된 냉각 경로이며, 냉매가 흐름으로써 대응하는 상기 제1 가열 에리어 및 상기 제2 가열 에리어를 냉각하는 냉각 경로를 가지고 있고,

상기 컨트롤러는, 상기 기억된 에리어 목표 온도와, 상기 온도 센서에서의 에리어 검출 온도와의 차분에 따라, 상기 발열량 및 상기 냉매의 유량을 제어하는 것을 특징으로 하는 반도체 장치의 제조 장치.

청구항 3

기판이 재치되는 스테이지와,

상기 스테이지와 대향 배치되고, 상기 기판에 반도체칩을 본딩하는 본딩 헤드와,

컨트롤러를 갖추고,

상기 본딩 헤드는

상기 반도체칩을 흡인 유지하는 어태치먼트와,

상기 어태치먼트를 착탈 자유롭게 유지하고, 상기 어태치먼트를 가열하는 가열부이며, 제1 가열 에리어와, 상기 제1 가열 에리어를 수평 방향으로 둘러싸는 제2 가열 에리어를 가지는 가열부와,

냉매가 흐름으로써 상기 제1 가열 에리어를 냉각하는 제1 냉각 경로와,

상기 제1 냉각 경로와 독립적으로 설치되고, 냉매가 흐름으로써 상기 제2 가열 에리어를 냉각하는 제2 냉각 경로를 포함하고,

상기 컨트롤러는 상기 제1 가열 에리어와 상기 제2 가열 에리어의 발열량, 및 상기 제1 냉각 경로 및 제2 냉각 경로에 흐르는 냉매량을 독립적으로 제어하는 것을 특징으로 하는 반도체 장치의 제조 장치.

청구항 4

제3항에 있어서,

상기 본딩 헤드는, 또한, 상기 제1 가열 에리어 및 상기 제2 가열 에리어의 온도를 검출하는 온도 센서를 각각 가지고 있고,

상기 컨트롤러는 상기 제1 가열 에리어 및 상기 제2 가열 에리어의 에리어 목표 온도를 미리 각각 기억하고 있고, 상기 기억된 에리어 목표 온도와, 상기 온도 센서에서의 에리어 검출 온도와의 차분에 따라, 상기 제1 가열 에리어와 제2 가열 에리어의 발열량을 제어하는 것을 특징으로 하는 반도체 장치의 제조 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 컨트롤러는 본딩 실행 시에 상기 반도체칩의 면내 온도 분포가 균일하게 되도록, 상기 제1 가열 에리어와 제2 가열 에리어의 발열량을 제어하는 것을 특징으로 하는 반도체 장치의 제조 장치.

청구항 6

제1항, 제2항 및 제4항 중 어느 한 항에 있어서,

상기 제1 가열 에리어의 상기 에리어 목표 온도는 상기 제2 가열 에리어의 상기 에리어 목표 온도보다도 낮은 것을 특징으로 하는 반도체 장치의 제조 장치.

청구항 7

반도체 장치의 제조 방법으로서,

스테이지에 기판을 재치하는 스텝과,

상기 스테이지에 대하여 이동이 가능한 본딩 헤드를 구동하여, 상기 기판에 반도체칩을 본딩하는 스텝을 포함하고,

상기 본딩 헤드는

상기 반도체칩을 흡인 유지하는 어태치먼트와,

상기 어태치먼트를 착탈 자유롭게 유지하고, 상기 어태치먼트를 가열하는 가열부이며, 제1 가열 에리어와, 상기 제1 가열 에리어를 수평 방향으로 둘러싸는 제2 가열 에리어를 가지는 가열부와,

상기 제1 가열 에리어 및 상기 제2 가열 에리어 각각의 온도를 검출하는 온도 센서를 포함하고,

상기 본딩의 실행 시에는, 미리 기억된 상기 제1 가열 에리어 및 상기 제2 가열 에리어의 에리어 목표 온도와, 상기 온도 센서에서의 에리어 검출 온도와의 차분에 따라, 상기 제1 가열 에리어와 제2 가열 에리어의 발열량을 독립적으로 제어하고,

상기 반도체칩의 본딩에 앞서, 또한, 상기 에리어 목표 온도를 취득하는 목표 취득 스텝을 갖추고,

상기 목표 취득 스텝에서는, 온도 센서가 부착된 샘플 칩을 상기 본딩 헤드로 본딩시킴과 아울러, 상기 부착된 온도 센서로 상기 샘플 칩의 온도 분포를 취득하고, 또한 상기 제1 가열 에리어 및 상기 제2 가열 에리어 각각의 에리어 검출 온도를 취득하고, 상기 취득된 샘플 칩의 온도 분포 및 에리어 검출 온도에 기초하여, 상기 제1 가열 에리어 및 상기 제2 가열 에리어의 에리어 목표 온도를 산출하는 것을 특징으로 하는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 명세서에서는, 기관에 하나 이상의 반도체칩을 본딩함으로써 반도체 장치를 제조하는 반도체 장치의 제조 장치, 및 제조 방법을 개시한다.

배경 기술

[0002] 종래부터, 기관에 하나 이상의 반도체칩을 본딩함으로써 반도체 장치를 제조하는 반도체 장치의 제조 장치가 알려져 있다. 이러한 제조 장치에는, 통상, 반도체칩을 흡인 유지하고, 기관 또는 다른 반도체칩의 위에 본딩하는 본딩 틀이 설치되어 있다. 본딩 틀에는, 가열 수단으로 가열되는 가열부와, 당해 가열부에 착탈 자유로운 어태치먼트가 설치되어 있다. 반도체칩은 어태치먼트를 통하여 흡착 유지되고 있고, 어태치먼트는 취급하는 반도체칩의 사이즈 등에 따라 적당하게 교환된다. 반도체칩을 본딩할 때, 본딩 틀은 본딩 대상의 반도체칩을 가압하면서 가열한다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특개 2004-29576호 공보

발명의 내용

해결하려는 과제

[0004] 여기에서, 반도체칩을 본딩할 때, 가열 대상물(예를 들면, 반도체칩 등)의 온도 분포가 목적 대로의 분포가 되는 것이 요구된다. 예를 들면, 플립 칩 본딩에서는, 반도체칩의 바닥면에 형성된 복수의 범프를 열용융시켜, 기관 또는 다른 반도체칩의 표면에 형성된 전극과 접합시킨다. 이때, 반도체칩의 온도 분포가 불균일하면, 장소에 따라, 범프의 용융 상태가 달라, 접합 불량이나, 반도체칩과 기관(또는 다른 반도체칩)과의 사이의 갭량이 불균하게 되는 등의 문제를 초래한다. 그 때문에 플립 칩 본딩에서는, 가열 대상물인 반도체칩의 온도 분포가 균등하게 되는 것이 요구된다. 또, 본딩이나 가열 대상물의 종류에 따라서는, 가열 대상물의 주연부를 중심부보다 고온으로 하고 싶은 경우나, 가열 대상물의 중심부를 주연부보다 고온으로 하고 싶은 경우도 있다.

[0005] 그러나, 가열 대상물(예를 들면, 반도체칩)측의 흡열 레이트가 장소에 따라 다름에도 불구하고, 종래의 본딩 틀에서는, 가열 계통이 하나밖에 설치되어 있지 않았다. 한편, 가열 대상물의 흡열 레이트는, 통상, 중심부보다 주연 근방 쪽이 높다. 그 때문에, 본딩 틀로 가열했을 때의 가열 대상물의 온도는 주연에 가까이 접근할수록 낮아지기 쉬웠다. 즉, 종래의 기술에서는, 가열 대상물의 온도 분포를 목적대로의 분포로 하기는 어려웠다.

[0006] 또한, 특허문헌 1에는, 표시 패널의 접속용의 주연부에, 이방성 도전막을 배치하고, 가압착용 히터틀로 가열하면서 가압함으로써, 이방성 도전막을 주연부에 붙이는 기술이 개시되어 있다. 이 특허문헌 1에서는, 이방성 도전막의 양단부에 있어서의 가압착 불량을 방지하기 위해, 가압착용 히터틀을, 이방성 도전막의 중간 부분을 가압하는 주 히터틀과, 이방성 도전막의 양단부를 가압하는 단부 히터틀로 분할하고, 이방성 도전막의 양단부가 중간 부분보다 고온이 되도록, 주 히터틀 및 단부 히터틀의 온도를 제어하고 있다. 이 특허문헌 1의 기술은, 어디까지나, 이방성 도전막의 압착에 관한 기술이며, 반도체칩의 본딩에는 적용할 수 없다.

[0007] 그래서, 본 명세서에서는, 본딩 시에 있어서의 가열 대상물의 온도 분포를 제어할 수 있는 반도체 장치의 제조 장치 및 제조 방법을 개시한다.

과제의 해결 수단

[0008] 본 명세서에서 개시하는 반도체 장치의 제조 장치는 기관이 재치되는 스테이지와, 상기 스테이지와 대향 배치되고, 상기 기관에 반도체칩을 본딩하는 본딩 헤드와, 컨트롤러를 갖추고, 상기 본딩 헤드는 상기 반도체칩을 흡인 유지하는 어태치먼트와, 상기 어태치먼트를 착탈 자유롭게 유지하고, 상기 어태치먼트를 가열하는 가열부이며, 제1 가열 에리어와, 상기 제1 가열 에리어를 수평 방향으로 둘러싸는 제2 가열 에리어를 가지는 가열부를 포함하고, 상기 컨트롤러는 상기 제1 가열 에리어와 제2 가열 에리어의 온도를 독립하여 제어하는 것을 특징으로 한다.

- [0009] 이 경우, 상기 컨트롤러는, 본딩 실행 시에 상기 반도체칩의 면내 온도 분포가 균일하게 되도록, 상기 제1 가열 에리어와 제2 가열 에리어의 발열량을 제어해도 된다.
- [0010] 또, 상기 본딩 헤드는, 또한, 상기 제1 가열 에리어 및 상기 제2 가열 에리어의 온도를 검출하는 온도 센서를 각각 가지고 있고, 상기 컨트롤러는 상기 제1 가열 에리어 및 상기 제2 가열 에리어의 에리어 목표 온도를 미리 각각 기억하고 있어, 상기 기억된 에리어 목표 온도와, 상기 온도 센서에서의 에리어 검출 온도와의 차분에 따라, 상기 제1 가열 에리어와 제2 가열 에리어의 발열량을 제어해도 된다.
- [0011] 또, 상기 본딩 헤드는, 또한, 상기 제1 가열 에리어, 상기 제2 가열 에리어에 대응하여 설치됨과 아울러, 서로 독립된 냉각 경로이며, 냉매가 흐름으로써 대응하는 상기 제1 가열 에리어 및 상기 제2 가열 에리어를 냉각하는 냉각 경로를 가지고 있고, 상기 컨트롤러는 상기 기억된 에리어 목표 온도와, 상기 온도 센서에서의 에리어 검출 온도와의 차분에 따라, 상기 발열량 및 상기 냉매의 유량을 제어해도 된다.
- [0012] 또, 상기 컨트롤러는, 상기 반도체칩의 본딩에 앞서, 상기 에리어 목표 온도를 취득하는 목표 취득 처리를 실행하도록 구성되고, 상기 목표 취득 처리에 있어서, 상기 컨트롤러는 샘플 칩을 상기 본딩 헤드로 본딩시킴과 아울러, 그때의 상기 샘플 칩의 온도 분포와 상기 제1 가열 에리어 및 상기 제2 가열 에리어 각각의 에리어 검출 온도를 취득하고, 얻어진 칩의 온도 분포 및 에리어 검출 온도에 기초하여 상기 제1 가열 에리어 및 상기 제2 가열 에리어의 에리어 목표 온도를 산출해도 된다.
- [0013] 또, 상기 제1 가열 에리어의 상기 에리어 목표 온도는 상기 제2 가열 에리어의 상기 에리어 목표 온도보다 낮아도 된다.
- [0014] 또, 본 명세서에서 개시하는 반도체 장치의 제조 방법은 스테이지에 기판을 재치하는 스텝과, 상기 스테이지에 대해 이동이 가능한 본딩 헤드를 구동하여, 상기 기판에 반도체칩을 본딩하는 스텝을 포함하고, 상기 본딩 헤드는 상기 반도체칩을 흡인 유지하는 어태치먼트와, 상기 어태치먼트를 착탈 자유롭게 유지하고, 상기 어태치먼트를 가열하는 가열부이며, 제1 가열 에리어와, 상기 제1 가열 에리어를 수평 방향으로 둘러싸는 제2 가열 에리어를 가지는 가열부를 가지고 있고, 상기 본딩의 실행 시에, 컨트롤러가 상기 제1 가열 에리어와 제2 가열 에리어의 온도를 독립하여 제어하는 것을 특징으로 한다.

발명의 효과

- [0015] 본 명세서에서 개시된 반도체 장치의 제조 장치 및 제조 방법에 의하면, 본딩 헤드의 가열부가 제1 가열 에리어와 제2 가열 에리어로 분할되어 있고, 또한, 컨트롤러가 제1 가열 에리어와 제2 가열 에리어의 온도를 독립하여 제어하기 때문에, 본딩 시에 있어서의 가열 대상물의 온도 분포를 제어할 수 있다.

도면의 간단한 설명

- [0016] 도 1은 제조 장치의 구성을 도시하는 모식도이다.
- 도 2는 반도체칩 및 기판의 모식도이다.
- 도 3은 반도체칩의 온도 분포의 1 예를 도시하는 그래프이다.
- 도 4는 본딩 헤드의 구성을 도시하는 모식도이다.
- 도 5는 본딩 헤드의 가열부의 개략 평면도이다.
- 도 6은 반도체칩을 본딩할 때의 에리어 검출 온도의 경시적 변화를 나타내는 그래프이다.
- 도 7은 목표 취득 처리의 흐름을 나타내는 흐름도이다.
- 도 8은 종래의 본딩 헤드의 구성을 도시하는 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] (발명을 실시하기 위한 형태)
- [0018] 이하, 도면을 참조하여 반도체 장치의 제조 장치(10)의 구성에 대해 설명한다. 도 1은 제조 장치(10)의 구성을 도시하는 모식도이다. 이 제조 장치(10)는 기판(100)에 복수의 반도체칩(110)을 본딩함으로써 반도체 장치를 제조한다.

- [0019] 제조 장치(10)는 픽업 유닛(12)과, 본딩 헤드(14)와, 스테이지(16)와, 컨트롤러(18)를 가지고 있다. 픽업 유닛(12)은 다이싱 테이프(120)에 재치된 반도체칩(110)을 밀어올리는 밀어올림 핀(20)과, 밀어올려진 반도체칩(110)을 그 바닥면으로 유지하는 픽업 헤드(22)를 가진다. 픽업 헤드(22)는 수평 방향으로 뺀 회전축(0)을 중심으로 회전 가능하게 되어 있다. 픽업 헤드(22)가 180도 회전함으로써, 픽업한 반도체칩(110)을 두께 방향으로 180도 반전시킬 수 있다. 이것에 의해, 반도체칩(110) 중 다이싱 테이프(120)에 접촉되어 있던 면이 상방을 향한다.
- [0020] 본딩 헤드(14)는 도시하지 않은 XY 구동 기구에 의해, 스테이지(16)의 상면과 평행한 수평 방향으로 이동하고, 도시하지 않은 Z축 구동 기구에 의해, 수평 방향과 직교하는 연직 방향으로 이동한다. 이 본딩 헤드(14)에는, 반도체칩(110)을 흡착 유지하는 어태치먼트(도 1에서는 도시 생략)와, 당해 어태치먼트(33)를 가열하는 히터(도 1에서는 도시 생략)가 설치되어 있다. 또, 어태치먼트(33)는 반도체칩(110)의 종류에 따라 선택된다. 이 본딩 헤드(14)의 구체적인 구성에 대해서는 후술한다.
- [0021] 또, 본딩 헤드(14)에는, 또한, 제1 카메라(26)도 설치되어 있다. 제1 카메라(26)는 광축이 하방으로 뺀 자세로 본딩 헤드(14)에 부착되어 있어, 스테이지(16)에 재치된 기관(100) 등을 촬상한다. 컨트롤러(18)는 이 제1 카메라(28)로 촬상된 화상 등에 기초하여 본딩 헤드(14)와 기관(100)과의 상대위치 관계를 산출하고, 그 산출 결과에 기초하여 본딩 헤드(14)를 위치 결정한다. 스테이지(16)는, 도시하지 않은 반송 기구에 의해 반송된 기관(100)을 진공 흡착하여 지지한다. 이 스테이지(16)에는, 히터(도시 생략)가 내장되어 있고, 재치된 기관(100)을 가열할 수 있다.
- [0022] 컨트롤러(18)는 제조 장치(10)의 각 부의 구동을 제어하는 것으로, 예를 들면, 각종 연산을 실행하는 프로세서와, 각종 프로그램 및 데이터를 기억하는 메모리를 가진다. 이 컨트롤러(18)는 픽업 유닛(12) 및 본딩 헤드(14)를 구동하여, 기관(100) 위에 복수의 반도체칩(110)을 본딩시킨다. 이 본딩 시, 컨트롤러(18)는, 반도체칩(110)을 적절하게 가열하기 위해, 본딩 헤드(14) 및 스테이지(16)에 설치된 히터의 온도를 제어하지만, 이것에 대해서는 후술한다.
- [0023] 다음에 제조 장치(10)에서 취급하는 반도체칩(110)에 대해 간단하게 설명한다. 도 2는 반도체칩(110) 및 기관(100)의 모식도이다. 반도체칩(110)의 바닥면에는 범프(116)라고 불리는 금속 돌기가 형성되어 있다. 범프(116)는 도전성 금속으로 이루어지고, 소정의 용융 온도에서 용융된다. 기관(100) 중, 이 범프(116)와 대응하는 위치에는, 기관 전극(102)이 형성되어 있다. 반도체 장치를 제조할 때는, 당해 범프(116)를 용융시켜, 기관 전극(102)과 접합시킨다.
- [0024] 반도체칩(110)의 바닥면에는, 범프(116)를 덮도록, 비도전성 필름(이하 「NCF」라고 함)(118)이 붙여져 있다. NCF(118)는 반도체칩(110)과, 기관(100) 또는 다른 반도체칩(110)을 접촉하는 접촉체로서 기능하는 것으로, 비도전성의 열경화성 수지, 예를 들면, 폴리이미드 수지, 에폭시 수지, 아크릴 수지, 페녹시 수지, 폴리테트라솔폰 수지 등으로 이루어진다. 이 NCF(118)의 두께는 범프(116)의 평균 높이보다 크고, 범프(116)는 이 NCF(108)에 의해 거의 완전히 덮여 있다. NCF(118)는 상온하에서는 고체의 필름이지만, 소정의 연화 개시 온도를 초과하면, 서서히, 가역적으로 연화되어 유동성을 발휘하고, 소정의 경화 개시 온도를 초과하면, 불가역적으로 경화하기 시작한다. 또한, 연화 개시 온도는 NCF(118)의 경화 개시 온도 및 범프(116)의 용융 온도보다 낮다.
- [0025] 반도체칩(110)을 기관(100)에 본딩할 때는, 가압착 공정과, 본압착 공정을 실행한다. 가압착 공정에서는, 기관(100)에 재치된 반도체칩(110)을 가압착용 온도로 가열하면서 가압한다. 이 가압착용 온도는 NCF(118)의 연화 개시 온도보다 높고, 범프(116)의 용융 온도 및 NCF(118)의 경화 개시 온도보다도 낮다. 가압착용 온도까지 가열함으로써, NCF(118)가 연화되어, 유동성을 가진다. 그리고, 이것에 의해, NCF(118)가 반도체칩(110)과 기관(100)과의 간극으로 흘러 들어가, 당해 간극을 확실하게 메울 수 있다.
- [0026] 본압착 공정에서는, 가압착된 반도체칩(110)을 본압착용 온도로 가열하면서 가압한다. 이 본압착용 온도는 범프(116)의 용융 온도 및 NCF(118)의 경화 개시 온도보다 높다. 본압착용 온도까지 가열함으로써, 범프(116)가 용융되어, 대향하는 기관 전극(102)에 용착할 수 있다. 또, 이 가열에 의해, NCF(118)가 반도체칩(110)과 기관(100)과의 간극을 메운 상태에서 경화하기 때문에, 반도체칩(110)과 기관(100)이 견고하게 고정된다.
- [0027] 가압착 공정, 본압착 공정 어디에서도, 반도체칩(110)은 균일하게 가열되는 것이 요망된다. 즉, 가압착 공정에 있어서, 반도체칩(110)은 그 중심도 단부도 가압착용 온도로 되는 것이 요구된다. 마찬가지로, 본압착 공정에 있어서, 반도체칩(110)은 그 중심도 단부도 본압착용 온도로 되는 것이 요구된다. 그러나, 종래의 본딩 헤드(14)에는, 가열 계통이 하나밖에 설치되어 있지 않기 때문에, 반도체칩(110)의 온도 분포를 균일하게 하는 것은

어려웠다.

- [0028] 이것에 대해, 도 8을 참조하여 설명한다. 도 8은 종래의 본딩 헤드(14)의 구성을 도시하는 모식도이다. 본딩 헤드(14)에는, 상측으로부터 순차적으로, 베이스부(29), 단열부(30), 가열부(31), 어태치먼트(33)가 줄지어 설치되어 있다. 베이스부(29)는 도시하지 않은 이동 기구에 부착되어 있고, 예를 들면, 스테인레스 등으로 구성된다. 가열부(31)는 발열 저항체(36)가 내장된 부위이다. 가열부(31)는 평판형이며, 질화 알루미늄 등의 세라믹스로 구성된다. 이 가열부(31)의 내부에는, 발열 저항체(36)가 메워넣어져 있다. 발열 저항체(36)는, 예를 들면, 백금 혹은 텅스텐 등으로 구성되고, 전원을 가진 드라이버(38)에 전기적으로 접속되어 있다. 이 발열 저항체(36)에 전류를 인가함으로써, 발열 저항체(36)가 발열하고, 가열부(31) 전체가 가열된다. 단열부(30)는 가열부(31)의 열을 베이스부(29)에 전하지 않도록 함것으로, 예를 들면, 아도세람(등록상표) 등의 세라믹스로 구성된다.
- [0029] 가열부(31)의 하측에는 어태치먼트(33)가 부착되어 있다. 어태치먼트(33)는 직사각형 판 형상의 베이스(33a)와, 당해 베이스(33a)의 바닥면으로부터 돌출하는 아일랜드(33b)를 가지고 있다. 베이스(33a)는 가열부(31)와 거의 같은 외형을 가지고 있다. 아일랜드(33b)는 베이스(33a)보다 작고, 반도체칩(110)과 대략 동일 사이즈의 사각 형상이다. 이 어태치먼트(33)는 가열부(31)에 대해 착탈 자유롭고, 취급하는 반도체칩(110)의 종류에 따라 적당하게 교환된다. 또, 도 8에는, 도시하지 않지만, 이 어태치먼트(33)에는 두께 방향으로 관통하고, 흡인 펌프에 연통되는 흡인 구멍이 형성되어 있다. 또, 가열부(31)나 단열부(30), 베이스부(29)에는, 이 흡인 구멍과 흡인 펌프를 연통하는 연통 통로가 형성되어 있다. 반도체칩(110)은 이 흡인 구멍을 통하여, 어태치먼트(33)에 흡착 유지된다.
- [0030] 또, 가열부(31)의 상측에는, 냉매가 흐르는 냉각 통로(42)가 형성되어 있다. 이 냉각 통로(42)는 냉매 공급원(44)에 연통되어 있고, 냉각 통로(42)의 도중에는, 밸브(46)가 설치되어 있다. 컨트롤러(18)는, 밸브(46)의 개방량을 컨트롤함으로써, 냉매의 유량을 컨트롤한다. 냉각 통로(42)에 냉매가 흐름으로써, 가열부(31) 및 이것에 부착된 어태치먼트(33)가 냉각된다.
- [0031] 여기에서, 종래의 본딩 헤드(14)에서도, 발열 저항체(36)를 가열부(31)에 균등하게 분산 배치함으로써 가열부(31)의 온도 분포를 어느 정도 균일하게 할 수 있다. 그러나, 가열 대상인 반도체칩(110)의 흡열 레이트는 당해 반도체칩(110)의 외측에 근접함에 따라서 높아진다. 그 때문에 종래기술에서는, 가열부(31)의 온도 분포를 균일하게 했다고 해도, 가열 대상인 반도체칩(110)의 온도는 외측에 근접함에 따라 낮아지기 쉬웠다.
- [0032] 도 3은 반도체칩(110)의 온도 분포의 1 예를 나타내는 그래프이다. 도 3에 있어서, 가로축은 반도체칩(110) 내의 위치를, 세로축은 반도체칩(110)의 온도(이하 「칩 온도」라고 약칭함)를 각각 나타내고 있다. 또, 도 3에 있어서, 「Cc」는 반도체칩(110)의 중심 위치를, 「Co」는 반도체칩(110)의 단부 위치를, 각각 나타내고 있다.
- [0033] 가열 계통을 하나밖에 갖지 않는 본딩 헤드(14)로 반도체칩(110)을 가열한 경우, 칩 온도는, 도 3의 실선으로 나타내는 바와 같이, 단부에 근접함에 따라 낮아진다. 바꾸어 말하면, 종래의 본딩 헤드(14)에서는, 반도체칩(110)의 온도 분포에 편차가 생기기 쉬웠다. 이와 같이 반도체칩(110)의 온도 분포가 불균일한 경우, 범프(116)의 용융 상태나 NCF(118)의 연화 또는 경화 상태가 장소에 따라 달라 버려, 반도체칩(110)의 접합 불량이나, 반도체칩(110)과 기관(100)(또는 다른 반도체칩(110))과의 사이의 겹람이 불균일하게 되는 등의 문제가 초래된다.
- [0034] 그래서, 본 명세서에서는, 칩 온도의 분포를 균일하게 하기 위해, 가열부(31)를 수평 방향으로 복수의 가열 에리어로 분할함과 아울러, 각 가열 에리어를 서로 다른 드라이버에 전기적으로 접속하고 있다. 이것에 대해, 도 4, 도 5를 참조하여 설명한다.
- [0035] 도 4는 제조 장치(10)에 탑재되는 본딩 헤드(14)의 구성을 도시하는 모식도이다. 또, 도 5는 이 본딩 헤드(14)의 가열부(31)의 개략 평면도이다. 이 본딩 헤드(14)는, 종래의 본딩 헤드(14)와 마찬가지로, 상측으로부터 순차적으로, 베이스부(29), 단열부(30), 가열부(31), 및 어태치먼트(33)가 줄지어 배치되어 있다. 이 중, 베이스부(29), 단열부(30), 어태치먼트(33)의 구성은 종래의 본딩 헤드(14)와 거의 같다.
- [0036] 한편, 본 예의 가열부(31)는 제1 가열 에리어(32a) 및 제2 가열 에리어(32b)로 분할되어 있는 점에서 종래기술과 상위하다. 구체적으로 설명하면 본 예의 가열부(31)는 대략 직사각형의 제1 가열 에리어(32a)와, 당해 제1 가열 에리어(32a)의 외주 주위를 둘러싸는 각진 고리 형상의 제2 가열 에리어(32b)로 분할되어 있다. 제1 가열 에리어(32a)에는, 제1 발열 저항체(36a)가, 제2 가열 에리어(32b)에는, 제2 발열 저항체(36b)가 각각 메워넣어져 있다. 또한, 제1 가열 에리어(32a)에는, 당해 제1 가열 에리어(32a)의 온도를 검출하는 제1 온도 센서(34

a)가, 제2 가열 에리어(32b)에는, 당해 제2 가열 에리어(32b)의 온도를 검출하는 제2 온도 센서(34b)가 각각 부착되어 있다.

[0037] 여기에서, 하나의 가열 에리어에 대응하는 온도 센서(34a, 34b)는 인접하는 다른 가열 에리어와의 경계로부터 이간된 위치에 형성해도 된다. 예를 들면, 제1 온도 센서(34a)는 제1 가열 에리어(32a)의 중앙 부근에, 제2 온도 센서(34b)는 제2 가열 에리어(32b)의 외측 단부 부근에 부착해도 된다. 이러한 구성으로 함으로써, 각 온도 센서(34a, 34b)가 인접하는 다른 가열 에리어의 온도의 영향을 받기 어렵게 된다.

[0038] 제1 발열 저항체(36a) 및 제2 발열 저항체(36b)는 각각 제1 드라이버(38a) 및 제2 드라이버(38b)에 의해 통전된다. 제1 드라이버(38a)는 원하는 전류를 제1 발열 저항체(36a)에 인가하기 위한 전원회로를 가진다. 이 제1 드라이버(38a)에는, 제1 온도 센서(34a)에서의 검출 온도(이하 「제1 에리어 검출 온도(Ta1)」라고 함), 및 컨트롤러(18)에 기억되어 있는 제1 에리어 목표 온도(Ta1*)가 입력된다. 제1 드라이버(38a)는 제1 에리어 검출 온도(Ta1)와 제1 에리어 목표 온도(Ta1*)와의 차분에 따라, 제1 발열 저항체(36a)에 인가하는 전류값을 제어한다.

[0039] 제2 드라이버(38b)는 원하는 전류를 제2 발열 저항체(36b)에 인가하기 위한 전원회로를 가진다. 이 제2 드라이버(38b)에는, 제2 온도 센서(34b)의 검출 온도(이하 「제2 에리어 검출 온도(Ta2)」라고 함), 및 컨트롤러(18)에 기억되어 있는 제2 에리어 목표 온도(Ta2*)가 입력된다. 제2 드라이버(38b)는 제2 에리어 검출 온도(Ta2)와 제2 에리어 목표 온도(Ta2*)와의 차분에 따라, 제2 발열 저항체(36b)에 인가하는 전류값을 제어한다.

[0040] 또한, 도 4, 도 5에서는, 2개의 가열 에리어(32a, 32b)의 경계를 명확하게 하기 위해, 2개의 가열 에리어(32a, 32b)의 사이에 간극을 도시하고 있다. 그러나, 실제로는, 2개의 가열 에리어(32a, 32b)의 사이의 간극은 없어도 된다. 또, 제1 가열 에리어(32a)와 제2 가열 에리어(32b)는 기계적으로 분리되어 있을 필요는 없고, 제1 발열 저항체(36a)가 메워넣어지는 제1 가열 에리어(32a)와, 제2 발열 저항체(36b)가 메워넣어지는 제2 가열 에리어(32b)는 끊임없이 연결되어 있어도 된다. 즉, 가열부(31)는 단일의 세라믹스로 구성되어도 된다. 이와 같이 가열부(31)를 단일의 세라믹스로 구성함으로써, 가열부(31)의 평탄도 등이 담보되기 쉬워져, 반도체칩(110)을 보다 균등하게 가압할 수 있다.

[0041] 또, 본 예에서는, 가열계통뿐만 아니라, 냉각계통도 복수 설치하고 있다. 즉, 가열부(31)의 상측에는, 제1 가열 에리어(32a) 및 제2 가열 에리어(32b) 각각에 대응하여 설치된 제1 냉각 통로(42a) 및 제2 냉각 통로(42b)가 설치되어 있다. 각 냉각 통로(42a, 42b)는 냉매 공급원(44)에 연통되어 있고, 당해 냉각 통로(42a, 42b)의 도중에 설치된 밸브(46a, 46b)의 개폐량을 제어함으로써, 각 냉각 통로(42a, 42b)에 흐르는 냉매 유량을 변경할 수 있다. 이 밸브(46a, 46b)의 개폐량은 컨트롤러(18)에 의해 제어된다. 바꾸어 말하면, 컨트롤러(18)는 2개의 냉각 통로(42a, 42b) 각각의 냉매의 흐름을 서로 독립적으로 제어할 수 있다. 각 냉각 통로(42a, 42b)에 냉매가 흐름으로써 대응하는 가열 에리어(32a, 32b)가 냉각된다.

[0042] 여기에서, 지금까지의 설명에서 명확한 바와 같이, 본 예에서는, 제1 가열 에리어(32a) 및 제2 가열 에리어(32b) 각각의 가열 온도를 독립적으로 제어 가능하다. 컨트롤러(18)는, 반도체칩(110)을 본딩할 때에는, 당해 반도체칩(110)의 온도 분포가 균일하게 되도록, 2개 가열 에리어(32a, 32b)의 온도를 제어한다. 구체적으로는, 컨트롤러(18)는 반도체칩(110)의 온도 분포를 균일하게 할 수 있는 에리어 목표 온도(Ta1*, Ta2*)를 제1, 제2 드라이버(38a, 38b)에 입력한다. 보다 구체적으로는, 컨트롤러(18)는, 외측에 위치하는 제2 가열 에리어(32b)의 에리어 목표 온도(Ta2*)로서, 내측에 위치하는 제1 가열 에리어(32a)의 에리어 목표 온도(Ta1*)보다 고온의 값을 제2 드라이버(38b)에 입력한다.

[0043] 도 6은 반도체칩(110)을 본딩할 때의 에리어 검출 온도(Ta1, Ta2)의 경시적 변화를 나타내는 그래프이다. 도 6에 있어서, 가로축은 시간을, 세로축은 에리어 검출 온도를 나타내고 있다. 또, 도 6에 있어서, 굵은 선은 제1 에리어 검출 온도(Ta1)를, 가는 선은 제2 에리어 검출 온도(Ta2)를 각각 나타내고 있다. 도 6에 도시하는 바와 같이, 본 예에서는, 제1 에리어 검출 온도(Ta1)가 제1 에리어 목표 온도(Ta1*)가 되고, 제2 에리어 검출 온도(Ta2)가 제1 에리어 목표 온도(Ta1*)보다 높다. 제2 에리어 목표 온도(Ta2*)가 되도록, 2개의 히터(36a, 36b)의 구동을 제어하고 있다.

[0044] 또한, 발열 저항체(36a, 36b)의 통전 제어만으로는 미묘한 온도 컨트롤이 어려울 경우가 있다. 그 경우에는, 발열 저항체(36a, 36b)의 통전과 병행하여, 냉각 통로(42a, 42b)에의 냉매 공급을 행해도 된다. 예를 들면, 제2 에리어 검출 온도(Ta2)의 온도 상승 레이트가 목표보다 높을 경우, 컨트롤러(18)는 제2 냉각 통로(42b)에 설치된 밸브(46b)의 개방도를 증가시켜, 제2 냉각 통로(42b)에 흐르는 냉매 유량을 일시적으로 증가시켜도 된다.

이와 같이, 발열 저항체(36a, 36b)의 통전 제어와, 냉매 유량의 제어를 병행하여 행함으로써, 각 가열 에리어(32a, 32b)를 보다 정밀하게 가열할 수 있다.

- [0045] 어쨌든, 외측에 위치하는 제2 가열 에리어(32b)가 내측에 위치하는 제1 가열 에리어(32a)보다 고온으로 됨으로써, 흡열 레이트가 높은 반도체칩(110)의 단부 부근도, 중앙 부근과 마찬가지로 온도 상승시킬 수 있다. 그리고, 결과적으로, 본 예에 의하면, 반도체칩(110)의 온도 분포를 균일에 가깝게 할 수 있다.
- [0046] 컨트롤러(18)는, 반도체칩(110)을 균등하게 가열하기 위해, 제1 에리어 목표 온도(Ta1*) 및 제2 에리어 목표 온도(Ta2*)를 미리 메모리에 기억하고 있다. 이 에리어 목표 온도(Ta1*, Ta2*)는 공정마다 준비되어 있다. 즉, 컨트롤러(18)는 가압착 공정에서 사용하는 에리어 목표 온도(Ta1*, Ta2*)와, 본압착 공정에서 사용하는 에리어 목표 온도(Ta1*, Ta2*)를 기억하고 있다.
- [0047] 또, 반도체칩(110)의 흡열 레이트의 분포는, 반도체칩(110)의 종류에 따라 다르기 때문에, 반도체칩(110)을 균일하게 가열할 수 있는 에리어 목표 온도(T1*, T2*)는 반도체칩(110)의 종류에 따라 다르다. 그 때문에, 에리어 목표 온도(Ta1*, Ta2*)는 취급하는 반도체칩(110)의 종류마다 준비되어 있다.
- [0048] 컨트롤러(18)는, 이러한 에리어 목표 온도(Ta1*, Ta2*)를 취득하기 위해, 반도체 장치의 제조에 앞서, 에리어 목표 온도를 취득하는 목표 취득 처리를 실행해도 된다. 도 7은 목표 취득 처리의 흐름을 나타내는 흐름도이다.
- [0049] 목표 취득 처리에서는, 우선, 샘플 칩에 내측 온도 센서 및 외측 온도 센서를 부착한다(S10). 여기에서, 샘플 칩은 실제의 반도체 장치의 제조에서 사용되는 반도체칩(110)과 동종의 반도체칩(110)이다. 내측 온도 센서는 이 샘플 칩의 중앙 부근에, 외측 온도 센서는 샘플 칩의 단부 부근에 부착된다. 이하에서는, 내측 온도 센서에서의 검출 온도를 「제1 칩 검출 온도(Tc1)」라고 부르고, 외측 온도 센서에서의 검출 온도를 「제2 칩 검출 온도(Tc2)」라고 부른다.
- [0050] 컨트롤러(18)는 본딩 헤드(14)를 구동하여, 이 샘플 칩을 기판(100)에 재치시킨다(S12). 샘플 칩이 기판(100)에 재치되면, 계속해서, 컨트롤러(18)는 제1 에리어 검출 온도(Ta1)가 제1 가목표 온도(Tt1)에, 제2 에리어 검출 온도(Ta2)가 소정의 제2 가목표 온도(Tt2)에 도달할 때까지 발열 저항체(36a, 36b)를 가열시킨다(S14). 여기에서, 제1 가목표 온도(Tt1) 및 제2 가목표 온도(Tt2)는 서로 같은 값이어도 되고, 달라도 된다.
- [0051] Ta1=Tt1, Ta2=Tt2가 되면, 컨트롤러(18)는 그 시점에서의 제1 칩 검출 온도(Tc1) 및 제2 칩 검출 온도(Tc2)를 취득한다(S16). 컨트롤러(18)는 취득된 칩 검출 온도(Tc1, Tc2)와, 반도체칩(110)의 목표 온도(Tdef)와의 차분을 제1 차분값($\Delta T1$), 제2 차분값($\Delta T2$)으로서 산출한다(S18). 여기에서, 가압착 공정에서 사용하는 에리어 목표 온도(Ta1*, Ta2*)를 취득하는 경우, 목표 온도(Tdef)는 가압착용 온도이다. 또, 본압착 공정에서 사용하는 에리어 목표 온도(Ta1*, Ta2*)를 취득하는 경우, 목표 온도(Tdef)는 본압착용 온도이다.
- [0052] 계속해서, 컨트롤러(18)는 이 제1 차분값의 절대값 $|\Delta T1|$ 및 제2 차분값의 절대값 $|\Delta T2|$ 를, 허용오차(Δdef)와 비교한다(S20). 비교의 결과, $|\Delta T1|$ 이 허용오차(Δdef) 이하, 또한, $|\Delta T2|$ 가 허용오차(Δdef) 이하인 경우(S20에서 Yes인 경우), 현재의 가목표 온도(Tt1, Tt2)가 적절하다고 판단할 수 있다. 따라서, 이 경우, 컨트롤러(18)는 현재의 제1 가목표 온도(Tt1)를 제1 에리어 목표 온도(Ta1*), 제2 가목표 온도(Tt2)를 제2 에리어 목표 온도(Ta2*)로서 메모리에 기억한다(S24).
- [0053] 한편, 비교의 결과, $|\Delta T1|$ 이 허용오차(Δdef) 초과, 또는, $|\Delta T2|$ 가 허용오차(Δdef) 초과인 경우(S20에서 No인 경우), 컨트롤러(18)는 가목표 온도(Tt1, Tt2)를 수정한다(S22). 이 가목표 온도(Tt1, Tt2)의 수정 방법은 차분값($\Delta T1$, $\Delta T2$)을 저장할 수 있는 것이면, 특별히 한정되지 않는다. 따라서, 예를 들면, 차분값($\Delta T1$, $\Delta T2$)에 소정의 계수(K1, K2)를 승산한 값을, 현재의 가목표 온도(Tt1, Tt2)로부터 감산한 값을 수정 후의 가목표 온도(Tt1, Tt2)로서 산출해도 된다. 즉, $Tt1=Tt1-\Delta T1 \cdot K1$, $Tt2=Tt2-\Delta T2 \cdot K2$ 로 해도 된다.
- [0054] 가목표 온도(Tt1, Tt2)를 산출할 수 있으면, 컨트롤러(18)는, 다시, 스텝 S14~S22의 처리를 반복한다. 그리고, 최종적으로, $|\Delta T1| \leq \Delta def$, 또한, $|\Delta T2| \leq \Delta def$ 가 되고, 스텝 S24가 실행되면, 에리어 목표 온도의 취득 처리는 종료가 된다.
- [0055] 또한, 지금까지 설명한 구성은 일례이며, 가열부(31)가 제1 가열 에리어와, 제1 가열 에리어를 수평 방향으로 둘러싸는 제2 가열 에리어로 분할되고, 이 제1, 제2 가열 에리어가 독립적으로 온도 제어 가능하면, 그 밖의 구성은 변경되어도 된다. 예를 들면, 지금까지의 설명에서는, 가열부(31)를 제1 가열 에리어(32a)와, 그 주위를 둘러싸는 제2 가열 에리어(32b)로 분할하고 있지만, 가열부(31)는 보다 다수의 에리어로 분할되어도 된다. 예

를 들면, 가열부(31)는 대략 직사각형의 제1 가열 에리어와, 제1 가열 에리어를 둘러싸는 □ 모양의 제2 가열 에리어와, 제2 가열 에리어를 둘러싸는 □ 모양의 제3 가열 에리어로 분할되어도 된다. 또, 상술의 설명에서는, 가열 대상물의 온도 분포가 균일하게 되도록, 2개의 가열 에리어를 독립적으로 온도 제어하고 있다. 그러나, 가열 대상물의 온도 분포는, 본딩의 종류나 가열 대상물의 종류에 따라, 적당하게 변경되어도 된다. 예를 들면, 컨트롤러는, 가열 대상물의 주변부가 중심부보다 고온이 되도록, 제1, 제2 가열 에리어의 온도를 제어해도 된다.

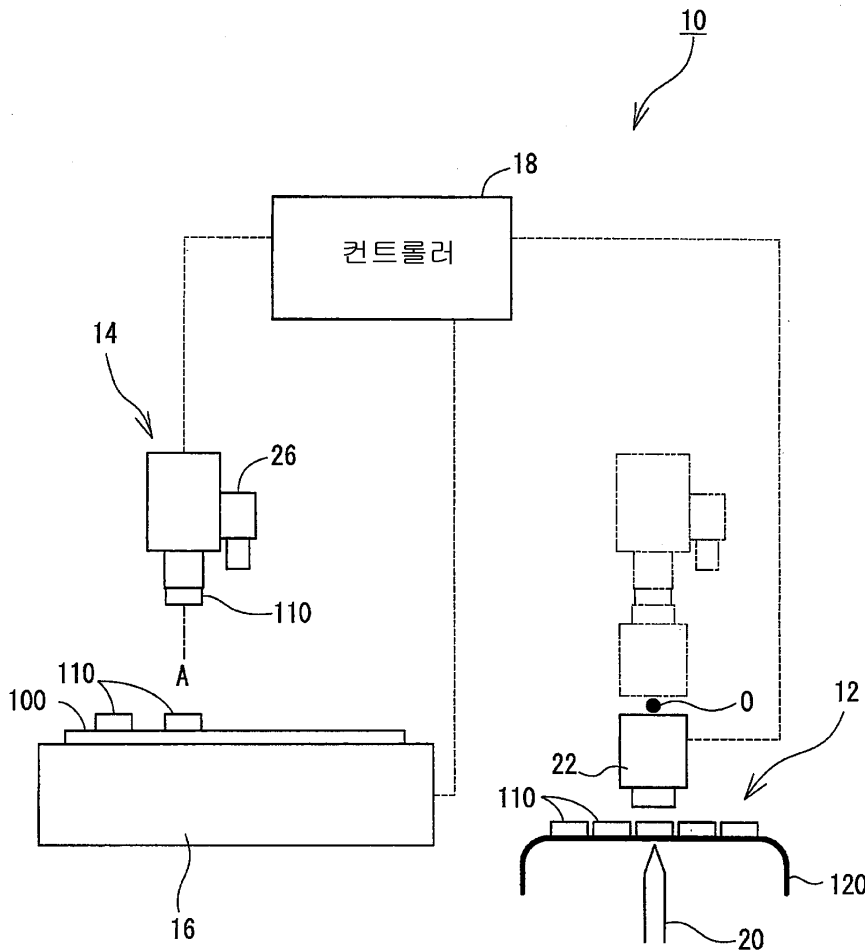
부호의 설명

[0056]

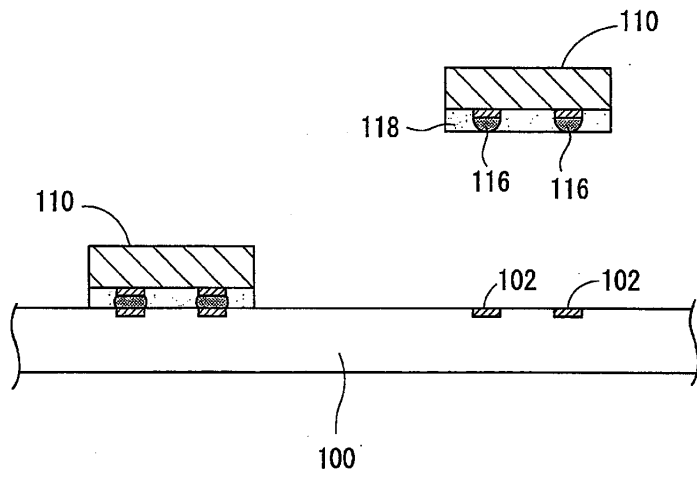
10 제조 장치, 12 픽업 유닛, 14 본딩 헤드, 16 스테이지, 18 컨트롤러, 20 밀어올림 핀, 22 픽업 헤드, 26 제1 카메라, 29 베이스부, 30 단열부, 31 가열부, 32a 제1 가열 에리어, 32b 제2 가열 에리어, 33 어태치먼트, 33a 베이스, 33b 아일랜드, 34 온도 센서, 36 발열 저항체, 38 드라이버, 42 냉각 통로, 44 냉매 공급원, 46 밸브, 100 기판, 102 기판 전극, 110 반도체칩, 116 범프, 120 다이싱 테이프.

도면

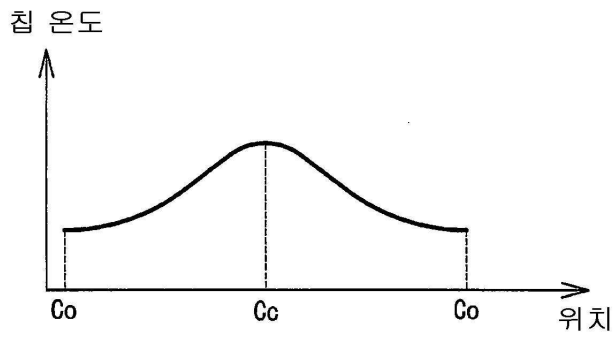
도면1



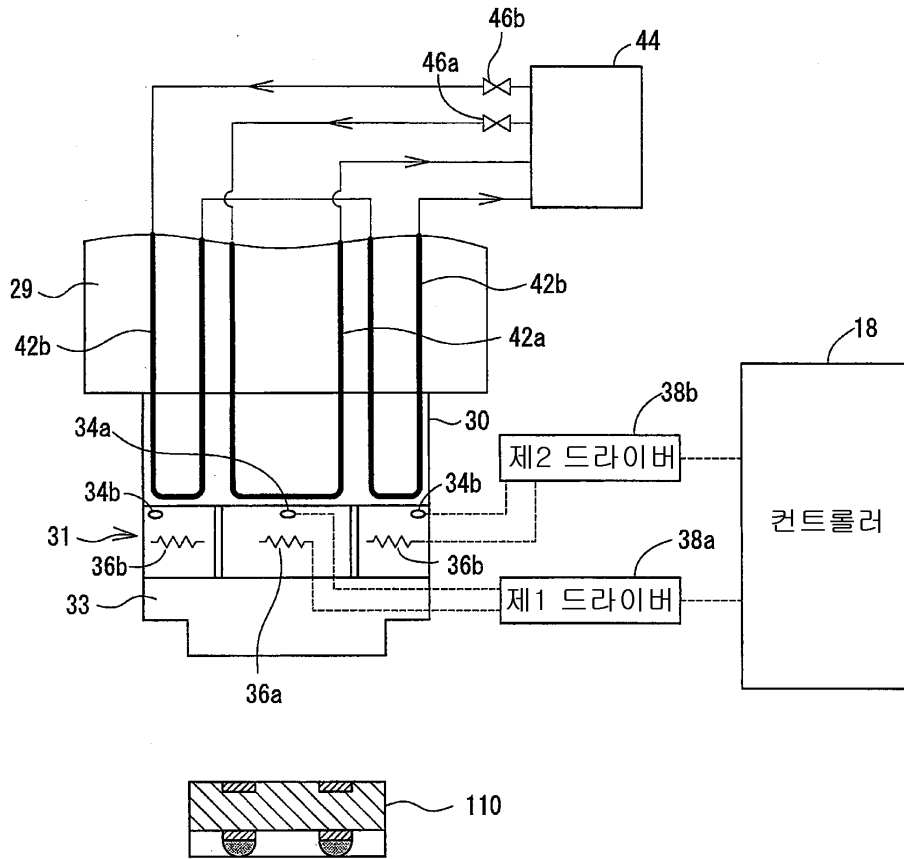
도면2



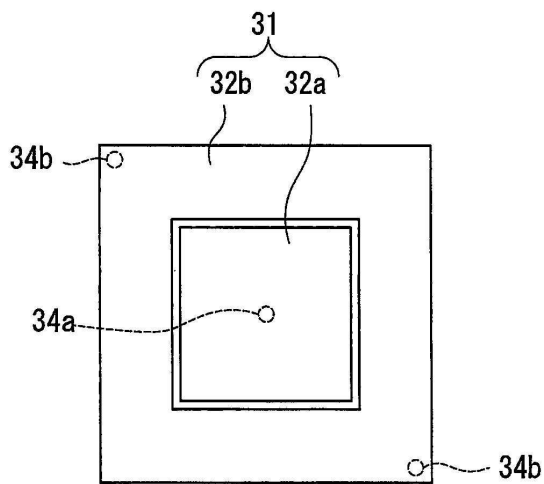
도면3



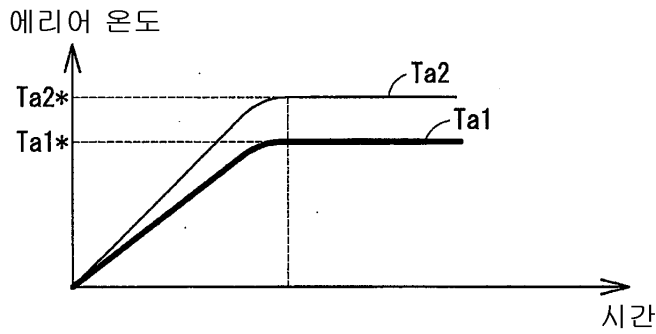
도면4



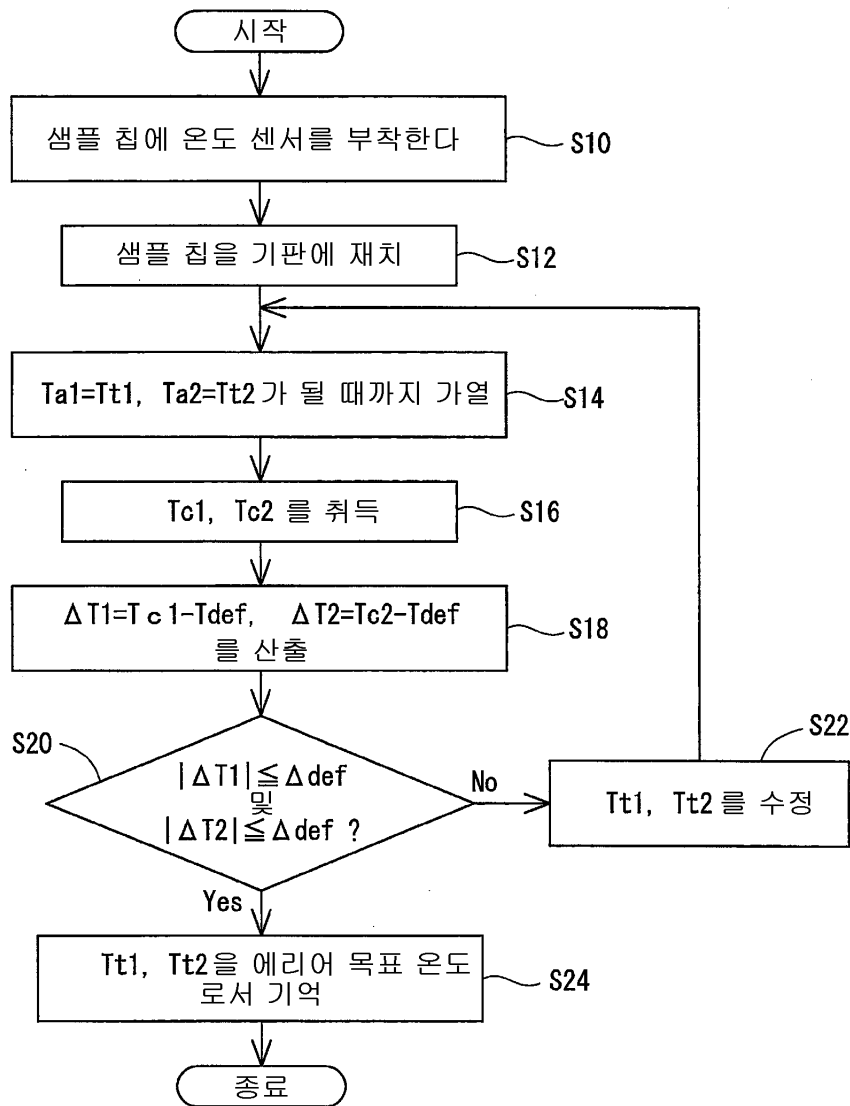
도면5



도면6



도면7



도면8

