



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월08일

(11) 등록번호 10-1517862

(24) 등록일자 2015년04월29일

(51) 국제특허분류(Int. Cl.)

H02M 3/28 (2006.01) G03G 21/00 (2006.01)

(21) 출원번호 10-2012-0095490

(22) 출원일자 2012년08월30일

심사청구일자 2013년08월29일

(65) 공개번호 10-2013-0027427

(43) 공개일자 2013년03월15일

(30) 우선권주장

JP-P-2011-194965 2011년09월07일 일본(JP)

JP-P-2012-173755 2012년08월06일 일본(JP)

(56) 선행기술조사문헌

경상대학교 석사학위논문(제목: 대기전력 절감 기능을 내장한 AC/DC 컨버터 제어 IC 설계), 논문발표 2009년 2월*

KR1020100069581 A*

US4980811 A

JP평성07245942 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

캐논 가부시끼가이샤

일본 도쿄도 오오따구 시모마루쵸 3쵸메 30방 2고

(72) 발명자

호토기 다즈야

일본 도쿄도 오오따구 시모마루쵸 3쵸메 30방 2고

캐논 가부시끼가이샤 내

하야사키 미노루

일본 도쿄도 오오따구 시모마루쵸 3쵸메 30방 2고

캐논 가부시끼가이샤 내

(74) 대리인

장수길, 박충범

전체 청구항 수 : 총 12 항

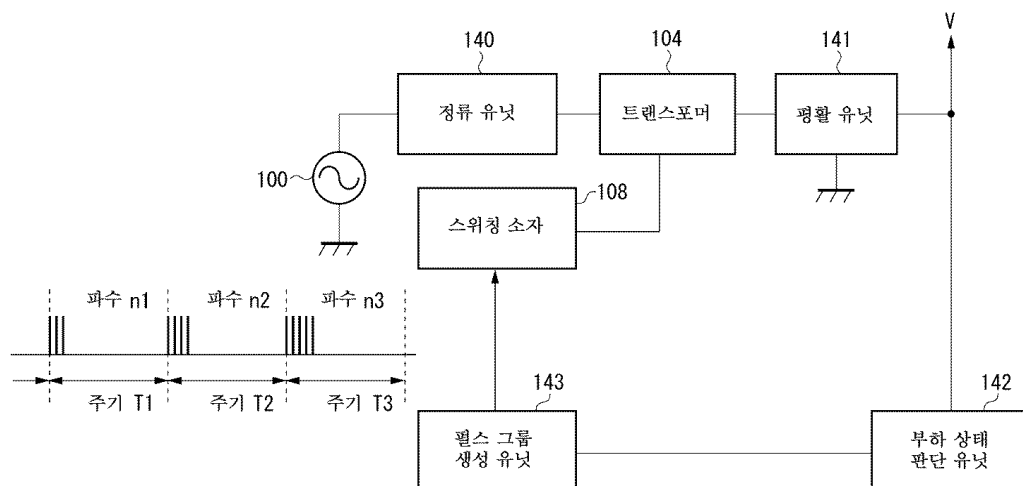
심사관 : 배진용

(54) 발명의 명칭 스위칭 전원 및 화상 형성 장치

(57) 요약

스위칭 전원에 있어서, 스위칭 유닛을 간헐적으로 구동함으로써 출력 유닛으로부터 제1 전압보다 작은 제2 전압을 출력하는 상태에서, 스위칭 유닛이 간헐적으로 구동될 때 스위칭 유닛은 구동 주기마다 스위칭 유닛의 구동 횟수를 변경한다.

대표도



명세서

청구범위

청구항 1

스위칭 전원으로서,

트랜스포머;

상기 트랜스포머의 일차 권선에 연결되고, 상기 트랜스포머의 일차 권선의 스위칭을 수행하도록 구성된 스위칭 유닛; 및

상기 트랜스포머의 이차 권선에서 발생하는 전압을 출력하도록 구성된 출력 유닛을 포함하고,

상기 스위칭 전원은, 상기 스위칭 유닛이 상기 트랜스포머의 일차 권선의 스위칭을 연속적으로 수행함으로써 상기 출력 유닛이 제1 전압을 출력하는 제1 출력 상태 및 상기 스위칭 유닛이 상기 트랜스포머의 일차 권선의 스위칭을 간헐적으로 수행함으로써 상기 출력 유닛이 상기 제1 전압보다 작은 제2 전압을 출력하는 제2 출력 상태에서 동작하도록 구성되고,

상기 제2 출력 상태에서의 상기 스위칭 유닛의 스위칭 사이클은 상기 제1 출력 상태에서의 상기 스위칭 유닛의 스위칭 사이클보다 길고,

상기 제2 출력 상태에서, 상기 스위칭 유닛의 각 스위칭 사이클에 대한 상기 스위칭 유닛의 온(ON) 횟수가 주기적으로 변경되는, 스위칭 전원.

청구항 2

제1항에 있어서,

상기 스위칭 유닛의 각 스위칭 사이클에 대한 상기 스위칭 유닛의 상기 온 횟수는 소정의 횟수의 증분 또는 감분으로 증가 또는 감소되는, 스위칭 전원.

청구항 3

제1항에 있어서,

상기 온 횟수는, 상기 스위칭 유닛의 복수의 스위칭 사이클의 각각의 온 횟수의 평균값이 미리 설정된 횟수로 되도록 변경되는, 스위칭 전원.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 출력 유닛으로부터 출력되는 전압과 기준 전압 간의 차에 대응하는 전압을 상기 트랜스포머의 일차 권선에 전달하도록 구성된 전달 유닛을 더 포함하고,

상기 제2 출력 상태에서, 상기 스위칭 유닛의 상기 온 횟수가 상기 전달 유닛의 출력에 의해 제어되는, 스위칭 전원.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 스위칭 유닛의 온 기간을 전환하도록 구성된 전환 유닛을 더 포함하고,

상기 제2 출력 상태에서, 상기 전환 유닛은 상기 스위칭 유닛의 상기 온 횟수에 따라 상기 스위칭 유닛의 온 기간을 전환하는, 스위칭 전원.

청구항 6

화상을 형성하도록 구성된 화상 형성 유닛;

상기 화상 형성 유닛의 동작을 제어하도록 구성된 제어 유닛; 및

상기 제어 유닛에 전력을 공급하도록 구성된 스위칭 전원을 포함하고,

상기 스위칭 전원은,

트랜스포머;

상기 트랜스포머의 일차 권선에 연결되고, 상기 트랜스포머의 일차 권선의 스위칭을 수행하도록 구성된 스위칭 유닛; 및

상기 트랜스포머의 이차 권선에서 발생하는 전압을 출력하도록 구성된 출력 유닛을 포함하고,

상기 화상 형성 장치는, 상기 스위칭 유닛이 상기 트랜스포머의 일차 권선의 스위칭을 연속적으로 수행함으로써 상기 출력 유닛이 제1 전압을 출력하는 제1 출력 상태 및 상기 스위칭 유닛이 상기 트랜스포머의 일차 권선의 스위칭을 간헐적으로 수행함으로써 상기 출력 유닛이 상기 제1 전압보다 작은 제2 전압을 출력하는 제2 출력 상태에서 동작하도록 구성되고,

상기 제2 출력 상태에서의 상기 스위칭 유닛의 스위칭 사이클은 상기 제1 출력 상태에서의 상기 스위칭 유닛의 스위칭 사이클보다 길고,

상기 제2 출력 상태에서, 상기 스위칭 유닛의 각 스위칭 사이클에 대한 상기 스위칭 유닛의 온(ON) 횟수가 주기적으로 변경되는, 화상 형성 장치.

청구항 7

제6항에 있어서,

상기 스위칭 유닛의 각 스위칭 사이클에 대한 상기 스위칭 유닛의 상기 온 횟수는 소정의 횟수의 증분 또는 감분으로 증가 또는 감소되는, 화상 형성 장치.

청구항 8

제6항에 있어서,

상기 온 횟수는, 상기 스위칭 유닛의 복수의 스위칭 사이클의 각각의 온 횟수의 평균값이 미리 설정된 횟수로 되도록 변경되는, 화상 형성 장치.

청구항 9

제6항 내지 제8항 중 어느 한 항에 있어서,

상기 출력 유닛으로부터 출력되는 전압과 기준 전압 간의 차에 대응하는 전압을 상기 트랜스포머의 일차 권선에 전달하도록 구성된 전달 유닛을 더 포함하고,

상기 제2 출력 상태에서, 상기 스위칭 유닛의 상기 온 횟수가 상기 전달 유닛의 출력에 의해 제어되는, 화상 형성 장치.

청구항 10

제6항 내지 제8항 중 어느 한 항에 있어서,

상기 스위칭 유닛의 온 기간을 전환하도록 구성된 전환 유닛을 더 포함하고,

상기 제2 출력 상태에서, 상기 전환 유닛은 상기 스위칭 유닛의 상기 온 횟수에 따라 상기 스위칭 유닛의 온 기간을 전환하는, 화상 형성 장치.

청구항 11

제1항에 있어서,

상기 제2 출력 상태는 상기 스위칭 전원의 절전(power-saving) 상태인, 스위칭 전원.

청구항 12

제6항에 있어서,

상기 제2 출력 상태는 상기 화상 형성 장치의 절전 상태인, 화상 형성 장치.

발명의 설명

기술 분야

[0001] 본 발명은 직류(direct-current(DC)) 전압을 생성하는 스위칭 전원에 관한 것이다.

배경 기술

[0002] 최근, 다양한 분야에 있어서 소비 전력을 저감하는 절전형 전자 디바이스에 대한 요구가 점점 더 증대됨에 따라, 전자 디바이스들에 전력을 공급하는 전원에서도 절전이 더욱 요구된다. 전자 디바이스들의 전원의 일례인 스위칭 전원의 개략적인 구성도를 도 15에 도시한다. 도 15에 있어서, 상용 교류 전원(100)으로부터 입력되는 교류(alternating-current(AC)) 전압을 정류 유닛(140)을 통해서 트랜스포머(104)에 입력하고, 전계 효과 트랜지스터(field effect transistor(FET)) 등의 스위칭 소자(108)를 제어 회로(144)로부터 송출되는 신호에 기초하여 미리 결정된 주파수에서 스위칭 동작을 행하게 하여, 트랜스포머(104)의 일차측을 구동한다. 그리고, 트랜스포머(104)의 이차측에 발생한 전압을 평활 유닛(141)에 의해 평활함으로써 DC 전압 V를 생성한다.

[0003] 이와 같이, 미리 결정된 주파수에서 스위칭 소자(108)를 구동하여, 원하는 DC 전압을 생성하는 스위칭 전원이 널리 사용되고 있다. 이러한 스위칭 전원들 중, 예를 들어, 전자 디바이스가 동작하고 있지 않는 절전 동작 동안(경 부하 운영 동안이라고도 일컫는 경우가 있음), 스위칭 소자(108)의 스위칭 횟수를 줄여서(스위칭 주파수를 저하시켜서) 동작 효율을 향상시키는 것이 있다.

[0004] 경 부하 운영 동안의 스위칭 전원의 손실의 대부분은 스위칭 동작에 의한 손실이며, 이 손실을 저감시키기 위해서, 스위칭 소자(108)가 온(ON)인 동안(온 시간이라고도 일컫는 경우가 있음)의 시간을 길게 해서, 1회의 스위칭 동작의 에너지를 증가시킨다. 이에 의해, 휴지(일시정지) 기간을 길게 해서 단위 시간당의 스위칭 횟수를 줄이는 시도가 이루어지고 있다.

[0005] 그러나, 휴지 기간을 길게 하면, 스위칭 주파수가 보다 더 저하되고, 스위칭 동작에 연관된 트랜스포머에 의해 발생하는 소리가 가청 영역에 들어올 가능성이 발생한다. 또한, 이 소리는 고조파 성분들을 포함하기 때문에, 사람 귀에 거슬리는 소리가 된다.

[0006] 이하, 스위칭 주파수가 고조파를 포함하는 소리가 되는 이유에 대해서 설명한다. 스위칭 주파수가 수 kHz 이하로 되면, 스위칭 소자의 휴지 기간이 길어진다. 그 결과, 트랜스포머의 구동 전류 파형은 도 16에 도시된 바와 같은 델타 함수 파형이 된다. 이 경우, 도 16a 및 도 16b는 스위칭 소자를 주기 1msec, 온 기간 5μsec의 1과 구동 펄스로 구동할 때의 트랜스포머 구동 전류 파형 및 구동 펄스 파형을 도시한다. 도 16a는 트랜스포머의 구동 전류 파형을 도시하며, 종축은 트랜스포머 구동 전류(A)를 나타내고 횡축은 시간(sec)을 나타낸다. 도 16b는 구동 펄스 파형을 도시하며, 종축은 구동 전압(V)을 나타내고 횡축은 시간(sec)을 나타낸다. 이러한 트랜스포머 구동 전류 파형에 대하여 주파수 해석(고속 Fourier 변환 해석(FFT 해석이라고도 일컫는 경우가 있음))을 행한 결과를 도 17에 도시한다.

[0007] 도 17에 있어서, 종축은 트랜스포머 구동 전류(mA)를 나타내고, 횡축은 주파수(Hz)를 나타낸다. 도 17에 도시된 바와 같이, 트랜스포머 구동 전류는, 스위칭 주파수를 기본파로서 설정하여, 그 체배 주파수의 고조파 성분을 갖는다. 트랜스포머 구동 전류는 이 고조파 성분에 의해 구동되는 에너지를 갖는 전류 파형을 갖는다. 또한, 스위칭 전원의 트랜스포머도 스위칭 동작으로서 미리 결정된 공진 주파수에서 구동된다. 트랜스포머의 기계적인 공진 주파수는 트랜스포머의 코어 형상에도 의존하고, 일반적으로, 수 kHz 내지 수십 kHz의 주파수 대역 내에 공진 주파수의 피크(peak)를 갖는다.

[0008] 예를 들어, 도 16에 도시된 바와 같이, 1과 구동 펄스를 스위칭 소자에 인가하고, 기계적인 공진 주파수가 약 18kHz에서 피크를 갖는 주파수 대역에 가까운 공진 레벨을 갖는 트랜스포머를 이용하여 디바이스를 구동한다. 이때 트랜스포머로부터 발생하는 비트 소리의 음압을 도 18에 도시한다.

[0009] 도 18에 있어서, 종축은 트랜스포머의 비트 소리의 음압(dB)을 나타내고, 횡축은 주파수(Hz)를 나타내며, 음압

은, 스위칭 주파수를 기본파로서 설정하여, 포락선이 트랜스포머의 기계적인 공진 주파수 특성을 나타내는 고조파를 포함한다. 즉, 스위칭 주파수와 트랜스포머의 기계적인 공진 주파수가 서로 중첩될 때, 트랜스포머로부터의 비트 소리로서 가청 영역에 들어오는 귀에 거슬리는 소리가 발생한다.

[0010] 이러한 트랜스포머로부터의 비트 소리의 발생을 저감시키는 방법들 중 하나로서, 트랜스포머의 자계의 변화율을 억제해서 비트 소리를 저감시키는 방법이 알려져 있다. 종래에는, 트랜스포머의 자계의 변화율을 억제하기 위해서, 트랜스포머의 코어 재료에 단면적의 큰 것을 이용하거나, 또는 스위칭 소자의 온 기간을 짧게 해서 트랜스포머의 1회 동작당 스위칭 전류를 감소시키는 방법을 채택했다.

[0011] 또한, 트랜스포머 구동 전류 파형을 고안해서 트랜스포머의 비트 소리의 발생을 저감하는 방법으로서, 스위칭 전원에 소프트 스타트 회로를 설치하고, 기동 개시 동작 동안 캐패시터 양단의 전압의 램프-업 및 램프-다운 시의 듀티비를 서서히 변화시킨다. 트랜스포머 구동 전류 파형의 크기를 서서히 증가시키거나, 또는 서서히 감소시키도록 전류 파형을 형성하면, 트랜스포머의 자속 변화를 감소시킬 수 있기 때문에, 그 결과, 비트 소리의 발생을 저감할 수 있다. 이와 같은 종래 방식은, 예를 들어, 일본 특허 제3567355호 공보 및 일본 특허 제3665984호 공보에 기재되어 있다.

[0012] 그러나, 트랜스포머의 코어 재료에 단면적의 큰 것을 이용하면, 전원 크기의 소형화가 곤란해진다. 또한, 스위칭 소자의 온 기간을 짧게 하는 방법에서는, 트랜스포머의 자속 변화를 감소시킴으로써 트랜스포머의 비트 소리의 발생은 경감되지만, 단위 시간당 스위칭 횟수를 증가시키게 되어, 스위칭 손실이 증가한다.

[0013] 또한, 소프트 스타트에 의해 트랜스포머 구동 전류 파형의 진폭을 서서히 증가시키거나, 또는 서서히 감소시키는 방법에서는, 경 부하 운영 동안, 소비 전력을 더 저감하고자 할 경우, 2차측 부하에 공급하는 에너지가 작아지기 때문에, 소프트 스타트의 적용이 곤란해진다. 왜냐하면, 경 부하 운영 동안 2차측에의 공급에너지가 보다 작아지면, 소프트 스타트 회로에 의해 서서히 전류 파형의 진폭을 증가시키거나, 또는 감소시키는 것이 곤란해지기 때문이다.

[0014] 또한, 종래의 방법에서는, 1회당의 스위칭 동작에서 공급하는 에너지를 감소시켜서 더 많은 횟수로 스위칭을 행하거나, 또는 1회당의 스위칭 동작에서 공급하는 에너지를 변화시키지 않고 2차측의 캐패시터 용량을 몇배 증가시켜야 한다. 전자의 방법은 스위칭 손실을 증가시켜서 효율을 현저하게 저하시킨다. 후자의 방법은 생산 비용을 상승시킨다. 즉, 스위칭 전원은, 스위칭 횟수를 감소시켜서 스위칭 손실을 감소시키는 것이 바람직하다. 그러나, 이 경우, 구동 펄스에 의해 트랜스포머에 인가되는 1파당 에너지가 증가하기 때문에, 더 큰 소리가 발생된다.

선행기술문헌

특허문헌

[0015] (특허문헌 0001) 일본 특허 제3567355호 공보
(특허문헌 0002) 일본 특허 제3665984호 공보

발명의 내용

해결하려는 과제

[0016] 본 발명은, 스위칭 전원의 경 부하 운영 동안 트랜스포머의 사이즈를 증가시키지 않고, 또한 스위칭 손실을 증가시키지 않고, 트랜스포머에 의해 발생되는 비트 소리를 저감할 수 있는 스위칭 전원에 관한 것이다.

과제의 해결 수단

[0017] 본 발명의 일 양태에 따르면, 스위칭 전원은, 트랜스포머, 트랜스포머의 일차측을 구동하도록 구성된 스위칭 유닛, 트랜스포머의 이차측에 발생하는 전압을 출력하도록 구성된 출력 유닛, 스위칭 유닛을 연속적으로 구동함으로써 출력 유닛으로부터 제1 전압을 출력하는 제1 출력 상태, 및 스위칭 유닛을 간헐적으로 구동함으로써 출력 유닛으로부터 제1 전압보다 작은 제2 전압을 출력하는 제2 출력 상태를 포함한다. 제2 출력 상태에 있어서, 스위칭 유닛이 간헐적으로 구동될 때 구동 주기마다 스위칭 유닛의 구동 횟수를 변경한다.

[0018] 본 발명의 다른 양태에 따르면, 화상 형성 장치는, 화상을 형성하도록 구성된 화상 형성 유닛, 화상 형성 유닛의 동작을 제어하도록 구성된 제어 유닛, 및 제어 유닛에 전력을 공급하도록 구성된 스위칭 전원을 포함한다. 스위칭 전원은, 트랜스포머, 트랜스포머의 일차측을 구동하도록 구성된 스위칭 유닛, 트랜스포머의 이차측에 발생하는 전압을 출력하도록 구성된 출력 유닛, 스위칭 유닛을 연속적으로 구동함으로써 출력 유닛으로부터 제1 전압을 출력하는 제1 출력 상태, 및 스위칭 유닛을 간헐적으로 구동함으로써 출력 유닛으로부터 제1 전압보다 작은 제2 전압을 출력하는 제2 출력 상태를 포함하고, 제2 출력 상태에 있어서, 스위칭 유닛이 간헐적으로 구동될 때, 스위칭 유닛이 구동 주기마다 스위칭 유닛의 구동 횟수를 변경한다.

[0019] 본 발명의 다른 특징들 및 양태들은 첨부 도면을 참조하여 하기의 예시적인 실시 형태들의 설명으로부터 명백해질 것이다.

도면의 간단한 설명

[0020] 명세서에 포함되고 그 일부를 구성하는 첨부 도면은 본 발명의 실시 형태들, 특징들 및 양태들을 도시하고, 그 설명과 함께 본 발명의 원리를 설명하는 기능을 한다.

도 1은 제1 실시 형태에 따른 스위칭 전원의 개략적인 구성도이다.

도 2는 스위칭 전원의 기본 구성을 도시한다.

도 3은 스위칭 전원의 제어 IC의 내부 구성을 도시한다.

도 4는 스위칭 전원의 경 부하 운영 동안의 동작 파형의 예를 도시한다.

도 5는 제1 실시 형태에 따른 스위칭 전원의 회로 구성을 도시한다.

도 6은 제1 실시 형태에 따른 스위칭 전원의 경 부하 운영 동안의 동작 파형을 도시한다.

도 7은 제1 실시 형태에 따른 스위칭 전원의 경 부하 운영 동안의 제어 플로우차트를 도시한다.

도 8은 제1 실시 형태의 스위칭 전원의 경 부하 운영 동안의 구동 펄스 그룹들의 개략적인 구성도를 도시한다.

도 9는 제1 실시 형태에 따른 스위칭 전원의 경 부하 운영 동안의 트랜스포머 구동 전류 파형 및 구동 펄스 파형을 도시한다.

도 10은 제1 실시 형태에 따른 스위칭 전원의 경 부하 운영 동안의 트랜스포머 구동 전류 파형의 주파수 특성을 도시한다.

도 11은 제1 실시 형태에 따른 스위칭 전원의 경 부하 운영 동안의 트랜스포머의 비트 소리의 음압 레벨을 도시한다.

도 12는 제2 실시 형태에 따른 스위칭 전원의 경 부하 운영 동안의 동작의 파형을 도시한다.

도 13은 제2 실시 형태에 따른 스위칭 전원의 경 부하 운영 동안의 제어 플로우차트의 특징부를 도시한다.

도 14a 및 도 14b는 스위칭 전원의 적용 예를 도시한다.

도 15는 종래의 스위칭 전원의 개략적인 구성도를 도시한다.

도 16은 종래의 스위칭 전원의 경 부하 운영 동안의 트랜스포머 구동 전류 파형 및 구동 펄스 파형을 도시한다.

도 17은 종래의 스위칭 전원의 경 부하 운영 동안의 트랜스포머 구동 전류 파형의 주파수 특성을 도시한다.

도 18은 종래의 스위칭 전원의 경 부하 운영 동안의 트랜스포머의 비트 소리의 음압 레벨을 도시한다.

도 19는 펄스 수의 가변 방법의 변형예 1에 관한 펄스 파형을 도시한다.

도 20은 펄스 수의 가변 방법의 변형예 1에 관한 주파수 분석 결과를 도시한다.

도 21은 펄스 수의 가변 방법의 변형예 2에 관한 펄스 파형을 도시한다.

도 22는 펄스 수의 가변 방법의 변형예 2에 관한 주파수 분석 결과를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0021] 하기에서 본 발명의 다양한 실시 형태, 특징, 및 양태에 대해서 도면을 참조하여 설명한다.
- [0022] 이하, 본 발명의 구성 및 동작에 대해서 설명한다. 이하에 설명하는 실시 형태 또는 실시 형태들은 단지 예일 뿐이며, 본 발명의 기술적 범위를 이들만으로 한정하려는 취지는 아니다.
- [0023] 우선, 제1 실시 형태에 대해서 도 1 내지 도 11을 참조하여 설명한다. 도면에 있어서, 기술한 종래예의 예와 마찬가지로의 구성 요소에는 동일한 참조 번호를 붙이고, 그 반복적인 설명을 생략한다.
- [0024] 도 1은 본 실시 형태에 따른 스위칭 전원의 구성 개념을 도시한다. 도 1의 특징은, 정류 유닛(140), 스위칭 소자(108)에 의해 구동되는 트랜스포머(104), 평활 유닛(141), 부하 상태 판단 유닛(142), 및 펄스 그룹 생성 유닛(143)을 채택하는 상용 교류 전원(100)으로부터의 AC 전압으로부터 직류(DC) 전압 V를 생성하는 스위칭 전원이다.
- [0025] 부하 상태 판단 유닛(142)이 스위칭 전원이 경 부하 운영 상태라고 판단하는 경우, 펄스 그룹 생성 유닛(143)은 스위칭 소자(108)의 스위칭 동작을, 휴지 기간을 포함한 미리 결정된 주기(T1, T2, T3 ...)로 행한다(이 동작은 버스트(burst) 동작이라고도 일컫는 경우가 있음). 그리고, 구동 펄스 그룹 내의 펄스 수를, 미리 결정된 파수(n1, n2, n3 ...)와 같이 가변한다. 이러한 스위칭 동작에 의해, 광범위한 주파수 대역에 대하여 트랜스포머 구동 전류 파형의 FFT 스펙트럼의 레벨을 저감시킨다. 이에 따라, 트랜스포머의 사이즈를 증가시키지 않고, 또한 스위칭 손실을 증가시키지 않고, 트랜스포머의 비트 소리의 발생을 감소시킬 수 있다.
- [0026] 우선, 본 실시 형태에 따른 스위칭 전원의 상세 구성을 설명한다. 도 2는 본 실시 형태에 따른 스위칭 전원의 구성을 도시한다. 본 실시 형태의 예로 설명되는 스위칭 전원은 의사 공진 방식의 스위칭 전원이다. 도 2에서, 스위칭 전원은 상용 교류 전원(100), 다이오드 브릿지(101), 일차 전해 캐패시터(102), 기동 저항(103), 트랜스포머(104), 트랜스포머의 일차 권선(105), 트랜스포머의 이차 권선(106), 및 트랜스포머의 보조 권선(107)을 포함한다. 또한, 전계 효과 트랜지스터(FET)(108)는 트랜스포머(104)에의 전원 공급을 온 및 오프하는 메인 스위칭 소자이다.
- [0027] 스위칭 전원은 전류 검출 저항(109), 스위칭 제어 IC(이하, IC로서 기재함)(110), 트랜스포머의 이차측으로부터 트랜스포머의 일차측에 신호를 전달하는 신호 전달 유닛으로서의 포토커플러(111), 다이오드(112), 및 전해 캐패시터(113), 트랜스포머의 이차 권선(106)에 접속된 다이오드(114), 전해 캐패시터(115), 저항(116, 118, 119), 시리즈 레귤레이터(series regulator)(117), 및 부하 유닛(120)을 더 포함한다. IC(110)의 예로서, 일반적으로 이용되는 의사 공진 제어용의 IC를 설명한다.
- [0028] 본 실시 형태에 있어서, 트랜스포머(104)로서 EER 타입의 트랜스포머가 제조된다. 이 EER 타입의 트랜스포머(104)는 왁스 또는 바니쉬의 수지가 용해된 액체에 트랜스포머를 함침한 후, 트랜스포머를 건조시키는 공정을 통해 제조된다. 일반적으로, 함침된 트랜스포머의 비트 소리는 미함침된 트랜스포머의 비트 소리보다 작고, 코일 보빈(coil bobbin)과 코어를 안정적으로 고정할 수 있다. 이 함침 처리는 코일 보빈(coil bobbin)에 코일을 감고, 코어를 부착해서 코어 테이프에 의해 고정된 상태에서 행할 경우가 많다. 본 실시 형태에 적용되는 트랜스포머(104)의 특성은 상기의 종래예에서 설명한 특성과 마찬가지로이고, 그 기계적인 공진 주파수 특성은 약 18kHz에서 피크를 갖는, 18kHz 주변의 주파수 대역 근방에서 공진 레벨을 갖는다.
- [0029] 도 3은 도 2에 있어서의 IC(110)의 내부 회로 구성의 블록도를 도시한다. 도 3에 있어서, 단자(1)는 기동 단자이며, 전원 회로(1102)는 고내압의 스위치(도시 생략)를 갖는다. 전원 단자인 단자(2)로부터 공급되는 전압(도 2의 보조 권선(107)으로부터 공급되는 전압)이 낮을 경우, 고내압 스위치를 턴 온하고, IC(110)의 외부에 설치된 기동 저항(103)을 통해서 공급되는 전원에 의해 동작한다. FET(108)(도 1)가 스위칭 동작을 행하면, 트랜스포머의 보조 권선(107)으로부터 전압이 공급되어, 단자(2)의 전압이 상승해서 안정된 전압이 공급된다. 그 후, IC(110)는 단자(1)로부터의 전압 공급(기동 저항에 의한 전압 공급)을 차단하고, 단자(2)로부터의 전원 공급에 의해서만 동작할 수 있다.
- [0030] 단자(3)는 플라이백 전압의 하한, 즉, 플라이백 전압의 저하를 검출하는 단자이다. 회로(1101)는 플라이백 전압 하한 검출 회로이며, 플라이백 전압의 저하를 검출하면, 단안정 회로(1104)에 신호를 출력한다. 플립 플롭(1108)은 단안정 회로(1104)로부터 플라이백 전압의 하한이 검출되면 신호를 출력하기 위한 설정을 행하고, 비교기(1111)의 출력에 의해 리셋 동작을 행하는데, 즉, 출력을 정지하도록 동작한다. 이와 같이, IC(110)는 단자(3)에 입력되는 플라이백 전압이 하한이 되는 타이밍에 동기화하여, 단자(7)로부터 구동 펄스(FET(108)의 게이트에의 신호)를 출력하고, FET(108)를 턴 온시킨다.

- [0031] 단자(4)는 피드백 전압 단자이며, IC(110) 내부의 기준 전원 V_{cc} 에 대하여 저항(1113)에 의해 풀-업 접속되고, 비교기(1103) 및 비교기(1111)에 접속된다. 비교기(1103)는 기준 전압(1107)에 접속되고, 기준 전압(1107)보다 단자(4)의 전압이 낮아지면 단안정 회로(1104)를 클리어한다. 따라서, 단자(4)의 전압이 기준 전압(1107)보다 낮은 기간 동안, IC(110)는 FET(108)를 턴 온할 수 없게 되어, 기준 전압(1107)이 펄스 정지 전압이 된다.
- [0032] 단자(5)는 그라운드 단자(GND 단자)이고, 단자(6)는 전류 검출 단자이다. 단자(6)는 비교기(1111)에 입력되고, 단자(4)의 피드백 전압과 비교된다. 피드백 전압보다 검출값이 커지면, 비교기(1111)가 동작하여, 플립 플롭(1108)의 리셋 단자를 하이(high)로 한다. 이와 같이 하여, 트랜스포머의 일차 권선(105)의 전류가 커지고, 전류 검출 저항(109)으로부터의 전압이 상승하면, 비교기(1111)는 FET(108)를 턴 오프하도록 동작한다.
- [0033] 비교기(1106)는 전원 전압을 감시하기 위해 이용되고, 단자(2)의 전압이 기준 전압(1113)보다 낮을 경우, IC(110)가 구동 펄스를 출력하지 않도록 보호하는 회로이다. 또한, 회로(1105)는 IC(110) 내부의 기준 전압을 생성하며, 기준 전압을 확정함으로써 단자(7)의 출력을 허가하도록 AND 회로(1109)에 접속된다. 안전 회로(1112)는 IC(110)의 내부 온도의 영향에 의해 비정상 전류 파형이 발생할 때 단자(7)로부터의 출력을 정지하도록 구성된다.
- [0034] 전원이 턴 온될 때, IC(110)는 단자(1)의 내부 회로를 기동 저항(103)에 접속하고, 기동 저항(103)을 통해서 전압 공급을 받는다. IC(110)는 단자(7)에 High를 출력하고, FET(108)를 턴 온한다. 이때, 전해 캐패시터(115)의 양단 간에 아직 전압이 발생되지 않거나, 또는 낮은 전압밖에 발생(축적)되지 않기 때문에, 포토커플러(111)의 포토 LED는 발광하지 않고, 포토커플러(111)의 포토트랜지스터도 턴 온되지 않는다. 이로 인해, 단자(4)의 전압은 높게 유지되고, 트랜스포머의 일차 권선(105)의 전류가 커질 때까지 IC(110)는 단자(7)로부터의 High 출력을 계속하고, FET(108)는 턴 온을 계속한다.
- [0035] 그리고, IC(110)는 단자(4)의 전압과 단자(6)의 전압, 즉, 피드백 전압과, 전류 검출 저항(109) 양단에 발생하는 전압을 비교한다. 단자(6)의 전압이 단자(4) 전압보다 높아지면, IC(110)는 FET(108)를 턴 오프한다. FET(108)가 턴 오프되면, 트랜스포머의 이차 권선(106)에 다이오드(114)를 통해서 전해 캐패시터(115)를 충전하는 방향으로 전류가 발생되어, 전해 캐패시터(115)를 충전한다.
- [0036] 이 충전 전류는 트랜스포머(104)의 에너지가 방출됨에 따라 감소된다. 트랜스포머(104)가 에너지 방출을 종료하면, 트랜스포머 이차 권선(106)의 전압이 전해 캐패시터(115)의 전압보다 낮아지고, 다이오드(114)가 도통하지 않게 된다. 그러면, FET(108)의 드레인 단자의 전압도 저하되고, 이 전압은 일차 전해 캐패시터(102)의 전압 근방을 자유 진동하기 시작한다.
- [0037] 자유 진동하는 전압과 유사한 전압 파형이 트랜스포머의 보조 권선(107)에 나타나고, 단자(3)의 전압이 저하된다. 단자(3)에는 플라이백 전압의 하한을 검출하는 기능이 구비되고, IC(110)의 단자(7)가 High 출력을 나타내어 FET(108)를 턴 온한다. 이와 같이, FET(108)의 턴 온과 턴 오프가 반복되고, 단자(7)로부터 구동 펄스가 연속적으로 출력되어, 트랜스포머의 일차 권선(105)을 구동한다.
- [0038] 또한, 트랜스포머의 보조 권선(107)에 발생하는 전압에 의해 전해 캐패시터(113)가 충전되어, IC(110)의 전원으로서 충분한 전압까지 상승하면, IC(110)는 단자(1)로부터의 전원 공급의 수신을 정지하고, 단자(2)로부터의 전원(보조 권선으로부터의 전압)에 의해서만 동작한다.
- [0039] 또한, 트랜스포머(104)의 2차측에 발생되어 정류 및 평활화된 DC 전압 V 가 상승하고, 미리 정해진 임계치 전압에 근접하면, 셉트 레귤레이터(117)가 동작하여 포토커플러(111)의 포토 LED를 통해 전류를 흘리기 시작한다. 그러면, 단자(4)의 피드백 전압이 저하되고, FET(108)의 턴 온 기간 동안의 최대 전류값이 저하된다. FET(108)의 턴 온 기간이 짧아지고, 트랜스포머(104)에 축적되는 에너지가 감소되기 때문에, 출력 전압의 상승이 억제되고, 미리 결정된 목표 DC 전압 V 가 발생되도록 트랜스포머(104)가 제어된다.
- [0040] 그 다음으로, 도 2에 기술된 스위칭 전원의 경 부하 운영 동안의 동작의 예를 도 4에 도시한다. "경 부하 운영"이란 용어는, 부하 유닛(120)이 동작하지 않고, 부하 유닛의 소비 전력이 매우 작은 상태이며, 스위칭 전원은 소비 전력이 작은 상태(절전 상태)에서 동작한다.
- [0041] 도 4에 있어서, 피드백 전압, 펄스 정지 전압, 트랜스포머의 일차 권선(105)을 통해 흐르는 전류에 따라 결정되는 전압값인 전류 검출 저항(109)의 단자 전압, 및 구동 펄스가 도시되고, IC(110)는 피드백 전압이 저하되면, 구동 펄스를 정지한다. 경 부하 운영 상태로 되어 DC 전압 V 가 높아지면, 셉트 레귤레이터(117)가 훨씬 더 많은 전류를 흘리는 것을 가능하게 한다. 그 결과, 포토커플러(111)의 포토 LED 전류가 증가되고, 포토커플러

(111)의 포토 트랜지스터측의 전압이 저하된다. 그 결과, 피드백 전압이 도 4에 도시된 바와 같이 변화되고, 구동 펄스가 정지하는 펄스 정지 전압 이하로 된다. 그러면, IC(110)는 단자(7)로부터의 구동 펄스의 출력을 정지한다.

[0042] 그 다음에, 부하 유닛(120)의 전류는 계속해서 흐르기 때문에, 전해 캐패시터(115)에 축적되는 전압이 저하되고, 셉트 레귤레이터(117)의 전류가 감소된다. 그 결과, 포토커플러(111)의 포토 LED 전류가 감소되고, 포토트랜지스터 전류가 감소된다. 그 결과, 피드백 전압이 상승하고, 피드백 전압이 펄스 정지 전압 이상으로 되면, IC(110)는 단자(7)로부터의 구동 펄스의 출력을 다시 개시한다.

[0043] 이와 같이, IC(110)에 의해, 경 부하 운영 동안의 FET(108)의 동작을 제어하고, 이 경 부하 운영 동안의 스위칭 동작은 버스트 동작이라고도 일컬어지는 경우가 있다. 이 버스트 동작 시에 있어서, FET(108)에 의한 짧은 주기의 오프 동작의 시간 길이는 트랜스포머(104)의 이차측의 전압을 방출하는 시간 길이, 즉, 트랜스포머(104)의 이차측의 출력 전압과 이차측의 인덕턴스에 의해 결정되고, FET(108)는 트랜스포머(104)의 기계적인 공진 주파수보다 꽤 높은 주파수에서 동작한다. 이상, 본 실시 형태에 따른 스위칭 전원의 기본적인 동작을 설명했다.

[0044] 그 다음에, 본 실시 형태에 따른 특징적인 구성 및 동작에 대해서 상세히 설명한다. 도 5는 본 실시 형태에 따른 스위칭 전원의 구성을 도시한다. 도 5의 스위칭 전원에 있어서, 전술한 도 2의 스위칭 전원과 상이한 점은, 마이크로컨트롤러(121)(도 5에서는 중앙 처리 유닛(CPU)으로서 나타냄), 저항(122, 124), 캐패시터(123), 오차 검출기로서의 연산 증폭기(125), 트랜지스터(126), 및 이차측의 부하 전류를 전압 정보로 변환하는 전류-전압(IV) 변환 회로(127)를 포함하는 회로의 추가이다. 본 실시 형태에서는, 경 부하 운영 동안, CPU(121)의 디지털 출력 포트 P0로부터 송출되는 펄스 폭 변조(PWM) 신호에 기초하는 신호를, IC(110)의 피드백 전압 단자(4)에 입력하고, 강제로 FET(108)를 구동하는 구동 펄스 그룹 내의 펄스 수를 가변하는 제어를 행하는 것을 특징으로 한다.

[0045] 도 6은 도 5의 스위칭 전원에 있어서의 본 실시 형태에 따른 특징적인 경 부하 운영 동안의 동작 파형을 도시한다. 도 6에 있어서, 도 4와 상이한 점은, CPU(121)가 피드백 전압을 제어한다는 점이다. 즉, CPU(121)는 디지털 출력 포트 P0로부터 PWM 신호를 출력하고, 저항(122) 및 캐패시터(123)에 의해 평활화된 아날로그 전압에 의해, 저항(124), 연산 증폭기(125), 및 트랜지스터(126)를 포함하는 전류원을 구동한다. 그리고, 이 전류원의 출력 전류가 포토커플러(111)의 포토 발광 다이오드(LED)를 통해 흐른다. 트랜지스터(126)의 컬렉터 단자가 셉트 레귤레이터(117)의 캐소드 단자와 와이어드(wired) OR 접속되고, 통상 운영 동안, CPU(121)는 디지털 출력 포트 P0로부터 Low를 출력하고, 트랜지스터(126)는 턴 오프된다.

[0046] 한편, 경 부하 운영 동안, DC 전압 V의 목표값이 통상 운영 동안의 것보다 저하되기 때문에, 셉트 레귤레이터(117) 동작하지 않고, 저항(124), 연산 증폭기(125), 및 트랜지스터(126)를 포함하는 전류원에 접속되는 회로가 동작에 지배적인 역할을 담당하도록 구성된다. 즉, 경 부하 운영 동안, CPU(121)는 CPU(121)의 디지털 출력 포트 P0로부터 출력되는 PWM 신호에 따라 피드백 전압을 제어하고, 이 제어에 따라서 생성되는 구동 펄스 그룹 중의 펄스 수를 가변적으로 제어한다. 도 6에 도시된 바와 같이, 피드백 전압이 펄스 정지 전압보다 높은 동안의 시간 T_{on_i} (i 는 1 이상의 정수) 길이가 지속되면, 구동 펄스 수 n_i (i 는 1 이상의 정수)를 증가시킬 수 있다.

[0047] 반대로, 피드백 전압이 펄스 정지 전압보다 낮은 동안의 시간 길이 T_{off_i} (i 는 1 이상의 정수)를 지속시키면, 구동 펄스 출력을 턴 오프할 수 있다. CPU(121)는, 경 부하 운영 동안, DC 전압 V를 저항(118, 119)에 비례하여 분압하여 얻은 전압을 아날로그 디지털 입력 포트 AD1로부터 감시하고, 원하는 DC 전압 V 및 전류값을 IC(110) 내부의 판독 전용 메모리(ROM)(도시 생략)에 정보로서 저장하고, 미리 내장된 프로그램에 따라 구동 펄스 수 n_i 및 구동 펄스 휴지 기간 T_{off_i} 를 제어한다.

[0048] 도 7은 경 부하 운영 동안의 CPU(121)에 의한 제어 동작을 도시하는 플로우차트이다. 우선, 단계 S1에서, CPU(121)는 스위칭 전원이 경 부하 운영 상태로 천이했는지를 판단한다. 이 부하 상태를 판단하는 방법으로서, 이차측 부하 전류를 IV 변환 회로(127)에 의해 전압 정보로 변환하고, CPU(121)의 아날로그 디지털 입력 포트 AD2에 전압 정보를 입력함으로써 CPU(121)에 의해 부하 상태를 판단한다. 다른 방법으로서, 스위칭 전원을 탑재하는 전자 디바이스의 그 밖의 기능, 예를 들어, 전자 디바이스의 동작 상태를 관리하는 컨트롤러(도시 생략)가, 전자 디바이스가 천이된 동작 상태에 기초하여, 스위칭 전원이 경 부하 운영 상태라고 판단하는 방법이 이용될 수도 있다.

[0049] 그 다음에, 스위칭 전원이 경 부하 운영 상태이면, CPU(121)는 구동 펄스 그룹 내의 펄스 수 n_i 를 미리 내장된 프로그램에 기초하는 값으로 설정하고, 구동 펄스 그룹 내의 펄스 수 n_i 가 설정 값이 되도록 제어를 행한다.

즉, 단계 S2에서, CPU(121)는 시간 길이 Ton_i 동안 디지털 출력 포트 P0로부터 PWM 신호를 출력하고, 피드백 전압을 펄스 정지 전압보다 높아지도록 해서 구동 펄스를 출력한다. 본 실시 형태에서, CPU(121)는, 예를 들어, 이 구동 펄스 수 ni 의 설정값이, 처리가 단계 S2의 처리 상태에 들어갈 때마다, 3파→4파→5파→4파→3파→4파→... 등의 방식으로, 1파씩의 증분 또는 감분으로 가산 또는 감산되고, 평균적으로 펄스수가 4파로 되도록 파수를 가변적으로 제어한다.

[0050] 그 다음에, CPU(121)는 출력한 구동 펄스 수 ni 및 아날로그 디지털 입력 포트 AD1에 입력되는 DC 전압 V 의 정보에 기초하여, 구동 펄스 휴지 기간 $Toff_i$ 를 산출해서 구동 펄스 출력을 턴 오프한다. 즉, 단계 S3에서, CPU(121)는 시간 길이 $Toff_i$ 동안만 디지털 출력 포트 P0로부터의 PWM 신호를 턴 오프하고, 피드백 전압을 펄스 정지 전압보다 낮아지도록 해서 구동 펄스 출력을 턴 오프한다. 이 구동 펄스의 휴지 기간 $Toff_i$ 는, 예를 들어, DC 전압 V 가, 경 부하 운영 동안의 소비 전력의 필요 사양에 기초해서 결정된 목표값의 $\pm 5\%$ 범위 이내의 값에 수렴하도록 산출된다. 즉, 휴지 기간 $Toff_i$ 를 산출하는 처리에서, DC 전압 V 가 목표값의 $\pm 5\%$ 범위 이내이면, CPU(121)는 미리 프로그램된 휴지 기간의 값을 그대로 설정한다. DC 전압 V 가 목표값의 $\pm 5\%$ 범위 이내가 아닐 경우, CPU(121)는 그 값에 따라 미리 프로그램된 휴지 기간의 값에 연산(보정)을 행해서 그 값을 증감시킨다.

[0051] 이와 같이, 스위칭 전원의 경 부하 운영 동안, CPU(121)는 도 7의 단계 S1, S2, 및 S3의 처리를 반복해서 스위칭 전원이 버스트 동작을 행하게 하고, CPU(121)는 단계 S2의 처리에 있어서, 매회, 구동 펄스 그룹 내의 구동 펄스 수 ni 를 가변하는 제어를 행한다.

[0052] 단계 S4에서, 경 부하 운영 상태 대신, 통상 운영 상태가 발생하거나, 또는 통상 운영 상태로 천이해야 할 운영 조건이 발생할 경우, CPU(121)는 CPU(121)의 디지털 출력 포트 P0로부터의 PWM 신호를 턴 오프하고, 전술한 바와 같은 통상 운영 동안의 DC 전압 V 의 피드백 제어를 행한다. 이상 설명한 바와 같이, 도 7의 플로우차트에 기초하여, CPU(121)는 스위칭 전원의 경 부하 운영 동안의 DC 전압 V 의 정전압 제어를 행한다.

[0053] 그 다음에, 도 8에 경 부하 운영 동안의 구동 펄스 그룹의 가변 제어의 개념을 도시한다. 도 8에 도시된 바와 같이, CPU(121)는 도 7의 플로우차트에 따라, 파수 ni 의 펄스 그룹을 주기 Ti 로 출력하는 방식으로 경 부하 운영 동안의 버스트 동작을 행한다. 본 실시 형태에 있어서, CPU(121)는, 예를 들어, 펄스 수(파수)를 3파→4파→5파→4파→3파→4파→...와 같이 가변하는 방식으로 주기들에 있어서의 FET(108)의 온 횟수를 주기적으로 가변적으로 제어한다.

[0054] 더 구체적으로, 도 9는 CPU(121)가 구동 펄스 그룹 내의 펄스 수(FET(108)의 온 횟수와 같음)를 1파씩 가산 또는 감산하고, 평균적으로 4파의 펄스 수가 되도록, 구동 펄스 수의 가변 제어(산란 제어라고도 일컫는 경우가 있음)를 행할 경우의 트랜스포머 구동 전류 파형 및 구동 펄스 파형을 도시한다.

[0055] 도 9a 및 도 9b는 FET(108)를 주기 1msec(도 8의 주기 $T1$, $T2$, 및 $T3$), 온 기간 $2.5\mu\text{sec}$, 구동 펄스들 간의 오프 기간 $20\mu\text{sec}$ 의 구동 펄스 그룹에 의해 구동할 때의 트랜스포머 구동 전류 파형 및 구동 펄스 파형을 각각 도시한다. 도 9a에 있어서, 종축은 트랜스포머 구동 전류(A)를 나타내고, 횡축은 시간(msec)을 나타낸다. 도 9b에 있어서, 종축은 구동 펄스 전압(V)을 나타내고, 횡축은 시간(msec)을 나타낸다.

[0056] 또한, 도 10은 도 9의 트랜스포머 구동 전류 파형에 대하여, 주파수 해석(고속 Fourier 변환 해석(FFT 해석))을 행한 결과를 도시한다. 도 10에 있어서, 종축은 트랜스포머 구동 전류(mA)를 나타내고, 횡축은 주파수(Hz)를 나타낸다. 도 10에 도시된 바와 같이, 전술한 종래예에 있어서의 도 17에서 설명한 경 부하 운영 동안의 1파의 구동 펄스에 의해 스위칭 동작을 행할 때의 FFT 스펙트럼에 비해, 고조파 성분이 서로 상쇄하는 효과가 생성되고, 광범위한 주파수 대역에 대하여 스펙트럼의 레벨이 감소되는 것을 알 수 있다.

[0057] 이와 같이, 버스트 동작의 주기마다 트랜스포머에 입력되는 구동 펄스 수를 가변적으로 제어함으로써, FFT 스펙트럼의 레벨을 감소시킬 수 있다. 일반적으로, 구동 펄스의 1파당 트랜스포머에 입력되는 전압이 E 이고, 온 기간이 t 이고, 일차측 인덕턴스가 L 이고, 일차측 인덕턴스 전류가 I 이고, 트랜스포머에 축적되는 에너지가 U 이면, 다음의 수학식이 성립한다.

수학식 1

[0058] $E t = L I$

수학식 2

$$U = (1/2) \times L \times \{I^2\} = \{E^2\} \times \{t^2\} / \{2 \cdot L\}$$

[0059]

[0060]

수학식 2에 의해, 1파의 구동 펄스에 의한 에너지 U1와, 평균 4파의 구동 펄스 그룹에 의한 에너지 U4를 동일화하기 위해, 평균 4파의 구동 펄스 그룹에 의한 FET(108)의 온 기간을, 1파의 구동 펄스에 의한 FET(108)의 온 기간 t의 1/2로 설정하기만 하면 된다는 것을 알 수 있다.

[0061]

따라서, 도 16에 도시된 1파의 구동 펄스의 동작과, 도 9에 도시된 구동 펄스 수를 가변적으로 제어하는 동작에서는, 서로 트랜스포머(104)에 입력되는 단위시간당의 평균 에너지가 동일하게 되도록 스위칭 전원을 구동한다. (서로의 동작의 비교를 용이하게 하기 위해, 스위칭 전원은 스위칭 전원의 이차측의 부하 전압 및 전류가 동등하게 되는 조건에서 구동된다.)

[0062]

그 다음에, 상기 종래예와 마찬가지로, 도 9에 도시된 바와 같은, 주기 1msec, 온 기간 2.5 μsec, 구동 펄스들의 오프 기간 20 μsec의 구동 펄스 그룹을 FET(108)에 공급하여, 기계적인 공진 주파수 특성이 18kHz에서 피크를 갖고, 18kHz 주변의 주파수 대역에 높은 공진 레벨을 갖는 트랜스포머를 구동한다. 이때, 트랜스포머(104)로부터 발생하는 비트 소리의 음압 레벨을 도 11에 도시한다. 도 11에 있어서, 종축은 트랜스포머(104)의 비트 소리의 음압 레벨(dB)을 나타내고, 횡축은 주파수(Hz)를 나타낸다.

[0063]

본 실시 형태에 대응하는 도 11과 종래예에 대응하는 도 18을 서로 비교하면 분명한 바와 같이, 종래와 같이 1파의 구동 펄스로 스위칭 전원을 구동한 경우에 비해, 본 실시 형태에 따른 구동 펄스 수를 가변적으로 제어한 경우, 음압 레벨이 감소되어, 귀에 거슬리는 트랜스포머의 비트 소리가 감소된다는 것을 알 수 있다. 더 구체적으로, 도 18의 음압 레벨과 본 실시 형태의 음압 레벨을 서로 비교하면, 약 -15dB 내지 -20dB의 감소 효과가 얻어지는 것을 알 수 있다.

[0064]

이상 설명한 본 실시 형태의 구동 펄스 그룹 내의 펄스 파수를 가변적으로 제어하는 동작은, 도 10에 도시된 바와 같이, 트랜스포머의 구동 전류 파형의 FFT스펙트럼의 레벨을, 광범위한 주파수 대역에 대하여 감소시키는 효과가 있다. 따라서, 광역의 주파수 대역에 있어서 기계적인 공진 주파수 특성을 갖는 트랜스포머를 이용할 경우, 트랜스포머의 비트 소리를 감소시킬 수 있다. 구동 펄스 그룹 내에서 가변하는 구동 펄스 수를 지나치게 증가시키면, 스위칭 손실이 증가된다. 따라서, 본 실시 형태에서 도시된 바와 같이, 3파로부터 5파로 파수를 가변해서 구동 펄스에서 구동 펄스 그룹을 생성하는 것이 바람직하다.

[0065]

전술한 바와 같이, 버스트 동작의 주기마다의 구동 펄스 수의 가변 패턴은, 스위칭 전원의 효율이 저하되는 것을 방지하기에 충분한 값들을 갖는다. 이 값들은 미리 CPU(121)의 ROM(도시 생략)에 프로그램된다. 또한, 본 실시 형태의 특징은, 스위칭 전원의 경 부하 운영 동안 피드백 전압을 강제로 제어하여, FET(108)의 구동 펄스 그룹 중의 펄스 수를 가변하는 것이다. 또한, 본 실시 형태에서 예시한 바와 같은 CPU(121)를 이용한 방법 대신, 하드웨어 회로에 의해 펄스 수들 간의 전환도 이용될 수 있다.

[0066]

이상, 본 실시 형태에 따르면, 스위칭 전원의 경 부하 운영 동안, 버스트 동작의 주기마다의 펄스 수를 가변함으로써 트랜스포머의 비트 소리를 감소시켰다. 이 구성에 의해, 트랜스포머의 사이즈를 증가시키지 않고, 또한 스위칭 손실을 증가시키지 않고, 트랜스포머의 비트 소리의 발생을 감소시키는 것이 가능하게 된다. 특히, 광역의 주파수 대역에 대하여, 트랜스포머의 구동 전류 파형의 FFT 스펙트럼의 레벨을 감소시킬 수 있기 때문에, 기계적인 공진 주파수 특성을 갖는 트랜스포머의 비트 소리를 감소시킬 수 있다.

[0067]

그 다음에, 제2 실시 형태에 대해서 도 12 및 도 13에 기초하여 설명한다. 상기 종래예 및 제1 실시 형태와 마찬가지로의 구성 및 기능을 갖는 부분들에는 동일한 참조 번호를 붙이고, 그 반복적인 설명을 생략한다.

[0068]

도 12는 본 실시 형태의 특징을 나타내는 경 부하 운영 동안의 동작 파형을 도시한다. CPU(121)가 출력하는 PWM 신호에 의한 피드백 전압의 전압 레벨을 가변하는 제어를 추가하는 점이 제1 실시 형태의 동작과 상이하다. 도 12에 도시된 바와 같이, 피드백 전압의 전압 레벨, 즉, CPU(121)의 디지털 출력 포트 P0로부터 송출되는 PWM 신호의 듀티비를 조정함으로써, 파당 구동 펄스의 온 기간을 제어할 수 있다(온 기간들 간에 전환할 수 있다). 즉, PWM 신호의 듀티비를 증가시키면, 피드백 전압의 전압 레벨이 높아진다. 반대로, PWM 신호의 듀티비를 감소시키면, 피드백 전압의 전압 레벨이 낮아진다.

[0069]

그 결과, 파당의 구동 펄스에 있어서의 온 기간들을 길게 설정할 수 있거나, 또는 짧게 설정할 수 있고, 트랜스

포머에 저장하는 에너지를 보다 유연하게 조정할 수 있다. 이와 같이, 본 실시 형태는 제1 실시 형태에서 설명한 구동 펄스 그룹을 생성하는 방법으로서, 1파당의 구동 펄스들에 있어서의 온 기간을 조정하는 제어를 부가하고, 또한 피드백 전압의 전압 레벨을 가변하는 점이 특징이다.

[0070] 도 13은 경 부하 운영 동안의 CPU(121)의 제어 플로우차트의 일부를 도시한다. 도 13은 제1 실시 형태에서 설명한 도 7과 마찬가지로, 구동 펄스 그룹 내의 펄스 수 n_i 를 가변적인 제어, 및 DC 전압 V 를 목표값에 수렴시키는 제어를 도시한다. 또한, 본 실시 형태에 있어서도, 제1 실시 형태와 마찬가지로, 3파→4파→5파→4파→3파→4파→... 등으로, 구동 펄스 그룹 내의 펄스 수 n_i 를 1파씩 가산 또는 감산하고, 평균적으로 펄스 수가 4파로 되도록 구동 펄스 수의 가변 제어를 행한다. 본 실시 형태에서는, 도 7의 단계 S2에 있어서, 구동 펄스수를 3파→4파→5파로 1펄스씩 증분하여 가변하고, 피드백 전압의 전압 레벨을 가변한다. 도 13은 이 동작의 상세를 도시한다. 제1 실시 형태의 도 7에 있어서의 단계 S1과 단계 S4의 동작은 공통되기 때문에, 플로우차트의 단계들의 기재 및 설명을 생략한다.

[0071] 도 13에 있어서, 우선, 구동 펄스 수를 3파 생성하는 경우, CPU(121)는 수학적 식 1 및 수학적 식 2에 기초하여, 원하는 DC 전압 V 를 얻기 위한 1파당의 구동 펄스에 있어서의 온 기간을 산출한다. 즉, 단계 S21에서, CPU(121)는 그 온 기간에 상당하는 PWM 신호의 듀티비를 산출하고 출력한다. 그리고, 단계 S22에서, CPU(121)는, 출력한 구동 펄스 수가 3인 사실, 및 아날로그 디지털 입력 포트 AD1에 입력되는 DC 전압 V 의 정보에 기초하여, 구동 펄스 휴지 기간 T_{off_i} 를 산출해서 구동 펄스 출력을 턴 오프한다. 그 다음에, 단계 S23에서, 구동 펄스수를 4파 생성하는 상태에 있어서, CPU(121)는 단계 S21과 마찬가지로의 처리를 행하고, PWM 신호를 출력 한다. 그 후, 마찬가지로, 단계 S24, S25, 및 S26에서, 버스트 동작의 주기마다의 휴지 기간을 제공하면서, 펄스 그룹의 출력을, 그 펄스 수를 가변하면서 반복한다.

[0072] 이와 같이, DC 전압 V 를 제어하는 데 있어서, 트랜스포머 구동 전류의 FFT 스펙트럼의 고조파 성분이 서로 상쇄되도록 제어하기 위해서, 구동 펄스 그룹 내의 펄스 수를 가변한다. 또한, 에너지를 조정하기 위해서, 파당 구동 펄스들에 있어서의 온 기간을 가변한다.

[0073] 본 실시 형태에서는, CPU(121)가 1파당의 온 기간을 전환하는 스위칭 유닛으로서 작용하지만, CPU 대신 ASIC(application specific integrated circuit) 등의 하드웨어 회로에 의해서도 마찬가지로의 기능을 실현하는 것이 가능하다.

[0074] 전술한 바와 같은 제어 방법에 의해, 원하는 DC 전압 V 를 생성하는 에너지 조정에 있어서, 제어 방법의 자유도를 향상시킬 수 있다. 즉, 구동 펄스 수, 스위칭 동작의 파당의 구동 펄스에 있어서의 온 기간, 및 버스트 동작의 주기 등의 파라메타를 임의로 조정할 수 있다. 이에 따라, 출력 전압의 정밀도를 유지하면서, 경 부하 운영 동안의 스위칭 동작의 효율을 향상시킬 수 있고, 트랜스포머의 비트 소리를 감소시킬 수 있다.

[0075] (제3 실시 형태)

[0076] 다음에, 도 14에 기초하여 제3 실시 형태에 대해서 설명한다. 상기 종래에 및 제1 및 제2 실시 형태와 마찬가지로의 구성 및 기능을 갖는 부분들에는 동일한 참조 번호를 붙이고, 그 반복적인 설명을 생략한다.

[0077] 본 실시 형태의 특징은 도 4의 CPU(121)의 제어 블록으로서 도시된 바와 같다. 각각의 버스트 사이클에 대한 구동 펄스의 수의 가변적인 패턴들은 CPU(121) 내부에 제공되는 랜덤 넘버 발생 유닛(129)에 의해 결정되고, 이것이 제1 및 제2 실시 형태와 상이하다. 제1 및 제2 실시 형태에 있어서, 구동 펄스 그룹 내의 펄스 수 n_i 는 정기적으로(주기적으로) 구동 펄스 수를 3파→4파→5파→4파→3파→4파... 등과 같은 방식으로, 펄스마다 증분하거나 또는 가변하고, 구동 펄스 수는 펄스 수가 평균적으로 선정된 펄스 수로 되도록 산란되어 제어된다. 그러나, 경 부하 운영 동안 DC 전압 V 의 변동량이 작아진다는 사실을 고려하면, 장기적인 관점에서 볼 때, 제1 및 제2 실시 형태에 도시된 바와 같은 구동 펄스 수의 정기적인 가변 펄스 패턴 대신, 구동 펄스 수 n_i 의 가변 패턴이 평균적으로 선정된 펄스 수로 되기만 한다면 에너지의 조정이 가능하다. 따라서, 본 실시 형태에 있어서, 구동 펄스 수의 가변 패턴은 랜덤으로 만들어진다. 하기에서는 펄스 수가 랜덤하게 만들어지는 경우의 제어 방법에 대해서 설명한다.

[0078] 도 14에 있어서, DC 전압 V 의 전압 정보와 부하를 통해 흐르는 전류 정보가 CPU(121)의 아날로그/디지털 입력 포트 AD1과 AD2 각각에 입력된다. 전압 정보와 전류 정보는 전력 정보 발생부(128)에 입력되고, 전력 정보로 변환되고, PWM 신호 발생부(130)에 송출된다. 한편, 랜덤 넘버 발생부(129)는 미리 결정된 타이밍에서 랜덤 넘버들을 생성하고, 그들을 PWM 신호 발생부(130)에 송출한다. 랜덤 넘버들은, 예를 들면, 약 3 내지 5 근방의 수치들로 설정된다. PWM 신호 발생부(130)는 랜덤 넘버 발생부(129)로부터 송출된 수치들에 기초하여 구동 펄

스 그룹 내의 펄스 수 n_i 를 결정하고, 전력 정보 발생부(128)로부터 송출된 전력 정보에 기초하여 해당 구동 펄스들에 있어서의 ON-기간들 및 버스트 사이클들을 산출한다. 그 후, PWM 신호 발생부(130)는 처리 결과에 기초하여, 디지털 출력 포트 PO로부터 출력하고 구동 펄스를 발생하기 위한 PWM 신호를 정지한다.

[0079] 전술한 제어 방법에 의해 원하는 DC 전압 V 를 발생하는 에너지 조절에 있어서, 제어 방법의 자유도를 향상시킬 수 있다. 즉, 구동 펄스 수, 스위칭 동작의 해당 구동 펄스들의 ON-기간들, 및 버스트 동작의 주기들을 임의적으로 조절할 수 있다. 따라서, 출력 전압의 정밀도를 유지하면서, 경 부하 운영 동안 스위칭 동작의 효율을 향상시킬 수 있고, 트랜스포머의 비트 소리를 감소시킬 수 있다.

[0080] 그 다음에, 각각의 버스트 주기에 대한 구동 펄스 수의 가변 패턴의 변형예에 대해서 설명한다. 제1, 제2, 및 제3 실시 형태에서 설명한 가변 패턴과 상이한 가변 패턴에 있어서도, (제어를 행하여) 트랜스포머 구동 전류의 FFT 스펙트럼의 고조파 성분들을 감소(서로 상쇄)시킬 수 있다.

[0081] <변형예 1>

[0082] 펄스 수의 가변 방법에 대해서 설명한다. 도 19는 펄스 수가 "1파→1파→2파→1파→1파→2파→..." 등의 방식으로 가변 패턴으로 설정되는 경우, 트랜스포머 구동 전류 파형 및 구동 펄스 파형을 도시한다. 도 19에 있어서, 주기 1msec(도 8의 주기 T1, T2, 및 T3), 구동 펄스들 간의 온 기간 2.5 μ sec, 오프 기간 20 μ sec의 구동 펄스 그룹으로 FET(108)를 구동할 경우의 트랜스포머 구동 전류 파형 및 구동 펄스 파형을 도시한다. 또한, 도 19의 트랜스포머 구동 전류 파형에 대하여, 주파수 해석(고속 Fourier 변환 해석(FFT 해석))을 행한 결과를 도 20에 도시한다. 도 20에 도시된 바와 같이, 전술한 종래예의 도 17에 기술된 경 부하 운영 동안 1파의 구동 펄스에 의해 스위칭 동작을 행할 때의 FFT 스펙트럼에 비해, 고조파 성분들이 서로 상쇄되는 효과가 발생하고, 광역의 주파수 대역에 대해 스펙트럼의 레벨이 감소되는 것을 알 수 있다.

[0083] <변형예 2>

[0084] 도 21은 펄스 수가 "1파→1파→2파→1파→1파→2파→..." 등의 방식으로 가변 패턴으로 설정되는 경우, 트랜스포머 구동 전류 파형 및 구동 펄스 파형을 도시한다. 또한, 도 22는 도 21의 트랜스포머 구동 전류 파형에 대하여, 주파수 해석(FFT 해석)을 행한 결과를 도시한다. 도 22에 도시된 바와 같이, 전술한 예(변형예 1)와 마찬가지로의 스펙트럼 감소가 행해진다. 이러한 방식으로, 펄스 수가 산란되어 평균적으로 미리 결정된 펄스 수가 되도록 가변 패턴이 이루어지는 한, 고조파 성분들이 감소된다는 것을 알 수 있다.

[0085] (스위칭 전원의 응용 예)

[0086] 전술한 제1 및 제2 실시 형태에 따른 스위칭 전원은, 예를 들어, 프린터, 복사기, 및 팩시밀리 등의 화상 형성 장치에 있어서의 저전압 전원으로서 응용될 수 있다. 스위칭 전원은 화상 형성 장치에 있어서의 제어 유닛으로서의 컨트롤러에의 전력 공급을 위한, 또한, 용지를 반송하는 반송 롤러의 구동 유닛으로서의 모터에의 전력 공급을 위한 전원으로서 응용될 수 있다.

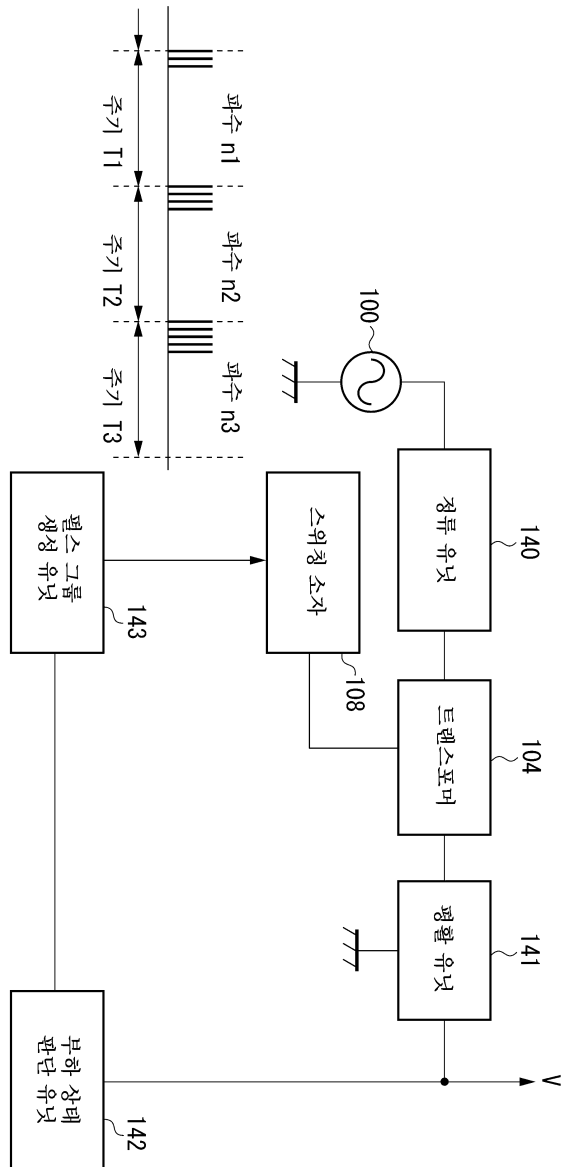
[0087] 도 14a는 화상 형성 장치의 예인 레이저 빔 프린터의 개략 구성을 도시한다. 레이저 빔 프린터(200)는 화상 형성 유닛(210)으로서 잠상이 형성되는 화상 담지 소자로서의 감광 드럼(211), 감광 드럼에 형성된 잠상을 토너로 현상하는 현상 유닛(212)을 구비한다. 그리고, 감광 드럼(211)에 현상된 토너 화상을 카세트(216)로부터 공급된 기록재로서의 시트(도시 생략)에 전사하고, 시트에 전사된 토너 화상을 정착 디바이스(214)로 정착해서 트레이(215)에 배출한다. 또한, 도 14b는 화상 형성 장치의 제어 유닛으로서의 컨트롤러 및 구동 유닛으로서의 모터에의 전원으로부터의 전력 공급 라인을 도시한다. 전술한 스위칭 전원은, 화상 형성 장치의 화상 형성 동작을 제어하는 CPU(310)를 갖는 컨트롤러(300)에의 전력 공급, 및 화상 형성을 위한 구동 유닛들로서의 모터(312, 313)에 전력을 공급하는 저압 전원으로서 응용될 수 있다. 공급하는 전력의 예로서, 컨트롤러(300)에는 3.3V를, 모터에는 24V를 공급한다. 예를 들어, 모터(312)는 시트를 반송하는 반송 롤러를 구동하는 모터이고, 모터(313)는 정착 디바이스(214)를 구동하는 모터이다. 그리고, 화상 형성 장치가 동작하지 않는 상태에서, 컨트롤러로부터의 지시에 따라 장치가 에너지 절약 모드로 이행한다. 이때, 스위칭 전원에 있어서도 출력하는 전압을 감소시켜서 경 부하 상태로 천이하고, 전술한 바와 같은 스위칭 동작으로 천이해서 비트 소리를 감소시킴으로써, 조용한 화상 형성 장치를 실현할 수 있다. 전술한 실시 형태에서 설명한 스위칭 동작의 제어는, 여기에서 설명한 화상 형성 장치에만 한정되지 않고, 다른 전자 디바이스의 저전압 전원으로서도 응용될 수 있다.

[0088] 본 발명은 예시적인 실시 형태들을 참조하여 설명되었지만, 본 발명은 개시된 예시적인 실시 형태들에 한정되지 않는다는 것을 이해할 것이다. 하기의 청구항들의 범위는 변경 및 등가의 구조와 기능을 모두 포괄하도록 최광

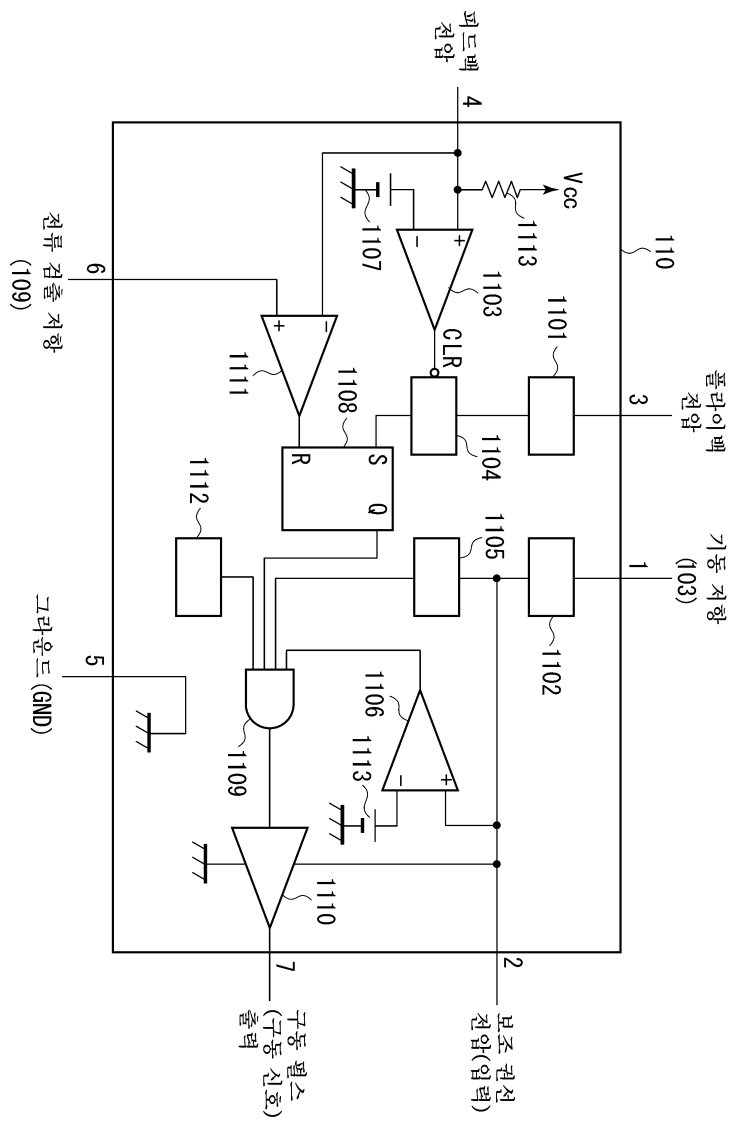
의의 해석에 따라야 한다.

도면

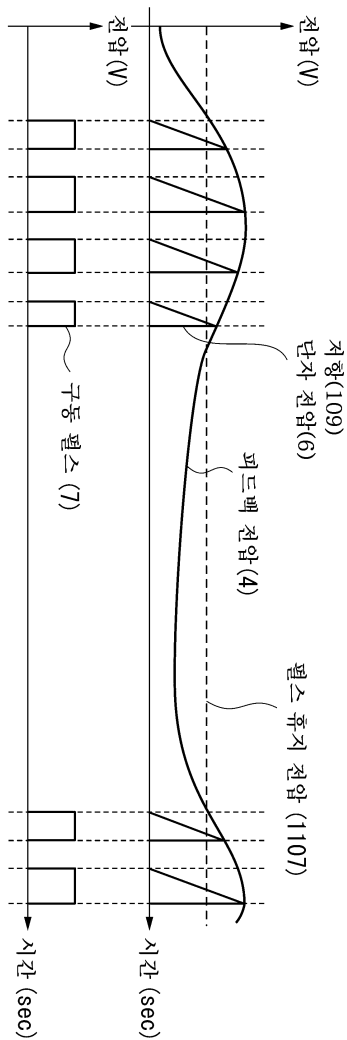
도면1



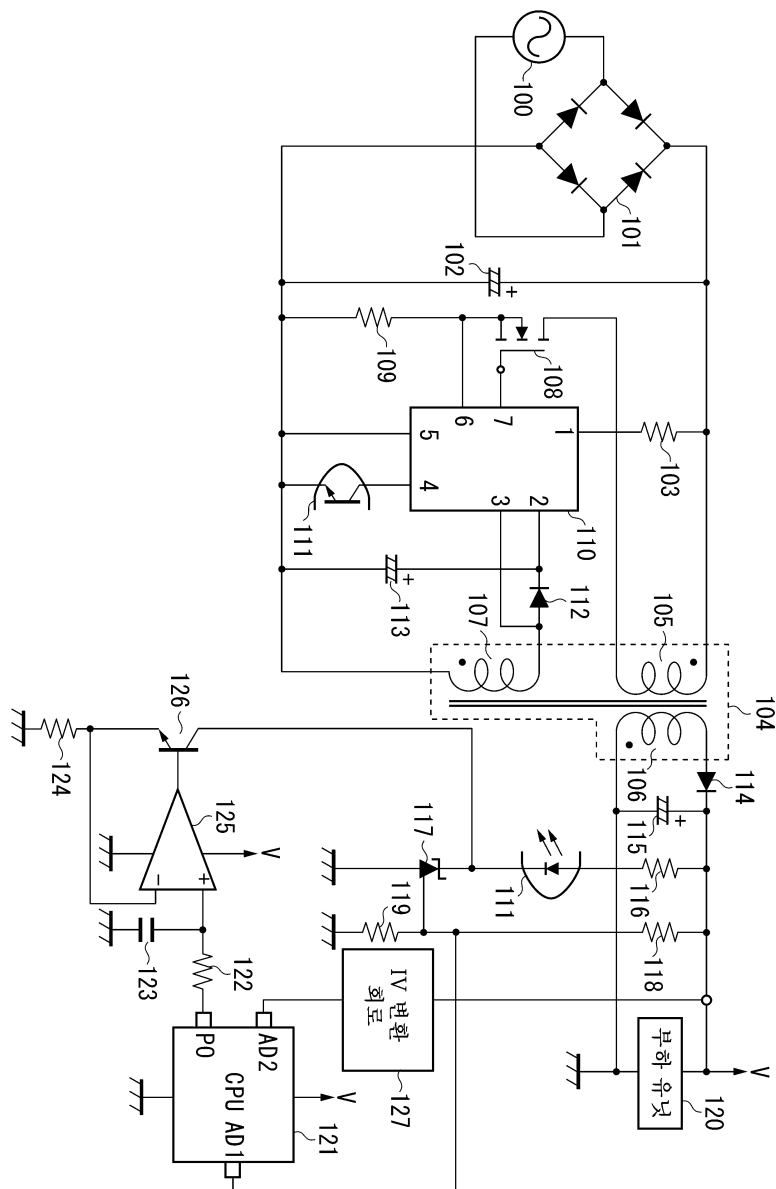
도면3



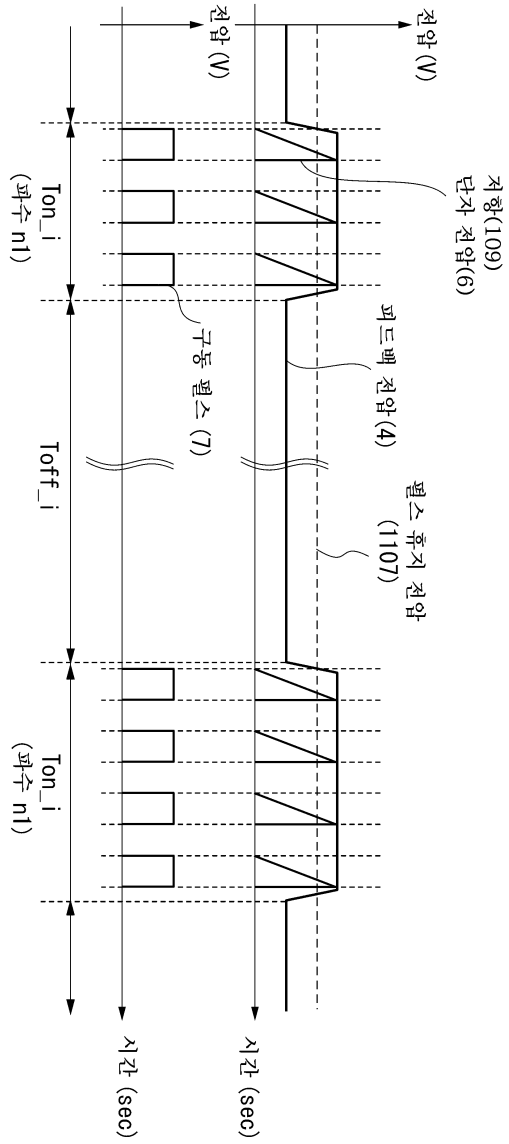
도면4



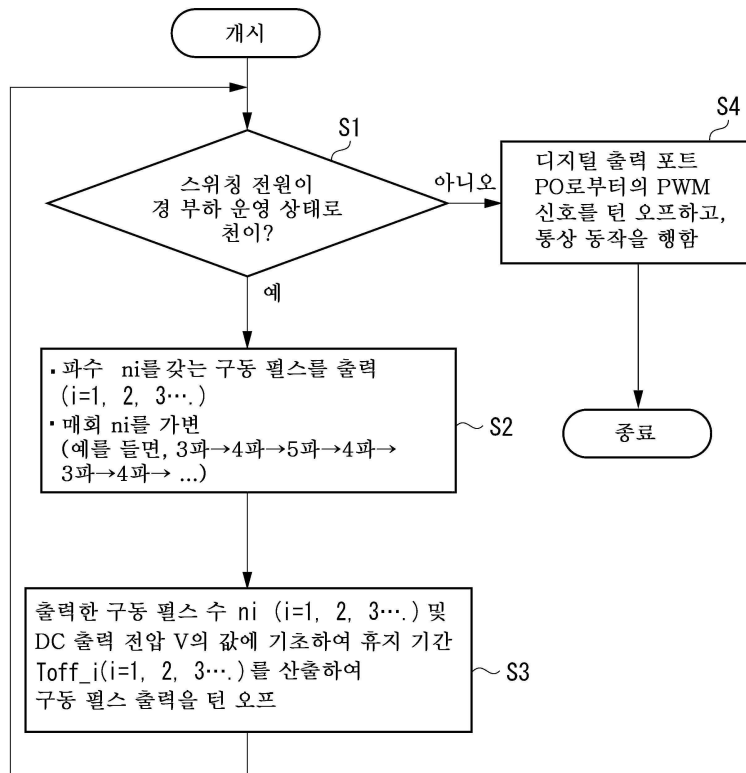
도면5



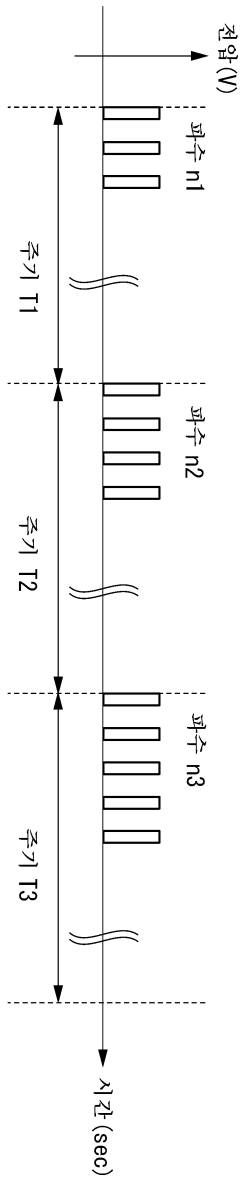
도면6



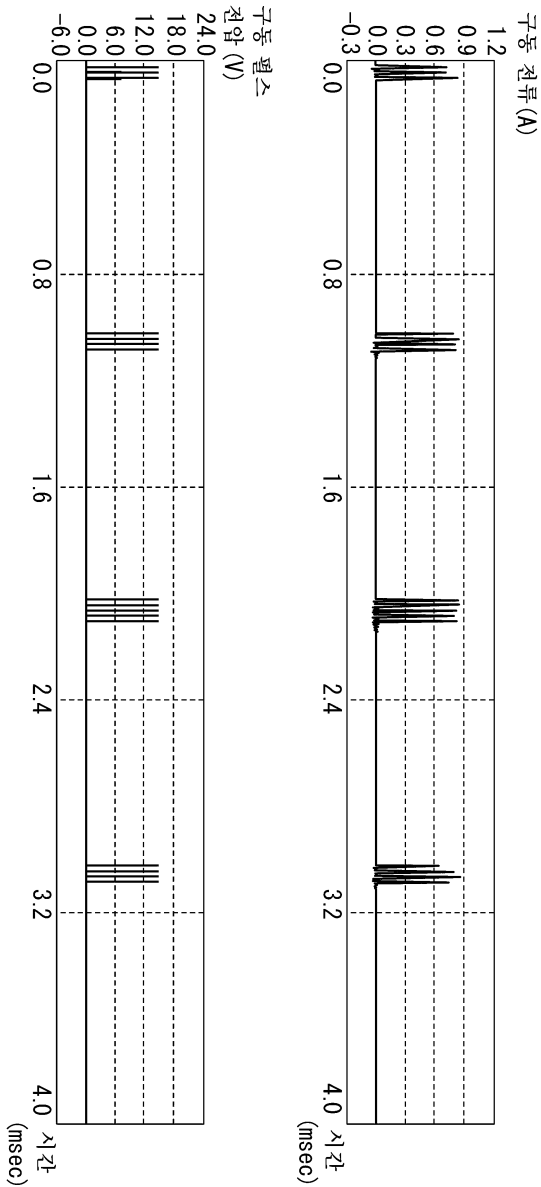
도면7



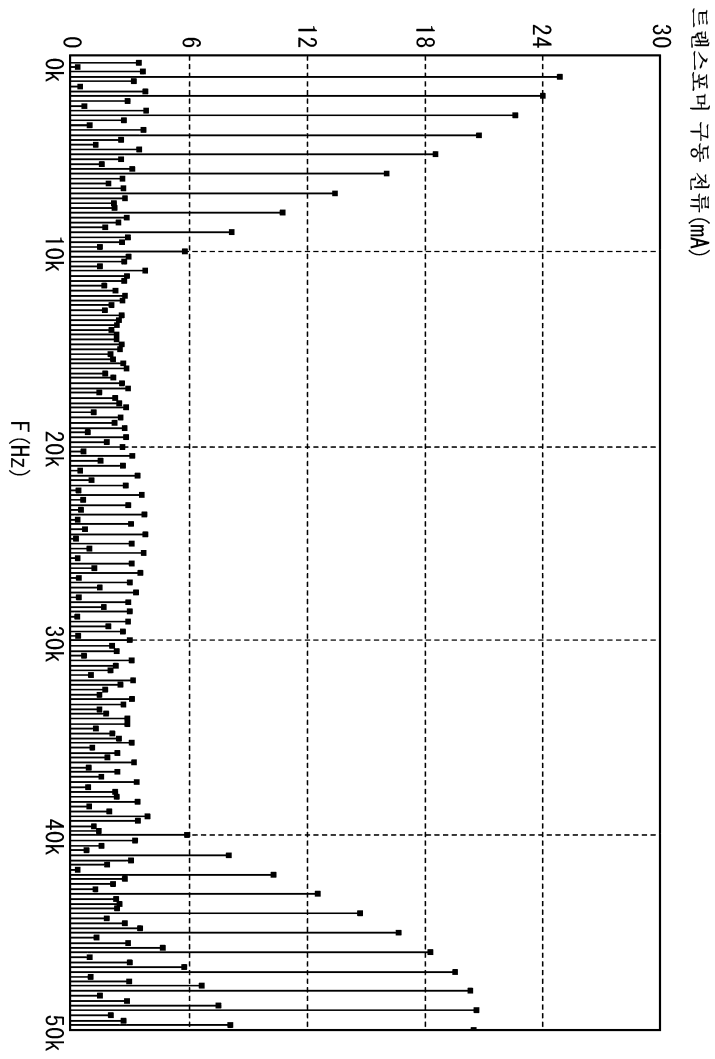
도면8

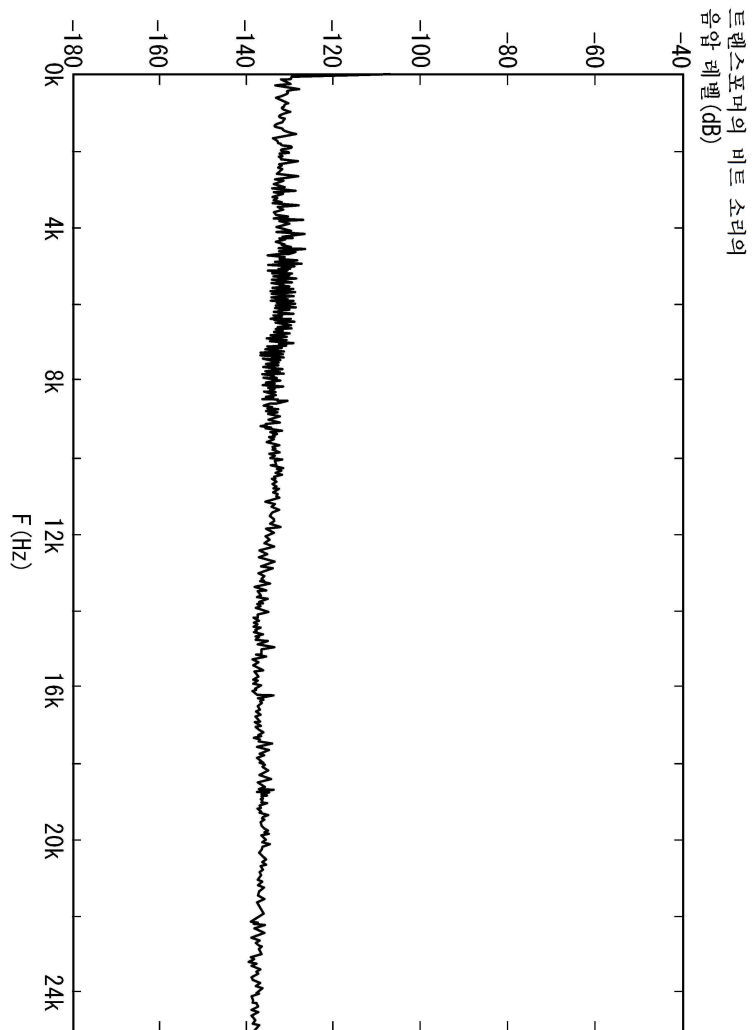


도면9



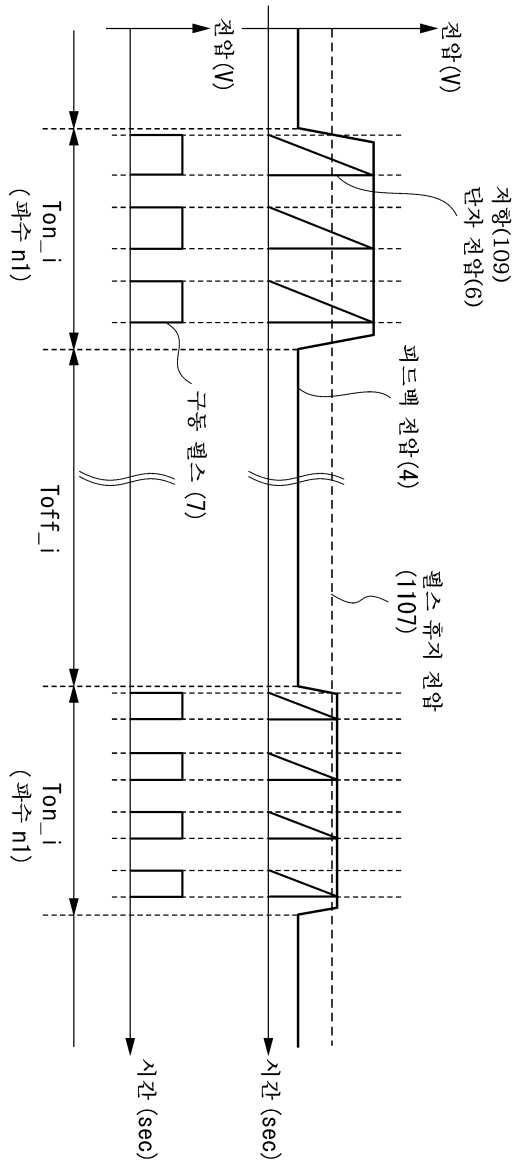
도면10



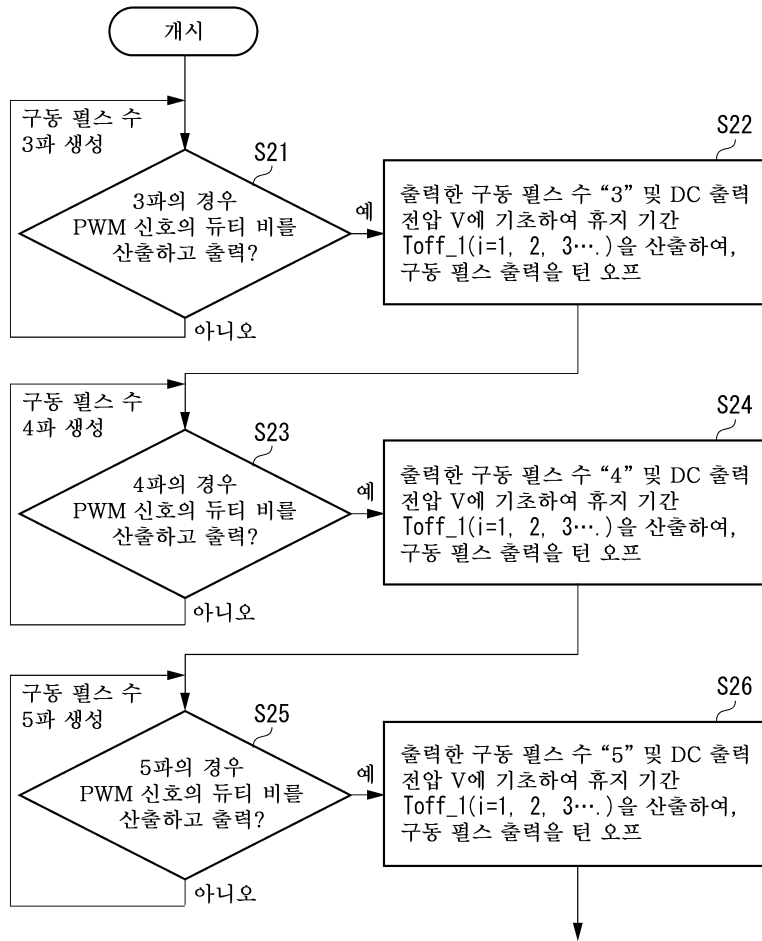


도면11

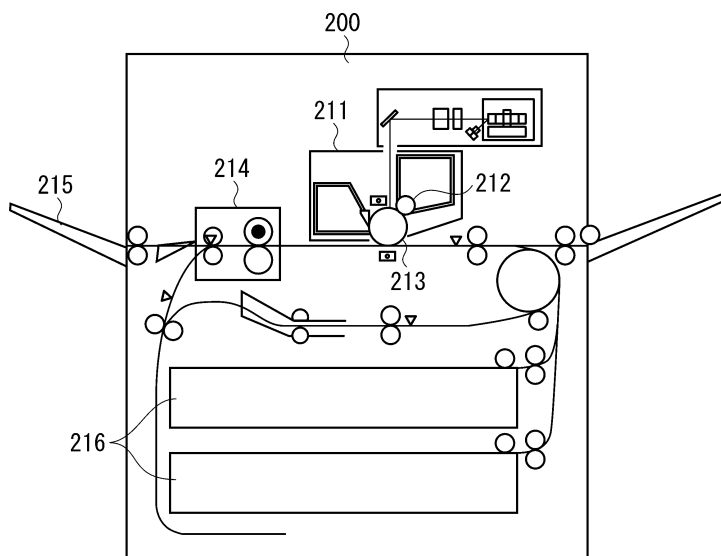
도면12



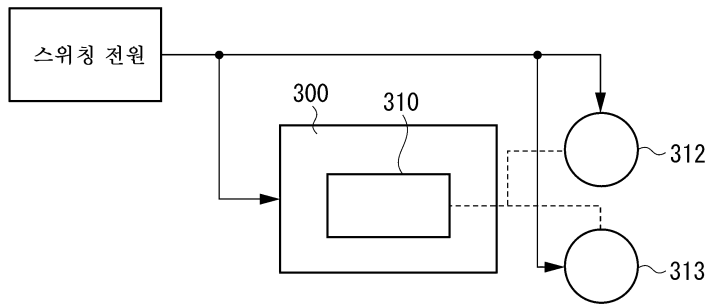
도면13



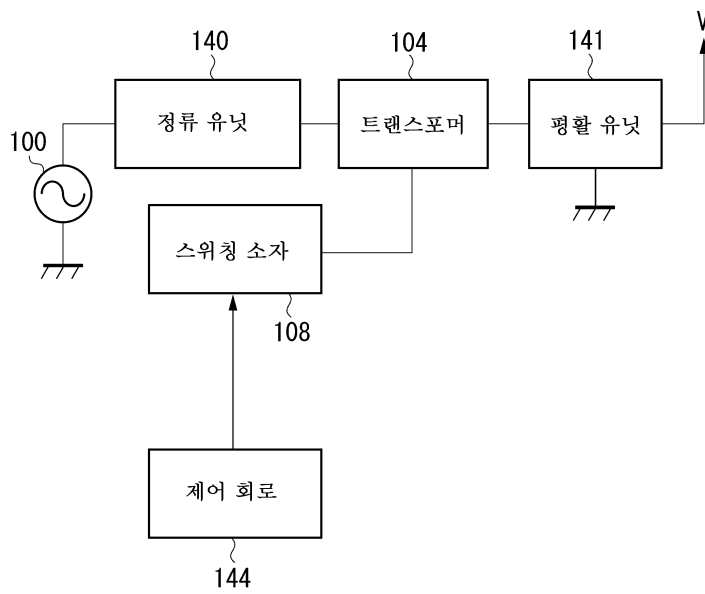
도면14a



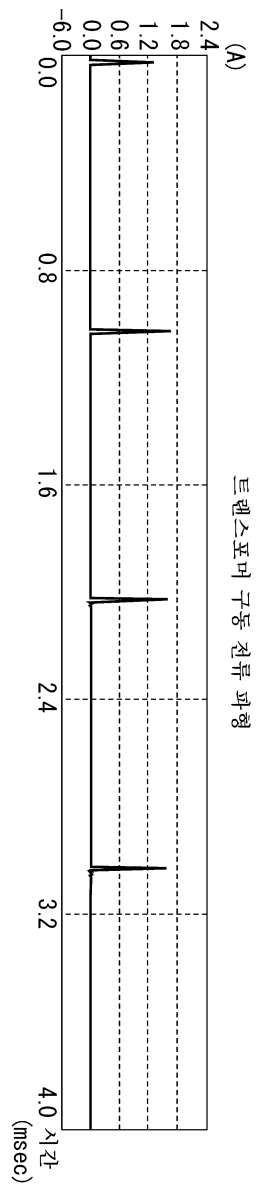
도면14b



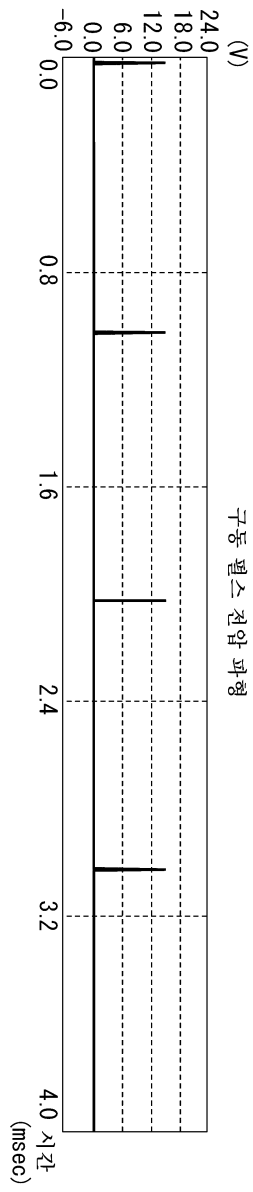
도면15



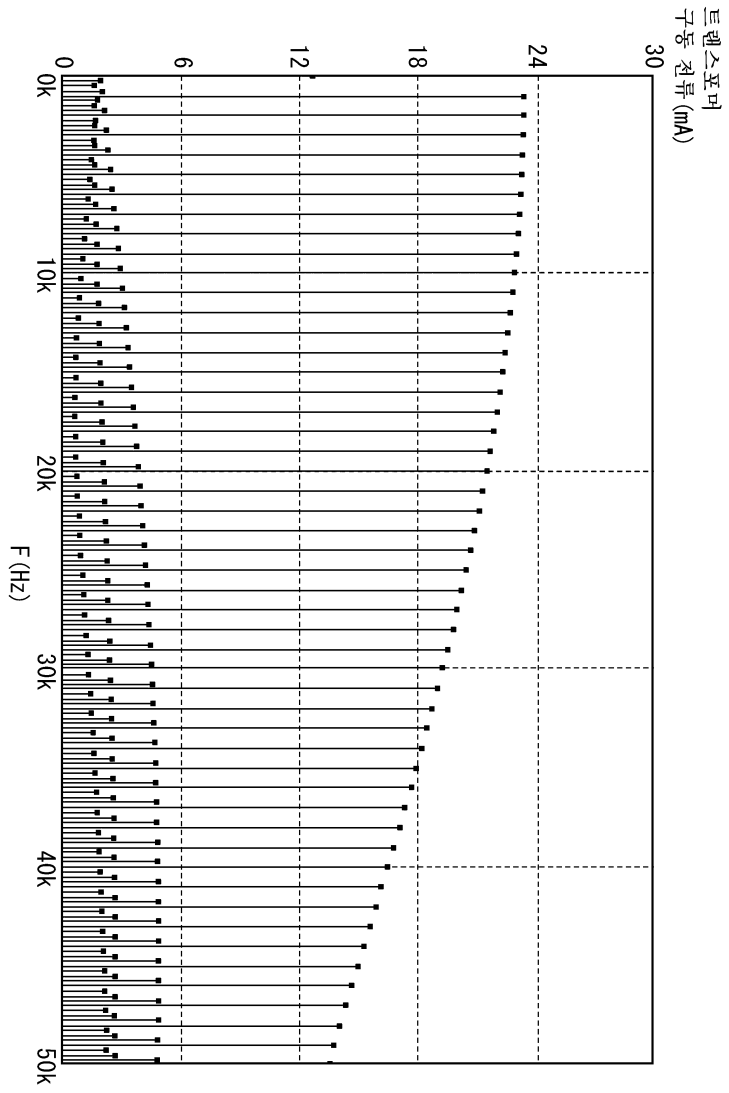
도면16a



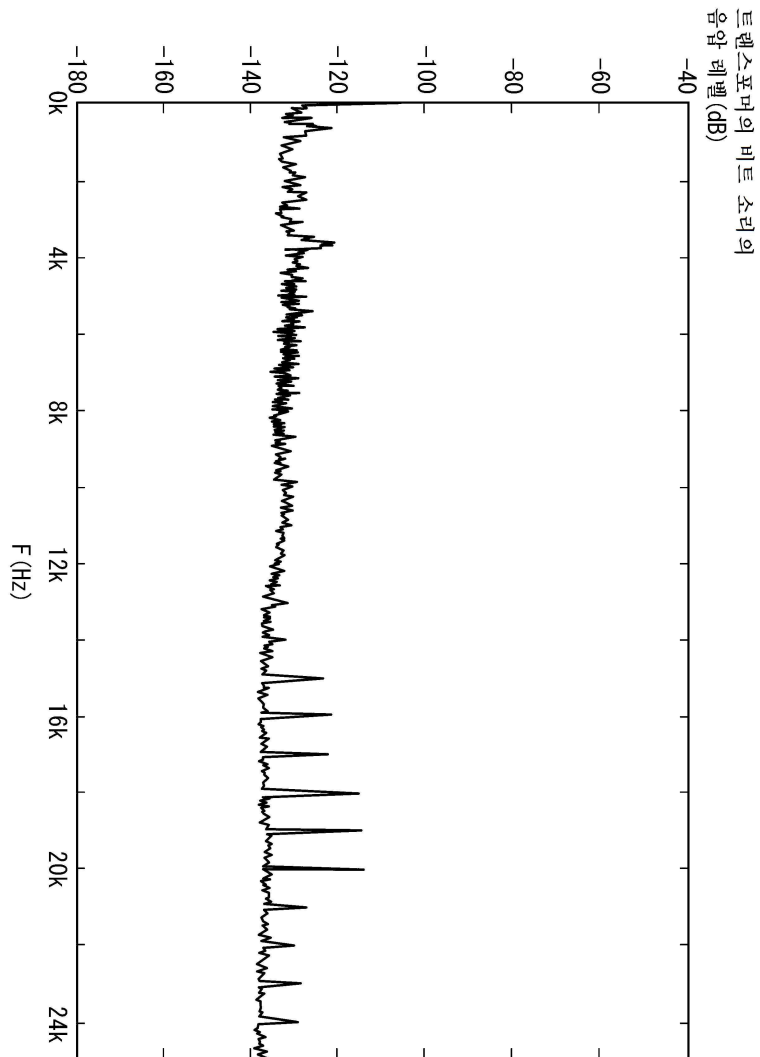
도면16b



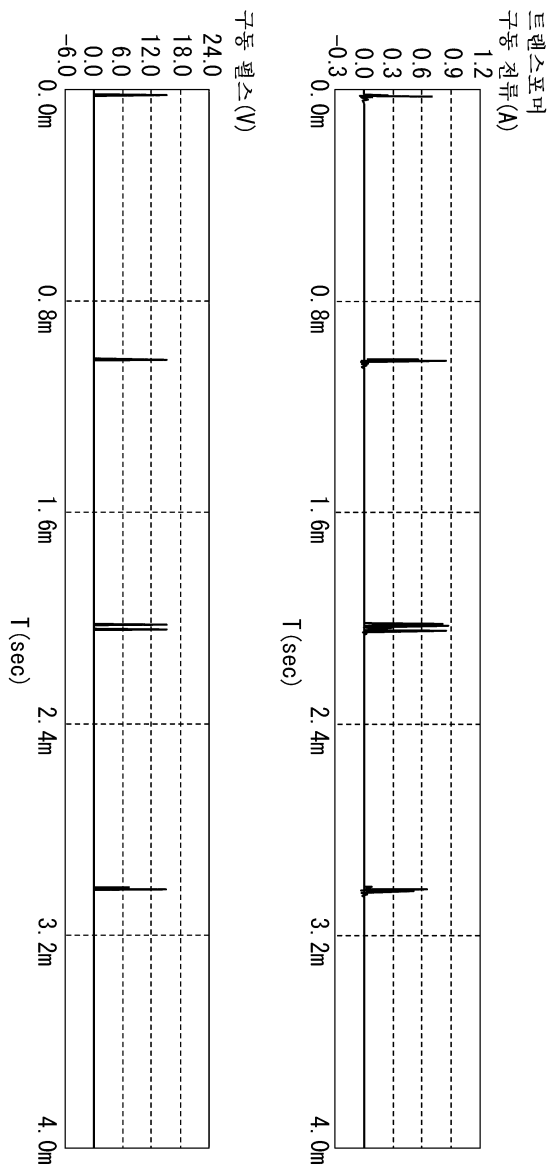
도면17



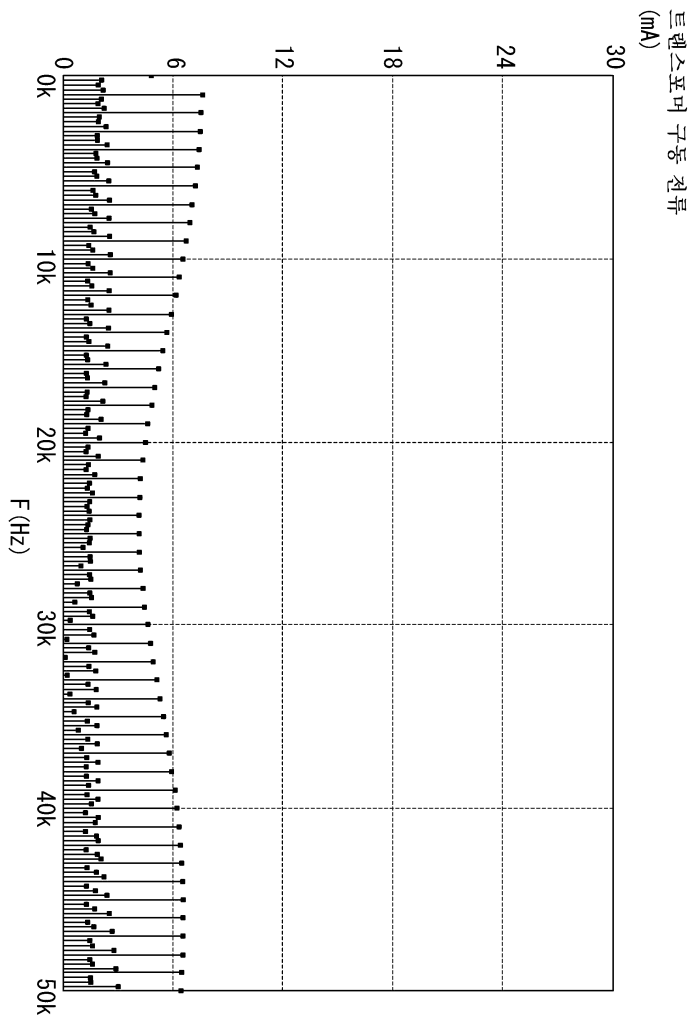
도면18



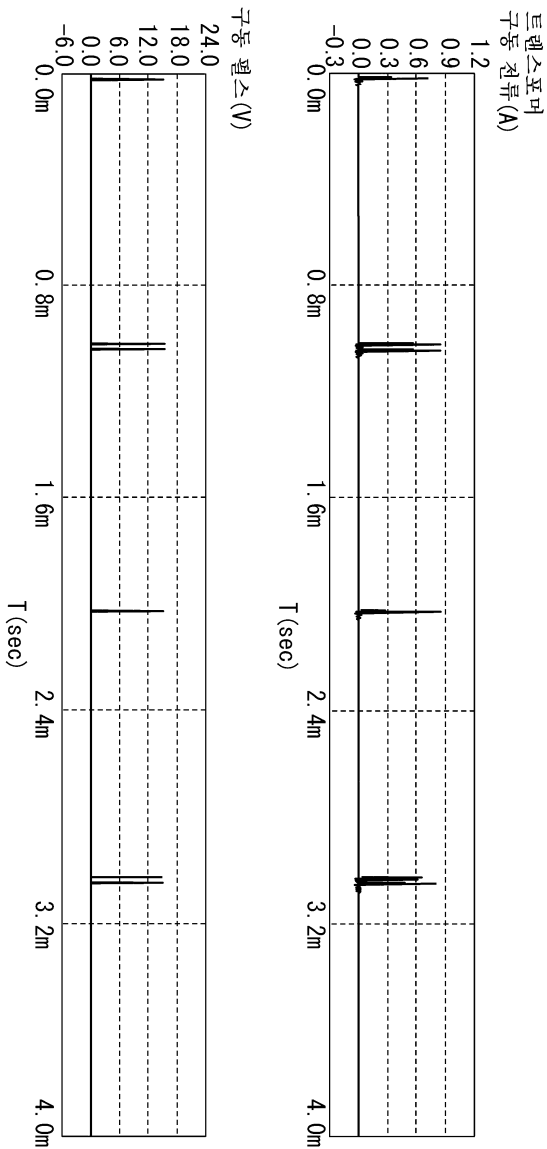
도면19



도면20



도면21



도면22

