



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202239017 A

(43)公開日：中華民國 111 (2022) 年 10 月 01 日

(21)申請案號：111109542

(22)申請日：中華民國 111 (2022) 年 03 月 16 日

(51)Int. Cl. : H01L33/26 (2010.01)

H01L33/02 (2010.01)

(30)優先權：2021/03/16 美國

17/203,293

(71)申請人：晶元光電股份有限公司 (中華民國) EPISTAR CORPORATION (TW)

新竹市東區新竹科學工業園區力行路 21 號

(72)發明人：謝明勳 HSIEH, MIN-HSUN (TW)；李佑祖 LEE, YU-TSU (TW)；薛惟仁 HSUEH, WEI-JEN (TW)

申請實體審查：無 申請專利範圍項數：10 項 圖式數：5 共 38 頁

(54)名稱

半導體元件及包含此半導體元件之半導體裝置及顯示面板

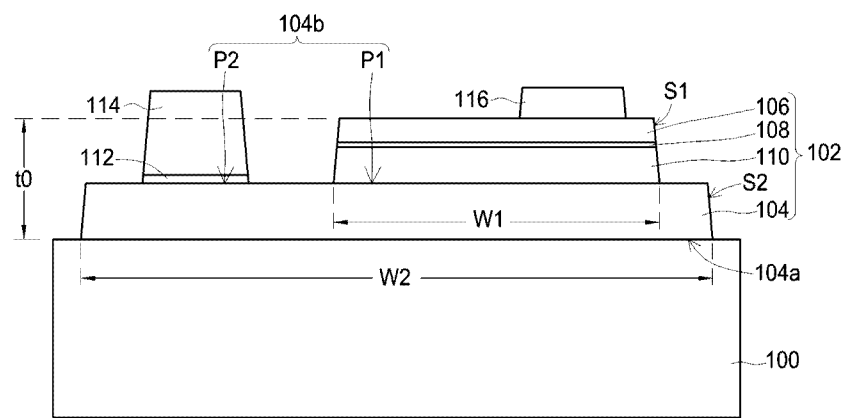
(57)摘要

本發明內容提供一種半導體元件及其製造方法。半導體元件包括第一半導體層、活性區、接觸層、以及含有第一金屬元素之結構。第一半導體層具有一表面。上述表面包括第一部分及第二部分。活性區位於第一部分上且包括 AlGaInAs、InGaAsP、AlGaAsP 或 AlGaInP。接觸層包括氧(O)元素以及第五金屬元素，且位於第二部分上。含有第一金屬元素之結構位於接觸層上。接觸層直接接觸含有第一金屬元素之結構以及第一半導體層。

A semiconductor device and a method for manufacturing the same are provided. The semiconductor device includes a first semiconductor layer, an active region, a contact layer, and a first metal element-containing structure. The first semiconductor layer has a surface including a first portion and a second portion. The active region is located on the first portion and includes AlGaInAs, InGaAsP, AlGaAsP or AlGaInP. The contact layer includes an oxygen element (O) and a fifth metal element, and is located on the second portion. The first metal element-containing structure is located on the contact layer. The contact layer physically contacts the first metal element-containing structure and the first semiconductor layer.

指定代表圖：

10



第1圖

符號簡單說明：

- 10:半導體元件
- 100:基底
- 102:半導體結構
- 104:第一半導體層
- 104a:第一表面
- 104b:第二表面
- 106:第二半導體層
- 108:活性區
- 110:第三半導體層
- 112:p 型或 n 型層(接觸層)
- 114:含有第一金屬元素之結構
- 116:含有第二金屬元素之結構
- P1:第一部分
- P2:第二部分
- S1:第一平台結構
- S2:第二平台結構
- W1:第一寬度
- W2:第二寬度
- t0:總厚度

【發明摘要】

【中文發明名稱】 半導體元件及包含此半導體元件之半導體裝置及顯示面板

【英文發明名稱】 SEMICONDUCTOR DEVICE, SEMICONDUCTOR

COMPONENT AND DISPLAY PANEL INCLUDING THE SAME

【中文】本發明內容提供一種半導體元件及其製造方法。半導體元件包括第一半導體層、活性區、接觸層、以及含有第一金屬元素之結構。第一半導體層具有一表面。上述表面包括第一部分及第二部分。活性區位於第一部分上且包括 AlGaInAs、InGaAsP、AlGaAsP 或 AlGaInP。接觸層包括氧(O)元素以及第五金屬元素，且位於第二部分上。含有第一金屬元素之結構位於接觸層上。接觸層直接接觸含有第一金屬元素之結構以及第一半導體層。

【英文】 A semiconductor device and a method for manufacturing the same are provided. The semiconductor device includes a first semiconductor layer, an active region, a contact layer, and a first metal element-containing structure. The first semiconductor layer has a surface including a first portion and a second portion. The active region is located on the first portion and includes AlGaInAs, InGaAsP, AlGaAsP or AlGaInP. The contact layer includes an oxygen element (O) and a fifth metal element, and is located on the second portion. The first metal element-containing structure is located on the contact layer. The contact layer physically contacts the first metal element-containing structure and the first semiconductor layer.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

10：半導體元件

100：基底

102：半導體結構

104：第一半導體層

104a：第一表面

104b：第二表面

106：第二半導體層

108：活性區

110：第三半導體層

112：p型或n型層(接觸層)

114：含有第一金屬元素之結構

116：含有第二金屬元素之結構

P1：第一部分

P2：第二部分

S1：第一平台結構

S2：第二平台結構

W1：第一寬度

W2：第二寬度

t0：總厚度

【特徵化學式】無

【發明說明書】

【中文發明名稱】 半導體元件及包含此半導體元件之半導體裝置及顯示面板

【英文發明名稱】 SEMICONDUCTOR DEVICE, SEMICONDUCTOR COMPONENT AND DISPLAY PANEL INCLUDING THE SAME

【技術領域】

【0001】 本揭露內容是有關於半導體元件，特別是有關於半導體發光元件，例如發光二極體(Light emitting diode，LED)等。本揭露內容亦有關於半導體元件之製造方法、包含半導體元件的半導體裝置以及顯示面板。

【先前技術】

【0002】 半導體元件廣泛應用於各種產品，而對於各種半導體元件相關材料的研發亦持續進行。舉例來說，包含三族及五族元素的III-V族化合物半導體材料可廣泛應用於製造各種半導體元件，例如發光二極體、雷射二極體(Laser diode，LD)、光電偵測器(Optoelectronic detector)、太陽能電池(Solar cell)或者功率元件(Power device)如開關元件(Switch)或整流器(Rectifier)。近年來，這些半導體元件廣泛用於照明、醫療、顯示、通訊及感測系統等領域。其中，發光二極體因低能耗且使用壽命長而被廣泛應用於各種領域。

【發明內容】

【0003】 本發明內容提供一種半導體元件，包括第一半導體層、活性區、接觸層、以及含有第一金屬元素之結構(first metal element-containing structure)。

第一半導體層具有一表面。上述表面包括第一部分及第二部分。活性區位於第一部分上且包括AlGaInAs、InGaAsP、AlGaAsP或AlGaInP。接觸層位於第二部分上且包括氧(O)元素以及第五金屬元素。含有第一金屬元素之結構位於p型或n型層上。其中，接觸層直接接觸含有第一金屬元素之結構以及第一半導體層。

【0004】 在本發明一實施例中，上述含有第一金屬元素之結構未直接接觸第一半導體層，且含有第一金屬元素之結構藉由接觸層與第一半導體層電性連接。

【0005】 在本發明一實施例中，更包括接合結構，位於第一半導體層下。

【0006】 在本發明一實施例中，接觸層中僅包含單一種金屬元素。

【0007】 在本發明一實施例中，第一半導體層包括磷化物或砷化物。

本發明內容提供一種半導體元件之製造方法，包括以下步驟：提供生長基板；於生長基板上形成半導體疊層，上述半導體疊層包括第一半導體層以及活性區；將半導體疊層接合至接合基板；移除生長基板；移除一部分的半導體疊層以使第一半導體層露出；於第一半導體層上形成接觸層，上述接觸層包括氧(O)元素以及第五金屬元素；以及於接觸層上形成含有第一金屬元素之結構。

【0008】 在本發明一實施例中，還包括於第一半導體層與接合基板之間形成接合結構。

【0009】 在本發明一實施例中，接合結構包括熱固性聚合物。

【0010】 在本發明一實施例中，於接觸層上形成含有第一金屬元素之結構的步驟包括：在第一溫度下進行加熱步驟，其中熱固性聚合物具有熱分解溫度，第一溫度小於熱分解溫度，或者第一溫度與熱分解溫度之差小於等於50°C。

【0011】 在本發明一實施例中，含有第一金屬元素之結構包括合金。

【圖式簡單說明】

【0012】 第1圖為本揭露內容一實施例之半導體元件的剖面結構示意圖。

【0013】 第2A圖為本揭露內容一實施例之半導體元件的上視示意圖。第2B圖為第2A圖之半導體元件沿X-X'線之剖面結構示意圖。

【0014】 第3A圖至第3J圖為本揭露內容一實施例之半導體元件之製造方法示意圖。

【0015】 第3K圖為本揭露內容一實施例之半導體元件的剖面結構示意圖。

【0016】 第3L圖為本揭露內容一實施例之半導體元件的剖面結構示意圖。

【0017】 第3M圖為本揭露內容一實施例之半導體元件的剖面結構示意圖。

【0018】 第4A圖為本揭露內容一實施例之半導體裝置的剖面結構示意圖。

【0019】 第4B圖為本揭露內容一實施例之半導體裝置的剖面結構示意圖。

【0020】 第5A圖為本揭露內容一實施例之顯示面板的上視示意圖。

【0021】 第5B圖及第5C圖為本揭露內容一實施例之顯示面板的部分剖面結構示意圖。

【0022】 第5D圖及第5E圖為本揭露內容一實施例之顯示面板的部分剖面結構示意圖。

【實施方式】

【0023】 以下實施例將伴隨著圖式說明本發明之概念，在圖式或說明中，相似或相同之構件將使用相似或相同之標號進行說明，並且若未特別說明，圖式

中各元件之形狀或尺寸僅為例示，實際上並不限於此。需特別注意的是，圖中未繪示或描述之元件，可以是熟習此技藝之人士所知之形式。

【0024】於本揭露內容中，在未特別說明的情況下，通式InGaP代表 $\text{In}_{x0}\text{Ga}_{1-x0}\text{P}$ ，其中 $0 < x0 < 1$ ；通式AlInP代表 $\text{Al}_{x1}\text{In}_{1-x1}\text{P}$ ，其中 $0 < x1 < 1$ ；通式AlGaInP代表 $\text{Al}_{x2}\text{Ga}_{x3}\text{In}_{1-x2-x3}\text{P}$ ，其中 $0 < x2 < 1$ 且 $0 < x3 < 1$ ；通式InGaAsP代表 $\text{In}_{x4}\text{Ga}_{1-x4}\text{As}_{x5}\text{P}_{1-x5}$ ，其中 $0 < x4 < 1$ ， $0 < x5 < 1$ ；通式AlGaInAs代表 $\text{Al}_{x6}\text{Ga}_{x7}\text{In}_{1-x6-x7}\text{As}$ ，其中 $0 < x6 < 1$ ， $0 < x7 < 1$ ；通式InGaAs代表 $\text{In}_{x8}\text{Ga}_{1-x8}\text{As}$ ，其中 $0 < x8 < 1$ ；通式AlGaAs代表 $\text{Al}_{x9}\text{Ga}_{1-x9}\text{As}$ ，其中 $0 < x9 < 1$ ；通式InGaN代表 $\text{In}_{x10}\text{Ga}_{1-x10}\text{N}$ ，其中 $0 < x10 < 1$ ；通式AlGaN代表 $\text{Al}_{x11}\text{Ga}_{1-x11}\text{N}$ ，其中 $0 < x11 < 1$ ；通式AlGaAsP代表 $\text{Al}_{x12}\text{Ga}_{1-x12}\text{As}_{x13}\text{P}_{1-x13}$ ，其中 $0 < x12 < 1$ ，且 $0 < x13 < 1$ ；通式InGaAsN代表 $\text{In}_{x14}\text{Ga}_{1-x14}\text{As}_{x15}\text{N}_{1-x15}$ ，其中 $0 < x14 < 1$ ，且 $0 < x15 < 1$ ；通式AlInGaN代表 $\text{Al}_{x16}\text{In}_{x17}\text{Ga}_{1-x16-x17}\text{N}$ ，其中 $0 < x16 < 1$ 且 $0 < x17 < 1$ 。可依不同目的調整各元素的含量，例如但不限於調整能階大小，或是當半導體元件為一發光元件時，可藉此調整發光元件的峰值波長(peak wavelength)或主波長(domain wavelength)。

【0025】本揭露內容的半導體元件例如是光電元件，如發光元件(例如：發光二極體(light-emitting diode)或雷射二極體(laser diode))、吸光元件(例如：光電二極體(photo-detector)或太陽能電池(solar cell))，亦可為非光電元件(non-optoelectric device)。本揭露內容的半導體元件包含的各層組成及/或摻質(dopant)可用任何適合的方式分析而得，例如二次離子質譜儀(secondary ion mass spectrometer, SIMS)、能量色散 X 射線光譜(Energy-dispersive X-ray spectroscopy, EDX)、X 射線光電子能譜(X-ray photoelectron spectroscopy, XPS)或紫外光電子能譜(Ultraviolet Photoelectron Spectroscopy, UPS)。各層之厚度等尺寸亦可用任

何適合的方式分析而得，例如穿透式電子顯微鏡(transmission electron microscopy，TEM)、掃描式電子顯微鏡(scanning electron microscope，SEM)或掃描穿透式電子顯微鏡(scanning transmission electron microscope，STEM)。

【0026】所屬領域中具通常知識者應理解，可以在以下所說明各實施例之基礎上添加其他構件。舉例來說，在未特別說明之情況下，「第一層(或結構)位於第二層(或結構)上」的類似描述可包含第一層(或結構)與第二層(或結構)直接接觸的實施例，也可包含第一層(或結構)與第二層(或結構)之間具有其他結構而彼此未直接接觸的實施例。另外，應理解各層(或結構)的上下位置關係等可能因由不同方位觀察而有所改變。

【0027】此外，於本揭露內容中，一層或結構「實質上由 M 所組成」之敘述表示上述層或結構的主要組成為 M，但並不排除上述層或結構包含摻質或不可避免的雜質(impurities)。

【0028】第 1 圖為本揭露內容一實施例之半導體元件 10 的剖面結構示意圖。如第 1 圖所示，半導體元件 10 包括基底 100 以及位於基底 100 上的半導體結構 102。半導體結構 102 可為磊晶結構且可包含第一半導體層 104、第二半導體層 106 以及位於第一半導體層 104 及第二半導體層 106 之間的活性區 108。於一實施例中，半導體結構 102 更包括位於活性區 108 及第一半導體層 104 之間的第三半導體層 110。一 p 型或 n 型層(接觸層)112 位於第一半導體層 104 上。如第 1 圖所示，於半導體結構 102 上設置有含有第一金屬元素之結構 114 以及含有第二金屬元素之結構 116。具體而言，第一半導體層 104 具有朝向基底 100 的第一表面 104a 以及朝向含有第一金屬元素之結構 114 以及含有第二金屬元素之結構 116 的第二表面 104b。第二表面 104b 包括第一部分 P1 以及第二部分 P2。

【0029】於一實施例中，第二半導體層 106、活性區 108 以及第三半導體層 110 位於第一部分 P1 而不位於第二部分 P2 上。一 p 型或 n 型層 112 位於第二部分 P2 而不位於第一部分 P1 上，含有第一金屬元素之結構 114 位於此 p 型或 n 型層 112 上。具體而言，此 p 型或 n 型層 112 位於含有第一金屬元素之結構 114 以及第一半導體層 104 之間且直接接觸含有第一金屬元素之結構 114 以及第一半導體層 104。於一實施例中，於第一半導體層 104 上，第二半導體層 106、活性區 108 以及第三半導體層 110 形成第一平台結構(mesa structure) S1，第一半導體層 104 形成第二平台結構 S2。如第 1 圖所示，第一平台結構 S1 具有第一寬度 W1 且第二平台結構 S2 具有大於第一寬度 W1 的第二寬度 W2。第一寬度 W1 為第一平台結構 S1 之最大寬度且第二寬度 W2 為第二平台結構 S2 之最大寬度。在一剖面中，第一平台結構 S1 及第二平台結構 S2 可各自呈梯形狀或矩形狀。

【0030】於一實施例中，在一剖面中，第一平台結構 S1 之側表面與第二平台結構 S2 之側表面不齊平。在一實施例中，第一平台結構 S1 及第二平台結構 S2 於上視圖中可各自呈圓角矩形狀，以減少尖端放電(point discharge)並改善穩定性。在一實施例中，由上視觀之，半導體元件 10 可具有小於 150 μm 或 100 μm 之長度以及小於 150 μm 或 100 μm 之寬度。半導體元件 10 的長度與寬度比可在 0.3 至 1 的範圍內。

【0031】基底 100 可包括導電或絕緣材料。所述之導電材料包含砷化鎵(GaAs)、磷化銦(InP)、碳化矽(SiC)、磷化鎵(GaP)、氧化鋅(ZnO)、氮化鎵(GaN)、氮化鋁(AlN)、鍺(Ge)或矽(Si)等；所述之絕緣材料包含藍寶石(Sapphire)等。在一實施例中，基底 100 為生長基板，即，半導體結構 102 可藉由如有機化學氣相沉積法(metal organic chemical vapor deposition, MOCVD)以磊晶方式形成於基底

100 上。在一實施例中，基底 100 為接合基板而非生長基板，且可藉由接合結構 124 與半導體結構 102 相接 (如第 2B 圖中所示)。在一實施例中，半導體元件 10 可不具有基底 100。半導體結構 102 之總厚度 t_0 可小於等於 $10\ \mu\text{m}$ 。總厚度 t_0 與半導體元件 10 的長度或寬度之比例可小於等於 0.5，例如小於 0.3 或 0.1，以確保在製造過程中半導體元件 10 之結構穩定性。

【0032】 在一實施例中，第一半導體層 104 包括第一摻質，第二半導體層 106 包括第二摻質，而使第一半導體層 104 及第二半導體層 106 具有不同的導電型態。舉例來說，第一半導體層 104 為 n 型，第二半導體層 106 為 p 型；或者第一半導體層 104 為 p 型，第二半導體層 106 為 n 型。在一實施例中，第一摻質及第二摻質可分別包括週期表中第 II 族、第 IV 族或第 VI 族之元素。舉例來說，第一摻質及第二摻質可分別包含 C、Zn、Si、Ge、Sn、Se、Mg 或 Te。第一半導體層 104 及第二半導體層 106 分別提供電子及電洞，或是電洞及電子。在一實施例中，第三半導體層 110 與第一半導體層 104 具有相同的導電型態。在一實施例中，第一半導體層 104、第二半導體層 106、活性區 108 以及第三半導體層 110 分別包含 III-V 族半導體材料。在一實施例中，上述 III-V 族半導體材料包含 Al、Ga、As、P、N 或 In 元素。具體而言，在一實施例中，上述 III-V 族半導體材料可為二元化合物半導體 (如 GaAs、GaP 或 GaN)、三元化合物半導體 (如 InGaAs、AlGaAs、InGaP、AlInP、InGaN 或 AlGaN)、或四元化合物半導體 (如 AlGaInAs、AlGaInP、AlInGaN、InGaAsP、InGaAsN 或 AlGaAsP)。在一實施例中，活性區 108 實質上由三元化合物半導體 (如 InGaAs、AlGaAs、InGaP、AlInP、InGaN 或 AlGaN) 或四元化合物半導體 (如 AlGaInAs、AlGaInP、AlInGaN、InGaAsP、InGaAsN 或 AlGaAsP) 所組成。於一些實施例中，第一半導體層 104、第二半導

體層 106、活性區 108 以及第三半導體層 110 不包含 N 元素。於一些實施例中，第一半導體層 104、第二半導體層 106、活性區 108 以及第三半導體層 110 分別包含磷化物(phosphide compound)或砷化物(arsenide compound)。

【0033】 根據一實施例，當半導體元件 10 為發光元件，於半導體元件 10 運作時，活性區 108 可發出一光線。所述光線包含可見光或不可見光。半導體元件 10 所發出之峰值波長(peak wavelength)取決於活性區 108 之材料組成。活性區 108 之材料可包含三元化合物半導體(如 InGa_N、InGa_{As}、AlGa_N、AlGa_{As} 或 InGa_P)或四元化合物半導體(如 InGa_{AsP}、AlGa_{InAs} 或 AlGa_{InP})。根據一些實施例，半導體元件 10 可發出峰值波長為 400 nm 至 490 nm 的藍光或深藍光、峰值波長為 490 nm 至 550 nm 的綠光、峰值波長為 250 nm 至 400 nm 的紫外光、峰值波長為 610 nm 至 700 nm 的紅光、峰值波長為 530 nm 至 600 nm 的黃光、或是峰值波長為 700 至 1700 nm 的紅外光。

【0034】 含有第一金屬元素之結構 114 以及含有第二金屬元素之結構 116 可分別為單層或多層。含有第一金屬元素之結構 114 以及含有第二金屬元素之結構 116 均可作為接觸部。根據一些實施例，含有第一金屬元素之結構 114 以及含有第二金屬元素之結構 116 可直接與一外部電源(未繪示)電性連接，或者藉由其他構造(例如後述之第一電極墊 120 以及第二電極墊 122)與外部電源(未繪示)電性連接。在一剖面中，含有第一金屬元素之結構 114 以及含有第二金屬元素之結構 116 可各自呈梯形狀或矩形狀。在一實施例中，含有第一金屬元素之結構 114 包括第一金屬元素 M1，含有第二金屬元素之結構 116 包括第二金屬元素 M2。第一金屬元素 M1 及第二金屬元素 M2 可相同或不同。在一實施例中，含有第一金屬元素之結構 114 不含(devoid of)鉍(Be)。

【0035】 在一實施例中，含有第一金屬元素之結構 114 進一步包括與第一金屬元素 M1 不同的第三金屬元素 M3。在一實施例中，含有第一金屬元素之結構 114 包括含第一金屬元素 M1 以及第三金屬元素 M3 之合金。在一實施例中，含有第一金屬元素之結構 114 可包括第一層以及第二層(未繪示)，第一層直接接觸 p 型或 n 型層 112，第二層位於第一層上。在一實施例中，第一層包含第一金屬元素 M1，第二層包含第三金屬元素 M3。在一實施例中，含有第二金屬元素之結構 116 進一步包括與第二金屬元素 M2 不同的第四金屬元素 M4。在一實施例中，含有第二金屬元素之結構 116 包括含第二金屬元素 M2 以及第四金屬元素 M4 之合金。在一實施例中，含有第二金屬元素之結構 116 可包括第三層以及第四層，第三層直接接觸第二半導體層 106，第四層位於第三層上。在一實施例中，第三層包含第二金屬元素 M2，第四層包含第四金屬元素 M4。在一實施例中，第三金屬元素 M3 及第四金屬元素 M4 可相同。在一實施例中，第一金屬元素 M1、第二金屬元素 M2、第三金屬元素 M3 及第四金屬元素 M4 可分別選自 Ti、Ni、Al、Zn、Ge、Mo、W、V、Ga、Au 或 Ag。

【0036】 於一實施例中，含有第一金屬元素之結構 114 不直接接觸第一半導體層 104。含有第一金屬元素之結構 114 可藉由 p 型或 n 型層 112 電性連接第一半導體層 104。於一實施例中，p 型或 n 型層 112 之材料在垂直方向上具有第一接觸電阻率(contact resistivity)，在水平方向上具有第二接觸電阻率。第二接觸電阻率可大於第一接觸電阻率，藉此，電流主要沿垂直方向通過 p 型或 n 型層 112，而 p 型或 n 型層 112 與含有第一金屬元素之結構 114 及第一半導體層 104 電性連接。於一些實施例中，第一接觸電阻率與第二接觸電阻率例如可以 $\Omega \cdot \text{cm}^2$ 為單位來量測。於一些實施例中，當 p 型或 n 型層 112 具有與第一半導體層 104

不同或相同的導電型態，p 型或 n 型層 112 可作為一穿隧層。於一些實施例中，當 p 型或 n 型層 112 具有與第一半導體層 104 相同的導電型態，p 型或 n 型層 112 可進一步降低第一半導體層 104 與含有第一金屬元素之結構 114 之間的能障 (energy barrier) (例如蕭特基能障(Schottky barrier))。於一實施例中，p 型或 n 型層 112 與活性區 108 在垂直方向上沒有重疊。在一實施例中，第一半導體層 104 具有大於等於 $1 \times 10^{19}/\text{cm}^3$ 的摻質濃度，以降低第一半導體層 104 與含有第一金屬元素之結構 114 之間的接觸阻抗。

【0037】 第一半導體層 104 之材料具有傳導帶(conduction band)以及價帶(valence band)，其中傳導帶之底緣以 E_c 表示，價帶之上緣以 E_v 表示。一 p 型或 n 型層 112 之材料具有第一功函數 $WF1$ ，第一金屬元素 M1 具有第二功函數 $WF2$ 。於一些實施例中，當第一半導體層 104 之導電型態為 n 型，第一功函數 $WF1$ 滿足 $WF1 < (E_c + E_v)/2$ 。於一些實施例中，當第一半導體層 104 之導電型態為 p 型，第一功函數 $WF1$ 滿足 $WF1 > (E_c + E_v)/2$ 。於一些實施例中，當 p 型或 n 型層 112 之導電型態為 n 型，第二功函數 $WF2$ 大於第一功函數 $WF1$ 。於一些實施例中，當 p 型或 n 型層 112 之導電型態為 p 型，第一功函數 $WF1$ 大於第二功函數 $WF2$ 。於一些實施例中，藉由採用符合上述關係的第一半導體層 104、p 型或 n 型層 112 以及含有第一金屬元素之結構 114 之材料，可進一步改善 p 型或 n 型層 112 與含有第一金屬元素之結構 114 之間的接觸電阻率(contact resistivity)。在一實施例中，p 型或 n 型層 112 之材料具有一能隙(bandgap)大於第一半導體層 104 之材料能隙，以避免 p 型或 n 型層 112 吸收由活性區 108 所發出的光。在一實施例中，p 型或 n 型層 112 的材料包括氧(O)元素以及第五金屬元素 M5。在一實施例中，第五金屬元素 M5 和第一金屬元素 M1 或第三金屬元素 M3 相同，藉此可進一步

改善 p 型或 n 型層 112 與含有第一金屬元素之結構 114 之間的附著，亦可提升半導體元件 10 之熱穩定性(thermal stability)。在一實施例中，第五金屬元素 M5 為 In、Ti、Al、Zn、Ni、Ga、Mo、V、W 或 Nb。

【0038】關於 p 型或 n 型層 112 所含的金屬元素，p 型或 n 型層 112 中可僅包含單一種金屬元素。上述金屬元素可包含 In、Ti、Al、Zn、Ni、Ga、Mo、V、W 或 Nb。於一些實施例中，p 型或 n 型層 112 包含兩種或兩種以上的金屬元素。舉例來說，在一實施例中，p 型或 n 型層 112 進一步包括不同於第五金屬元素 M5 的第六金屬元素 M6。第五金屬元素 M5 以及第六金屬元素 M6 可分別為 In、Ti、Al、Zn、Ni、Ga、Mo、V、W 或 Nb。在一實施例中，p 型或 n 型層 112 進一步包含五族元素(如 N、P 或 As)。具體而言，在一實施例中，p 型或 n 型層 112 可包含由氧元素以及第五金屬元素 M5 所形成之第一金屬氧化物(metal oxide compound)。在一實施例中，p 型或 n 型層 112 可進一步包含由氧元素以及第六金屬元素 M6 所形成之第二金屬氧化物。在一實施例中，p 型或 n 型層 112 可進一步包含由氧元素以及五族元素所形成的第三金屬氧化物。舉例來說，第一金屬氧化物或第二金屬氧化物可為 n 型(例如 TiO_x 、 InO_x 、 MoO_x 、 VO_x 、 WO_x 、 GaO_x 、or NbO_x)或 p 型(例如 NiO_x)。第三金屬氧化物可為 PO_x 、 NO_x 或 AsO_x 。在一實施例中，p 型或 n 型層 112 具有大於 0 nm 且小於等於 20 nm 之厚度。舉例來說，p 型或 n 型層 112 之厚度可在 0.5 nm 至 15 nm 的範圍內，例如 1 nm、2 nm、3 nm、4 nm、5 nm、6 nm、7 nm、8 nm、9 nm、10 nm、11 nm、12 nm、13 nm 或 14 nm。於一些實施例中，當 p 型或 n 型層 112 之厚度小於等於 5 nm，含有第一金屬元素之結構 114 以及第一半導體層 104 之間的接觸電阻率可藉由穿隧效應(tunneling effect)而獲得改善。

【0039】於一些實施例中，當第一半導體層 104 包括磷化物或砷化物，p 型或 n 型層 112 之存在可避免因第一半導體層 104 與含有第一金屬元素之結構 114 直接接觸而形成介面化合物(interfacial compound)。舉例來說，當含有第一金屬元素之結構 114 包含 Au 而第一半導體層 104 為磷化物(例如 GaP)，上述介面化合物可為 Au_2P_3 ，其能帶隙(bandgap energy)小於活性區 108 材料之能帶隙，因此會吸收由活性區 108 所發出的光。

【0040】第 2A 圖為本揭露內容一實施例之半導體元件 20 的上視示意圖。第 2B 圖為第 2A 圖之半導體元件 20 沿 X-X' 線之剖面結構示意圖。為了清楚圖示，第 2A 圖僅顯示說明所需之組件(如圖中所標示)。

【0041】半導體元件 20 與半導體元件 10 之差異在於，半導體元件 20 進一步包括位於半導體結構 102 上的絕緣結構 118、與含有第一金屬元素之結構 114 連接的第一電極墊 120、與含有第二金屬元素之結構 116 連接的第二電極墊 122、以及位於第一半導體層 104 下的接合結構 124。於一實施例中，絕緣結構 118 大致上共形地覆蓋半導體結構 102、含有第一金屬元素之結構 114、以及含有第二金屬元素之結構 116。如第 2B 圖所示，絕緣結構 118 具有第一開口 118a 以及第二開口 118b。含有第一金屬元素之結構 114 透過第一開口 118a 直接接觸第一電極墊 120，含有第二金屬元素之結構 116 透過第二開口 118b 直接接觸第二電極墊 122。

【0042】第一電極墊 120 以及第二電極墊 122 可用以與一外部電源(未繪示)電性連接，且可作為緩衝以吸收如打線接合(wire-bonding)或銲料接合(solder bonding)等製程中產生的應力(stress)。第一電極墊 120 的上表面與第二電極墊 122 的上表面實質上可位於同一水平(允許誤差約 $\pm 1\text{ }\mu\text{m}$)。於一實施例中，第一電極

墊 120 覆蓋絕緣結構 118 的一部份且填入第一開口 118a，第二電極墊 122 覆蓋絕緣結構 118 的一部份且填入第二開口 118b。於一些實施例中，第一平台結構 S1、絕緣結構 118 以及第一電極墊 122 在垂直方向上可重疊。第一電極墊 120 及第二電極墊 122 可分別為單層或多層。在一實施例中，第一電極墊 120 與第二電極墊 122 之材料包含 Ni、Ti、Pt、Pd、Ag、Au、Al、Sn 或 Cu，或是包含上述元素之合金。

【0043】絕緣結構 118 可保護半導體結構 102 以避免濕氣或汙染，且可改善半導體元件 20 的可靠度(reliability)。在一實施例中，絕緣結構 118 包含介電材料，例如氧化物(如 SiO_2)或氮化物(如 SiN_x)。在一實施例中，絕緣結構 118 包含反射結構，例如是藉由交替堆疊具有不同折射率的兩種以上半導體材料所形成的分佈式布拉格反射鏡(distributed Bragg reflector, DBR)。在一實施例中，絕緣結構 118 具有厚度 t_1 ，厚度 t_1 可小於半導體結構 102 之總厚度 t_0 的 15%或 10%。

【0044】接合結構 124 可為電絕緣(electrically-insulative)結構。在一實施例中，接合結構 124 包括含熱固性聚合物(thermosetting polymer)之主層(main layer)(未繪示)。在一實施例中，上述熱固性聚合物包含如聚醯亞胺(polyimide)、環氧樹脂(epoxy resin)、聚酯(polyester)、聚氨酯(polyurethane)、苯環丁烯(benzocyclobutene, BCB)或其組合。在一實施例中，接合結構 124 還包括位在主層與第一半導體層 104 之間、或是位在主層與基底 100 之間的輔助層(auxiliary layer)(未繪示)，以進一步改善兩者間的附著。輔助層的材料與主層的材料可不同。在一實施例中，輔助層的材料包括氧化物(如 SiO_2)或氮化物(如 SiN_x)。其他各層或結構之位置、相對關係及材料組成等內容及結構變化例亦已於先前實施例中進行了詳盡之說明，於此不再贅述。

【0045】 第 3A 圖至第 3J 圖為本揭露內容一實施例之半導體元件 30A 之製造方法示意圖。應理解的是，雖在製程中可形成多個半導體元件，為了簡潔，以下段落中主要是以單一半導體元件於製程中的結構變化來進行說明。

【0046】 如第 3A 圖中所示，首先，提供生長基板 101。於生長基板 101 上形成半導體疊層 102'。半導體疊層 102' 包括第一半導體層 104、第二半導體層 106 以及位於第一半導體層 104 與第二半導體層 106 之間的活性區 108。於第一半導體層 104 以及活性區 108 之間形成有第三半導體層 110。

【0047】 然後，參照第 3B 圖及第 3C 圖，透過接合結構 124 將半導體疊層 102' 接合至接合基板 101'，並移除生長基板 101。

【0048】 接下來，如第 3D 圖所示，翻轉第 3C 圖之結構且移除一部份的半導體疊層 102'，以暴露一部份的第一半導體層 104，而在第一半導體層 104 上形成第一平台結構 S1。

【0049】 然後，如第 3E 圖所示，在第一半導體層 104 暴露的部份上形成一 p 型或 n 型層 112，並在此 p 型或 n 型層 112 上形成含有第一金屬元素之結構 114。在一實施例中，p 型或 n 型層 112 可藉由薄膜沉積(film deposition)方式形成，例如原子層沈積(atomic layer deposition，ALD)或電子束蒸鍍(e-gun evaporation)。

【0050】 在一實施例中，形成含有第一金屬元素之結構 114 包括在 p 型或 n 型層 112 上形成含有第一金屬元素 M1 的結構，並在第一溫度下進行第一加熱步驟。在一實施例中，上述加熱步驟可為合金製程，例如是用以形成含有第一金屬元素 M1 以及其他金屬元素(例如前述第三金屬元素 M3)之合金的製程。第一溫度可為設備(例如爐管(furnace))針對第一加熱步驟所提供的環境溫度。在一實

施例中，第一溫度可小於接合結構 124 中所含的熱固性聚合物之熱分解溫度，或者第一溫度與前述熱分解溫度之差小於等於 50°C 或小於等於 30°C，藉此，可確保製程穩定度(process stability)。前述熱分解溫度可為前述熱固性聚合物在一小時中內重量損失(weight loss)超過 1%的溫度。

【0051】如第 3F 圖及第 3G 圖所示，進一步在第一平台結構 S1 上形成含有第二金屬元素之結構 116，並且移除一部份的第一半導體層，以形成第二平台結構 S2。形成含有第二金屬元素之結構 116 可包括在第二半導體層 106 上形成含有第二金屬元素 M2 的結構，並在第二溫度下進行第二加熱步驟。第二溫度可為設備(例如爐管)針對第二加熱步驟所提供的環境溫度。在一實施例中，第一溫度與第二溫度之差小於 50°C 或小於 30°C。在一實施例中，第一溫度與第二溫度分別小於 500°C 或小於 400°C。在一實施例中，第一溫度與第二溫度分別大於等於 200°C 或大於等於 300°C。

【0052】如第 3H 圖所示，接下來，在第一平台結構 S1、第二平台結構 S2、含有第一金屬元素之結構 114 以及含有第二金屬元素之結構 116 上共形地形成絕緣結構 118。第一平台結構 S1 及第二平台結構 S2 之側壁全部被絕緣結構 118 所覆蓋，藉此可完整保護半導體結構 102。藉由移除一部份的絕緣結構 118 形成第一開口 118a 以及第二開口 118b。

【0053】接下來，如第 3I 圖所示，在含有第一金屬元素之結構 114 上形成第一電極墊 120，並在含有第二金屬元素之結構 116 上形成第二電極墊 122。

【0054】如第 3I 圖所示結構可進一步藉由切割方法如雷射切割(laser cutting)分離成多個半導體元件 30A。第 3J 圖示出各半導體元件 30A 之結構。

【0055】第 3K 圖為本揭露內容一實施例之半導體元件 30B 的剖面結構示意圖。如第 3K 圖所示，在一實施例中，第一電極墊 120 亦可形成在一部份的第一平台結構 S1 上，以改善半導體元件之結構強度。在一實施例中，第一電極墊 120 可具有變化的厚度，或者第一電極墊 120 可具有不平坦(non-planar)的上表面。如第 3K 圖所示，第一電極墊 120 可包含第一部份 120a 以及第二部份 120b，第一部份 120a 在含有第一金屬元素之結構 114 上且具有第一厚度 h1，第二部份 120b 在第一平台結構 S1 上且具有第二厚度 h2，且第二厚度 h2 可小於第一厚度 h1。

【0056】第 3L 圖為本揭露內容一實施例之半導體元件 30C 的剖面結構示意圖。如第 3L 圖所示，p 型或 n 型層 112 共形地形成在半導體結構 102 之上表面。於一實施例中，p 型或 n 型層 112 直接接觸含有第一金屬元素之結構 114、含有第二金屬元素之結構 116 以及絕緣結構 118。具體而言，如第 3L 圖所示，p 型或 n 型層 112 覆蓋且直接接觸第一平台結構 S1 之第一側表面 e1、第二側表面 e2 及上表面 e3，以及第二平台結構 S2 的上表面 e4。於一實施例中，p 型或 n 型層 112 並未覆蓋第一半導體層 104 之側壁。p 型或 n 型層 112 直接接觸含有第二金屬元素之結構 116，且與含有第二金屬元素之結構 116 在垂直方向上可不重疊。於一實施例中，與水平方向相比，p 型或 n 型層 112 在垂直方向上具有較低的接觸電阻率，因此半導體元件 30C 運作時，於含有第二金屬元素之結構 116 與含有第一金屬元素之結構 114 之間或含有第二金屬元素之結構 116 與第一半導體層 104 之間不會形成電流路徑(current path)。第 3M 圖為根據本揭露內容一實施例之半導體元件 30D 之剖面示意圖。如第 3M 圖所示，p 型或 n 型層 112 可進一步覆蓋於含有第二金屬元素之結構 116 之上表面 e5 的一部份、第三側表面

e6 以及第四側表面 e7，藉此，第二電極墊 122 直接接觸含有第二金屬元素之結構 116 中未被 p 型或 n 型層 112 所覆蓋的上表面 e5 的部份。為了形成第 3M 圖中所繪示的結構，在製造流程中，先於第一平台結構 S1 上形成含有第二金屬元素之結構 116，然後形成位在第一平台結構 S1 與含有第二金屬元素之結構 116 的一部份上之 p 型或 n 型層 112，再進一步於 p 型或 n 型層 112 上形成含有第一金屬元素之結構 114。

【0057】 其他各層或結構之位置、相對關係及材料組成等內容及結構變化例亦已於先前實施例中進行了詳盡之說明，於此不再贅述。

【0058】 第 4A 圖為本揭露內容一實施例之半導體裝置 400 的剖面結構示意圖。第 4B 圖為本揭露內容一實施例之半導體裝置 400' 的剖面結構示意圖。

【0059】 如第 4A 圖及第 4B 圖所示，半導體裝置 400 或半導體裝置 400' 包含多個半導體元件 40。第 4A 圖中各半導體元件 40 的結構類似於前述半導體元件 30A 之結構。具體而言，半導體元件 40 可為本揭露內容中任一實施例所述的半導體元件(如半導體元件 10、20、30B、30C 或 30D)。

【0060】 於第 4A 圖及第 4B 中，半導體元件 40 不具有生長基板 101。請參照第 4A 圖，多個半導體元件 40 配置於接合基板 101' 上。於一實施例中，接合基板 101' 包括第一區域 A1 以及第二區域 A2，第一區域 A1 被接合結構 124 所覆蓋，而第二區域 A2 未被接合結構 124 所覆蓋。具體而言，第一區域 A1 與半導體元件 40 在垂直方向上有重疊。即，於第 4A 圖中，接合結構 124 並非連續地分佈在接合基板 101' 上。於第 4A 圖中，接合結構 124 具有一上緣(upper edge)124e 以及側壁 Q1，絕緣結構 118 覆蓋上緣而未覆蓋側壁 Q1。於一實施例中，絕緣結構 118 具有與側壁 Q1 在垂直方向上重疊的側壁 Q2。側壁 Q1 和第一

半導體層 104 之側壁 Q3 在垂直方向上未重疊。在一實施例中，接合結構 124 中靠近上緣的上表面未被絕緣結構 118 覆蓋。在一實施例中，接合結構 124 具有一寬度小於等於第一半導體層 104 之寬度。

【0061】第 4B 圖繪示另一種配置方式，其中多個半導體元件 40 埋入於接合結構 124 中。其中，接合結構 124 連續地分佈在接合基板 101' 上且直接接觸超過一個半導體元件 40。於一些實施例中，接合結構 124 可有助於將半導體元件 40 固定在預定位置，可在運輸過程中保護半導體元件 40 中的半導體結構 102。

【0062】在一實施例中，可於半導體元件 40 和接合基板 101' 之間設置藍膜(blue tape)、熱解片或熱解膠(thermal release sheet or tape)、或(UV)光解膠膜(light release tape)(如聚乙烯對苯二甲酸酯(polyethylene terephthalate, PET))。具體而言，藍膜、熱解片或熱解膠、或(UV)光解膠膜可設置於接合結構 124 及接合基板 101' 間，或者直接接觸並覆蓋半導體元件 40 之第一電極墊 120 及第二電極墊 122。

【0063】其他各層或結構之位置、相對關係及材料組成等內容及結構變化例亦已於先前實施例中進行了詳盡之說明，於此不再贅述。

【0064】第 5A 圖為本揭露內容一實施例之顯示面板 500 的上視示意圖。第 5B 圖及第 5C 圖為本揭露內容一實施例之顯示面板 500 的部分剖面結構示意圖。具體而言，第 5B 圖繪示第 5A 圖中沿 A-A' 線之剖面示意圖，第 5C 圖繪示第 5A 圖中沿 B-B' 線之剖面示意圖。

【0065】於一實施例中，顯示面板 500 包括載體基板 101'' 以及位於載體基板 101'' 上的多個像素單元 50。多個像素單元 50 沿著行方向(row direction)x 及列方向(column direction)y 排列。多個像素單元 50 可藉由一轉移(transfer)方法形成

於載體基板 101'' 上。載體基板 101'' 可為玻璃、塑膠(plastic)、矽基板(silicon substrate)或印刷電路板(printed circuit board, PCB)。各像素單元 50 包括多個半導體元件。於一實施例中，各像素單元 50 包括三個半導體元件，即半導體元件 50a、半導體元件 50b 及半導體元件 50c。具體而言，於此實施例中，半導體元件 50a、半導體元件 50b 及半導體元件 50c 在行方向 x 上為間隔第一間距 d1 而設置，在列方向 y 上為間隔第二間距 d2 而設置。在一實施例中，第一間距 d1 小於等於 100 μm ，第二間距 d2 小於等於 50 μm 。半導體元件 50a、半導體元件 50b 及半導體元件 50c 可分別發出不同波長範圍的光。舉例來說，半導體元件 50a、半導體元件 50b 及半導體元件 50c 可分別發出紅光、綠光及藍光。可進一步於載體基板 101'' 上設置驅動電路(driving circuit)及控制單元(control unit)(未繪示)以驅動像素單元 50 及控制像素單元 50 的發光時間。

【0066】如第 5B 圖及第 5C 圖所示，各半導體元件 50a、半導體元件 50b 及半導體元件 50c 為透過接觸結構 60 電性連接至載體基板 101''。接觸結構 60 包含連接層(connection layer)60a 以及電路電極(circuit electrode)60b。於一實施例中，半導體元件 50a 可為本揭露內容中任一實施例所述的半導體元件(如半導體元件 10、20、30A、30B、30C 或 30D)，半導體元件 50b 及半導體元件 50c 可具有不同於半導體元件 50a 的結構。

【0067】如第 5C 圖所示，各半導體元件 50b 及半導體元件 50c 包括半導體疊層 102'、絕緣結構 118 以及電極墊 120。半導體疊層 102' 具有第一半導體層 104'、第二半導體層 106'、位於第一半導體層 104' 及第二半導體層 106' 之間的活性區 108'，以及位於第一半導體層 104' 及活性區 108' 之間的第三半導體層 110'。絕緣結構 118 覆蓋半導體疊層 102' 之側壁及一部份的表面。電極墊 120'

電性連接至半導體疊層 102'。於一些實施例中，活性區 108'與電極墊 120'重疊，而電極墊 120 與活性區 108 可重疊或不重疊(未繪示)。在一實施例中，活性區 108'之材料不同於活性區 108 之材料。舉例來說，活性區 108'包括 N 元素而活性區 108 包括 As 元素或 P 元素。在一實施例中，可進一步在第二半導體層 106'與電極墊 120'間配置一導電層(未繪示)。上述導電層可包含導電氧化物如氧化銦錫(ITO)。

【0068】 第 5D 圖及第 5E 圖為本揭露內容另一實施例之顯示面板 500 的部分剖面結構示意圖。具體而言，第 5D 圖繪示第 5A 圖中沿 A-A'線之剖面圖，第 5E 圖繪示第 5A 圖中沿 B-B'線之剖面圖。於一實施例中，半導體元件 50a、半導體元件 50b 以及半導體元件 50c 不具有接合結構 124，藉此可進一步降低各半導體元件之厚度。

【0069】 其他各層或結構之位置、相對關係及材料組成等內容及結構變化例亦已於先前實施例中進行了詳盡之說明，於此不再贅述。

【0070】 基於上述，本揭露內容可提供一種半導體元件、半導體元件之製造方法、半導體裝置或顯示面板。本揭露內容所提供之半導體元件在光電特性如接觸阻抗(contact resistance)以及製程穩定度(process stability)方面可獲得改善。具體來說，本揭露內容之半導體元件或半導體裝置可應用於各種領域，如照明、醫療、顯示、通訊、感測、電源系統等領域的產品，例如燈具、監視器、手機、平板電腦、車用儀表板、電視、電腦、穿戴裝置(如手錶、手環、項鍊等)、交通號誌、戶外顯示器、醫療器材等。

【0071】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，所屬技術領域中具有通常知識者應理解，在不脫離本發明之精神和範圍內可作些

許之修飾或變更，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。此外，上述實施例內容在適當的情況下可互相組合或替換，而非僅限於所描述之特定實施例。舉例而言，在一實施例中所揭露特定構件之相關參數或特定構件與其他構件的連接關係亦可應用於其他實施例中，且均落於本發明之權利保護範圍。

【符號說明】

【0072】

10、20、30A、30B、30C、30D、40、50a、50b、50c：半導體元件

100：基底

101：生長基板

101'：接合基板

101''：載體基板

102：半導體結構

102'：半導體疊層

104：第一半導體層

104a：第一表面

104b：第二表面

106：第二半導體層

108：活性區

110：第三半導體層

112：p型或n型層(接觸層)

114：含有第一金屬元素之結構

116：含有第二金屬元素之結構

118：絕緣結構

118a：第一開口

118b：第二開口

120：第一電極墊

120'：電極墊

120a：第一部份

120b：第二部份

122：第二電極墊

124：接合結構

124e：上緣

400、400'：半導體裝置

50：像素單元

60：接觸結構

60a：連接層

60b：電路電極

500：顯示面板

A1：第一區域

A2：第二區域

d1：第一間距

d2：第二間距

e1：第一側表面

e2：第二側表面

e3、e4、e5：上表面

e6：第三側表面

e7：第四側表面

h1：第一厚度

h2：第二厚度

P1：第一部分

P2：第二部分

Q1、Q2、Q3：側壁

S1：第一平台結構

S2：第二平台結構

W1：第一寬度

W2：第二寬度

t0：總厚度

t1：厚度

【發明申請專利範圍】

【請求項1】 一種半導體元件，包括：

一第一半導體層，具有一表面，該表面包括一第一部分及一第二部分；

一活性區，位於該第一部分上且包括 AlGaInAs、InGaAsP、AlGaAsP 或 AlGaInP；

一接觸層，位於該第二部分上，具有與該第一半導體層不同或相同的導電型態且包括氧(O)元素以及第五金屬元素；以及

一含有第一金屬元素之結構，位於該接觸層上；

其中，該接觸層直接接觸該含有第一金屬元素之結構以及該第一半導體層。

【請求項2】 如申請專利範圍第1項所述之半導體元件，其中該含有第一金屬元素之結構未直接接觸該第一半導體層，且該含有第一金屬元素之結構藉由該接觸層與該第一半導體層電性連接。

【請求項3】 如申請專利範圍第1項所述之半導體元件，更包括一接合結構，位於該第一半導體層下。

【請求項4】 如申請專利範圍第1項所述之半導體元件，其中該接觸層中僅包含單一種金屬元素。

【請求項5】 如申請專利範圍第1項所述之半導體元件，其中該第一半導體層包括磷化物或砷化物。

【請求項6】 一種半導體元件之製造方法，包括以下步驟：

提供一生長基板；

於該生長基板上形成一半導體疊層，該半導體疊層包括一第一半導體層以及一活性區；

將該半導體疊層接合至一接合基板；

第1頁，共2頁(發明申請專利範圍)

移除該生長基板；

移除一部分的該半導體疊層以使該第一半導體層露出；

於該第一半導體層上形成一接觸層，該接觸層包括氧(O)元素以及第五金屬元素；以及

於該接觸層上形成一含有第一金屬元素之結構。

【請求項7】 如申請專利範圍第 6 項所述之半導體元件之製造方法，還包括於該第一半導體層與該接合基板之間形成一接合結構。

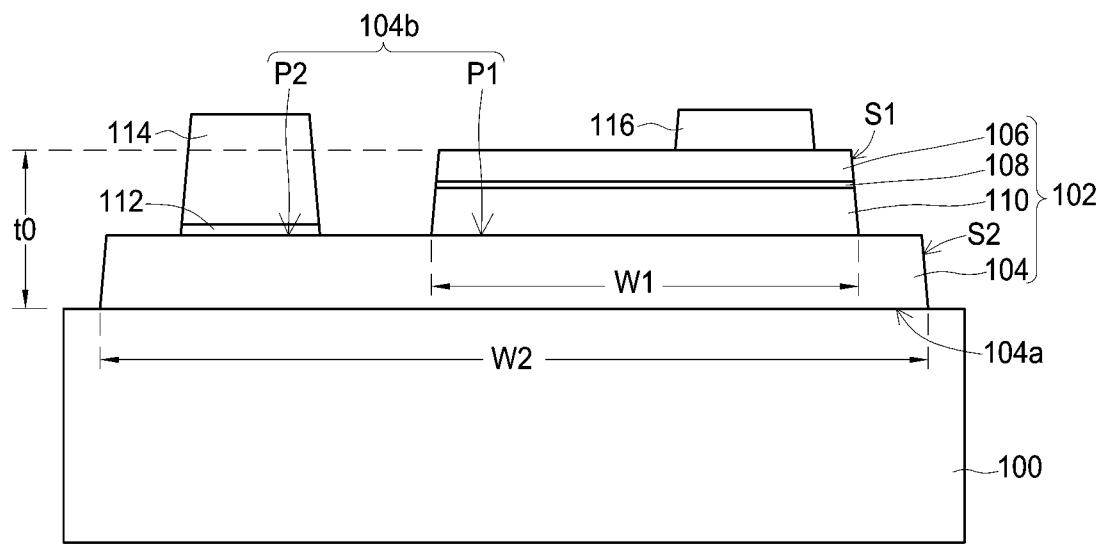
【請求項8】 如申請專利範圍第 7 項所述之半導體元件之製造方法，其中該接合結構包括一熱固性聚合物。

【請求項9】 如申請專利範圍第 8 項所述之半導體元件之製造方法，其中於該接觸層上形成該含有第一金屬元素之結構的步驟包括：在一第一溫度下進行一加熱步驟，其中該熱固性聚合物具有一熱分解溫度，該第一溫度小於該熱分解溫度，或者該第一溫度與該熱分解溫度之差小於等於 50°C。

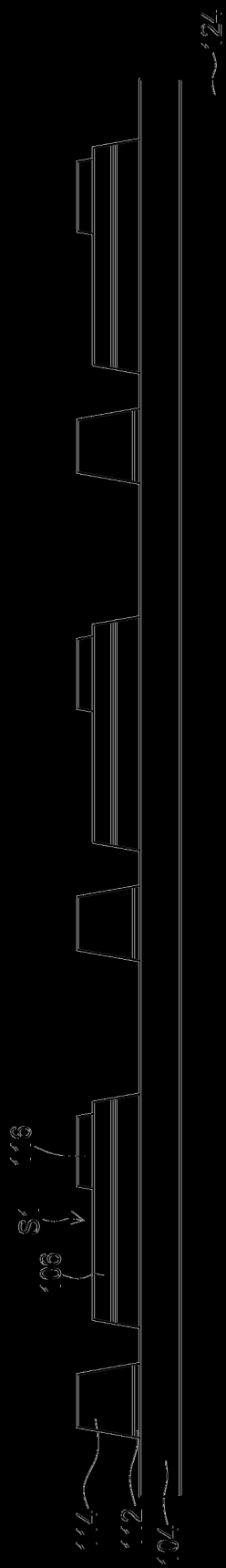
【請求項10】 如申請專利範圍第 6 項所述之半導體元件之製造方法，其中該含有第一金屬元素之結構包括合金。

【發明圖式】

10

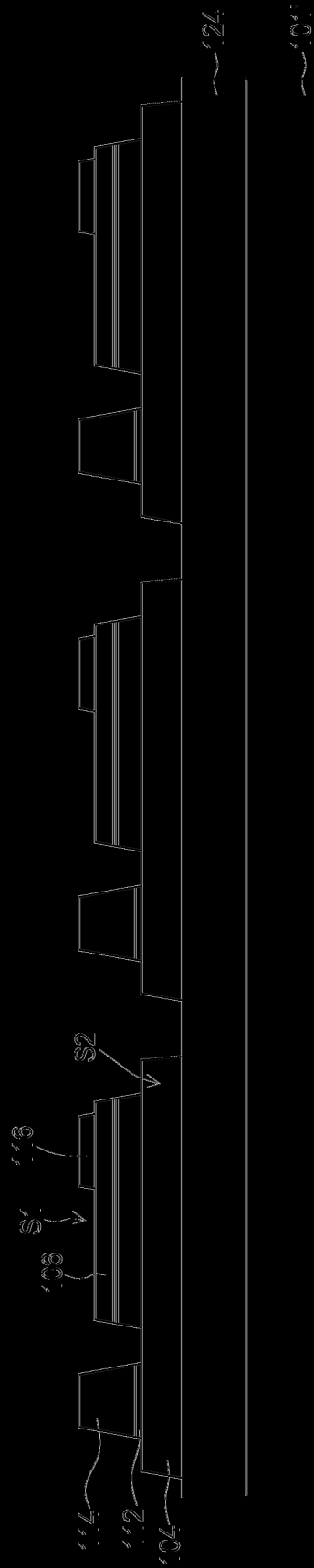


第1圖

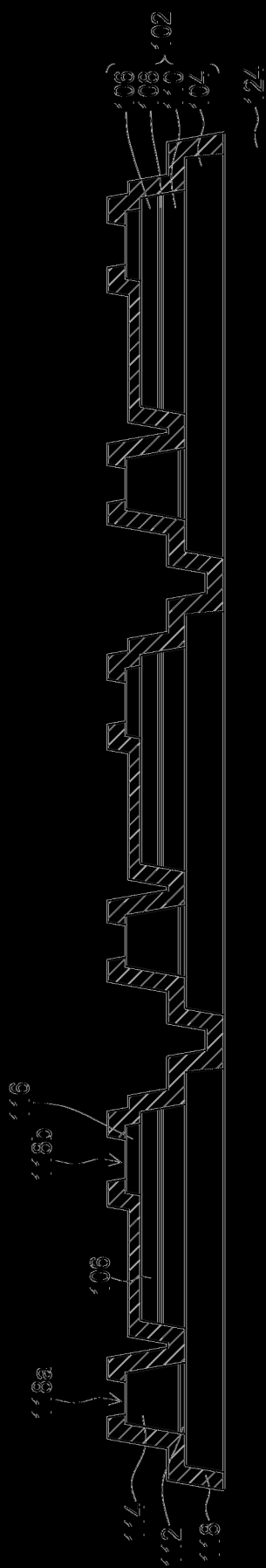


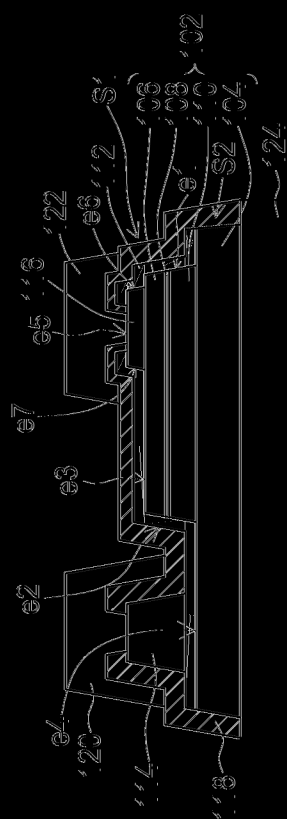
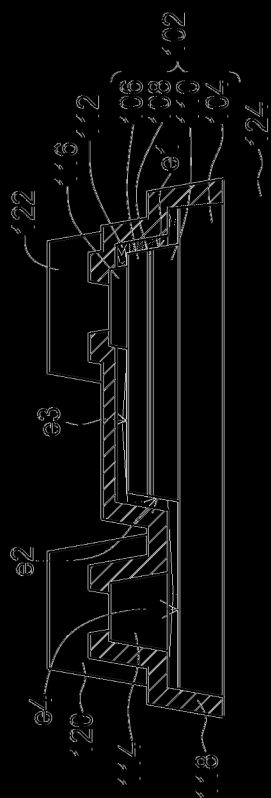
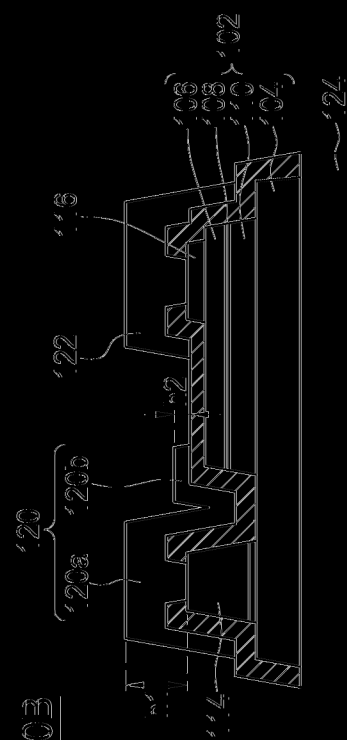
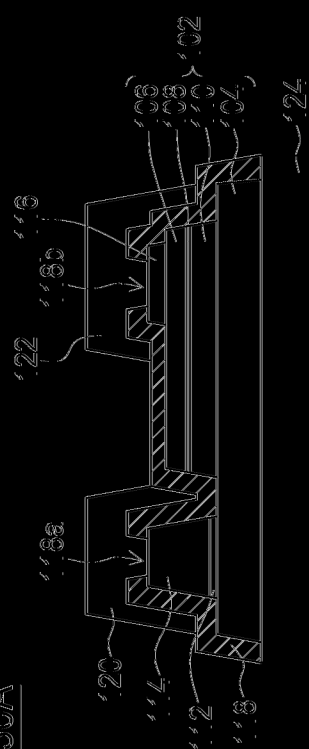
300

第3圖

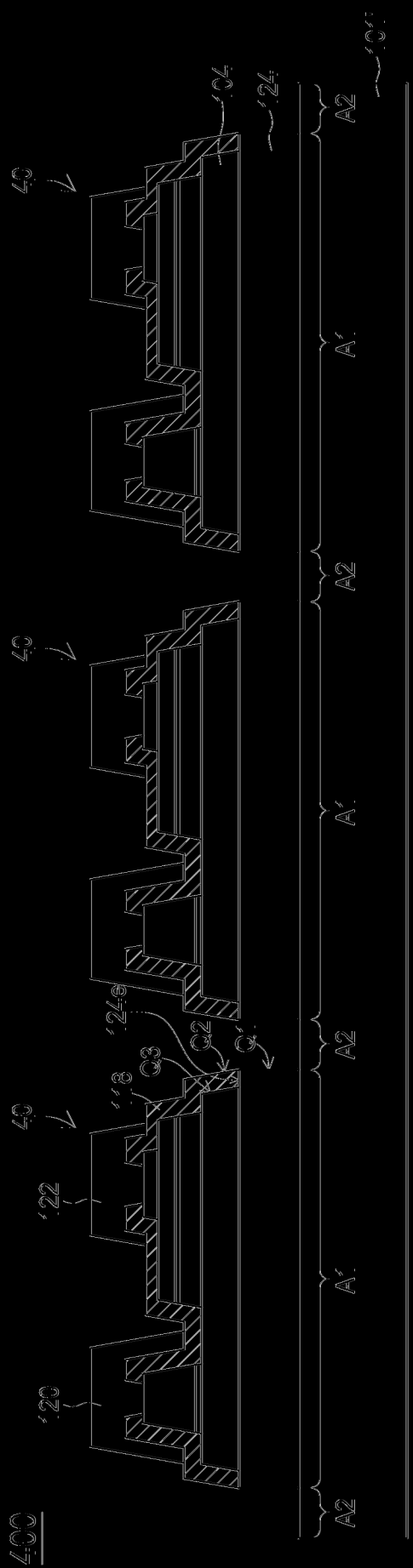


第3圖

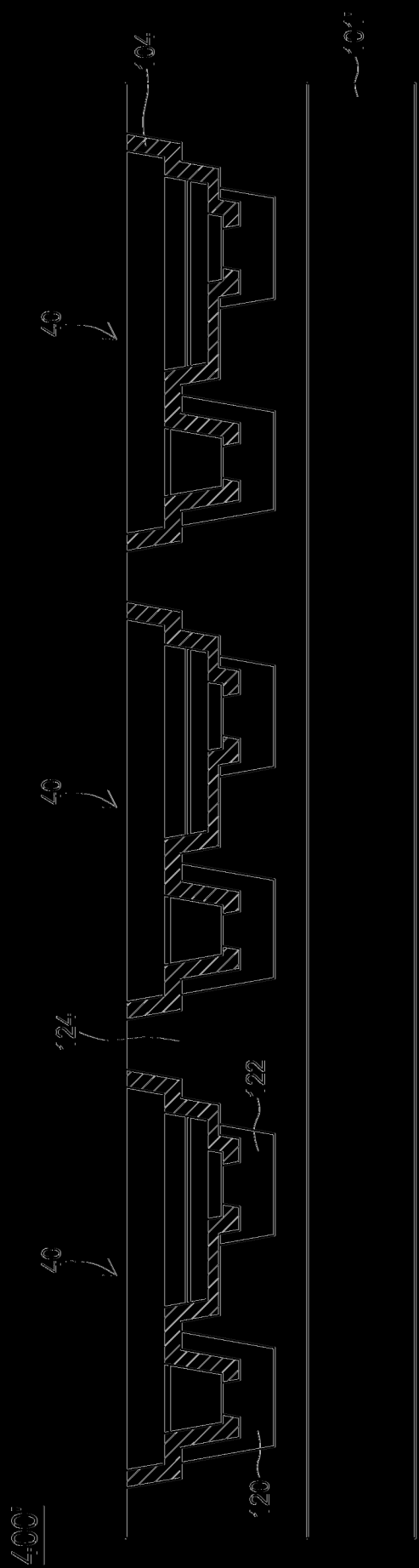




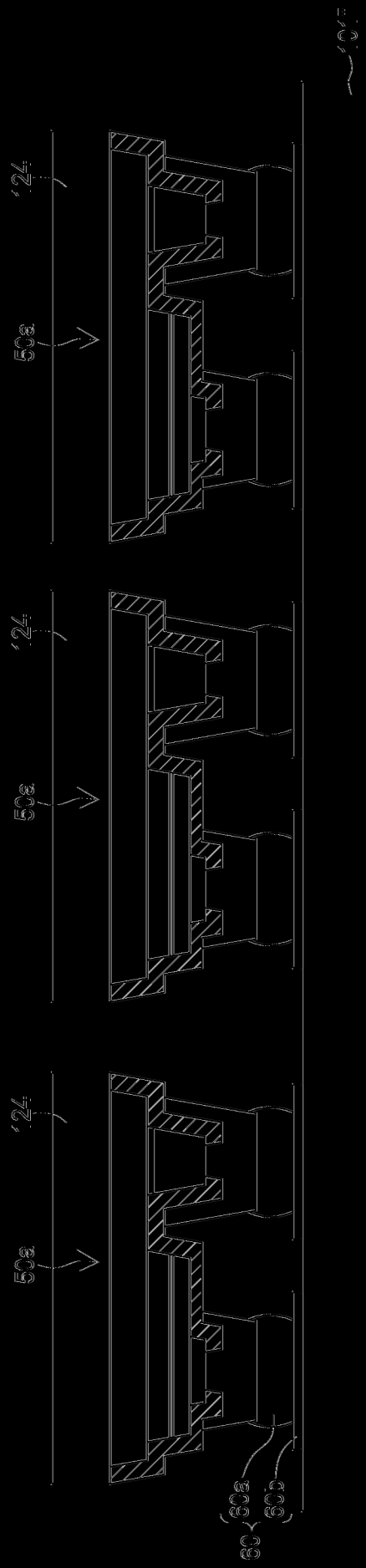
THE
V
O
O



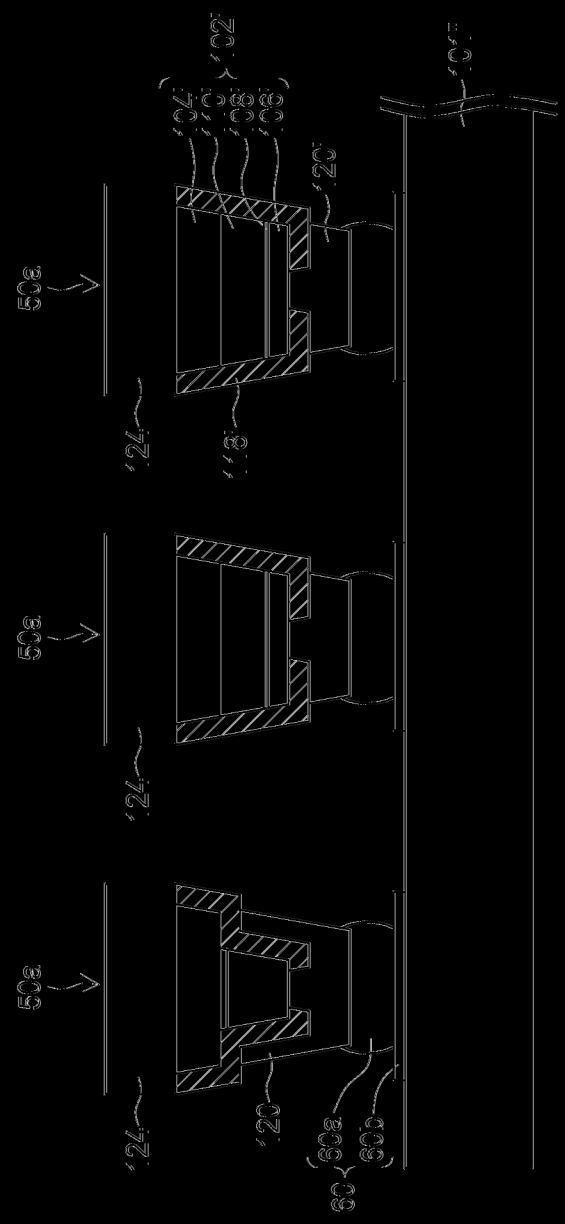
第4A圖



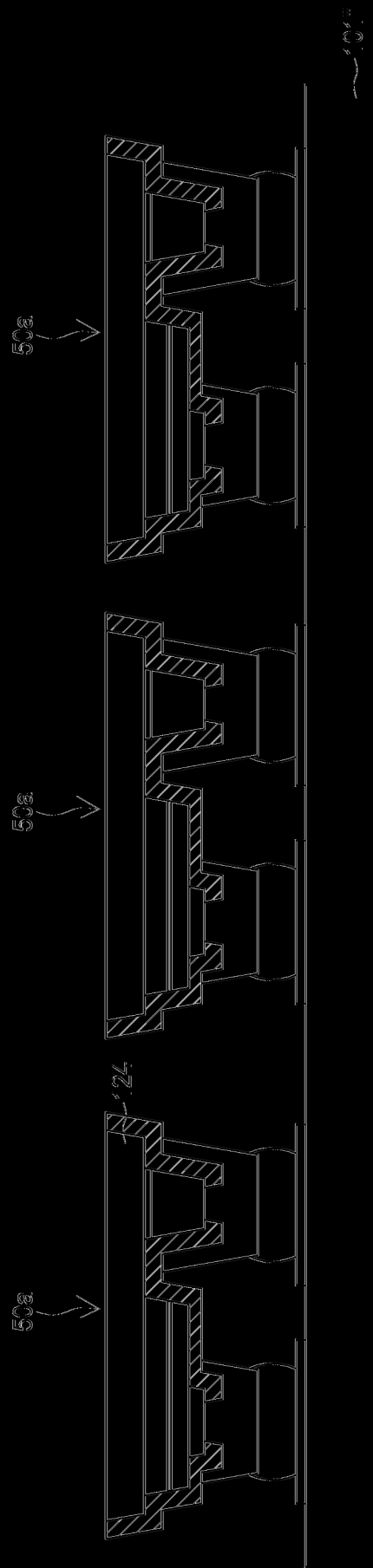
第4B圖



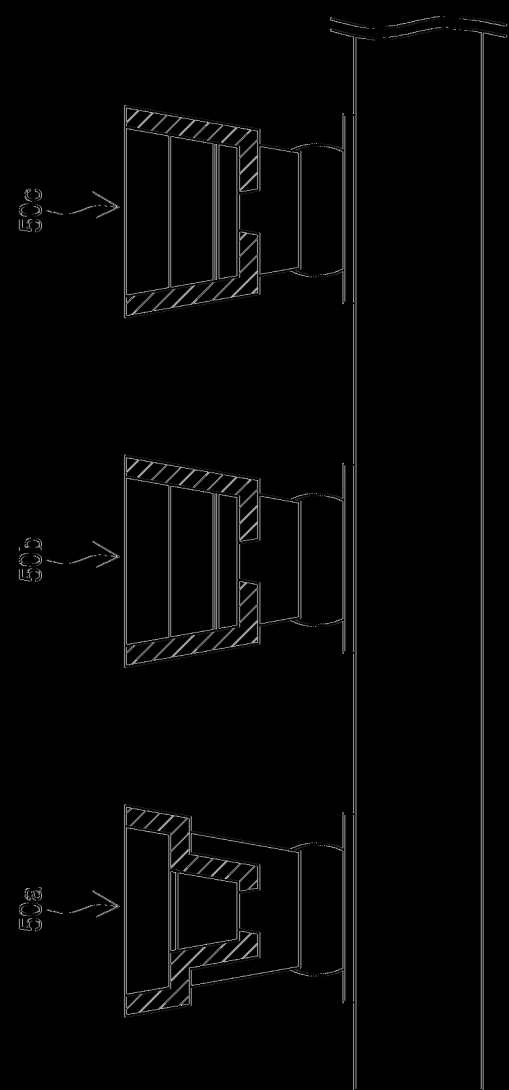
第5B圖



第5C圖



第5D圖



第5E圖