



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

aluminum oxide film provided on the gate insulating film, and a gate electrode provided on the aluminum oxide film, and the aluminum oxide film comprises a region that covers neither the drain region nor the source region in a planar view.

(57) 要約: 本開示の目的は、酸化物半導体を用いた薄膜トランジスタにおいて、酸化物半導体のチャネル領域を高抵抗化させるとともに、酸化物半導体のソース領域およびドレイン領域を低抵抗化させる技術を提供することにある。酸化物半導体を有する薄膜トランジスタを備え、前記酸化物半導体は、チャネル領域と、ドレイン領域と、ソース領域と、を有し、前記チャネル領域の上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたアルミニウム酸化膜と、前記アルミニウム酸化膜の上に設けられたゲート電極と、を有し、前記アルミニウム酸化膜は、平面視において、前記ドレイン領域および前記ソース領域のいずれに対しても覆わない領域を有する半導体装置が提供される。

## 明 細 書

発明の名称：半導体装置および半導体装置の製造方法

### 技術分野

[0001] 本発明は半導体装置に関し、特に、酸化物半導体を用いた薄膜トランジスタを有する表示装置等の半導体装置に関する。

### 背景技術

[0002] 液晶表示装置では画素電極および薄膜トランジスタ（TFT：Thin Film Transistor）等を有する画素がマトリクス状に形成されたTFT基板と、TFT基板に対向して対向基板が配置され、TFT基板と対向基板の間に液晶が挟持されている構成となっている。そして液晶分子による光の透過率を画素毎に制御することによって画像を形成している。

[0003] 酸化物半導体を用いたTFTはリーク電流が小さいので、画素領域におけるスイッチングTFTとして好適である。

[0004] 画素領域におけるスイッチングTFTは、リーク電流が小さいことが必要である。一方、画素領域におけるスイッチングTFTは、ON電流は大きいことが要求されている。すなわち、酸化物半導体を用いたTFTにおいて、チャネル領域では十分に大きな抵抗を維持し、ソース領域、ドレイン領域では抵抗が十分に小さい必要がある。

[0005] 特開2017-107913号公報（特許文献1）には、「絶縁基板上に、酸素を含む島状の第1の絶縁層を形成し、第1の絶縁層に酸素イオンを注入し、絶縁基板及び第1の絶縁層上に酸化物半導体層を形成し、熱処理により第1の絶縁層から半導体層の第1の絶縁層上の領域に酸素を供給し、チャネル領域を形成する」という薄膜トランジスタの製造方法が提案されている。

### 先行技術文献

### 特許文献

[0006] 特許文献1：特開2017-107913号公報

## 発明の概要

### 発明が解決しようとする課題

- [0007] 本発明者らは、酸化物半導体を用いたTFTの製造において、酸化物半導体上にゲート絶縁膜を形成し、そのゲート絶縁膜と積層してアルミニウム酸化膜を形成し、アルミニウム酸化膜の成膜時に、ゲート絶縁膜の全面に酸素を供給することで、酸化物半導体のチャネル領域に酸素を供給する方法を検討した。しかしながら、この方法では、チャネル領に隣接する酸化物半導体のソース領域およびドレイン領域にも、酸素が供給され、低抵抗化することが難しいことがわかった。
- [0008] 本発明は、酸化物半導体のチャネル領域に酸素を供給する手段（アルミニウム酸化膜）が酸化物半導体のドレイン領域およびソース領域に影響を与え、ドレイン領域、ソース領域の抵抗が大きくなって、ON電流が小さくなる現象を対策するものである。
- [0009] 本発明の目的は、酸化物半導体を用いた薄膜トランジスタにおいて、酸化物半導体のチャネル領域を高抵抗化させるとともに、酸化物半導体のソース領域およびドレイン領域を低抵抗化させる技術を提供することにある。
- [0010] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

### 課題を解決するための手段

- [0011] 本発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。
- [0012] 本実施形態の一態様によれば、
- 酸化物半導体を有する薄膜トランジスタを備え、前記酸化物半導体は、チャネル領域と、ドレイン領域と、ソース領域と、を有し、前記チャネル領域の上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたアルミニウム酸化膜と、前記アルミニウム酸化膜の上に設けられたゲート電極と、を有し、前記アルミニウム酸化膜は、平面視において、前記ドレイン領域および前記ソース領域のいずれに対しても覆わない領域を有する半導体装置が提供される。

[0013] また、本実施形態の他の一態様によれば、

基板と、前記基板の上に設けられ、多結晶シリコンで構成された第1薄膜トランジスタと、前記基板の上に設けられ、酸化物半導体で構成された第2薄膜トランジスタと、を含み、前記酸化物半導体は、チャネル領域と、ドレイン領域と、ソース領域と、を有し、前記チャネル領域の上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたアルミニウム酸化膜と、前記アルミニウム酸化膜の上に設けられたゲート電極と、を含む、半導体装置が提供される。

[0014] また、本実施形態のさらに他の一態様によれば、

チャネル領域とドレイン領域とソース領域とを有する酸化物半導体の半導体層で構成された薄膜トランジスタを含む半導体装置の製造方法であって、基板の上に、前記半導体層を形成する工程と、前記半導体層を覆う様に、ゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上に、前記半導体層の前記チャネル領域の上方に開口部を有するブロック層を形成する工程と、前記ブロック層の上、および、前記開口部から露出する前記ゲート絶縁膜の上に、アルミニウム酸化膜を形成するとともに、前記開口部から前記半導体層の前記チャネル領域へ酸素を供給する工程と、を含む、半導体装置の製造方法が提供される。

## 図面の簡単な説明

[0015] [図1]実施形態に係る表示装置DSPの外観を示す平面図である。

[図2]図1のA-A線に沿う断面図である。

[図3]画素PXの基本構成及び表示装置DSPの等価回路を示す図である。

[図4]実施形態に係る半導体装置の構成を示す断面図である。

[図5]第1ゲート電極を形成した状態を示す断面図である。

[図6]第1絶縁膜を形成した状態を示す断面図である。

[図7]第2半導体層を形成した状態を示す断面図である。

[図8]保護用の金属層を形成した状態を示す断面図である。

[図9]ブロック層を形成した状態を示す断面図である。

[図10]ブロック層をパターニングした状態を示す断面図である。

[図11]アルミニウム酸化膜を形成した状態を示す断面図である。

[図12]第2ゲート電極を形成した状態を示す断面図である。

[図13A]第2ゲート電極をパターニングした状態を示す断面図である。

[図13B]図13Aに示す状態を上方から見た場合の平面図である。

[図14]第4絶縁膜を形成した状態を示す断面図である。

[図15]コンタクトホールを形成した状態を示す断面図である。

[図16]ソースドレイン電極配線を形成した状態を示す断面図である。

[図17]変形例の半導体装置に係り、ブロック層を形成した状態を示す断面図である。

[図18]ブロック層をパターニングした状態を示す断面図である。

[図19]アルミニウム酸化膜を形成した状態を示す断面図である。

[図20]ゲート電極を形成した状態を示す断面図である。

[図21]ゲート電極をパターニングした状態を示す断面図である。

[図22]第2絶縁膜を形成した状態を示す断面図である。

[図23]ソースドレイン電極配線を形成した状態を示す断面図である。

### 発明を実施するための形態

[0016] 以下に、本発明の各実施の形態について、図面を参照しつつ説明する。

[0017] なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0018] 本実施形態においては、表示装置の一例として、液晶表示装置を開示する。この液晶表示装置は、例えば、スマートフォン、タブレット端末、携帯電話端末、パーソナルコンピュータ、テレビ受像装置、車載装置、ゲーム機器

等の種々の装置に用いることができる。

[0019] なお、本明細書及び請求の範囲において、図面を説明する際の「上」、「下」などの表現は、着目する構造体と他の構造体との相対的な位置関係を表現している。具体的には、側面から見た場合において、第1基板（アレイ基板）から第2基板（対向基板）に向かう方向を「上」と定義し、その逆の方向を「下」と定義する。

[0020] また、「内側」及び「外側」とは、2つの部位における、表示領域を基準とした相対的な位置関係を示す。すなわち、「内側」とは、一方の部位に対し相対的に表示領域に近い側を指し、「外側」とは、一方の部位に対し相対的に表示領域から遠い側を指す。ただし、ここで言う「内側」及び「外側」の定義は、液晶表示装置を折り曲げていない状態におけるものとする。

[0021] 「表示装置」とは、表示パネルを用いて映像を表示する表示装置全般を指す。「表示パネル」とは、電気光学層を用いて映像を表示する構造体を指す。例えば、表示パネルという用語は、電気光学層を含む表示セルを指す場合もあるし、表示セルに対して他の光学部材（例えば、偏光部材、バックライト、タッチパネル等）を装着した構造体を指す場合もある。ここで、「電気光学層」には、技術的な矛盾を生じない限り、液晶層、エレクトロクロミック（EC）層などが含まれ得る。したがって、後述する実施形態について、表示パネルとして、液晶層を含む液晶パネルを例示して説明するが、上述した他の電気光学層を含む表示パネルへの適用を排除するものではない。

[0022] （表示装置の全体構成例）

図1は、本発明が適用される表示装置の平面図である。図2は、図1のA-A線に沿う断面図である。

[0023] 図1および図2において、表示装置DSPは、表示パネルPNLと、フレキシブルプリント回路基板1と、ICチップ2と、回路基板3と、を備えている。表示パネルPNLは、液晶表示パネルであり、第1基板（TFT基板、アレイ基板ともいう）SUB1と、第2基板（対向基板ともいう）SUB2と、液晶層LCと、シール材SEと、を備えている。

- [0024] 表示パネル PNL は、画像を表示する表示部（表示領域）DA と、表示部 DA の外周を囲む額縁状の非表示部（非表示領域）NDA と、を備えている。第 2 基板 SUB 2 は、第 1 基板 SUB 1 に対向している。第 1 基板 SUB 1 は、第 2 基板 SUB 2 よりも第 2 方向 Y に延出した実装部 MA を有している。シール材 SE は、非表示部 NDA に位置し、第 1 基板 SUB 1 と第 2 基板 SUB 2 とを接着するとともに、液晶層 LC を封止している。
- [0025] 図 2 を参照し、第 1 基板 SUB 1 の下には下偏光板 200 が貼り付けられ、第 2 基板 SUB 2 の上側には上偏光板 201 が貼り付けられている。第 1 基板 SUB 1、第 2 基板 SUB 2、下偏光板 200、上偏光板 201、液晶層 LC の組み合わせを表示パネル PNL と呼ぶ。表示パネル PNL は自身では発光しないので、表示パネル PNL の下（背面）にバックライト 202 が配置されている。
- [0026] 実装部 MA には、複数の外部端子が形成されている。実装部 MA の複数の外部端子には、フレキシブルプリント回路基板 1 が接続される。フレキシブルプリント回路基板 1 には、映像信号等を供給する IC チップ 2 が搭載されている。フレキシブルプリント回路基板 1 には、IC チップ 2 や表示装置 DSP に外部から信号や電力を供給するための回路基板 3 が接続されている。なお、IC チップ 2 は、実装部 MA に実装されてもよい。IC チップ 2 は、画像を表示する表示モードにおいて画像表示に必要な信号を出力するディスプレイドライバ DD を内蔵している。
- [0027] 図 1 に示すように、表示領域 DA には、複数の画素 PX がマトリクス状に形成され、各画素 PX はスイッチング素子として薄膜トランジスタ（TFT : Thin Film Transistor）を有している。非表示領域 NDA には、走査線、映像信号線（以下、信号線という）等を制御および駆動するための、駆動回路が形成されている。駆動回路は、薄膜トランジスタ（TFT）を有している。
- [0028] 画素 PX のスイッチング素子として用いられる TFT は、リーク電流が小さいことが必要である。酸化物半導体による TFT は、リーク電流を小さく

することが出来る。以後、酸化物半導体をOS (Oxide Semiconductor) と呼ぶ。OSには、IGZO (Indium Gallium Zinc Oxide)、ITZO (Indium Tin Zinc Oxide)、ZnON (Zinc Oxide Nitride)、IGO (Indium Gallium Oxide) 等がある。以後、酸化物半導体をOSで代表させて説明する。OSはキャリアの移動度が小さいので、表示装置DSP内に内蔵する駆動回路を、OSを用いたTFTで形成することは難しい場合がある。以後、OSは、OSを用いたTFTの意味でも使用する。

[0029] 一方、LTPS (Low Temperature Poly-Si) は移動度が高いので、駆動回路を構成するTFTとして適している。液晶表示装置では、多結晶シリコンまたは多結晶質シリコン (Poly-Si) にLTPSを用いることが多いので、以下Poly-SiをLTPSともいう。LTPSで形成したTFTは移動度が大きいので、駆動回路はLTPSを用いた薄膜トランジスタ (TFT) で形成することが出来る。以後、LTPSは、LTPSを用いたTFTの意味でも使用する。

[0030] つまり、画素PXに使用される薄膜トランジスタ (TFT) は、リーク電流が小さいことが必要なので、酸化物半導体 (OS) を使用し、駆動回路に使用される薄膜トランジスタ (TFT) は移動度が大きい必要があるので、LTPSを使用することが合理的である。

[0031] ただし、適用製品によっては非晶質シリコン (a-Si) やOSの移動度でも設計可能な場合があるので、本発明の構成は駆動回路にa-SiやOSを用いた場合にも有効である。

[0032] 本実施形態の表示パネルPNLは、第1基板SUB1の背面側からの光を選択的に透過させることで画像を表示する透過表示機能を備えた透過型、第2基板SUB2の前面側からの光を選択的に反射させることで画像を表示する反射表示機能を備えた反射型、あるいは、透過表示機能及び反射表示機能を備えた半透過型のいずれであってもよい。

[0033] また、表示パネル PNL の詳細な構成について、ここでは説明を省略するが、表示パネル PNL は、また、基板主面の法線に沿った縦電界を利用する表示モード、基板主面に対して斜め方向に傾斜した傾斜電界を利用する表示モード、さらには、上記の横電界、縦電界、及び、傾斜電界を適宜組み合わせて利用する表示モードに対応したいずれの構成を備えていてもよい。ここでの基板主面とは、第 1 方向 X 及び第 2 方向 Y で規定される X-Y 平面と平行な面である。

[0034] (表示装置の回路構成例)

図 3 は、画素 PX の基本構成及び表示装置 DSP の等価回路を示す図である。複数の画素 PX は、第 1 方向 X 及び第 2 方向 Y にマトリクス状に配置されている。複数の走査線 G (G1、G2・・・) は、走査線駆動回路 GD に接続されている。複数の信号線 S (S1、S2・・・) は、信号線駆動回路 SD に接続されている。複数の共通電極 CE (CE1、CE2・・・) は、コモン電圧 (Vcom) の電圧供給部 CD に接続され、複数の画素 PX に亘って配置されている。1つの画素 PX は、1本の走査線と、1本の信号線と、1本の共通電極 CE と、に接続されている。なお、走査線 G 及び信号線 S は、必ずしも直線的に延出していなくてもよく、それらの一部が屈曲していてもよい。例えば、信号線 S は、その一部が屈曲していたとしても、第 2 方向 Y に延出しているものとする。走査線駆動回路 GD、信号線駆動回路 SD、および、電圧供給部 CD は、薄膜トランジスタ (TFT) によって構成される。

[0035] 各画素 PX は、スイッチング素子 SW、画素電極 PE、共通電極 CE、液晶層 LC 等を備えている。スイッチング素子 SW は、例えば薄膜トランジスタ (TFT) によって構成され、走査線 G 及び信号線 S と電氣的に接続されている。走査線 G は、第 1 方向 X に並んだ画素 PX の各々におけるスイッチング素子 SW と接続されている。信号線 S は、第 2 方向 Y に並んだ画素 PX の各々におけるスイッチング素子 SW と接続されている。画素電極 PE は、スイッチング素子 SW と電氣的に接続されている。画素電極 PE の各々は、

共通電極C Eと対向し、画素電極P Eと共通電極C Eとの間に生じる電界によって液晶層L Cを駆動している。保持容量C Sは、例えば、共通電極C Eと同電位の電極、及び、画素電極P Eと同電位の電極の間に形成される。

[0036] (薄膜トランジスタの構成例)

図4は、実施形態に係る半導体装置の構成を示す断面図である。図4に示す半導体装置10は、複数の薄膜トランジスタT F T 1、T F T 2を備えた第1基板S U B 1である。図4において、左側の薄膜トランジスタ（第1薄膜トランジスタ）T F T 1はL T P Sを用いた薄膜トランジスタ（L T P S T F Tともいう）であり、右側の薄膜トランジスタ（第2薄膜トランジスタ）T F T 2は酸化物半導体（O S）を用いた薄膜トランジスタ（O S T F Tともいう）である。半導体装置10は、表示パネルP N Lに内蔵される半導体装置である。

[0037] 半導体装置10は、基板100、下地膜101、第1半導体層102、第1ゲート絶縁膜104、第1ゲート電極105、遮光層106、第1絶縁膜107、第2絶縁膜108、第2半導体層109、第2ゲート絶縁膜112、アルミニウム酸化膜（A I O膜）113、第2ゲート電極116、第3絶縁膜117、第4絶縁膜118等を備えている。なお、A I O膜113は、一例であり、これに限定されるわけではない。A I O膜は、酸素を多く含んだ酸化物半導体膜へ変更することも可能である。A I O膜113は、後述されるように、第2半導体層109のチャネル領域1091へ酸素を供給するために利用される膜である。つまり、膜113は、酸化物半導体のチャネル領域に酸素を供給することが可能な手段（膜または層）であればよいので、A I O膜や酸素を多く含んだ酸化物半導体膜（O S）を利用することができる。以下では、A I O膜を代表例として説明する。

[0038] 図4において、ガラスあるいは樹脂で形成された基板100の上に下地膜101が形成されている。下地膜101は、ガラス等からの不純物をブロックするもので、通常は、C V Dによるシリコン酸化物S i Oあるいはシリコン窒化物S i N等で形成されている。なお、本明細書におけるA B（例：S i

O)等の表記はそれぞれA及びBを構成元素とする化合物であることを示すものであって、A、Bがそれぞれ等しい組成比であることを意味するのではない。

[0039] 下地膜101の上には、LTPTFTのための第1半導体層102が形成されている。第1半導体層102は、LTPSで形成されている。第1半導体層102を覆って第1ゲート絶縁膜104が形成されている。第1半導体層102は、たとえば、非晶質シリコン(a-Si)を形成した後、脱水素のためのアニールを行い、その後エキシマレーザを照射してa-Siを多結晶質シリコン(Poly-Si)に変換し、その後、Poly-Siをパターンニングして形成することが可能である。第1ゲート絶縁膜104はTEOS(Tetraethyl orthosilicate)を原料とするSiO<sub>2</sub>によって形成することが出来る。

[0040] 第1ゲート絶縁膜104の上に第1ゲート電極105、および遮光層106が形成される。第1ゲート電極105および遮光層106は、Ti-Al合金-Ti等の積層膜あるいは、MoW合金等で形成される。遮光層106は、OSTFTのチャネル領域1091へバックライト202からの光が照射されないように遮光するためのものである。

[0041] 第1ゲート電極105、遮光層106および第1ゲート絶縁膜104を覆って第1絶縁膜107が形成される。第1絶縁膜107はCVDによるSiNで形成される。第1絶縁膜107の上には、第2絶縁膜108が形成される。第2絶縁膜108はCVDによるSiO<sub>2</sub>で形成される。

[0042] 第2絶縁膜108の上には、OSTFTのための第2半導体層109が形成されている。第2半導体層109は、OSで形成されている。第2半導体層109は、チャネル領域1091、ドレイン領域1092およびソース領域1093を含む。チャネル領域1091は、ドレイン領域1092とソース領域1093との間に設けられる。したがって、薄膜トランジスタTFT2は、薄膜トランジスタTFT1よりも、基板100から見た場合に、上方に位置する。

- [0043] 第2半導体層109の一端の端部および他端の端部には、保護用の金属層111が設けられる。すなわち、金属層111は、チャネル領域1091に接していないドレイン領域1092の端部、および、チャネル領域1091に接していないソース領域1093の端部に接続される。金属層111は、たとえば、チタン(Ti)で形成される。
- [0044] 第2絶縁膜108、第2半導体層109および金属層111を覆って第2ゲート絶縁膜112が形成される。第2ゲート絶縁膜112は、SiH<sub>4</sub>(シラン)とN<sub>2</sub>O(亜酸化窒素)を用いたCVDによるSiO<sub>2</sub>によって形成することが出来る。
- [0045] チャネル領域1091の上に対応する第2ゲート絶縁膜112の上には、アルミニウム酸化膜(以後AlOで代表させる)113が形成されている。AlO膜113の下部の左側および右側には、ブロック層114が形成されている。AlO膜113の上には、第2ゲート電極116が形成される。したがって、AlO膜113は、第2ゲート電極116の下側に選択的に設けられている。また、AlO膜113および第2ゲート電極116は、半導体装置10の全体を平面視で見た場合、アイランド状に設けられている。第2ゲート電極116は、例えば、Ti-Al合金-Ti等の積層膜あるいは、MoW合金等で形成される。AlO膜113は、第2ゲート電極116の下側に対応する部分に設けられており、チャネル領域1091の上側の部分にも形成されている。AlO膜113は、第2半導体層109のチャネル領域1091に酸素を供給する役割を有する。2つのブロック層114の間に位置するAlO膜113から、チャネル領域1091に酸素が供給される。ブロック層114は、ドレイン領域1092およびソース領域1093への酸素の侵入を防止するために利用される。ブロック層114は、酸素濃度の少ないOS、または、SiNにより形成することができる。先に述べたように、AlO膜113は、酸素を多く含む酸化物半導体膜を利用することも可能である。
- [0046] 第2ゲート絶縁膜112、第2ゲート電極116、AlO膜113および

ブロック層 114 を覆って、第3絶縁膜 117 が形成される。第3絶縁膜 117 は SiN で形成される。第3絶縁膜 117 の上には、第4絶縁膜 118 が形成される。第4絶縁膜 118 は SiO で形成される。

[0047] その後、LTPTFT にゲート電極配線 1191 およびソースドレイン電極配線 1192 を形成するためのコンタクトホール 120、及び、OSTFT にゲート電極配線 1211 およびソースドレイン電極配線 1212 を形成するためのコンタクトホール 122 を形成する。コンタクトホール 120、122 は、例えば、CF 系（例えば CF4）、あるいは、CHF 系（例えば CHF3）のガスを用いたドライエッチングで形成される。LTPTFT 側では、5 層の絶縁膜および 6 層の絶縁膜にコンタクトホール 120 を形成し、OSTFT 側では 2 層の絶縁膜および 3 層の絶縁膜にコンタクトホール 122 を形成する。その後、コンタクトホール 120、122 を HF 系の洗浄液によって洗浄し、洗浄後、ゲート電極配線 1191、ソースドレイン電極配線 1192、ゲート電極配線 1211 およびソースドレイン電極配線 1212 を形成する。なお、本明細書では、ソースドレイン電極配線（1192、1212）は、ソース電極配線とドレイン電極配線とを合わせて、ソースドレイン電極配線（1192、1212）としている。ゲート電極配線 1191、1211、およびソースドレイン電極配線 1192、1212 は、例えば、Ti、Al 合金、Ti 等の積層膜で形成することができる。

[0048] 図 4 に示すように、LTPTFT 側では、5 層の絶縁膜（118、117、112、108、107）および 6 層の絶縁膜（118、117、112、108、107、104）に対してコンタクトホール 120 を形成するのに対し、OSTFT 側では、2 層の絶縁膜（118、117）および 3 層の絶縁膜（118、117、112）に対してコンタクトホール 122 を形成する。したがって、コンタクトホールを形成するためのエッチング条件は、LTPTFT 側に合わせる必要がある。つまり、OSTFT 側はより長くエッチングガスおよび洗浄液に晒されるが、保護用の金属層 111 を設けることで、第2半導体層 109 の消失を防止し、OSTFT を安定して形成

することが出来る。

[0049] このように、第2半導体層109のチャネル領域1091にはA1O膜113から十分な酸素が供給され、高抵抗化される。一方、第2半導体層109のドレイン領域1092及びソース領域1093は、ブロック層114によってA1O膜113から酸素の供給が抑制されるので、低抵抗化されている。したがって、良好なトランジスタ特性を有するOSTFTを実現できる。また、良好なトランジスタ特性を有するOSTFTを用いた表示装置などの半導体装置を実現できる。

[0050] また、A1O膜113の両側、すなわち、チャネル領域1091の両端側の上に対応する部分に、ブロック層114を残すことにより、チャネル領域1091の両端側が高抵抗化されるので、OSTFTの電流が流れづらくなり、良好なスイッチング特性のOSTFTを実現できる。

[0051] (薄膜トランジスタの製造方法)

図5から図16を用いて、図4で説明された半導体装置10を実現する各製造工程を説明する。

[0052] 図5は、絶縁性の基板100上に下地膜101を形成して、その上に第1半導体層102を形成し、これを覆って第1ゲート絶縁膜104を形成し、その上に第1ゲート電極105および遮光層106を形成した状態を示す断面図である。第1ゲート電極105を形成した後、第1ゲート電極105をマスクにして、第1半導体層102に、B（ボロン）あるいはP（リン）をイオンインプランテーションでドーピングする。これにより、第1半導体層102に対し第1ゲート電極105で覆われた以外の部分に、P型あるいはN型の導電性を付与し、半導体層102にドレイン領域およびソース領域を形成する。

[0053] 図6は、第1ゲート電極105、遮光層106および第1ゲート絶縁膜104を覆って、第1絶縁膜107を形成した状態を示す断面図である。第1絶縁膜107は、CVDによるSiNで形成される。

[0054] 図7は、第1絶縁膜107の上に、第2絶縁膜108を形成し、第2絶縁

膜108の上に第2半導体層109を選択的に形成した状態を示す断面図である。第2絶縁膜108は、CVDによるSiO<sub>2</sub>で形成される。第2半導体層109は、OSで形成されている。

[0055] 図8は、第2半導体層109の両端に保護用の金属層111を選択的に形成した状態を示す断面図である。金属層111は、たとえば、Tiで形成される。金属層111は、図4で説明されたように、コンタクトホール(120, 122)形成時のエッチングガスおよび洗浄液による第2半導体層109の消失を防止するための保護膜である。

[0056] 図9は、第2絶縁膜108、第2半導体層109および金属層111を覆って第2ゲート絶縁膜112を形成し、第2ゲート絶縁膜112の上にブロック層114を形成した状態を示す断面図である。第2ゲート絶縁膜112は、SiH<sub>4</sub>(シラン)とN<sub>2</sub>O(亜酸化窒素)を用いたCVDによるSiO<sub>2</sub>によって形成することが出来る。ブロック層114は、酸素濃度の少ないOS、または、SiNにより形成することができる。ブロック層114の膜厚は、たとえば、10nm〜30nm程度である。

[0057] 図10は、ブロック層114を選択的にパターニングした状態を示す断面図である。ブロック層114は、断面視および平面視において、第2半導体層109のチャネル領域(1091)の上側を覆う様な開口部を有するように、選択的にパターニングされている。

[0058] 図11は、ブロック層114およびブロック層114の開口部から露出する第2ゲート絶縁膜112の上に、AlO膜113を形成した状態を示す断面図である。AlO膜113は、反応性スパッタリングによって形成するので、大量の酸素を含んでいる。この酸素は第2半導体層109のチャネル領域1091の絶縁抵抗を安定化している。つまり、AlO膜113の成膜時の酸素O<sub>2</sub>は、ブロック層114によってブロックされるが、ブロック層114の設けられていない第2半導体層109のチャネル領域1091には、多くの酸素が導入されるので、チャネル領域1091は過酸素化され、高抵抗化される。一方、第2半導体層109のドレイン領域1092およびソー

ス領域 1093 は、ブロック層 114 によって酸素の供給が制限されるので、過酸素化されず、低抵抗を保持しやすい状態とされる。

[0059] 先に述べたように、AIO膜 113 は、酸素を多く含む酸化物半導体膜を利用することも可能である。また、本明細書では、チャネル領域 1091、ドレイン領域 1092 およびソース領域 1093 は、説明を簡単化する目的で、チャネル領域、ドレイン領域およびソース領域の各領域が形成される予定の領域を示す場合にも、チャネル領域 1091、ドレイン領域 1092 およびソース領域 1093 として示して説明する。

[0060] 図 12 は、AIO膜 113 の上に、第 2 ゲート電極 116 を形成した状態を示す断面図である。第 2 ゲート電極 116 は、例えば、Ti-AI 合金-Ti 等の積層膜あるいは、MoW 合金等で形成される。

[0061] 図 13A は、ブロック層 114、AIO膜 113 および第 2 ゲート電極 116 を選択的にパターニングした状態を示す断面図である。図 13B は、図 13A に示す状態を上方から見た場合の平面図である。図 13A に示すように、ブロック層 114、AIO膜 113 および第 2 ゲート電極 116 は、第 2 半導体層 109 のチャネル領域 (1091) の上側を覆う様を選択的にパターニングされる。AIO膜 113 は、第 2 ゲート電極 116 の下側に選択的に設けられている。したがって、半導体装置 10 を全体的に平面視で見た場合、AIO膜 113 および第 2 ゲート電極 116 は、アイランド状に設けられていることになる。

[0062] 次に、第 2 ゲート電極 116 をマスクとして、イオンインプランテーションを行い、第 2 ゲート電極 116 で覆われた部分以外の第 2 半導体層 109 に導電性を付与する。図 13B に示すように、AIO膜 113 およびブロック層 114 がドレイン領域 1092 およびソース領域 1093 を覆わない領域では、イオンインプランテーションが効果的に行われる。イオンインプランテーションのイオンには、B (ボロン)、P (リン)、Ar (アルゴン) 等が使用される。イオンインプランテーションによって、第 2 半導体層 109 に導電性のドレイン領域 1092 とソース領域 1093 が形成される。そ

の後、水素雰囲気化で、活性化処理が行われ、ドレイン領域 1092 およびソース領域 1093 が低抵抗化される。したがって、特性の安定した、酸化物半導体（OS）を用いた薄膜トランジスタを実現することが出来る。

[0063] 図 14 は、第 2 ゲート絶縁膜 112、および、選択的にパターニングされたブロック層 114、AIO 膜 113 および第 2 ゲート電極 116 を覆って第 3 絶縁膜 117 を形成し、第 3 絶縁膜 117 の上に第 4 絶縁膜 118 を形成した状態を示す断面図である。第 3 絶縁膜 117 は CVD による SiN で形成される。第 4 絶縁膜 118 は CVD による SiO で形成される。

[0064] 図 15 は、コンタクトホール 120、122 を形成した状態を示す断面図である。コンタクトホール 120、122 は、例えば、CF 系（例えば CF4）、あるいは、CHF 系（例えば CHF3）のガスを用いたドライエッチングで形成される。コンタクトホール 120、122 は、同時に形成することができる。LTPSTFT 側では、第 1 半導体層 102 のドレイン領域およびソース領域の上が露出するように、6 層の絶縁膜（118、117、112、108、107、104）にコンタクトホール 120 を形成する。OSTFT 側では、金属層 111 が露出するように、3 層の絶縁膜（118、117、112）にコンタクトホール 122 を形成する。その後、コンタクトホール 120、122 を HF 系の洗浄液によって洗浄する。

[0065] 図 16 は、コンタクトホール 120、122 に、ソースドレイン電極配線 1192、1212 を形成した状態を示す断面図である。コンタクトホール 120、122 の洗浄後、コンタクトホール 120、122 に、ソースドレイン電極配線 1192、1212 を形成する。すなわち、LTPSTFT 側では、コンタクトホール 120 に、ソースドレイン電極配線 1192 が形成される。OSTFT 側では、コンタクトホール 122 に、ソースドレイン電極配線 1212 が形成される。

[0066] なお、図 15 および図 16 には、図 4 に示されるゲート電極配線 1191、1211 が示されないが、図 4 において説明されたように、ゲート電極配線 1191、1211 を形成してもよい。この場合、LTPSTFT 側では

、第1ゲート電極105が露出するように、5層の絶縁膜（118、117、112、108、107）にコンタクトホール120を形成し、コンタクトホール120にゲート電極配線1191を形成する。また、OSTFT側では、第2ゲート電極116が露出するように、2層の絶縁膜（118、117）にコンタクトホール122を形成し、コンタクトホール122にゲート電極配線1211を形成する。これにより、図4に示す半導体装置10の断面図と同様な構成を形成することができる。

[0067] （変形例）

上記実施形態では、LTPSTFTとOSTFTとを有する表示装置等の半導体装置10について説明した。以下の変形例では、OSTFTのみを有する表示装置等の半導体装置10aについて説明する。この場合、図4に示されるOSTFTの構成において、ドレイン領域1092およびソース領域1093に接続された保護用の金属層111が削除可能である。したがって、金属層111の成膜およびパターニング工程、および、コンタクトホールの洗浄工程が削除できるので、製造工程を短縮化することができる。

[0068] 図17～図23は、変形例に係る半導体装置10aの製造工程を示す断面図である。図23に示すように、半導体装置10aは、酸化物半導体（OS）を用いた薄膜トランジスタTFT2（OSTFT）を備えた第1基板SUB1である。半導体装置10aは、表示パネルに内蔵される半導体装置である。以下、図17～図23を用いて、変形例に係る半導体装置10aの製造方法を説明する。

[0069] 図17は、絶縁性の基板100の上に下地膜101が形成され、下地膜101の上に、半導体層109aを形成し、下地膜101および半導体層109aを覆ってゲート絶縁膜301を形成し、ゲート絶縁膜301の上にブロック層302を形成した状態を示す断面図である。基板100は、ガラスあるいは樹脂で形成されている。下地膜101は、CVDによるシリコン酸化物SiOあるいはシリコン窒化物SiN等で形成されている。半導体層109aは、OSで形成されている。ゲート絶縁膜301は、SiH4（シラン

）と $\text{N}_2\text{O}$ （亜酸化窒素）を用いたCVDによる $\text{SiO}$ によって形成することが出来る。ブロック層302は、酸素濃度の少ない酸化物半導体（OS）、または、 $\text{SiN}$ により形成することができる。ブロック層302の膜厚は、たとえば、10nm～30nm程度である。

[0070] 図18は、ブロック層302を選択的にパターニングした状態を示す断面図である。ブロック層302は、断面視および平面視において、半導体層109aのチャネル領域（1091）の上側を覆う様な開口部を有するように、選択的にパターニングされている。

[0071] 図19は、ブロック層302およびブロック層302の開口部から露出するゲート絶縁膜301の上に、 $\text{AlO}$ 膜303を形成した状態を示す断面図である。実施形態で説明されたと同様に、 $\text{AlO}$ 膜303は、反応性スパッタリングによって形成するので、大量の酸素を含んでいる。この酸素は半導体層109aのチャネル領域1091の絶縁抵抗を安定化している。つまり、 $\text{AlO}$ 膜303の成膜時の酸素 $\text{O}_2$ は、ブロック層302によってブロックされるが、ブロック層302の設けられていない半導体層109aのチャネル領域1091には、多くの酸素が供給されるので、チャネル領域1091は過酸素化され、高抵抗化される。一方、半導体層109aのドレイン領域1092およびソース領域1093は、ブロック層302によって酸素の供給が制限されるので、過酸素化されず、低抵抗を保持しやすい状態とされる。先に説明したように、 $\text{AlO}$ 膜303は、酸素を多く含む酸化物半導体膜へ変更することも可能である。つまり、膜303は、半導体層109aのチャネル領域に酸素を供給することが可能な手段（膜または層）であればよいので、 $\text{AlO}$ 膜や酸素を多く含んだ酸化物半導体膜を利用することができる。ここでは、 $\text{AlO}$ 膜を代表例として説明する。

[0072] 図20は、 $\text{AlO}$ 膜303の上に、ゲート電極304を形成した状態を示す断面図である。ゲート電極304は、例えば、 $\text{Ti}-\text{Al}$ 合金- $\text{Ti}$ 等の積層膜あるいは、 $\text{MoW}$ 合金等で形成される。

[0073] 図21は、ブロック層302、 $\text{AlO}$ 膜303およびゲート電極304を

選択的にパターニングした状態を示す断面図である。ブロック層302、AIO膜303およびゲート電極304は、半導体層109aのチャネル領域(1091)の上側を覆う様に選択的にパターニングされる。AIO膜303は、ゲート電極304の下側に設けられている。AIO膜303およびゲート電極304は、半導体装置10aの全体を平面視で見た場合、アイランド状に形成されている。図21において、ゲート電極304をマスクとして、イオンインプランテーションを行い、ゲート電極304で覆われた部分以外の半導体層109aに導電性を付与する。イオンインプランテーションのイオンには、B(ボロン)、P(リン)、Ar(アルゴン)等が使用される。イオンインプランテーションによって、半導体層109aに導電性のドレイン領域1092とソース領域1093が形成される。その後、水素雰囲気化で、活性化処理が行われ、ドレイン領域1092およびソース領域1093が低抵抗化される。したがって、特性の安定した、酸化物半導体(OS)を用いた薄膜トランジスタを実現することが出来る。

[0074] 図22は、ゲート絶縁膜301、および、選択的にパターニングされたブロック層302、AIO膜303およびゲート電極304を覆って第1絶縁膜305を形成し、第1絶縁膜305の上に第2絶縁膜306を形成した状態を示す断面図である。第1絶縁膜305はCVDによるSiNで形成される。第2絶縁膜306はCVDによるSiOで形成される。

[0075] 図23は、コンタクトホール307にソースドレイン電極配線308を形成した状態を示す断面図である。コンタクトホール307は、例えば、CF系(例えばCF4)、あるいは、CHF系(例えばCHF3)のガスを用いたドライエッチングで形成される。コンタクトホール307は、ドレイン領域1092とソース領域1093が露出するように、3層の絶縁膜(306、305、301)に形成する。そして、コンタクトホール307に、ソースドレイン電極配線308を形成する。以上により、酸化物半導体(OS)を用いた薄膜トランジスタTF T2(OSTFT)を備えた変形例に係る半導体装置10aが形成される。

[0076] 以上のように、O S T F Tを構成することにより、製造工程の短縮化を行うことができる。

[0077] また、実施形態で説明されたと同様に、半導体層109aのチャネル領域1091にはA I O膜303から十分な酸素が供給されて、高抵抗化されている。一方、半導体層109aのドレイン領域1092及びソース領域1093の上には、図18および図19に示すように、ブロック層302が形成されるので、A I O膜303からの酸素が阻止され、ドレイン領域1092及びソース領域1093は低抵抗化される。したがって、良好なトランジスタ特性を有するO S T F Tを実現できる。また、良好なトランジスタ特性を有するO S T F Tを用いた表示装置などの半導体装置10aを実現できる。

[0078] また、A I O膜303の両側、すなわち、チャネル領域1091の両端側の上に対応する部分に、ブロック層302を残すことにより、チャネル領域1091の両端側が高抵抗化されるので、O S T F Tの電流が流れづらくなり、良好なスイッチング特性のO S T F Tを実現できる。

[0079] 本発明の実施の形態として上述した表示装置を基にして、当業者が適宜設計変更して実施し得る全ての表示装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

[0080] 本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。例えば、上述の各実施形態に対して、当業者が適宜、構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0081] また、本実施形態において述べた態様によりもたらされる他の作用効果について本明細書記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

[0082] 上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つか

の構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

### 符号の説明

[0083] DSP : 表示装置、 PNL : 表示パネル、 DA : 表示領域、 NDA : 非表示領域、 SUB1 : 第1基板（アレイ基板）、 SUB2 : 第2基板（対向基板）、 SE : シール材、 LC : 液晶層、 MA : 実装部、 PX : 画素、 TFT1 : 薄膜トランジスタ（LTPSTFT）、 TFT2 : 薄膜トランジスタ（OSTFT）、 1 : フレキシブルプリント回路基板、 2 : ICチップ、 3 : 回路基板、 10 : 半導体装置、 100 : 基板、 101 : 下地膜、 102 : 第1半導体層、 104 : 第1ゲート絶縁膜、 105 : 第1ゲート電極、 106 : 遮光層、 107 : 第1絶縁膜、 108 : 第2絶縁膜、 109 : 第2半導体層、 111 : 金属層、 112 : 第2ゲート絶縁膜、 113 : AlO膜、 114 : ブロック層、 116 : 第2ゲート電極、 117 : 第3絶縁膜、 118 : 第4絶縁膜

## 請求の範囲

- [請求項1] 酸化物半導体を有する薄膜トランジスタを備え、  
前記酸化物半導体は、チャネル領域と、ドレイン領域と、ソース領域と、を有し、  
前記チャネル領域の上に設けられたゲート絶縁膜と、  
前記ゲート絶縁膜の上に設けられたアルミニウム酸化膜と、  
前記アルミニウム酸化膜の上に設けられたゲート電極と、を有し、  
前記アルミニウム酸化膜は、平面視において、前記ドレイン領域および前記ソース領域のいずれに対しても覆わない領域を有する半導体装置。
- [請求項2] 請求項1において、  
前記チャネル領域は、前記ドレイン領域または前記ソース領域と比較して、酸素を多く含み、  
前記チャネル領域の前記酸素は、前記アルミニウム酸化膜の成膜時に、前記チャネル領域に導入される、半導体装置。
- [請求項3] 請求項2において、  
前記アルミニウム酸化膜の両端に設けられたブロック層を有し、  
前記ブロック層は、前記チャネル領域の上に位置する、半導体装置。
- [請求項4] 請求項3において、  
前記酸化物半導体は、IGZOである、半導体装置。
- [請求項5] 請求項1において、  
前記半導体装置は、画素を含む表示領域を有する表示パネルに内蔵される半導体装置であり、  
前記薄膜トランジスタは、前記画素に設けられたスイッチング素子を構成する、半導体装置。
- [請求項6] 基板と、  
前記基板の上に設けられ、多結晶シリコンを有する第1薄膜トラン

ジスタと、

前記基板の上に設けられ、酸化物半導体を有する第2薄膜トランジスタと、を含み、

前記酸化物半導体は、チャネル領域と、ドレイン領域と、ソース領域と、を有し、

前記チャネル領域の上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜の上に設けられたアルミニウム酸化膜と、

前記アルミニウム酸化膜の上に設けられたゲート電極と、を含む、半導体装置。

[請求項7] 請求項6において、

前記チャネル領域は、前記ドレイン領域または前記ソース領域と比較して、酸素を多く含み、

前記チャネル領域の前記酸素は、前記アルミニウム酸化膜の成膜時に、前記チャネル領域に導入される、半導体装置。

[請求項8] 請求項6において、

前記アルミニウム酸化膜の両端に設けられたブロック層を有し、

前記ブロック層は、前記前記チャネル領域の上に位置する、半導体装置。

[請求項9] 請求項6において、

前記酸化物半導体は、IGZOである、半導体装置。

[請求項10] 請求項6において、

前記第2薄膜トランジスタは、前記第1薄膜トランジスタよりも、上方に位置する、半導体装置。

[請求項11] 請求項10において、

前記チャネル領域は、前記ドレイン領域と前記ソース領域との間に位置し、

前記チャネル領域に接していない前記ドレイン領域の端部、および、前記チャネル領域に接し前記ソース領域の端部に接続された金属層

を有する、半導体装置。

[請求項12]

請求項11において、

前記半導体装置は、画素を含む表示領域と前記表示領域の外周に位置する非表示領域とを有する表示パネルに内蔵される半導体装置であり、

前記第1薄膜トランジスタは、前記非表示領域に設けられ、前記画素を制御する駆動回路を構成し、

前記第2薄膜トランジスタは、前記画素に設けられたスイッチング素子を構成する、半導体装置。

[請求項13]

チャネル領域とドレイン領域とソース領域とを有する酸化物半導体の半導体層を有する薄膜トランジスタを含む半導体装置の製造方法であって、

基板の上に、前記半導体層を形成する工程と、

前記半導体層を覆う様に、ゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上に、前記半導体層の前記チャネル領域の上方に開口部を有するブロック層を形成する工程と、

前記ブロック層の上、および、前記開口部から露出する前記ゲート絶縁膜の上に、アルミニウム酸化膜を形成するとともに、前記開口部から前記半導体層の前記チャネル領域へ酸素を供給する工程と、を含む、半導体装置の製造方法。

[請求項14]

請求項13において、さらに、

前記アルミニウム酸化膜の上に、ゲート電極を形成する工程と、

前記半導体層の前記チャネル領域の上側を覆う様に、前記ゲート電極、前記アルミニウム酸化膜および前記ブロック層を選択的にパターニングする工程と、含み、

前記パターニングする工程は、前記アルミニウム酸化膜の両側に、前記ブロック層が残るようにパターニングする、半導体装置の製造方法。

## [請求項15]

請求項14において、さらに、

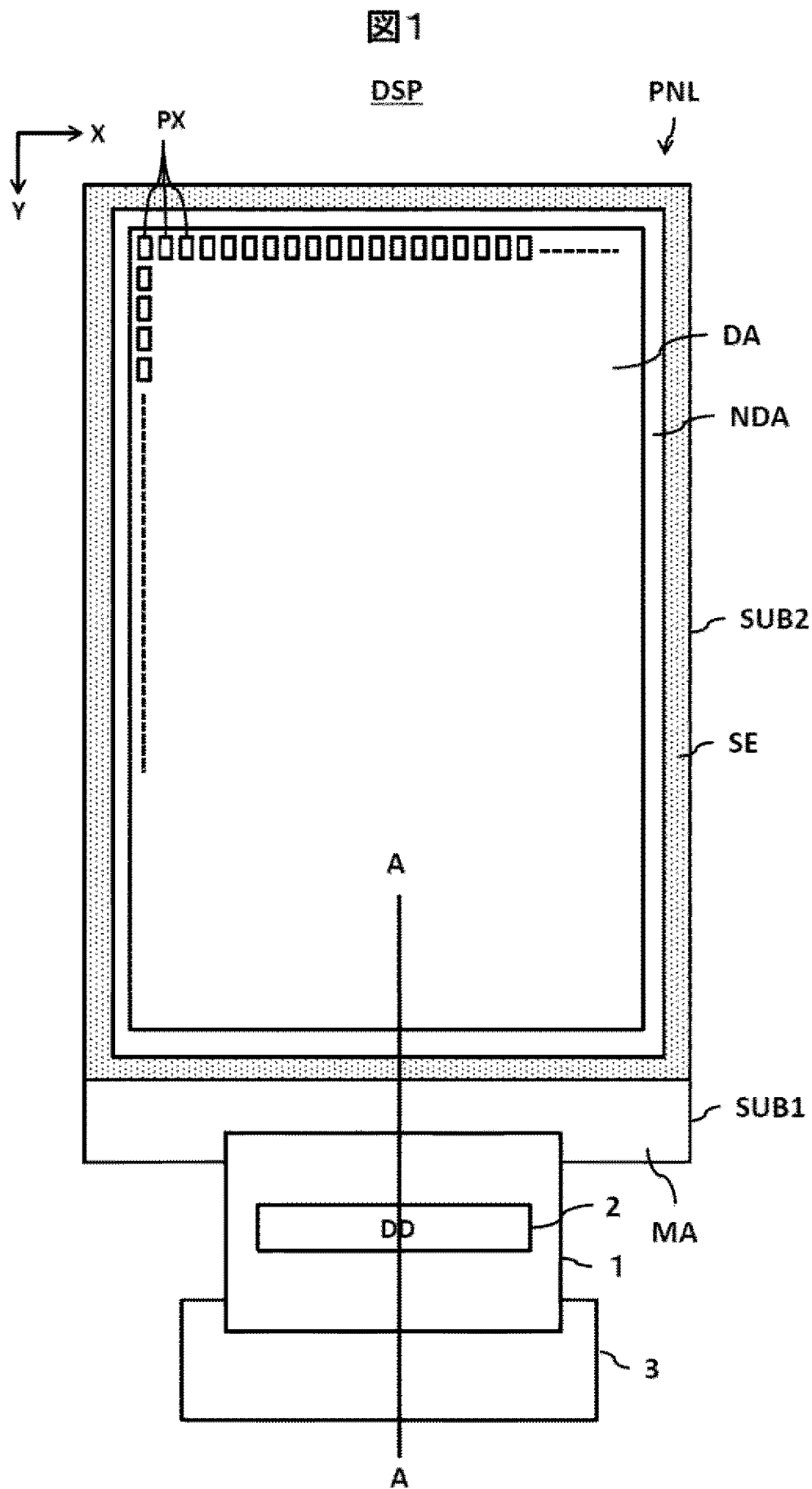
選択的にパターニングされた前記ゲート電極をマスクとしてイオンインプランテーションを行い、前記半導体層の前記ドレイン領域および前記ソース領域に導電性を付与する工程と、

選択的にパターニングされた前記ゲート電極、前記アルミニウム酸化膜および前記ブロック層を覆う様に、絶縁膜を形成する工程と、

前記ドレイン領域と前記ソース領域が露出するように、前記絶縁膜および前記ゲート絶縁膜にコンタクトホールを形成する工程と、

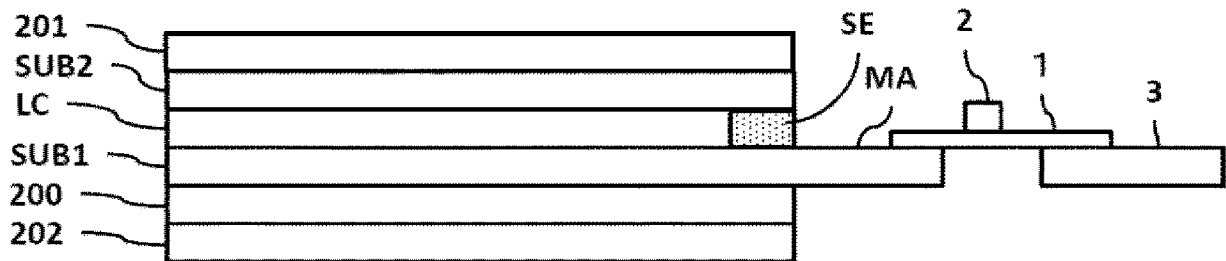
前記コンタクトホールに配線を形成する工程と、を含む、半導体装置の製造方法。

[図1]



[図2]

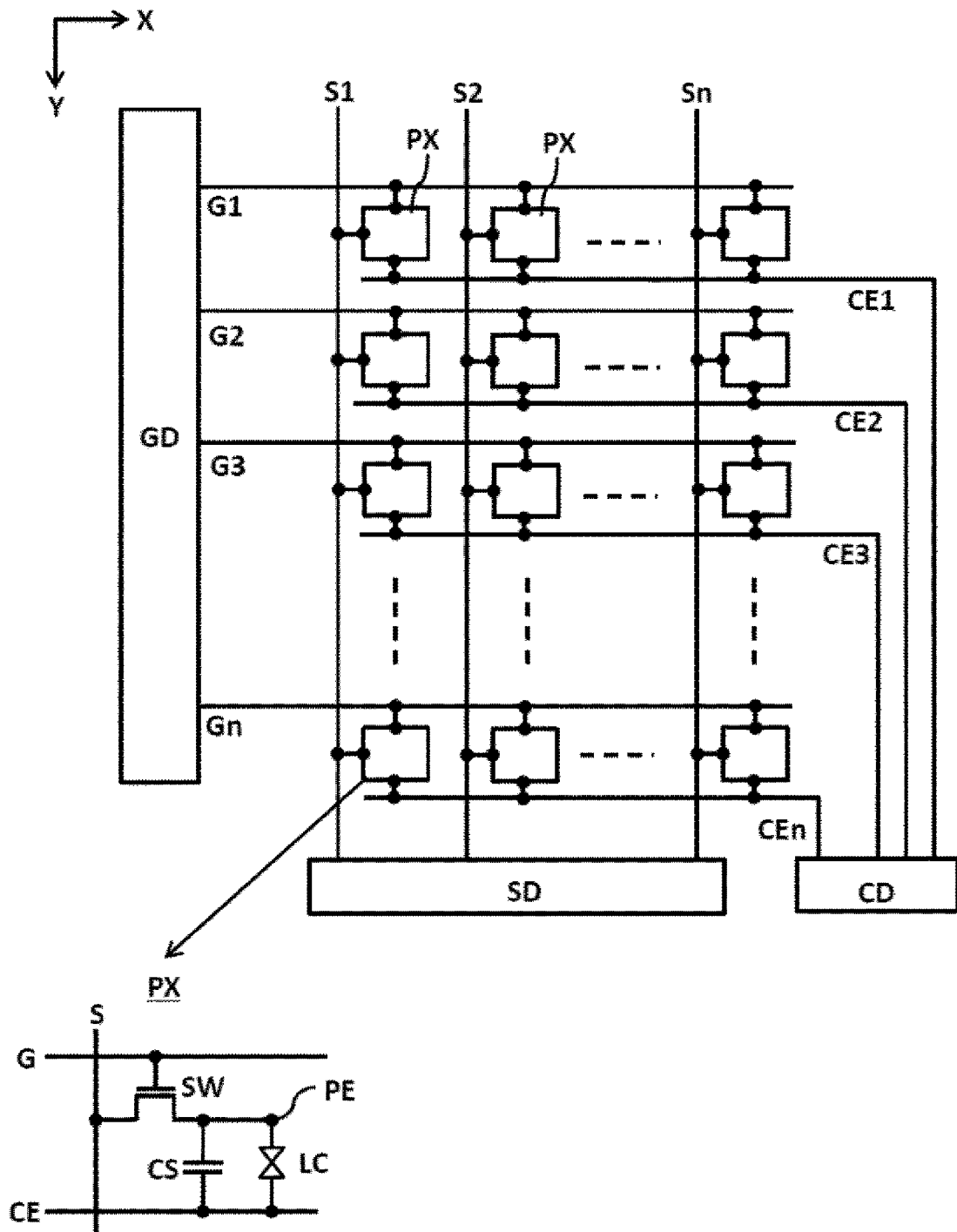
図2

DSP

[図3]

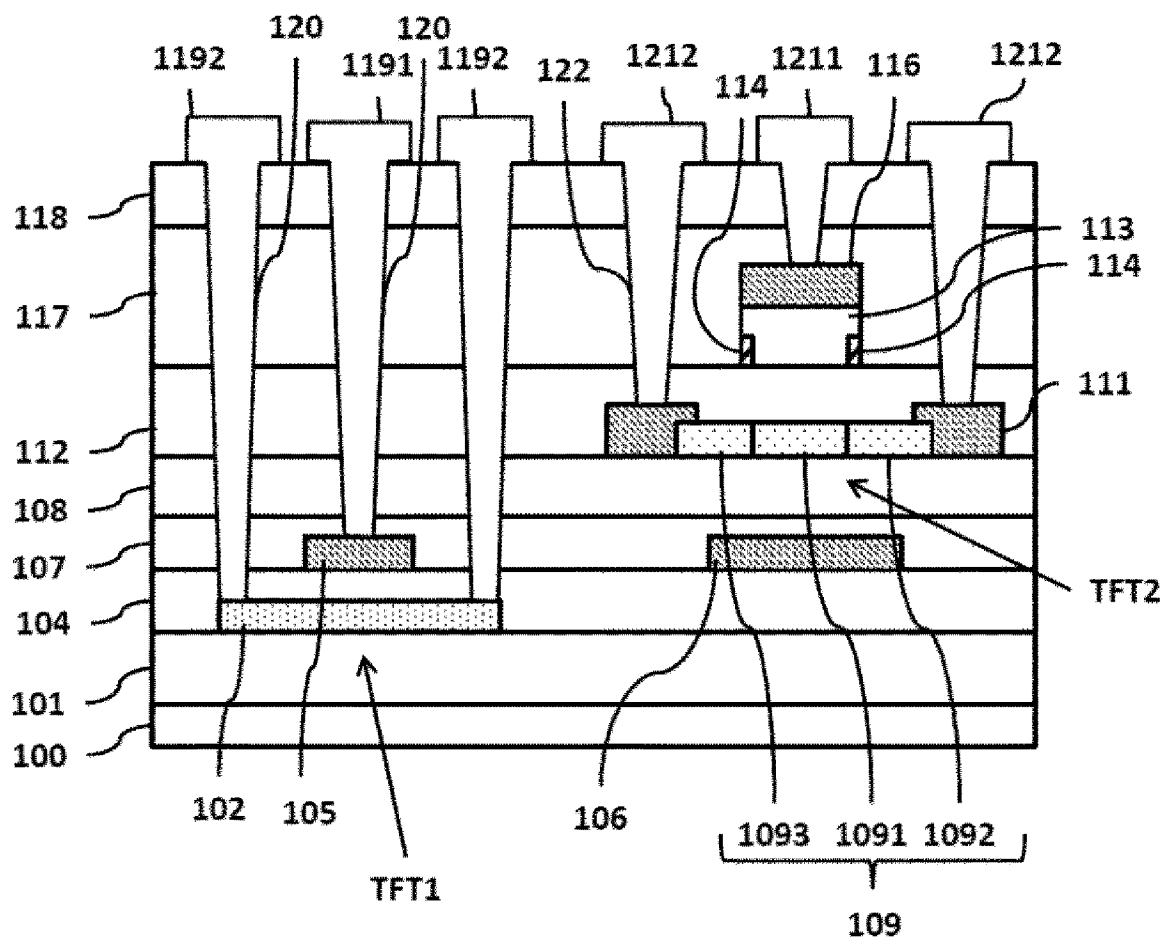
図3

DSP



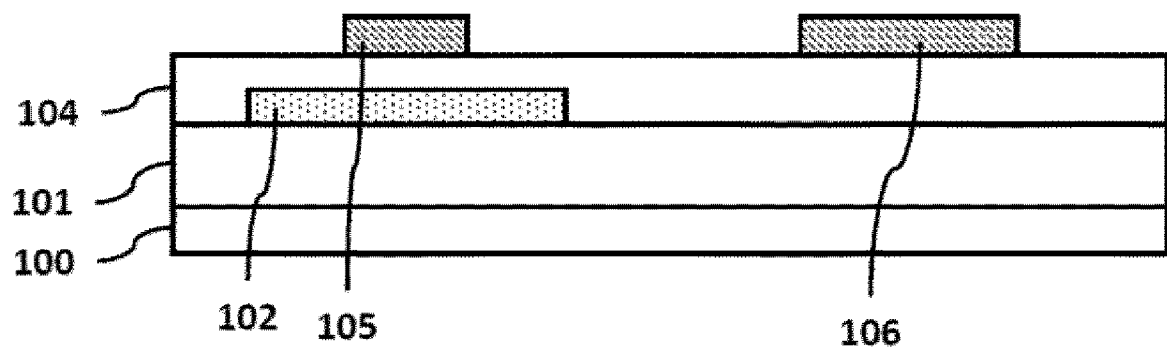
[図4]

図4

10

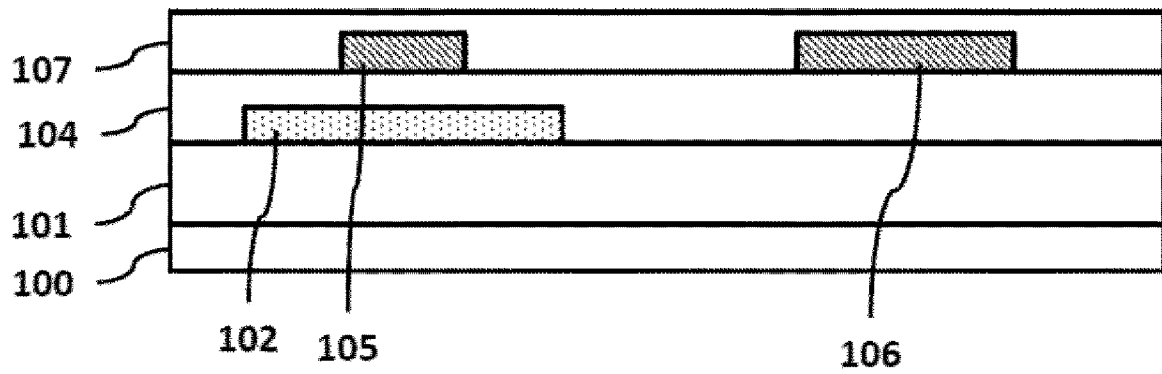
[図5]

図5



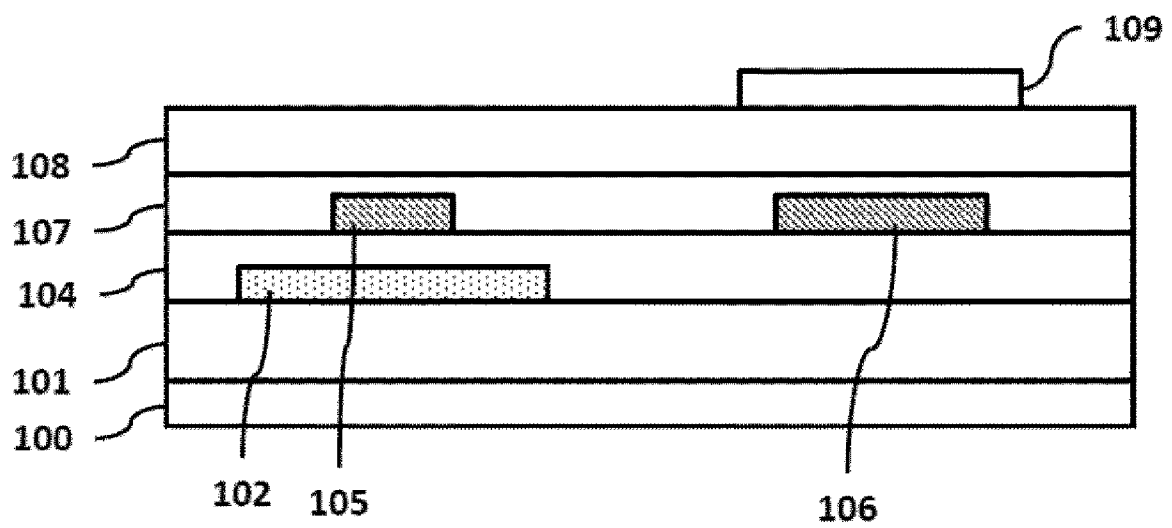
[図6]

図6



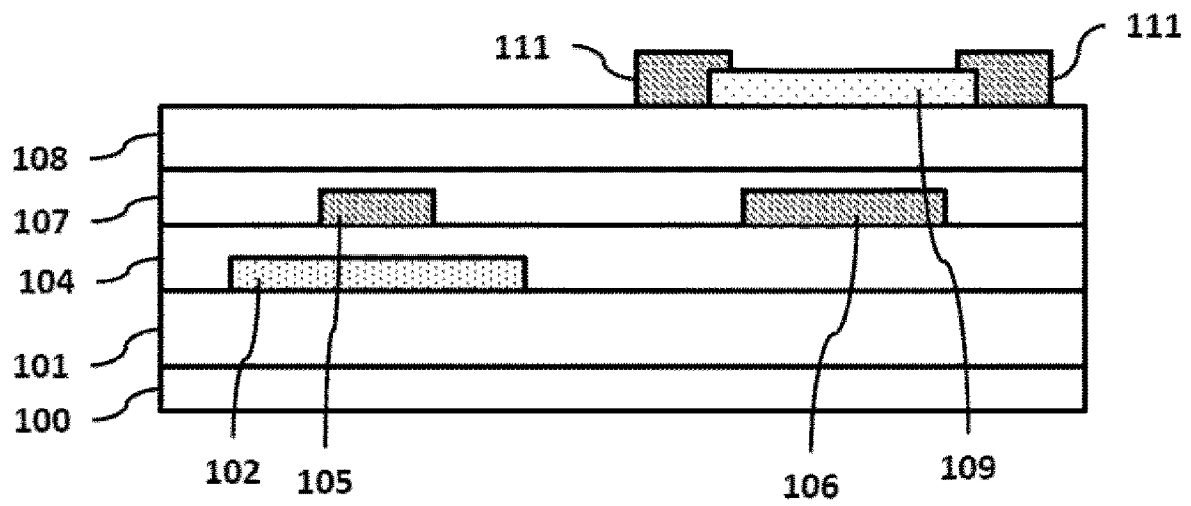
[図7]

図7



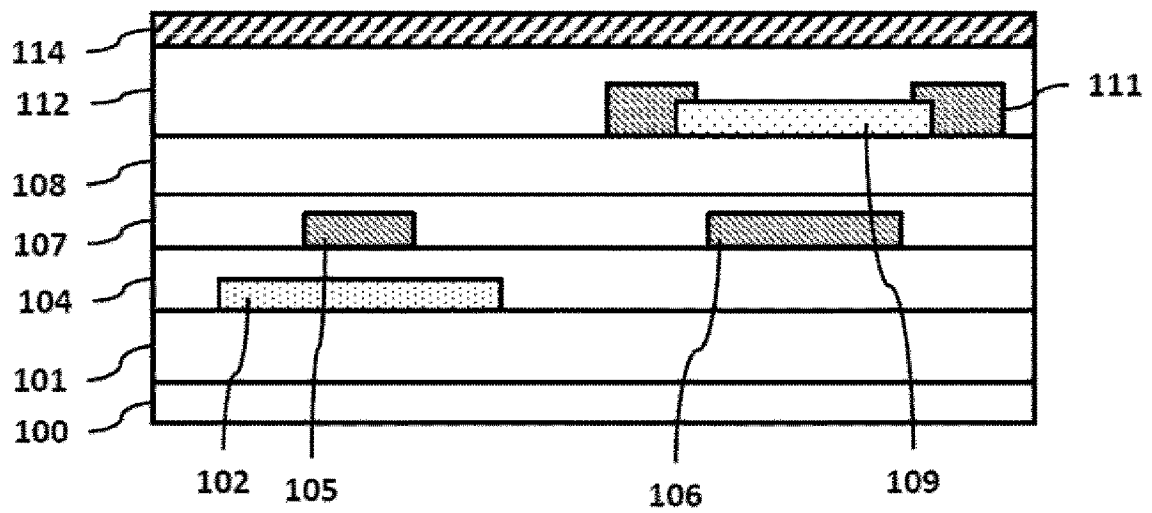
[図8]

図8



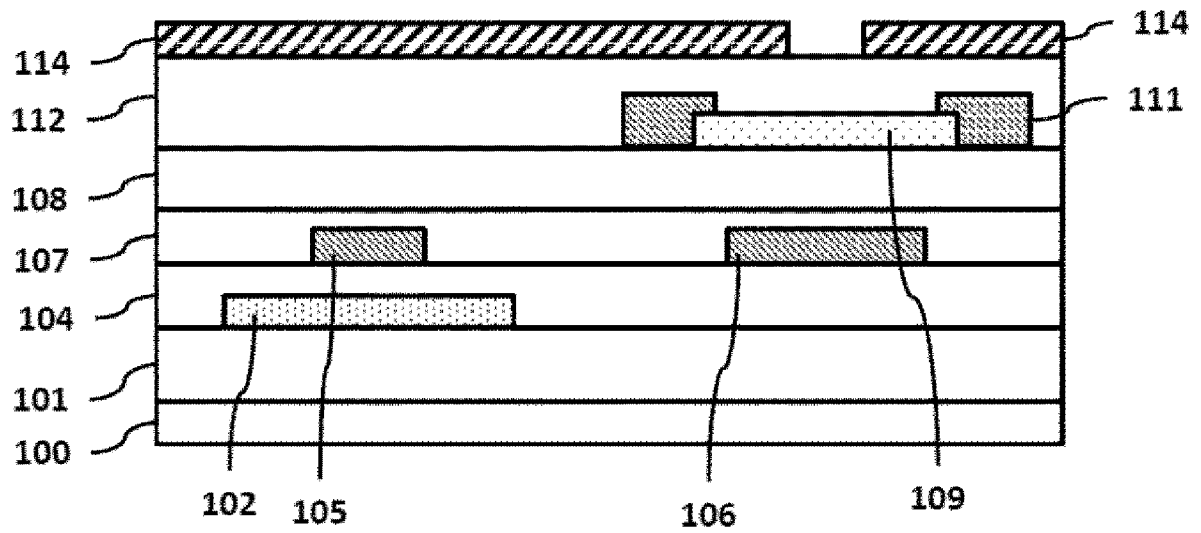
[図9]

図9



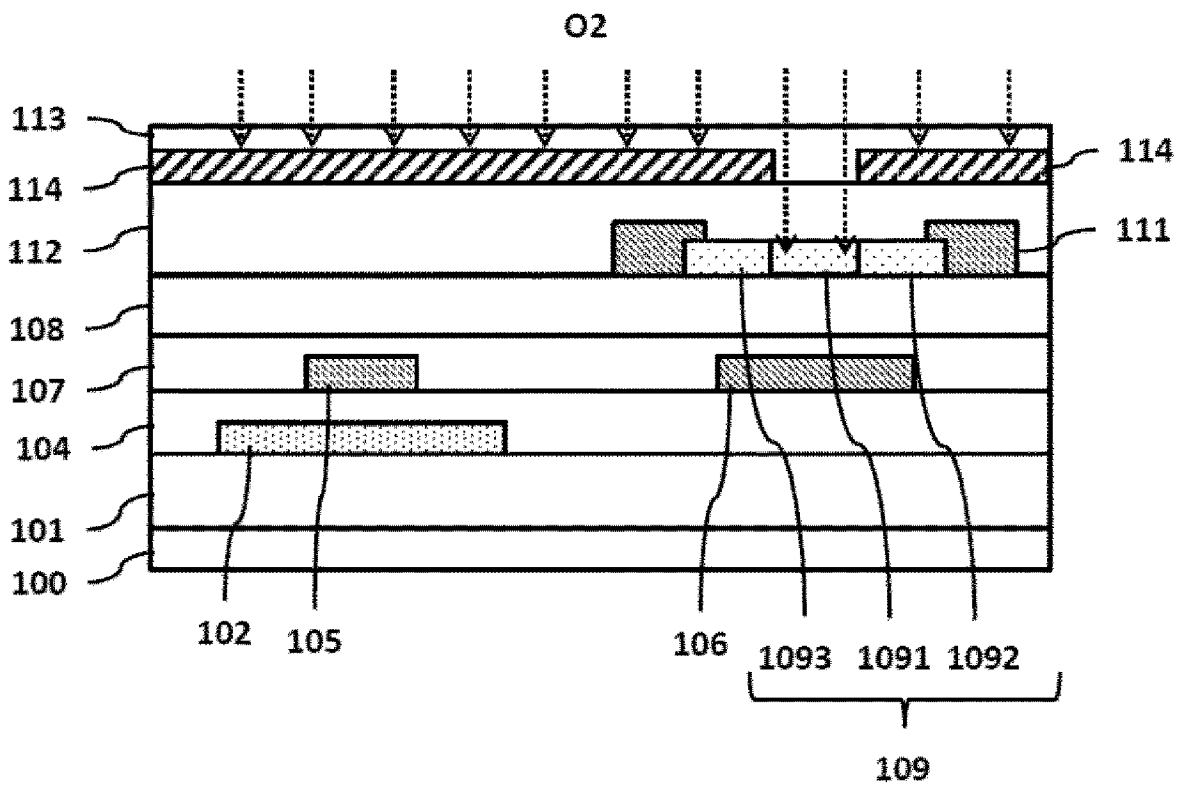
[図10]

図10



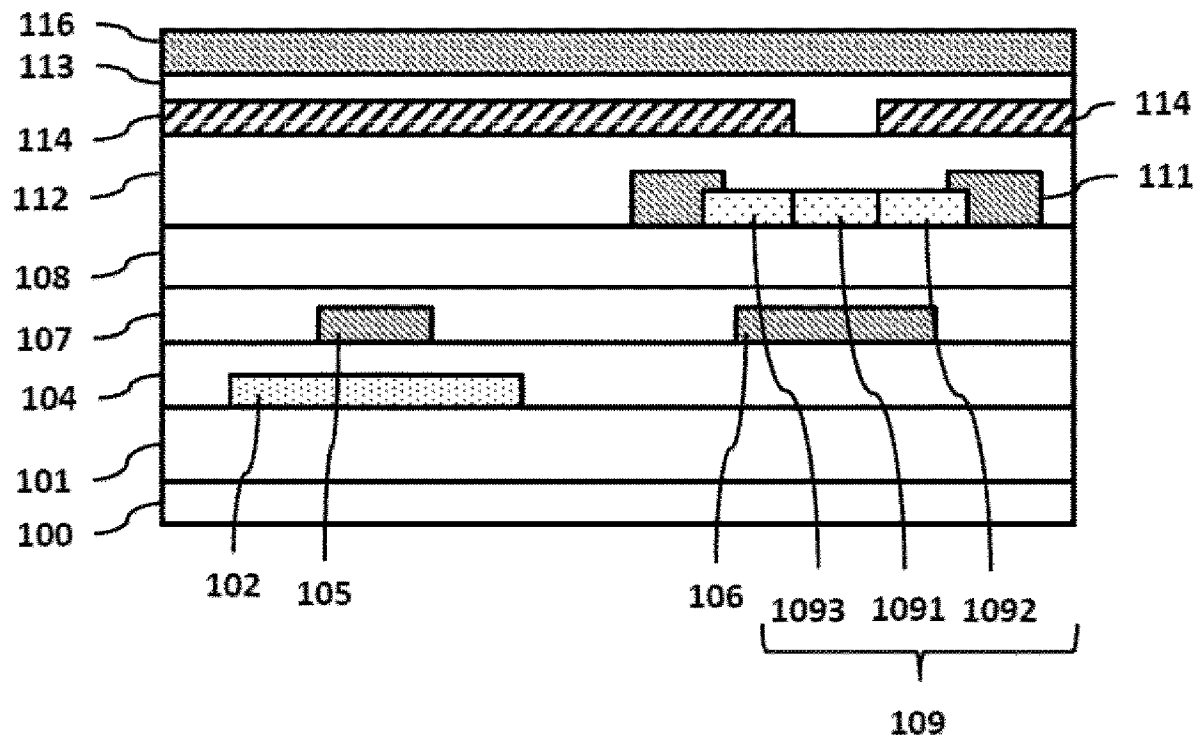
[図11]

図11



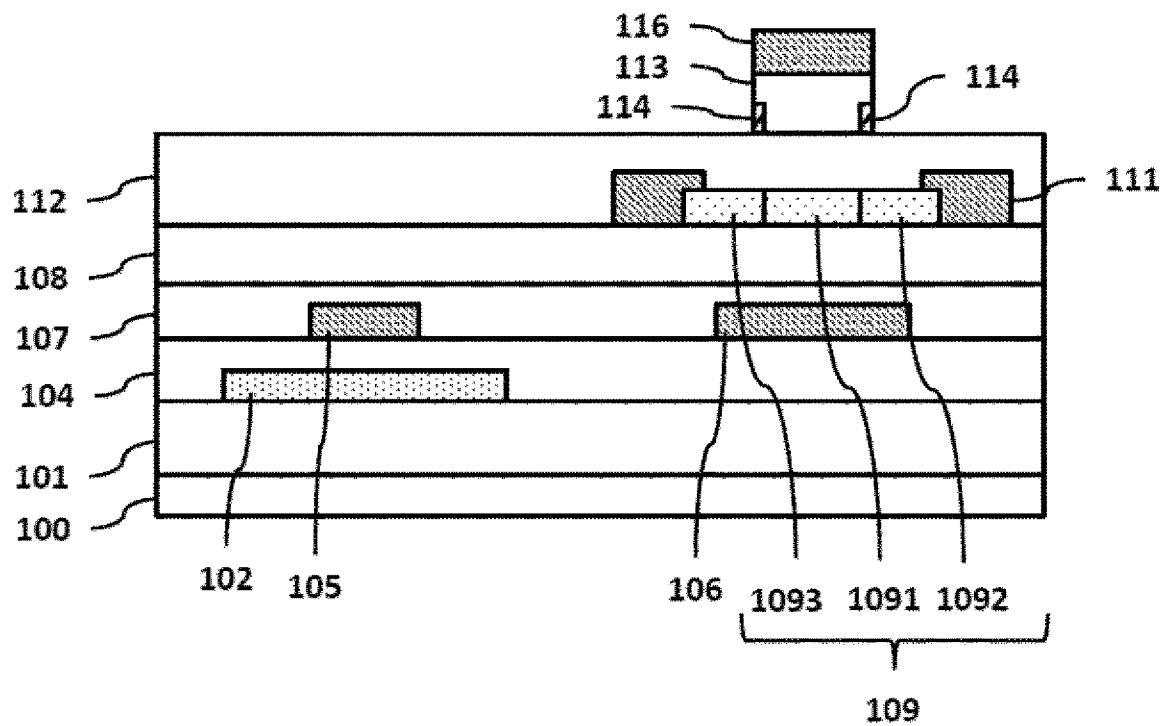
[図12]

図12



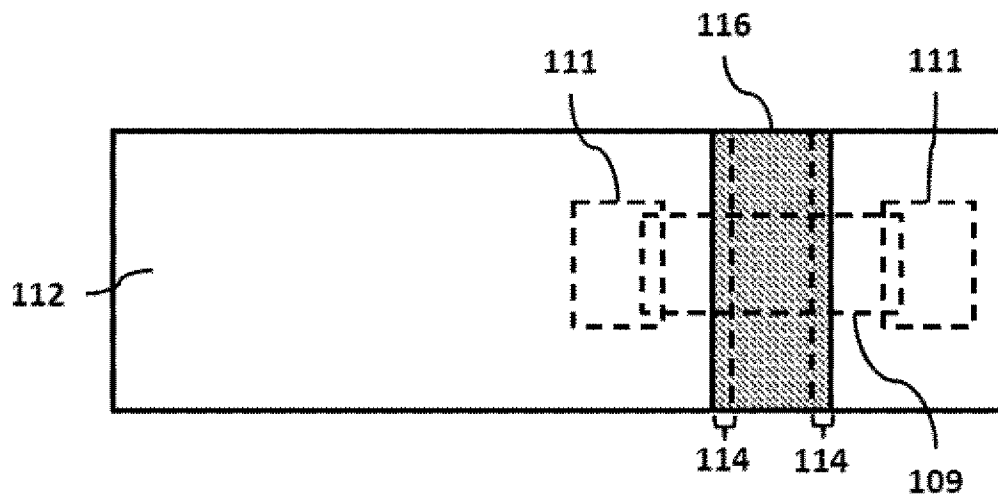
[図13A]

図13A



[図13B]

図13B



[図14]

図14

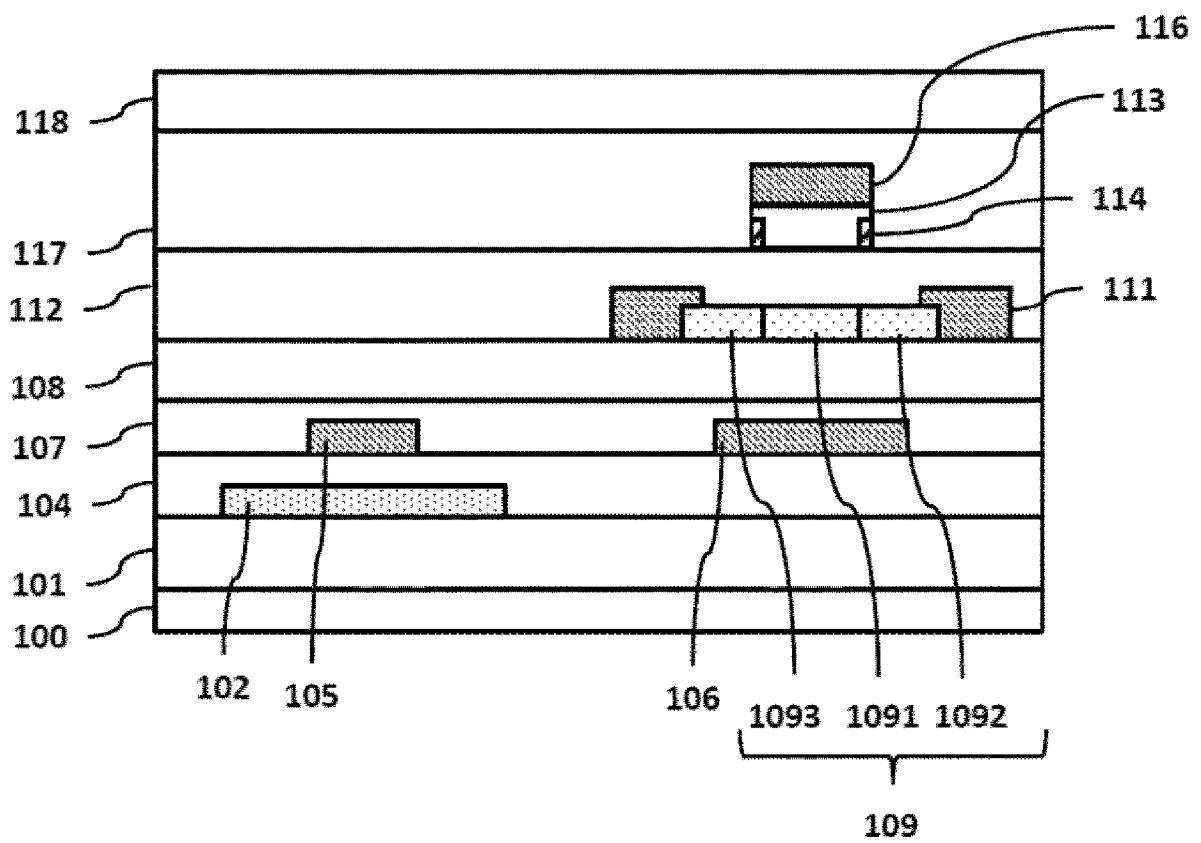


Figure 15 shows a schematic diagram of a rectangular structure. It consists of a central vertical line segment and two horizontal line segments, one above and one below the vertical segment. The vertical segment is labeled 'a' and the horizontal segments are labeled 'b'.

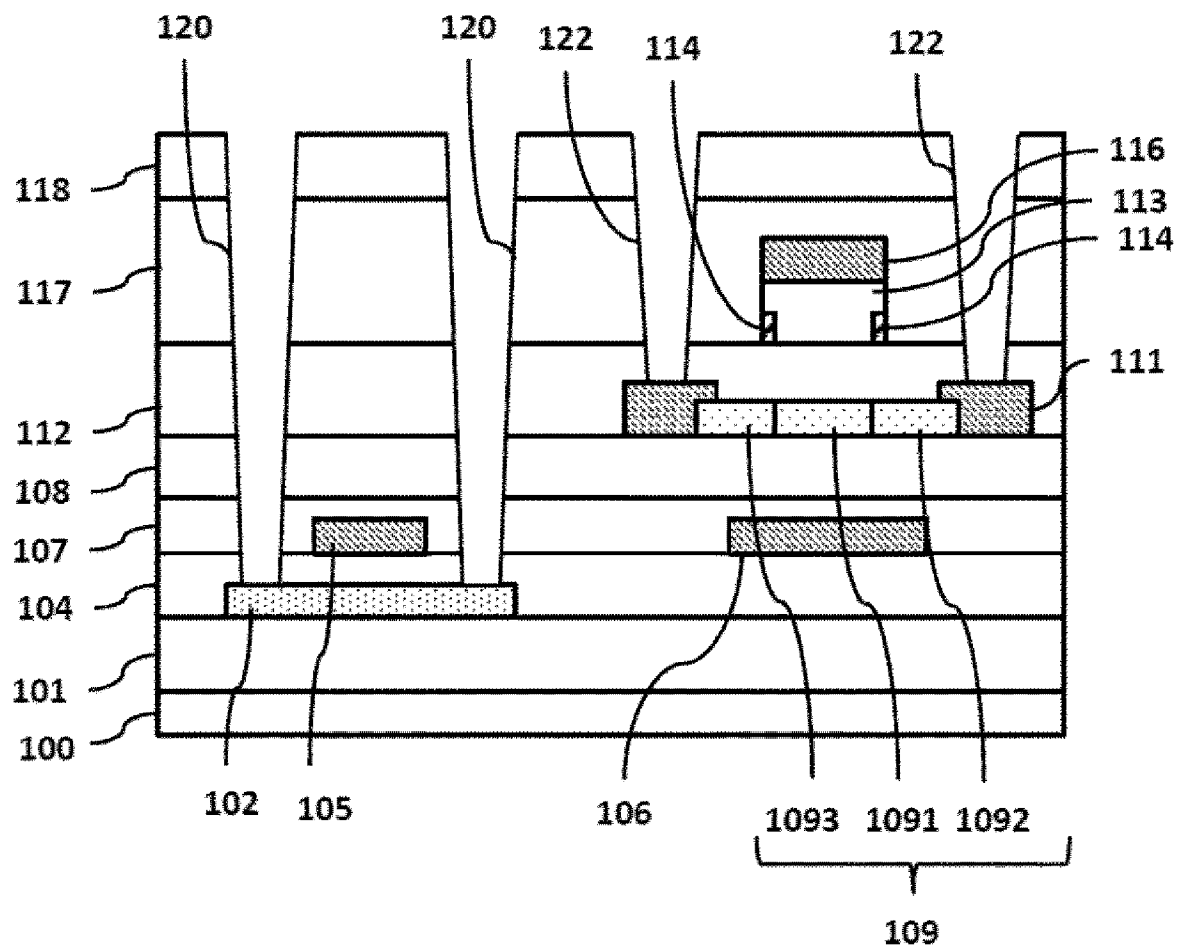
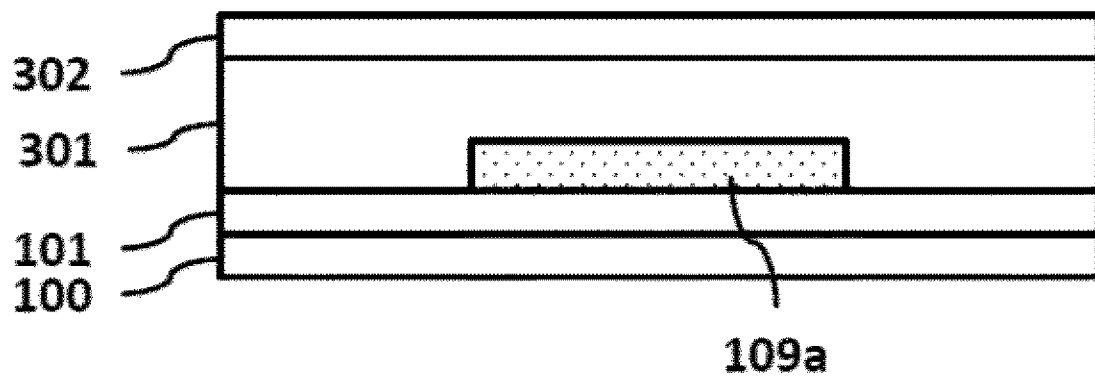
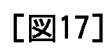
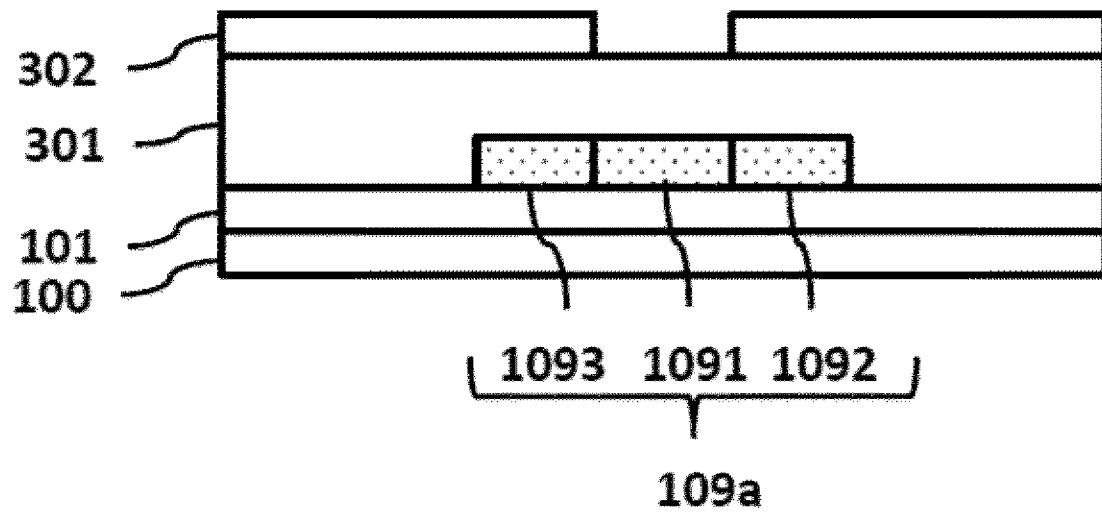


图 16



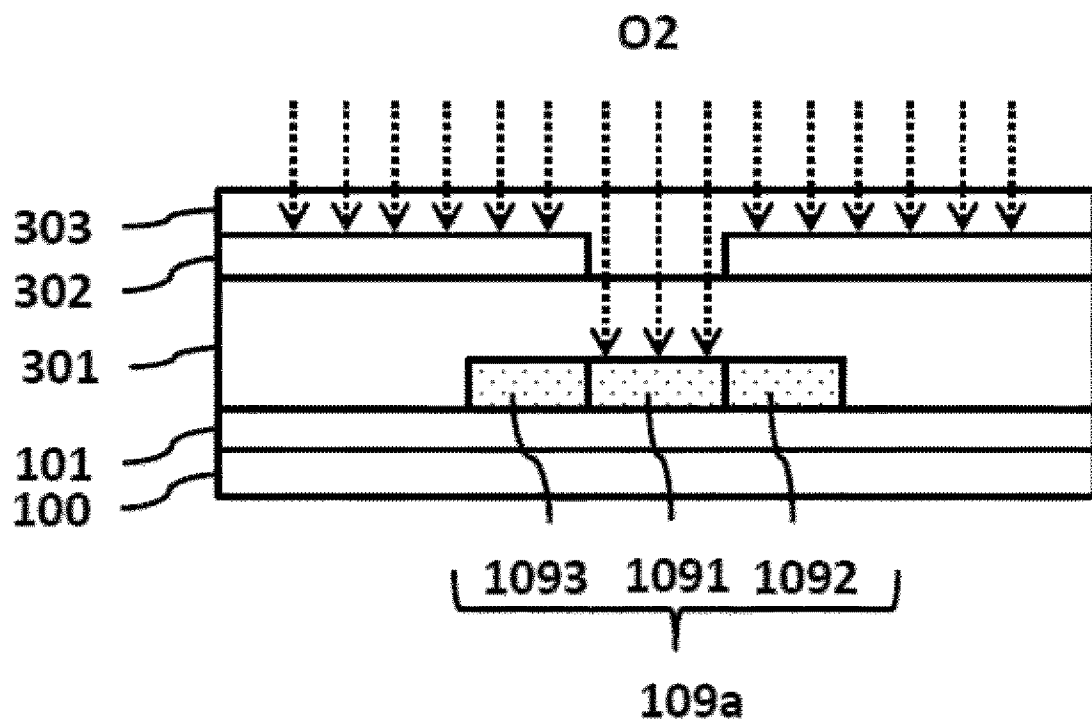
[図18]

図 18



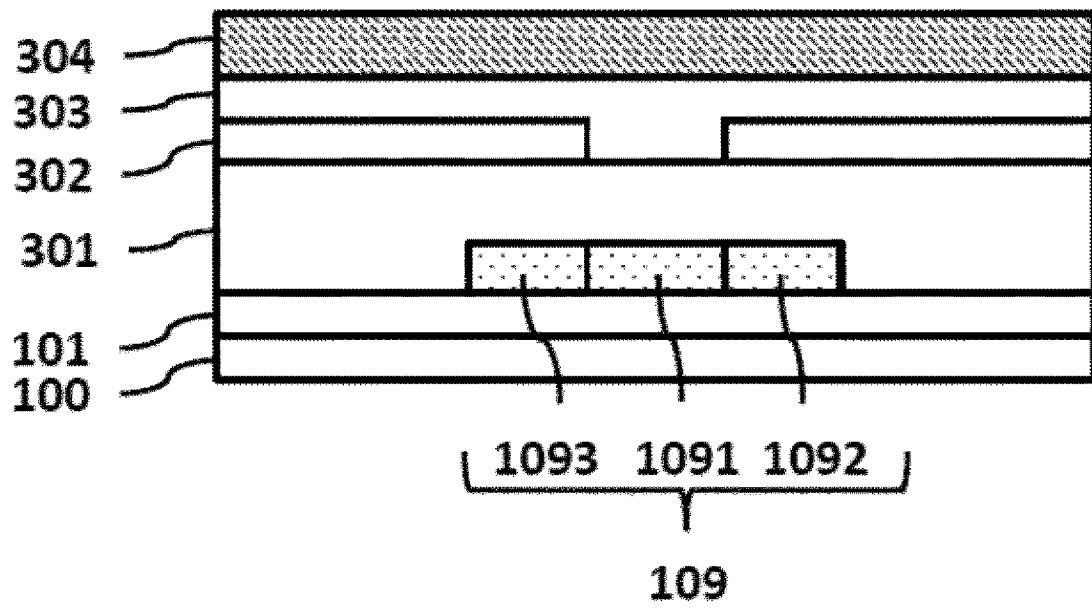
[図19]

図 19



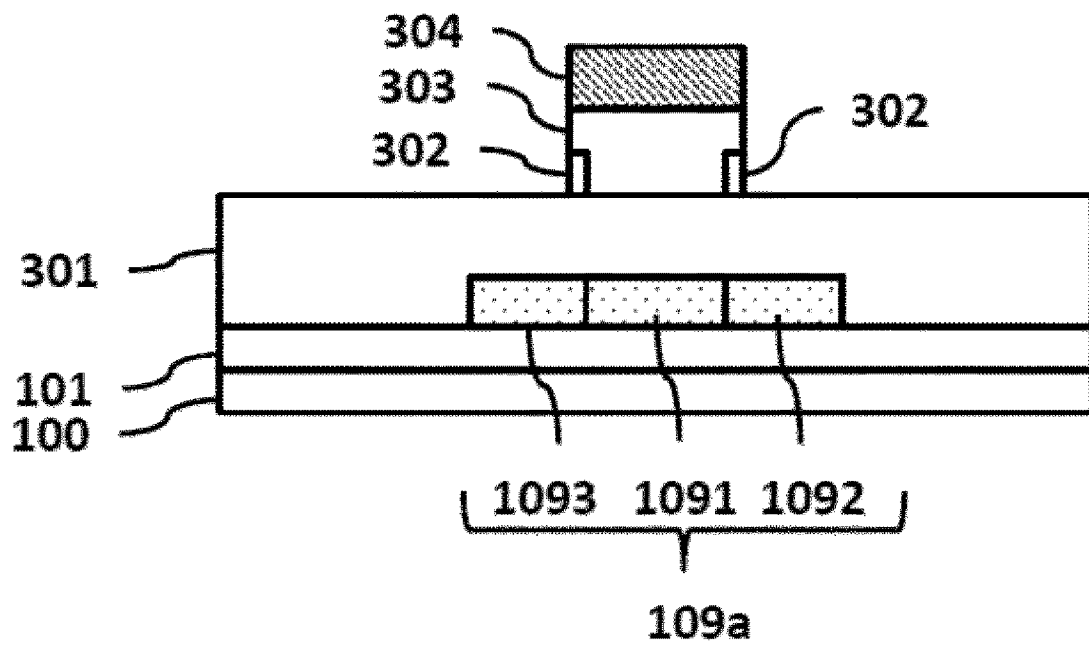
[図20]

図20



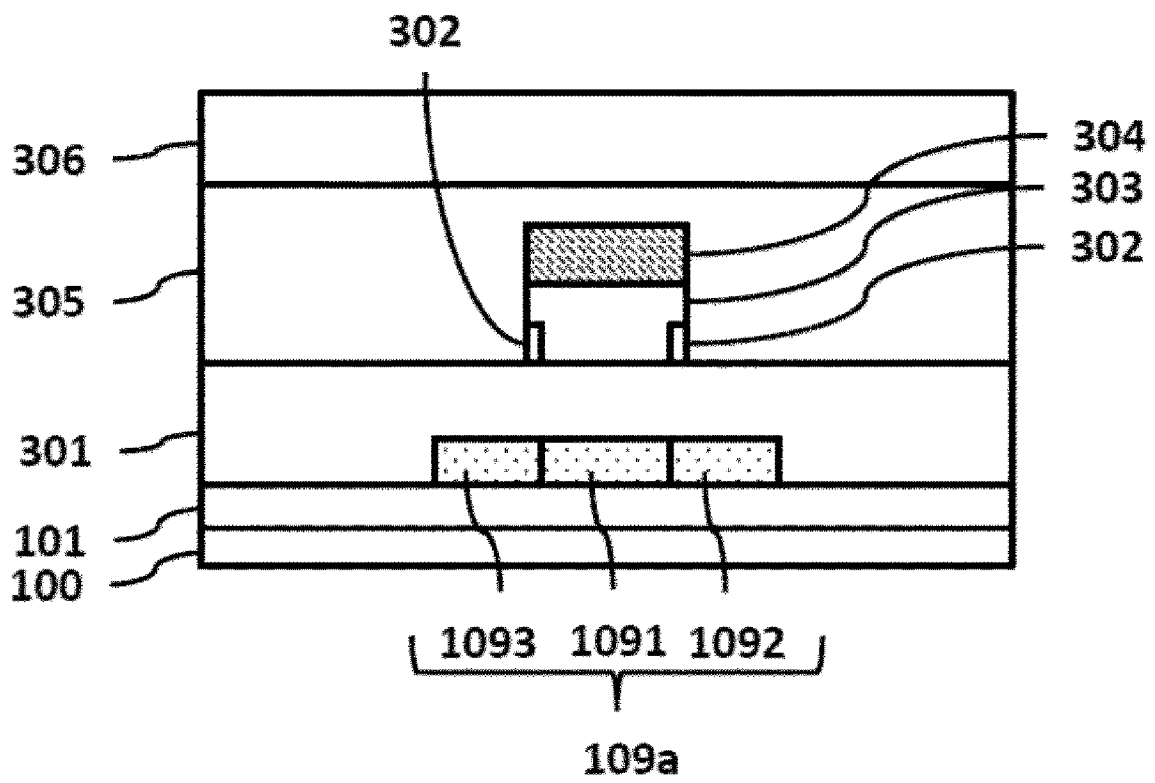
[図21]

図21



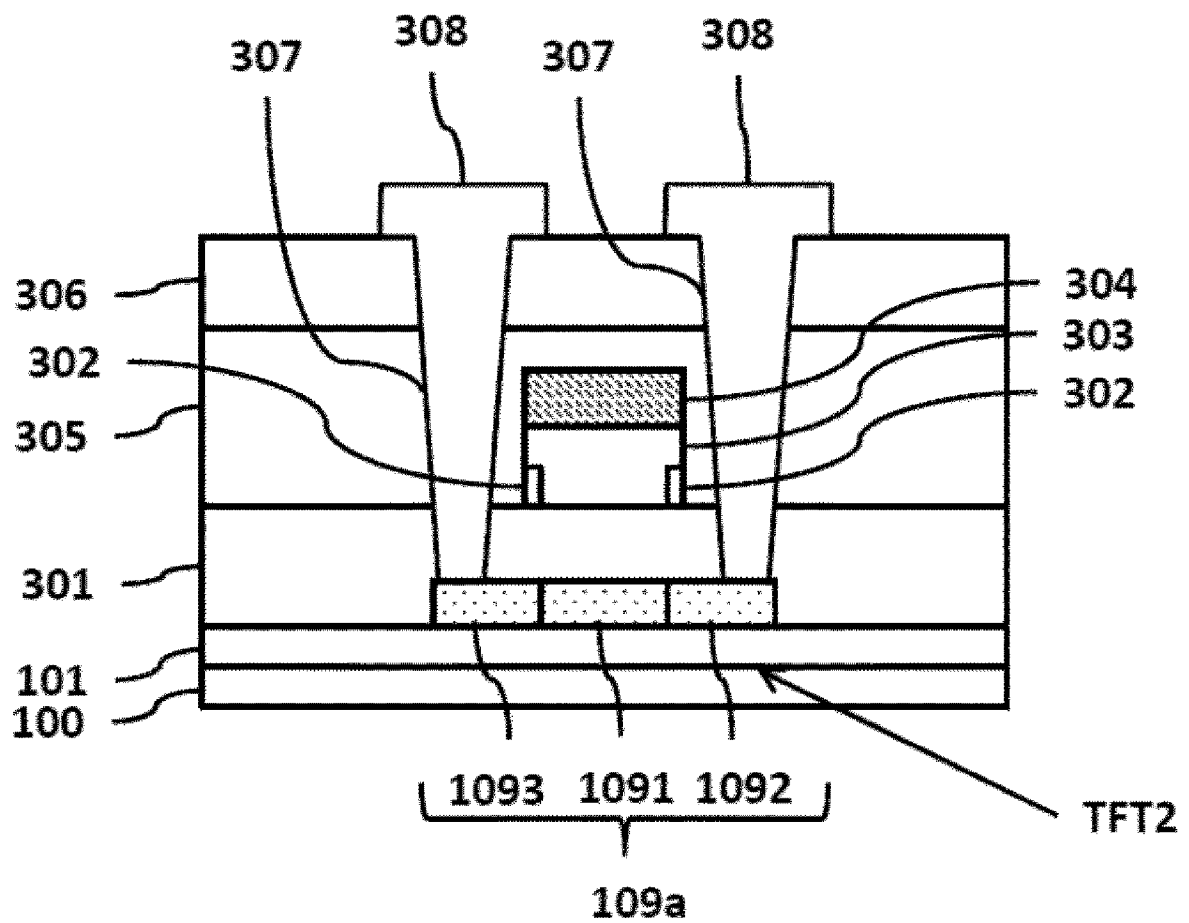
[図22]

図22



[図23]

図23

10a

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025099

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336 (2006.01) i, G02F1/1368 (2006.01) i, G09F9/30 (2006.01) i,  
H01L21/8234 (2006.01) i, H01L27/088 (2006.01) i,  
H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, G02F1/1368, G09F9/30, H01L21/8234, H01L27/088,  
H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                                                          |           |
|----------------------------------------------------------|-----------|
| Published examined utility model applications of Japan   | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2019 |
| Registered utility model specifications of Japan         | 1996-2019 |
| Published registered utility model applications of Japan | 1994-2019 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------|-----------------------|
| X         | JP 2017-76788 A (SEMICONDUCTOR ENERGY LABORATORY                                   | 1, 2, 4, 5            |
| Y         | CO., LTD.) 20 April 2017, paragraphs [0042]-                                       | 6, 7, 9-12            |
| A         | [0147], fig. 3 & US 2017/0104090 A1, paragraphs                                    | 3, 8, 13-15           |
|           | [0127]-[0231], fig. 3                                                              |                       |
| X         | JP 2017-76787 A (SEMICONDUCTOR ENERGY LABORATORY                                   | 1, 2, 4, 5            |
| Y         | CO., LTD.) 20 April 2017, paragraphs [0044]-                                       | 6, 7, 9-12            |
| A         | [0148], fig. 3 & US 2017/0104089 A1, paragraphs                                    | 3, 8, 13-15           |
|           | [0142]-[0246], fig. 3 & WO 2017/064590 A1 & TW                                     |                       |
|           | 201724181 A                                                                        |                       |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
04 September 2019 (04.09.2019)

Date of mailing of the international search report  
17 September 2019 (17.09.2019)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025099

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                            | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2018-74076 A (JAPAN DISPLAY INC.) 10 May 2018, paragraphs [0015]-[0038], fig. 1-6 & US 2018/0122835 A1, paragraphs [0039]-[0062], fig. 1-6 | 6, 7, 9-12            |
| A         | JP 2017-28288 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 02 February 2017 & US 2017/0025544 A1                                             | 1-15                  |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L29/786(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, G02F1/1368, G09F9/30, H01L21/8234, H01L27/088, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2019年 |
| 日本国実用新案登録公報 | 1996-2019年 |
| 日本国登録実用新案公報 | 1994-2019年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                   | 関連する<br>請求項の番号                          |
|-----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------|
| X<br>Y<br>A     | JP 2017-76788 A（株式会社半導体エネルギー研究所）2017.04.20,<br>段落 0042-0147, 図 3<br>& US 2017/0104090 A1, 段落 0127-0231, 図 3                                         | 1, 2, 4, 5<br>6, 7, 9-12<br>3, 8, 13-15 |
| X<br>Y<br>A     | JP 2017-76787 A（株式会社半導体エネルギー研究所）2017.04.20,<br>段落 0044-0148, 図 3<br>& US 2017/0104089 A1, 段落 0142-0246, 図 3<br>& WO 2017/064590 A1 & TW 201724181 A | 1, 2, 4, 5<br>6, 7, 9-12<br>3, 8, 13-15 |

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

|                                                               |                                                                     |
|---------------------------------------------------------------|---------------------------------------------------------------------|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの                                | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                        | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献                                     | 「&」 同一パテントファミリー文献                                                   |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願                                  |                                                                     |

国際調査を完了した日

04.09.2019

国際調査報告の発送日

17.09.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9355

電話番号 03-3581-1101 内線 3516

| C (続き) . 関連すると認められる文献 |                                                                                                                  |                |
|-----------------------|------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                | 関連する<br>請求項の番号 |
| Y                     | JP 2018-74076 A (株式会社ジャパンディスプレイ) 2018.05.10,<br>段落 0015-0038, 図 1-6<br>& US 2018/0122835 A1, 段落 0039-0062, 図 1-6 | 6, 7, 9-12     |
| A                     | JP 2017-28288 A (株式会社半導体エネルギー研究所) 2017.02.02<br>& US 2017/0025544 A1                                             | 1-15           |