

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成25年8月8日(2013.8.8)

【公開番号】特開2011-22998(P2011-22998A)

【公開日】平成23年2月3日(2011.2.3)

【年通号数】公開・登録公報2011-005

【出願番号】特願2010-151680(P2010-151680)

【国際特許分類】

G 06 F 12/06 (2006.01)

G 06 F 12/00 (2006.01)

G 06 F 13/16 (2006.01)

【F I】

G 06 F 12/06 5 1 0 A

G 06 F 12/00 5 9 7 U

G 06 F 13/16 5 2 0 C

【手続補正書】

【提出日】平成25年6月25日(2013.6.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

システムであって、

—以上の相変化メモリ(PCM)モジュールを具えるデュアルインラインメモリモジュール(DIMM)と、

前記システムに電気的に接続されたメモリバスであって、前記PCMモジュールが前記メモリバスと並列に電気的に接続されたメモリバスと、

前記PCMモジュールに対応するパラメータを維持するように構成された基本入力/出力システム(BIOS)と、

を具えることを特徴とするシステム。

【請求項2】

前記パラメータは、前記PCMモジュールのアディティブレイテンシ又は列アドレスストローブ(CAS)レイテンシの値を含むことを特徴とする、請求項1に記載のシステム。

【請求項3】

前記PCMモジュールは、前記DIMMに行アドレスが提供された直後に前記DIMMに列アドレスが提供されることを可能にするアディティブレイテンシと関連することを特徴とする請求項1に記載のシステム。

【請求項4】

前記DIMMの特定のアドレスに対応する書き込みデータをキャッシング記憶するためのダイナミックランダムアクセスメモリ(DRAM)キャッシングメモリをさらに具えることを特徴とする、請求項1に記載のシステム。

【請求項5】

バンクアドレスビットが、複数の前記—以上のPCMモジュールにわたる複数のメモリバンクに対応することを特徴とする請求項1に記載のシステム。

【請求項6】

前記 D I M M が、前記システムの主記憶装置をえることを特徴とする請求項 1 に記載のシステム。

【請求項 7】

前記一以上の P C M モジュールが、ダイナミックランダムアクセスメモリ ( D R A M ) モードレジスタ及び / 又は D R A M インタフェースをえることを特徴とする請求項 1 に記載のシステム。

【請求項 8】

起動命令を、一以上の相変化メモリ ( P C M ) モジュールをえるデュアルインラインメモリモジュール ( D I M M ) へ提供するステップと、

行アドレスを、前記 P C M モジュールへ提供するステップと、

次の行アドレスを与える前に、複数の列アドレスを、前記 P C M モジュールへ提供するステップと、

を含むことを特徴とする方法。

【請求項 9】

前記行アドレスを前記 D I M M へ提供した直後に、前記複数の列アドレスのうちの一つを、前記 D I M M へ提供するステップをさらに含むことを特徴とする請求項 8 に記載の方法。

【請求項 10】

コンピューティングプラットフォームの基本入力 / 出力システム ( B I O S ) 内に、前記 P C M モジュールに対応するパラメータを維持するステップをさらに含むことを特徴とする請求項 8 に記載の方法。

【請求項 11】

前記パラメータは、前記 P C M モジュールのアディティブレイテンシの値を含むことを特徴とする請求項 10 に記載の方法。

【請求項 12】

前記 D I M M の特定のアドレスに対応する書き込みデータを D R A M キャッシュメモリにキャッシュ記憶することによって、前記 P C M モジュールのサイクルリミットを管理するステップをさらに含むことを特徴とする請求項 8 に記載の方法。

【請求項 13】

少なくとも部分的に前記 P C M モジュールの特性に基づいて、前記 D R A M キャッシュメモリのためのメモリサイズを選択するステップをさらに含むことを特徴とする請求項 12 に記載の方法。

【請求項 14】

バンクアドレスビット用いて、前記一以上の P C M モジュールにわたる複数のメモリバンクにアクセスするステップをさらに含むことを特徴とする請求項 8 に記載の方法。

【請求項 15】

前記 D I M M は、前記コンピューティングプラットフォームの主記憶装置をえることを特徴とする請求項 10 に記載の方法。

【請求項 16】

デュアルインラインメモリモジュール ( D I M M ) をえたメモリデバイスであって、前記 D I M M が、

少なくとも部分的にダイナミックランダムアクセスメモリ ( D R A M ) モジュールに基づいて電気的に動作するように構成され、

一以上の相変化メモリ ( P C M ) モジュールをえ、

基本入力 / 出力システム ( B I O S ) 内に維持されているパラメータに基づいて動作するように構成されている

ことを特徴とするメモリデバイス。

【請求項 17】

コンピューティングシステムに電気的に接続するためのメモリバスをさらに具え、

前記 P C M モジュールは、前記メモリバスと並列に電気的に結合されていることを特徴

とする請求項 1 6 に記載のメモリデバイス。

【請求項 1 8】

前記 D I M M の特定のアドレスに対応する書き込みデータをキャッシュ記憶するための D R A M キャッシュメモリをさらに具えることを特徴とする請求項 1 6 に記載のメモリデバイス。

【請求項 1 9】

デュアルインラインメモリモジュール( D I M M )に実装された一以上の相変化メモリ( P C M )モジュールに対応するパラメータを、コンピューティングプラットフォームの基本入力 / 出力システム( B I O S )内に維持するステップを含むことを特徴とする方法。

【請求項 2 0】

前記 P C M モジュールは、前記 D I M M 行アドレスが提供された直後に前記 D I M M に列アドレスが提供されることを可能にするアディティブレイテンシと関連することを特徴とする請求項 1 9 に記載の方法。

【請求項 2 1】

前記 D I M M の特定のアドレスに対応する書き込みデータを D R A M キャッシュメモリにキャッシュ記憶することによって、前記 P C M モジュールのサイクルリミットを管理するステップをさらに含むことを特徴とする請求項 1 9 に記載の方法。