

# 公告本

# 303514

911-9898

申請日期	80.11.25
案號	80IC9242
類	Int. C11 <sup>01</sup> L <sup>2</sup> 7/00, G11C <sup>7</sup> 00, 1/00

A4  
C4

# 303514

(以上各欄由本局填註)

## 發明 新型 專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 創作名稱	中文	高速元件與高速記憶元件
	英文	HIGH SPEED ELEMENTS AND HIGH SPEED MEMORY ELEMENTS
二、發明人	姓名	1. 向井幹雄 2. 落合昭彦
	籍貫 (國籍)	1-2 皆為日本
	住、居所	1. 東京都品川區北品川6丁目7番35號 ソニ-株式會社內 2. 同上
三、申請人	姓名 (名稱)	新力股份有限公司 ソニ-株式會社
	籍貫 (國籍)	日本
	住、居所 (事務所)	東京都品川區北品川6丁目7番35號
	代表人 姓名	大賀典雄

經濟部中央標準局員工消費合作社

裝

訂

線

## 五、發明說明 (1)

〔產業上之利用領域〕

本發明係關於一種超導體、諧振隧道效應電晶體等高速元件與利用此高速元件之高速記憶元件。

〔發明之概要〕

本發明係在高速元件，特別是超導體，藉著在利用半導體之通道部上下面設置利用超導體之源極部及吸極部，在通道部側面透過絕緣膜形成閘電極加以構成，使超導動作之控制性良好，使高速元件微細化、高集成化可能者。

本發明係在高速元件，特別是超導體，藉著在利用半導體之柱狀通道部兩側有利用超導體之源極部及吸極部，在柱狀通道部上面透過絕緣膜形成閘電極加以構成，使超導動作之控制性良好，使高速元件微細化、高集成化可能者。

本發明係在高速記憶元件，藉著由：在利用半導體之柱狀通道部兩側有利用超導體之源極部及吸極部，在柱狀通道部上面透過絕緣膜形成閘電極的超導體；及，在閘極部外側透過介電薄膜配置超導體形成的電容所構成；使低電力消耗、超高速動作與高集成化可能者。

本發明係在高速元件，特別是諧振隧道效應二極體，藉著隔著構成量子井的領域，在兩側構成電位障的厚度設置電子波長程度以下的絕緣薄膜，在兩絕緣薄膜外側分別設置端子部加以構成，使高速元件微細化、高集成

五、發明說明 (2)

化可能，且可容易製造者。

此外，本發明係在高速元件，特別是諧振隧道效應電晶體，藉著隔著構成量子井的領域，在兩側構成電位障的厚度設置電子波長程度以下的絕緣薄膜，在兩絕緣薄膜外側設置源極部及吸極部，同時在上述領域上設置閘部加以構成，使高速元件微細化、高集成化可能，且可容易製造者。

[ 先前之技術 ]

作為超高速元件，一直在進行使用超導體與半導體的超導電晶體研究、開發。第13圖顯示先前超導電晶體之例。此超導電晶體(1)係在單晶矽基板(2)表面上隔所定間隔L，黏附形成利用超導體的源極部(3)及吸極部(4)，在基板背面透過絕緣膜(5)形成閘電極(6)所構成。(7)為絕緣膜。

此超導電晶體(1)如第13圖A及B所示，係藉著閘電壓控制從超導體之源極部(3)及吸極部(4)向矽基板(2)滲出超導電子對(8) (參照第13圖)所形成的準超導部(9S)、(9D)寬度，以通斷控制超導電流般地所形成。即，在來自第14圖A之源極部(3)及吸極部(4)的準超導部(9S)、(9D)交叉的狀態，來自源極部(3)的超導電子對(8)通過準超導部(9S)、(9D)流到吸極部(4) (所謂超導電流流動)，電晶體成為接通狀態。在第14圖B之準超導部(9S)、(9D)未交叉的狀態，來自源極部(3)的超導電子對(8)在準超導

(請先閱讀背面之注意事項再填寫本頁)

.....  
裝.....訂.....線.....

## 五、發明說明 (3)

部(9S)及(9D)未交叉的部分(10)，電子對之結合破壞，其結果，超導電流不流動，電晶體成為開路狀態。

另一方面，依據先前技術之半導體元件，中心係立足於傳統性的物理動作上者。然而，隨著元件微細化起來，電位障厚度變成電子波長程度的長度（ $\sim 100\text{\AA}$ 程度以下），就開始發生量子論上的隧道效應，和先前同樣原理的元件動作變得困難起來。因此，作為高速元件，利用量子論上的隧道效應，即僅具有某特定波長的電子穿過雙重電位障之所謂諧振隧道效應的元件為人所種種提案。

## 〔發明欲解決之課題〕

然而，在所謂超導電晶體，其源極部(3)及吸極部(4)間的通道長L需為 $0.2\mu\text{m}$ 以下的微小長度。但第13圖之先前構造的情形，使用現行微細加工技術控制源極部(3)及吸極部(4)間的距離L（所謂通道長），一般認為極困難。此外，在此先前構造，因從源極部(3)及吸極部(4)滲出的準超導部(9S)及(9D)交叉僅在橫方向一側所構成，故使超導電流流動的通道部動作不良，且有元件本身難以小型化的缺點。

另一方面，利用上述之量子論上的隧道效應的半導體元件，多為利用化合物半導體者，矽系列者幾乎未被提案。

本發明有鑑於上述之點，係提供一種超導動作之控制

## 五、發明說明 (4)

性良好、適合微細化、高集成化的高速元件，即超導體晶體者。

此外，係提供一種利用此超導體晶體的高速記憶元件者。

再者，係提供一種亦可使用矽系列等，適合微細化、高集成化的諧振隧道效應型高速元件者。

## 〔解決課題之方法〕

關於本發明之高速元件，即超導體晶體，如第 1 圖所示，係在利用半導體之通道部 (14) 上下面有利用超導體之源極部 (15) 及吸極部 (13)，在通道部 (14) 側面透過絕緣膜 (16) 形成閘電極 (17)、(18) 加以構成。

此外，關於本發明之高速元件，即超導體晶體，如第 4 圖所示，係在利用半導體之柱狀通道部 (25) 兩側有利用超導體之源極部 (26) 及吸極部 (27)，在柱狀通道部 (25) 上面透過絕緣膜 (28) 形成閘電極 (29) 加以構成。

此外，關於本發明之高速記憶元件，即動態隨機存取記憶元件，如第 7 圖所示，係由：在利用半導體之柱狀通道部 (25) 兩側有利用超導體之源極部 (26) 及吸極部 (27)，在柱狀通道部 (25) 上面透過絕緣膜 (28) 形成閘電極 (29) 的超導體晶體 (30)；及，在上述吸極部 (27) 透過介電薄膜 (38) 配置超導體 (37) 形成的電容 (39) 所構成。

此外，關於本發明之高速元件，即諧振隧道效應二極體，如第 9 圖所示，係隔著構成量子井的領域 (52)，在



## 五、發明說明 (6)

故來自源極部 (26) 及吸極部 (27) 的準超導部 (35S) 及 (35D) 以互相相對的形式擴展，超導電流為通道部 (25) 上面的閘電極 (29) 所通斷控制。而且，接到半導體的源極部 (26) 及吸極部 (27) 全幅有效作用，來自源極部 (26) 及吸極部 (27) 的準超導部 (35S) 及 (35D) 以互相相對的形式擴展，故可有效進行超導動作。此外，源極部 (26) 及吸極部 (27) 間的通道長  $L$  係由柱狀通道部 (25) 寬度所決定，故可容易實現  $0.2 \mu m$  以下的通道長  $L$ 。

在第三發明，藉著在所調柱狀通道型之超導電晶體 (30) 的吸極部 (27) 外側構成電容 (39) 般地，透過介電薄膜 (38) 配置超導體 (37) 加以構成，可獲得低電力消耗、適合超高速動作與高集成化的 1 電晶體及 1 電容型動態隨機存取記憶元件。

在第四發明，藉著在構成量子井的領域 (52) 兩側，透過電子波長程度厚度的絕緣膜 (53) 及 (54)，形成端子 (55) 及 (56)，諧振隧道電流因兩端子 (55) 及 (56) 間的外加電壓而流動，可進行二極體動作。而且，在此因作為電子波動作，故可高速動作。此外，在本構成以化合物半導體以外之例如矽系列半導體或金屬等亦可構成構成量子井的領域 (52) 及端子 (55)、(56)，而可謀求微細化、高集成化與製造容易。

在第五發明，藉著在構成量子井的領域 (72) 兩側，透過電子波長程度厚度的絕緣膜 (73) 及 (74)，形成源極部

五、發明說明(7)

(75)及吸極部(76)，同時在領域(72)上面透過絕緣膜(77)形成閘電極(78)，量子井內之量子能級為閘電極(78)的外加電壓所控制，諧振隧道電流在源極部及吸極部流動，可進行電晶體動作。而且，這種情形也作為電子波動作，故可高速動作。此外，本構成也以化合物半導體以外之例如矽系列半導體或金屬等可構成量子井的領域(72)、源極部(75)、吸極部(76)及閘電極(78)等，而可謀求微細化、高集成化與製造容易。

[實施例]

以下，將參照圖面說明本發明之實施例。

第1圖顯示關於本發明之超導體晶體一例。在本例，係利用半導體黏附於絕緣體(SOI, Semiconductor On Insulator)構造之特徵所構成的情形。

即，在利用二氧化矽等之絕緣體(12)上形成利用所定寬度超導體的吸極部(13)，在其上面形成構成通道部之所需雜質濃度的第一導電形半導體薄膜，例如雜質濃度 $10^{19} \text{ cm}^{-3}$ 程度的p形單晶矽薄膜(14)，在此矽薄膜(14)上面，和吸極部(13)對向般地形成利用超導體的源極部(15)。為通道部之矽薄膜(14)的橫方向寬度比源極部(15)及吸極部(13)的寬度大。並且，在為通道部之矽薄膜(14)的兩外側面，分別透過例如利用二氧化矽等的絕緣膜(16)，形成構成閘電極一部分的低電阻矽薄膜，即p形或n形，在本例係p形的高濃度雜質領域(17)及

五、發明說明(8)

(18)，在各高濃度雜質領域(17)、(18)上形成構成閘電極的鋁電極(19)、(20)，構成超導電晶體(21)。成為通道長L的矽薄膜(14)膜厚可變成 $0.1\mu\text{m}$ 以下。再者，利用矽薄膜之高濃度雜質領域(17)及(18)外側也可以利用二氧化矽之絕緣體(21)所包圍般地構成。這種超導電晶體(21)可利用例如貼合方式的SOI基板製造方法加以構成。此製法例如第3圖所示。首先如第3圖A所示，在一主面以選擇腐蝕等設置形成凸狀部(101)的第一導電形(例如p形)單晶矽基板(102)，氧化其表面形成二氧化矽膜(16)(參照第3圖B)。接著，如第3圖C所示，僅選擇地腐蝕除去凸狀部(101)上的二氧化矽膜(16)。接著，如第3圖D所示，在凸狀部(102)兩側分別透過二氧化矽膜(16)，形成利用構成閘電極一部分之多晶矽的p形高濃度雜質領域(17)及(18)，同時在凸狀部(101)上形成利用超導體的吸極部(13)。接著，如第3圖E所示，覆蓋凸狀部(101)般地全面黏附形成二氧化矽等絕緣膜(12)後，如第3圖F所示，平坦化處理，使絕緣膜(12)表面平坦。接著，如第3圖G所示，在絕緣膜(12)上貼合另外的矽基板(103)。圖為貼合後，反轉的狀態。接著，研削、研磨一方之矽基板(102)，以便成為閘電極的p形高濃度雜質領域(17)及(18)露出。由此，凸狀部(101)成為通道長L的矽薄膜(14)。然後，如第3圖I所示，在矽薄膜(14)上面形成利用超導體的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

源極部(15)，同時在p形高濃度雜質領域(17)及(18)上面形成構成閘電極的鋁電極(19)及(20)，獲得第1圖所示的目的超導電晶體(21)。

在這種構成之超導電晶體(21)，藉著在利用p形矽薄膜的通道部(14)上下面形成利用超導體的源極部(15)及吸極部(13)，如第2圖所示，因超導鄰近效應，在其通道部(14)中之上下側，來自源極部(15)及吸極部(13)的超導電子對分別滲出，可形成以互相相對形式擴展的準超導部(22S)及(22D)。此準超導部(22S)及(22D)為給予配置於通道部(14)兩側之高濃度雜質領域(17)及(18)的閘電壓所控制，通斷控制超導電流。因此，此電晶體(21)因超導動作，故電力消耗非常小，且電阻幾乎為零，而可超高速動作。而且，發揮SOI構造之特徵，藉著在為通道部的矽薄膜(14)上下配置相對向的源極部(15)及吸極部(13)，利用閘電壓，源極側及吸極側之準超導部(22S)及(22D)會在接觸其矽薄膜(14)的源極部(15)及吸極部(13)全幅以相對的形式互相擴展，故在小面積可充分取得兩準超導部(22S)及(22D)的重疊，可容易控制源極部及吸極部間的超導電流。此外，因利用SOI構造，故矽薄膜(14)之膜厚可變成 $0.1\mu\text{m}$ 以下，可容易實現作為超導電晶體所要求的 $0.2\mu\text{m}$ 以下通道長L。如此一來，在本例可使超導動作的控制性良好，謀求這種超導電晶體的微細化、高集成化。

## 五、發明說明(10)

第4圖為關於本發明之超導體晶體的其他實施例。在本例，係在第一導電形之半導體基體，例如p形矽基體(24)之一主面上，形成由和此一體之p'形矽所構成的所定寬度柱狀通道部(25)，在此柱狀通道部(25)兩側面黏附形成利用超導體之源極部(26)及吸極部(27)，並在柱狀通道部(25)上面透過二氧化矽等絕緣膜(28)形成利用鋁、半導體等之閘電極(29)，以構成超導體晶體(30)。通道部(25)係由適當雜質濃度(例如 $10^{19} \text{ cm}^{-3}$ 程度)之p形矽所構成，通道長L為 $0.2 \mu\text{m}$ 以下。

此超導體管之製法例如第6圖所示。首先，如第6圖A所示，在p形單晶矽基板(24)之一主面形成 $10^{19} \text{ cm}^{-3}$ 程度的雜質擴散領域(24a)，在其一主面透過二氧化矽等絕緣膜(32)形成所組成圖案的多晶矽膜(33)。接著將二氧化矽膜(34)藉由例如CVD(化學氣相成長)黏附形成於全面。接著，利用各向異性蝕刻(例如反應性離子蝕刻等)全面蝕刻二氧化矽膜(34)，如第6圖B所示，在多晶矽膜(33)端面形成利用二氧化矽的側壁部(34a)。此側壁部(34a)之寬度d(=通道長L)形成為例如 $0.15 \mu\text{m}$ 程度。接著，如第6圖C所示，除去多晶矽膜(33)，並以側壁部(34a)為屏蔽，蝕刻除去矽基板(24)，其後除去側壁部(34a)，形成第6圖D所示的寬度 $0.1 \mu\text{m}$ 柱狀通道部(25)。

這之後，在柱狀通道部(25)兩側面形成利用超導體的

## 五、發明說明(11)

源極部(26)及吸極部(27)，並形成覆蓋全體的二氧化矽膜(28)，在柱狀通道部(25)上面形成開電壓(29)，以獲得第6圖E所示的超導電晶體(30)。

在如此構成的超導電晶體(30)，藉著在利用p形矽的柱狀通道部(25)兩側形成利用相對向之超導體的源極部(26)及吸極部(27)，如第4圖所示，因超導鄰質效應，在柱狀通道部(25)中之左右兩側，可形成以互相相對之形式擴展的準超導部(35S)及(35D)。此準超導部(35S)及(35D)為給予配置於柱狀通道部(25)上面之開電壓(29)的開電壓所控制，通斷控制超導電流。如此一來，此電晶體(30)因超導動作，故電力消耗非常低，且因電阻幾乎為零，而可超高速動作。而且，在本構成，藉著在柱狀通道部(25)兩側配置相對向的源極部(26)及吸極部(27)，利用開電壓，源極側及吸極側之準超導部(35S)及(35D)會在接觸其柱狀通道部(25)的源極部(26)及吸極部(27)全面積以相對的形式互相擴展，故在小面積可充分取得兩準超導部(35S)及(35D)的重疊，可容易控制源極部(26)及吸極部(27)間的超導電流。此外，因可將柱狀通道部(25)寬度變成 $0.1\mu\text{m}$ 程度，故可容易實現作為超導電晶體所要求的 $0.2\mu\text{m}$ 以下通道長L。因而，本例亦可謀求超導電晶體的微細化、高集成化。

第7圖顯示利用關於本發明之超導元件的動態隨機存取記憶元件實施例。本例係利用上述第4圖之柱狀通道

## 五、發明說明(12)

構造的超導電晶體(30)者。即，在本例，係在第一導電形之半導體基體，例如p形矽基板(24)的一主面上，設置以由和此一體之p形矽所構成之通道長L為 $0.2\mu\text{m}$ 以下的柱狀通道部(25)，在此柱狀通道部(25)兩側形成利用超導體的源極部(26)及吸極部(27)，在通道部(25)上面透過絕緣膜(28)形成利用鋁等的開電極(29)，以形成超導電晶體(30)。並且，在此超導電晶體(30)之吸極部(27)外側，透過二氧化矽等介電薄膜(38)對向於吸極部(27)般地形成利用超導體的電極(37)，藉著超導體的吸極部(27)、介電薄膜(38)及利用超導體的電極(37)，構成電容(39)。雖然圖未示，但超導體電極(37)與基板(24)之間可為絕緣膜等所電氣地絕緣分離。如此一來，可構成所謂1晶體管及1電容型的超導動態隨機存取記憶元件(40)。再者，通常的金屬配線使用於不需通電之處，即令電壓通斷之處(例如開部)。第8圖為此動態隨機存取記憶元件(40)的等效電路圖。

依據此動態隨機存取記憶元件(40)，因由超導電晶體(30)及有超導體電極(37)之電容(39)所構成，故電力消耗非常低，且因電阻幾乎為零，而可超高速動作。此外，就構造而言，因係在覆蓋前述柱狀通道型超導電晶體(30)之吸電極(27)的絕緣膜直接形成超導體電極(37)的構造，故容易製造且適合微細化、高集成化。

第9圖顯示利用關於本發明之諧振隧道效應的二極體

## 五、發明說明(13)

實施例。

在本例，係在基板(51)上形成構成量子井的例如矽半導體領域(52)，隔著此領域(52)在兩側形成構成雙重電位障的絕緣薄膜，例如二氧化矽薄膜(53)、(54)，並在此二氧化矽薄膜(53)、(54)外側形成端子(55)及(56)。構成量子井的矽半導體領域(52)係由有高雜質濃度的第一導電形( $n^+$ 或 $p^+$ )領域所構成，其寬度 $Q$ 形成為電子之量子力學的波長程度，例如 $50 \text{ \AA}$ 程度。隔著此量子井之二氧化矽薄膜(53)及(54)的膜厚 $T_1$ 及 $T_2$ 為電子之量子力學的波長程度，例如 $20 \text{ \AA}$ 程度。端子(55)及(56)可以高雜質濃度的例如 $n^+$ 或 $p^+$ 矽領域形成。此外，基板(51)可以例如矽基板構成，此時，基板(51)與構成量子井的矽半導體領域(52)係所一體構成。基板(51)與端子(55)、(56)之間可為二氧化矽等絕緣層(57)所電氣地分離。

再者，構成量子井的領域(52)、端子(55)、(56)除矽系列半導體之外，也可以金屬或其他半導體(包含化合物半導體)構成。

在如此構成之諧振隧道效應二極體(58)，如以第10圖之外加電壓狀態的能帶圖所示，端子(55)及(56)間為零電壓，量子井(52)內之量子能級(62)比端子(55)側之導帶(61)高時(參照第10圖A)，或者外加電壓高(所謂谷值電壓)，端子(55)側之導帶(61)對應於量子井(52)

## 五、發明說明(14)

內之量子能級(62)間之類時(參照第10圖C)，不起諧振隧道效應，電子不流動。端子(55)及(56)間外加適度電壓(所謂諧振電壓)，量子井(52)之量子能級(62)對應於端子(55)側之導帶(61)時(參照第10圖B)，端子(55)側之電子因諧振隧道效應而穿過雙重電位障(63)(64)，流到端子(56)側。此時之電流—電壓特性如第11圖所示。因而，依據上述之諧振隧道效應二極體(58)，因利用稍微不同的兩端電壓引起完全不同的應答，故可精密地控制半導體元件的轉換。而且，因作為電子波動作，故可達成高速化。此外，能因應今後元件之微細化，是通往高集成者，同時是微細元件，而使低電壓化、低電力消耗化可能。此外，量子井可用矽系列半導體、金屬或化合物半導體等，故為容易製造者。

第12圖顯示利用關於本發明之諧振隧道效果的電晶體實施例。在本例，係在基板(71)上形成構成量子井的例如矽半導體領域(72)，隔著此領域(72)在兩側形成構成雙重電位障的絕緣膜，例如二氧化矽薄膜(73)(74)，在此二氧化矽薄膜(73)、(74)外側形成由例如高雜質濃度之矽半導體( $n^+$ 或 $p^+$ )所構成的源極部(75)及吸極部(76)，同時在領域(72)上面透過二氧化矽等絕緣膜(77)，形成由例如高雜濃度之矽半導體( $n^+$ 或 $p^+$ )所構成的閘電極(78)。在此處，和上例同樣構成量子井的矽半導體領域(72)亦由有高雜質濃度的第一導電形( $n^+$ 或 $p^+$ )

五、發明說明(15)

領域所構成，其寬度 $\lambda$ 形成為電子之量子力學的波長程度，例如50 Å程度。此外，隔著此矽半導體領域(72)之二氧化矽薄膜(73)及(74)的膜厚 $T_1$ 及 $T_2$ 亦為電子之量子力學的波長程度，例如20 Å程度。

基板(71)可以例如矽基板構成，此時，基板(71)與構成量子井的矽半導體領域(52)係所一體構成。基板(71)與源極部(75)及吸極部(76)之間可為二氧化矽等絕緣膜(79)所電氣地分離。再者，構成量子井的領域(72)、源極部(75)、吸極部(74)、閘電極(78)除矽系列半導體之外，也可以金屬或其他半導體(包含化合物半導體)構成。

在如此構成之諧振隧道效應晶體管(80)，量子井(72)之量子能級為配置於量子井(72)上面之閘電極(78)的閘電壓所控制，令電晶體動作。

因而，依據此電晶體(80)，因利用稍微不同的兩閘電壓引起完全不同的應答，故可精密地控制半導體元件的轉換，且因作為電子波動作，故可達成高速化。此外，因係三端子元件，故有效且容易使用。並且，能因應今後元件之細微化，適合高集成化，同時是微細元件，而使低電壓化、低電力消耗化可能。此外，量子井可用矽系列半導體、金屬或化合物半導體等，故為容易製造者。

。

[發明之效果]

五、發明說明(16)

依據利用本發明之超導體的高速元件，可超高速動作，同時在通道部的超導動作控制性良好，更可容易實現 $0.2\mu\text{m}$ 以下的通道長。因而，可提供適合微細化、高集成化的高速元件。

此外，依據本發明之高速記憶元件，可極為降低電力消耗，同時使非常的超高速動作可能。並且，製造容易，係適合記憶元件之微細化、高集成化者。

✓ 圖面之簡單說明

第1圖為顯示關於本發明之高速元件例(超導電晶體)的剖面圖，第2圖為供作其動作說明的剖面圖，第3圖A~I為顯示其製法例的製造過程圖，第4圖為顯示關於本發明之高速元件其他例(超導電晶體)的剖面圖，第5圖為供作其動作說明的剖面圖，第6圖A~E為顯示其製法例的製法例的製造過程圖，第7圖為顯示關於本發明之高速記憶元件(動態隨機存取記憶元件)例的剖面圖，第8圖為其等效電路圖，第9圖為顯示關於本發明之高速元件其他例(諧振隧道效應二極體)的剖面圖，第10圖A~C為在供作其動作說明之外加電壓狀態的能帶圖，第11圖為其電流-電壓特性圖，第12圖為關於本發明之高速元件其他例(諧振隧道效應電晶體)的剖面圖，第13圖為顯示先前之超導電晶體例的剖面圖，第14圖A及B為供作其動作說明的剖面圖。

(14)為通道部，(13)及(15)為利用超導體之漏極部及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

源極部，(17)、(18)、(19)、(20)為閘電極，(25)為柱狀通道部，(26)及(27)為利用超導體之源極部及吸極部，(29)為閘電極，(37)為超導體電極，(52)、(72)為構成量子井的領域，(53)、(54)、(73)、(74)為構成電位障的絕緣薄膜，(55)、(56)為端子，(75)為源極部，(76)為吸極部，(78)為閘電極。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要(發明之名稱: 高速元件與高速記憶元件)

一種高速元件，其特徵在於：在利用半導體之通道部上下面有利用超導體之源極部及吸極部，在上述通道部側面透過絕緣膜形成閘電極者。

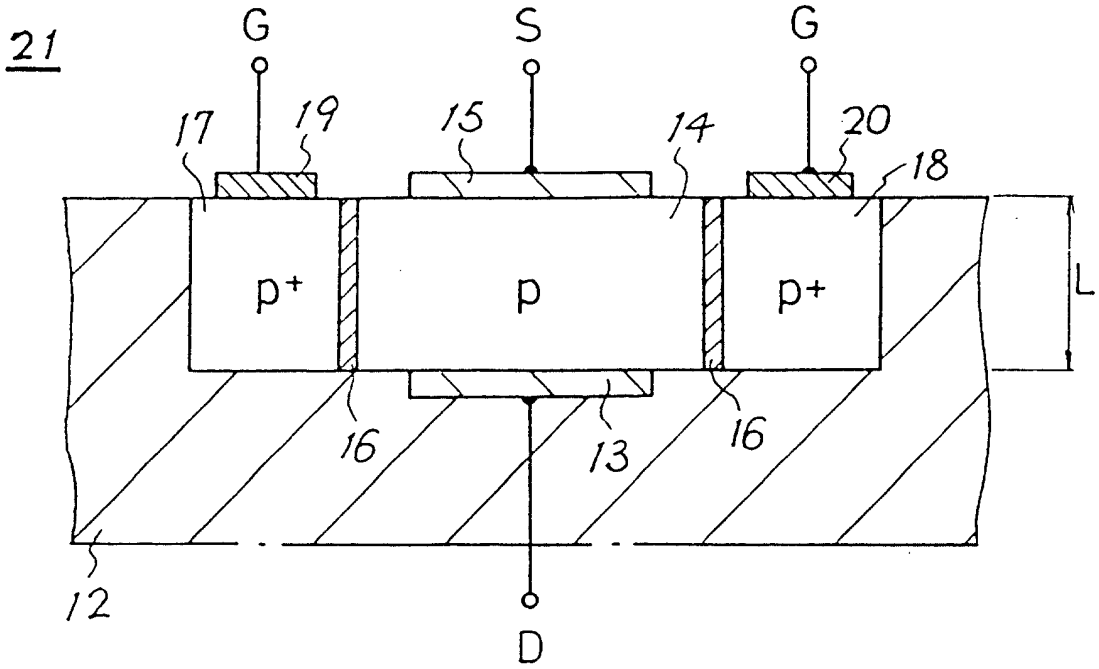
一種高速記憶元件，其特徵在於：係由：在利用半導體之柱狀通道部兩側有利用超導體之源極部及吸極部，在上述柱狀通道部上面透過絕緣膜形成閘電極的超導體晶體；及，在上述吸極部外側透過介電薄膜配置超導體所形成的電容所構成者。

(請先閱讀背面之注意事項再填寫本頁各欄)

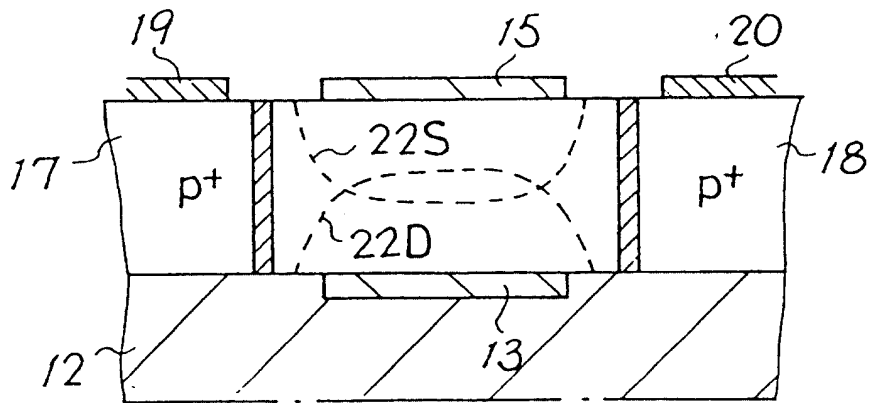
## 英文發明摘要(發明之名稱: HIGH SPEED ELEMENTS AND HIGH SPEED MEMORY ELEMENTS)

The present invention relates to high speed elements having a source portion and drain position made of superconductors on the upper and lower surfaces of the channel portion made of semiconductors, on the side surface of said channel portion gate electrodes are provided in-between the insulating films, and high speed memory elements composed of superconductive transistors on both sides of the columnar channel portion made of semiconductors, source portions and drain portions made of superconductors, and on upper side of said columnar channel are formed with gate electrodes in-between the insulating films, and a capacity formed on the outer side of said drain portion by providing superconductors in-between dielectric films.

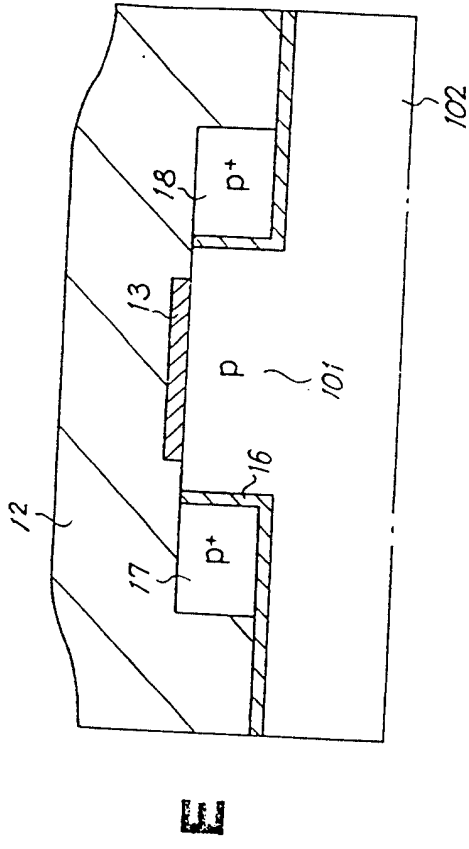
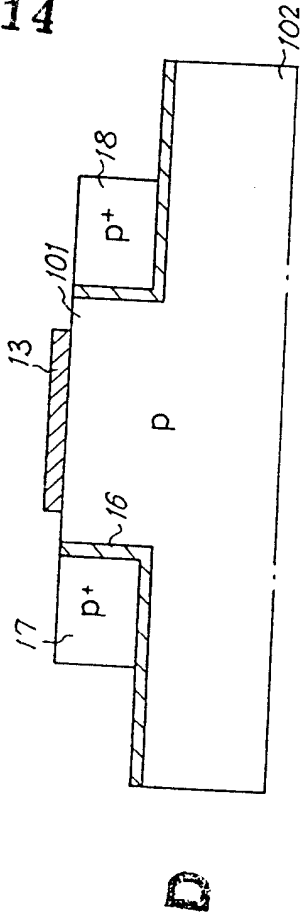
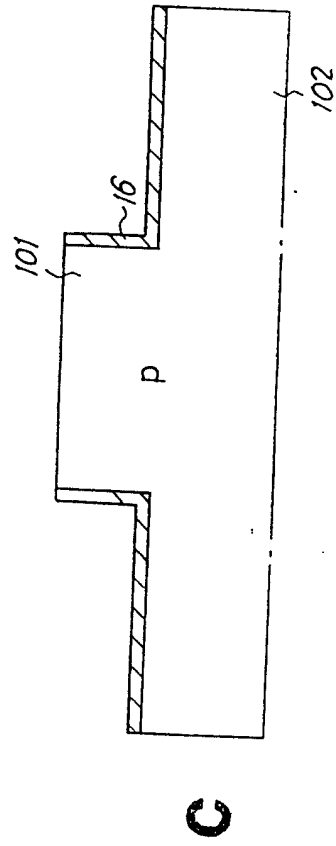
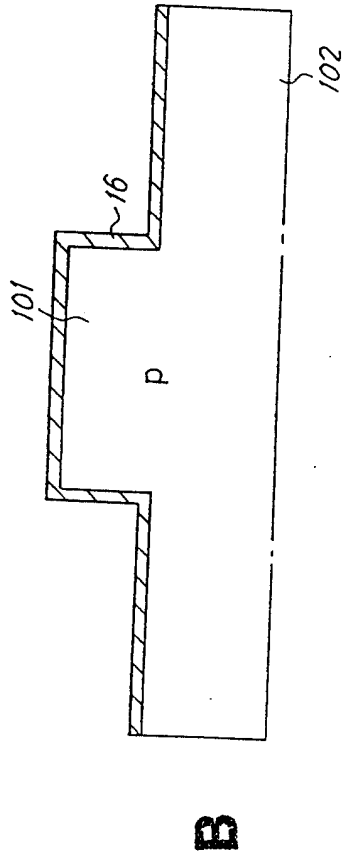
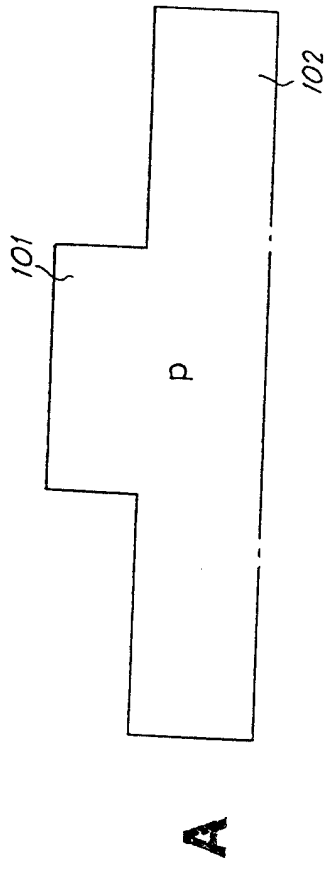
附註：本案已向 **日本** 國(地區) 申請專利，申請日期：**1990.11.30.** 案號：**2-338350**



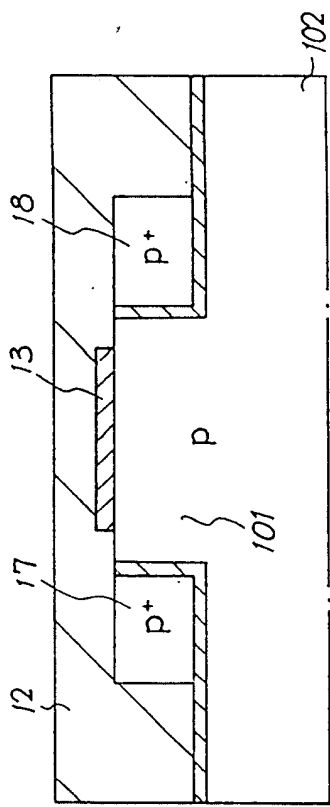
第 1 圖



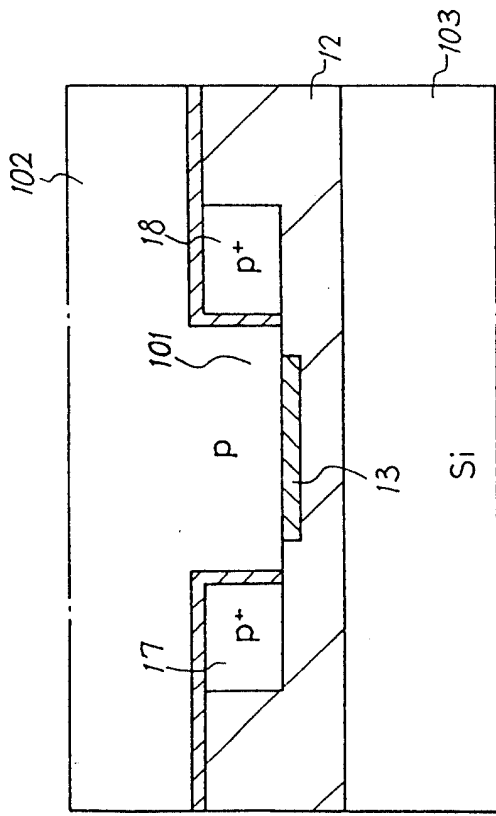
第 2 圖



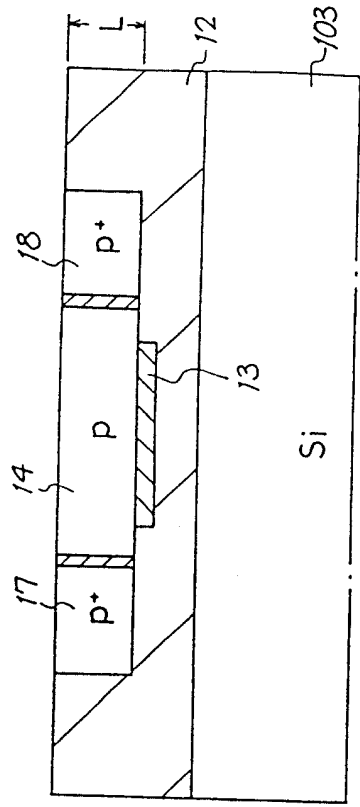
第 3 圖



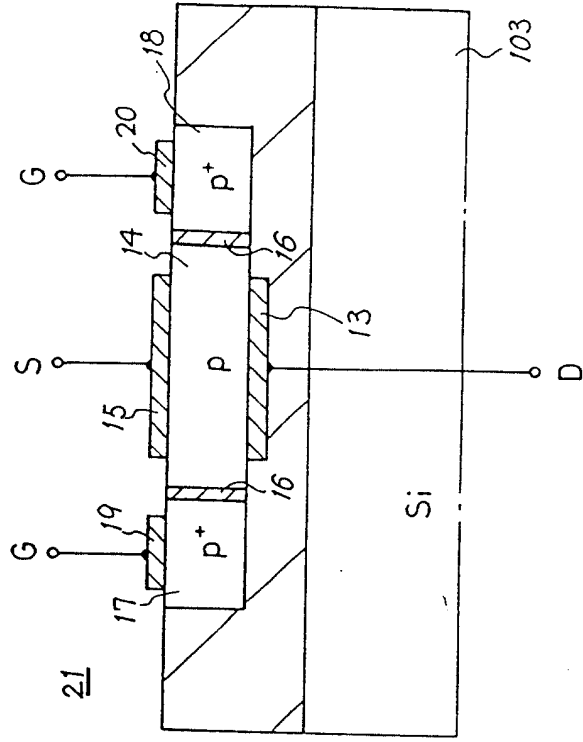
F



G

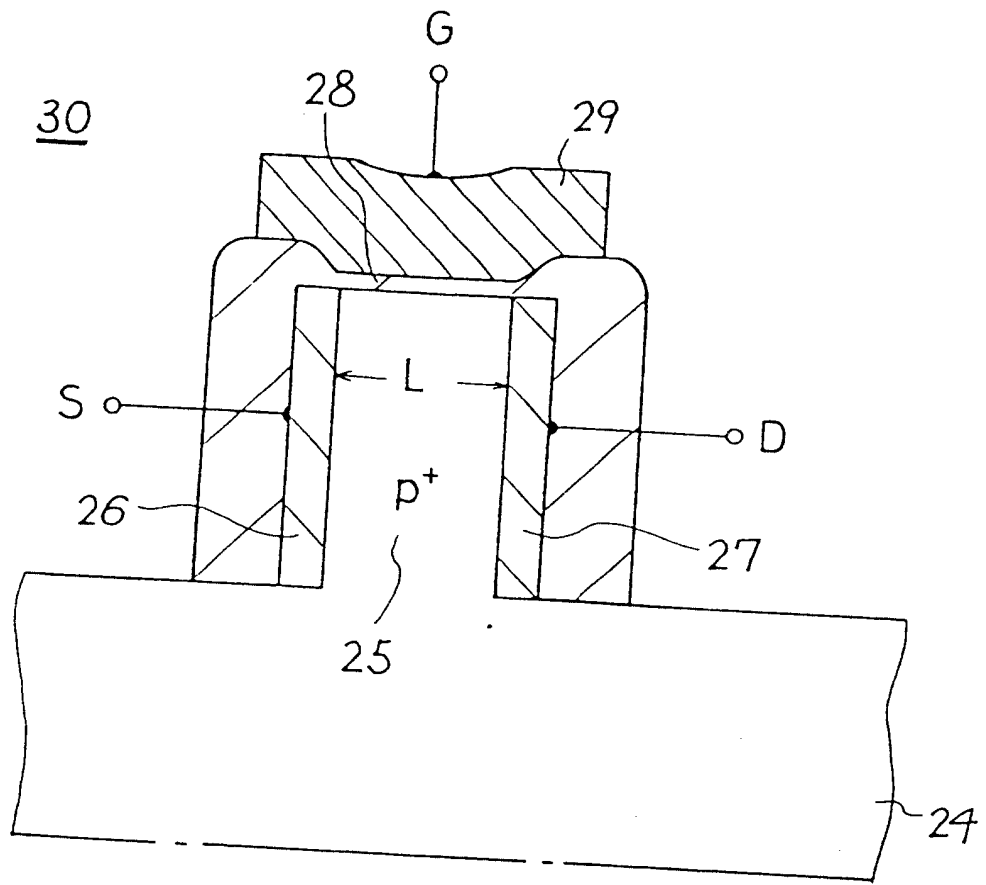


H

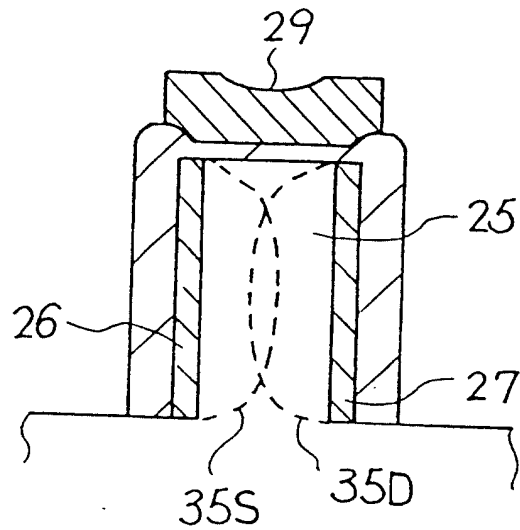


I

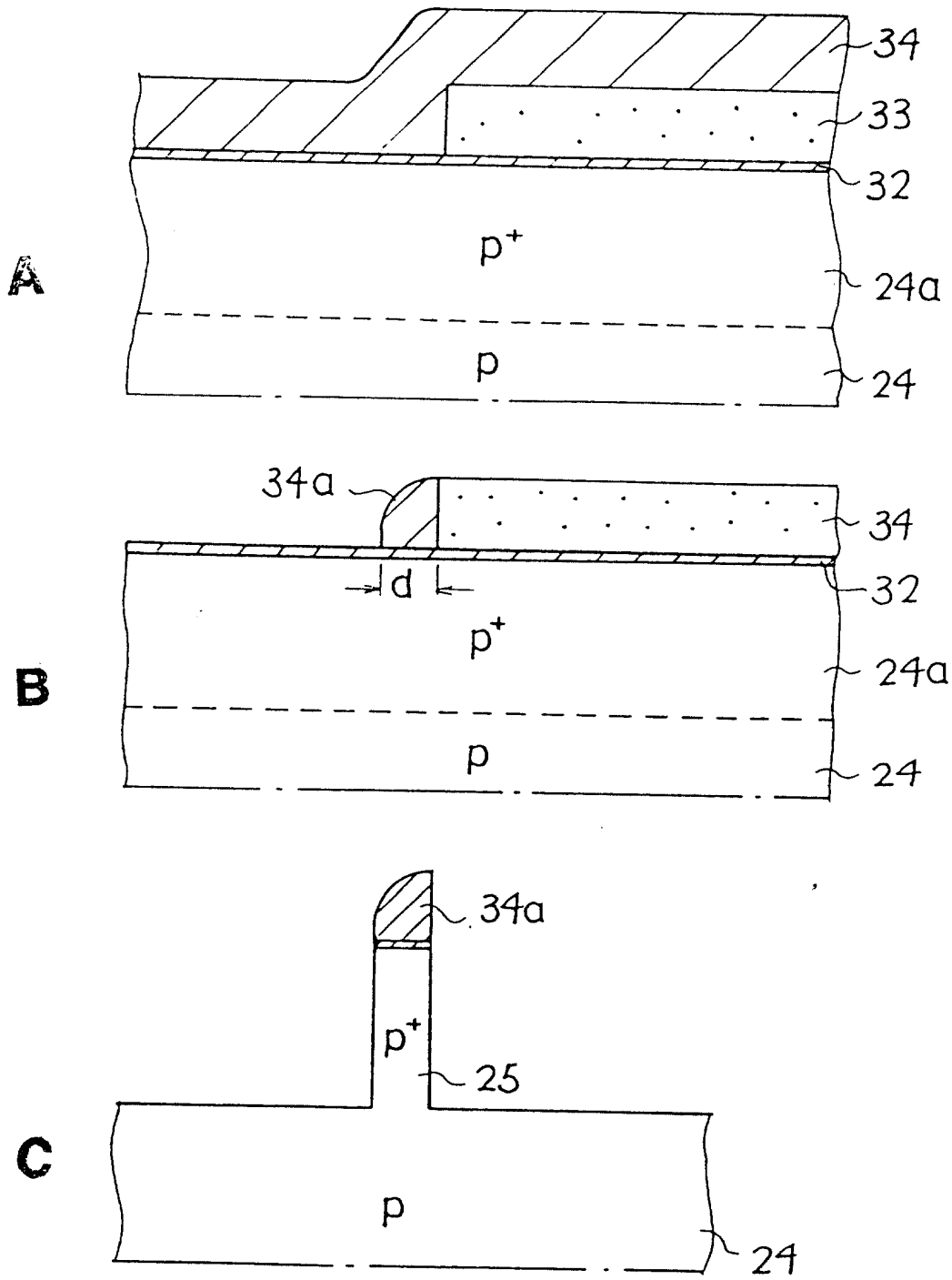
第 3 圖



第4圖

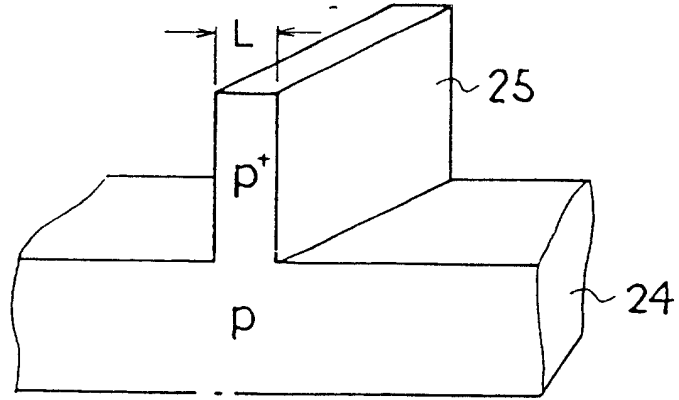


第5圖

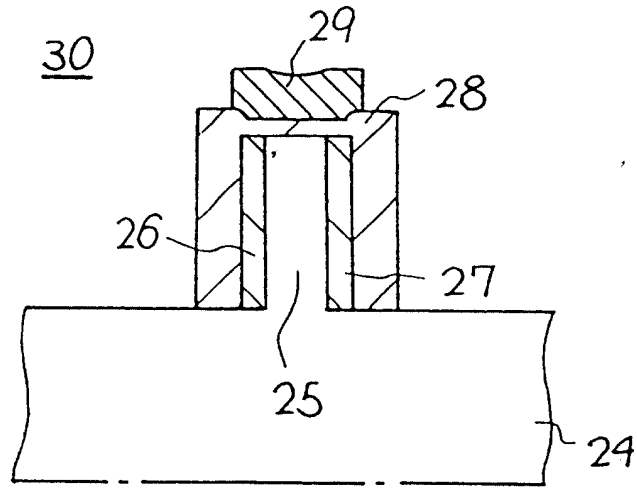


第 6 圖

D

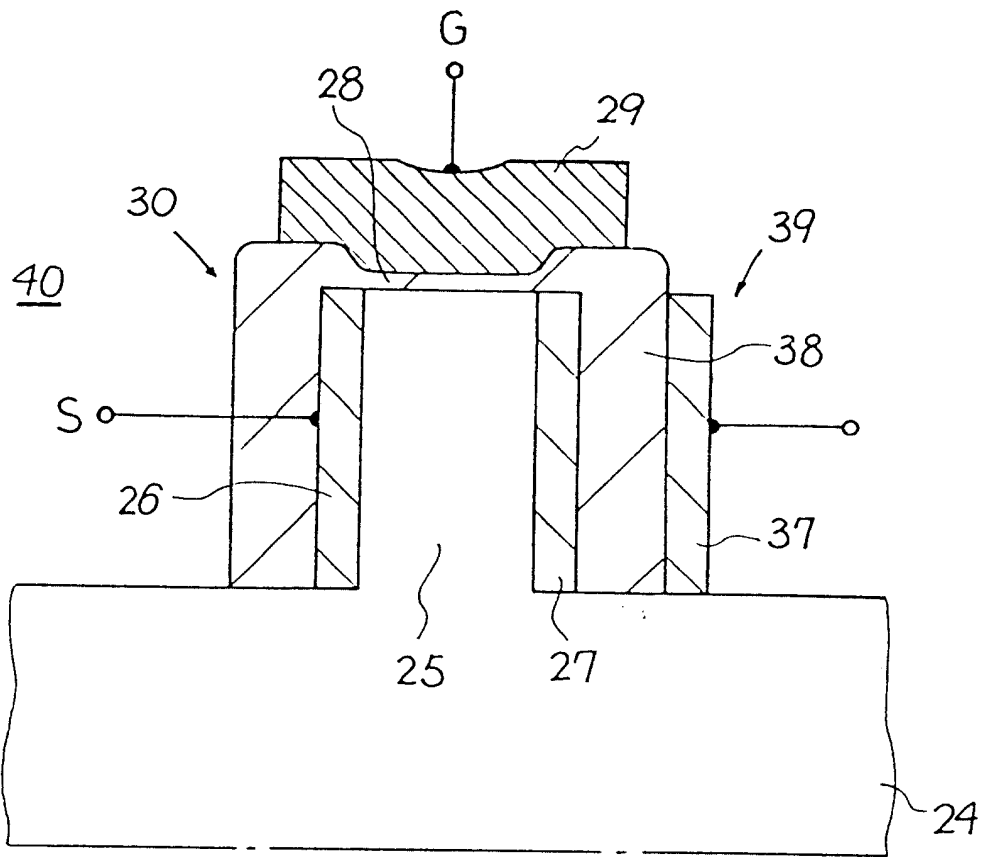


E

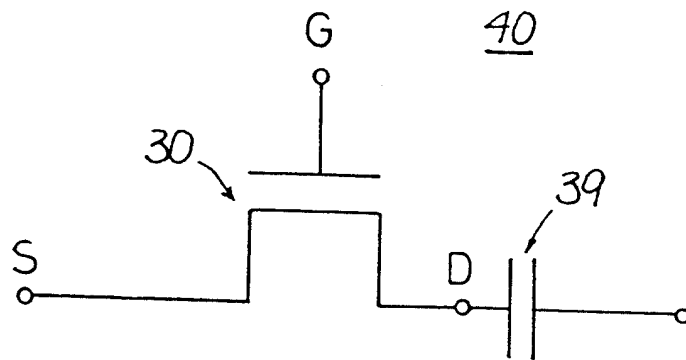


第 6 圖

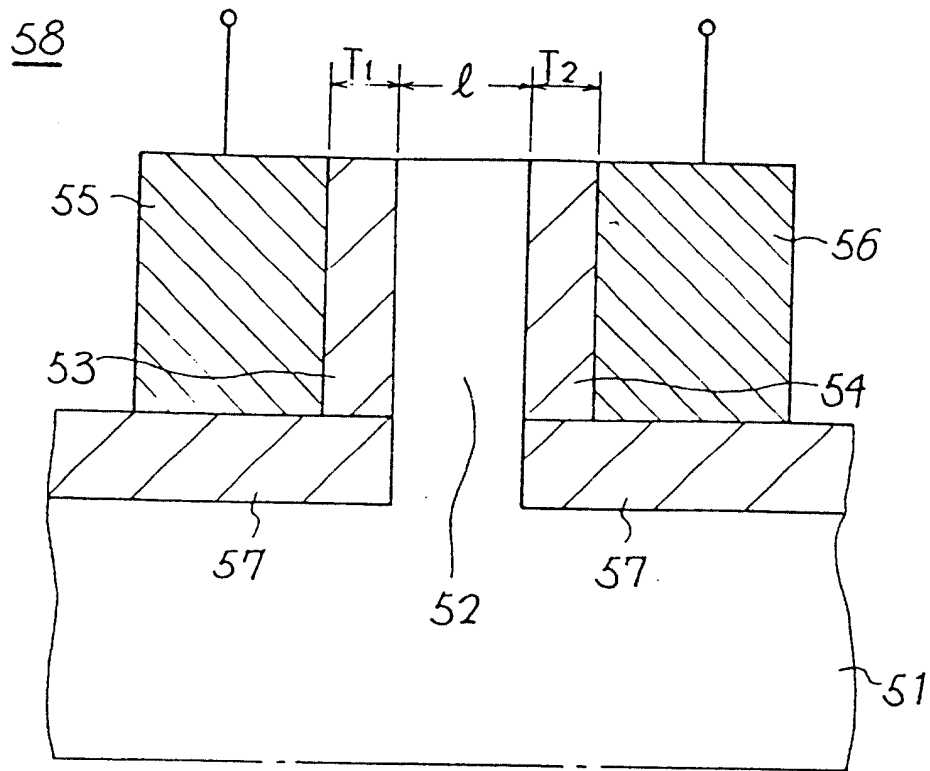
303514



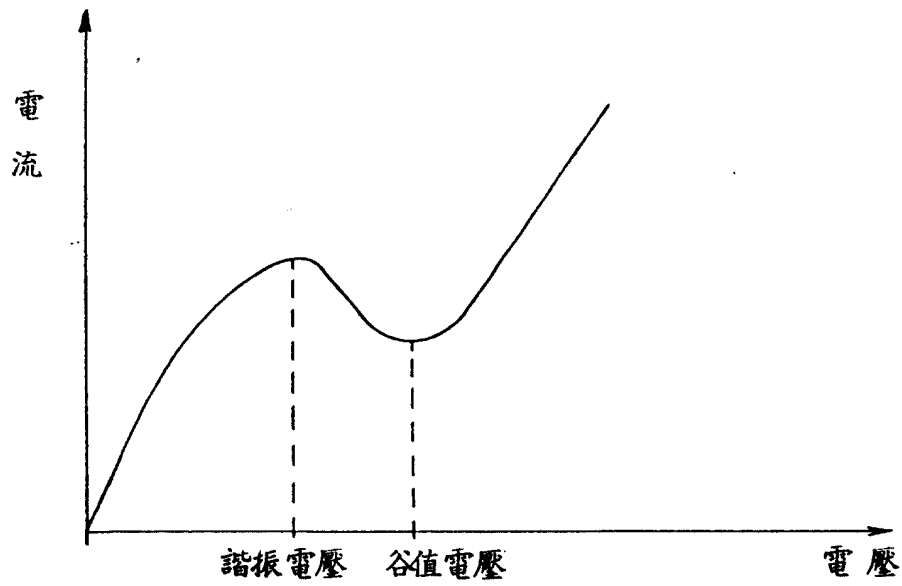
第 7 圖



第 8 圖

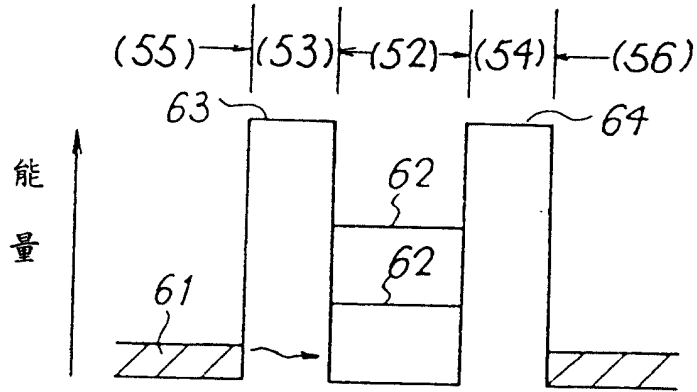


第 9 圖

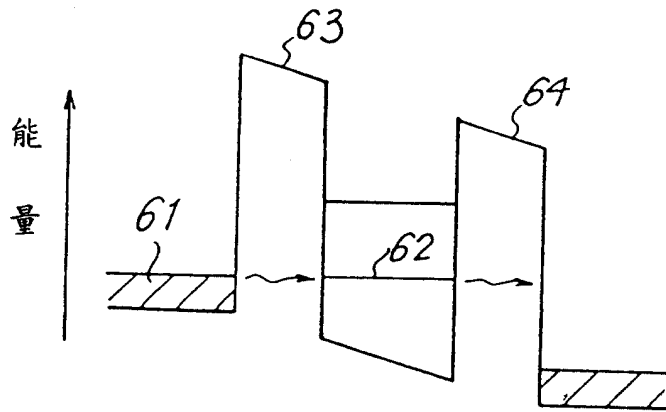


第 11 圖

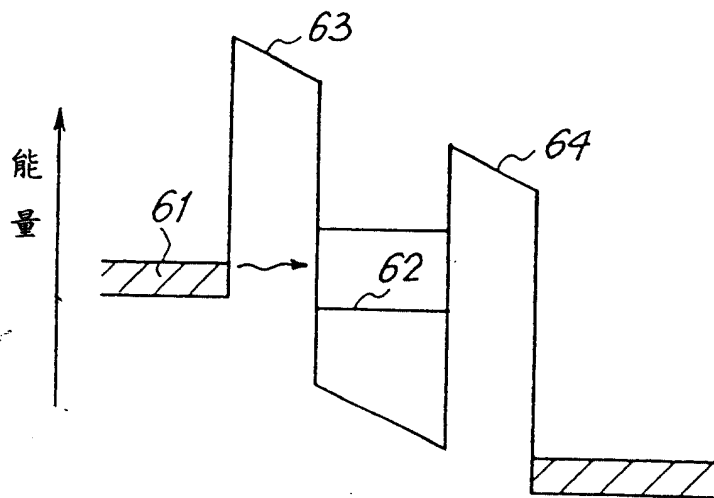
A



B

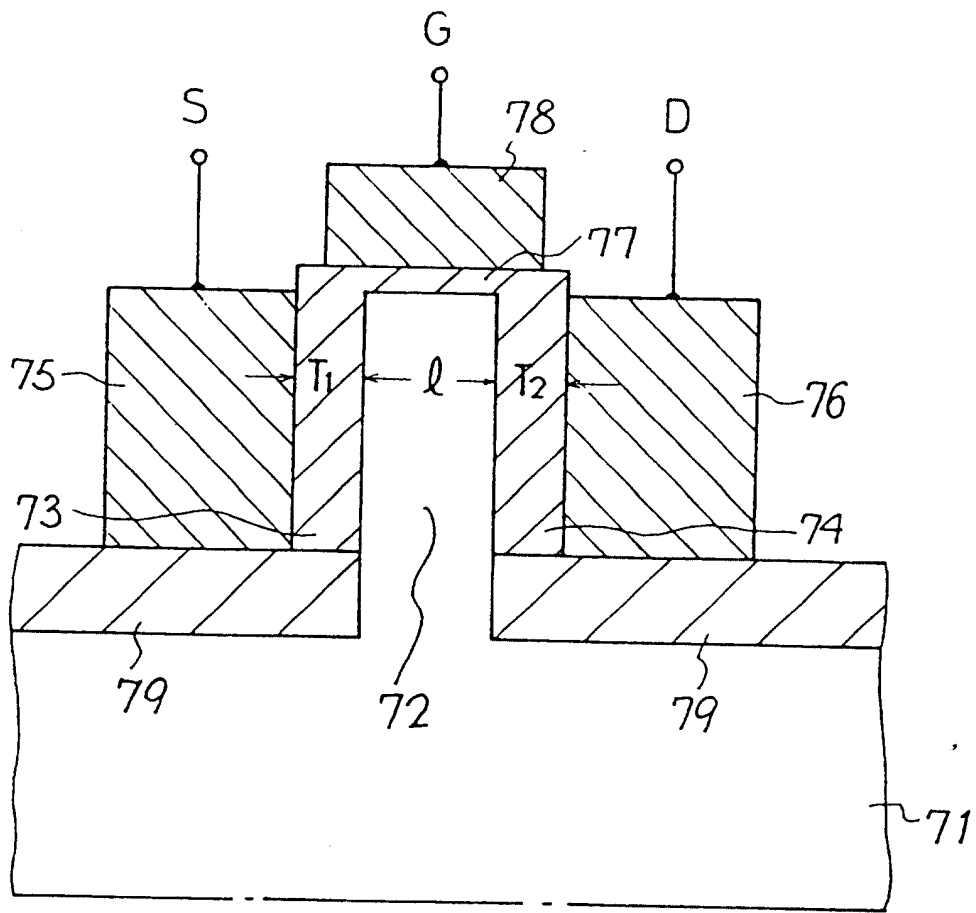


C



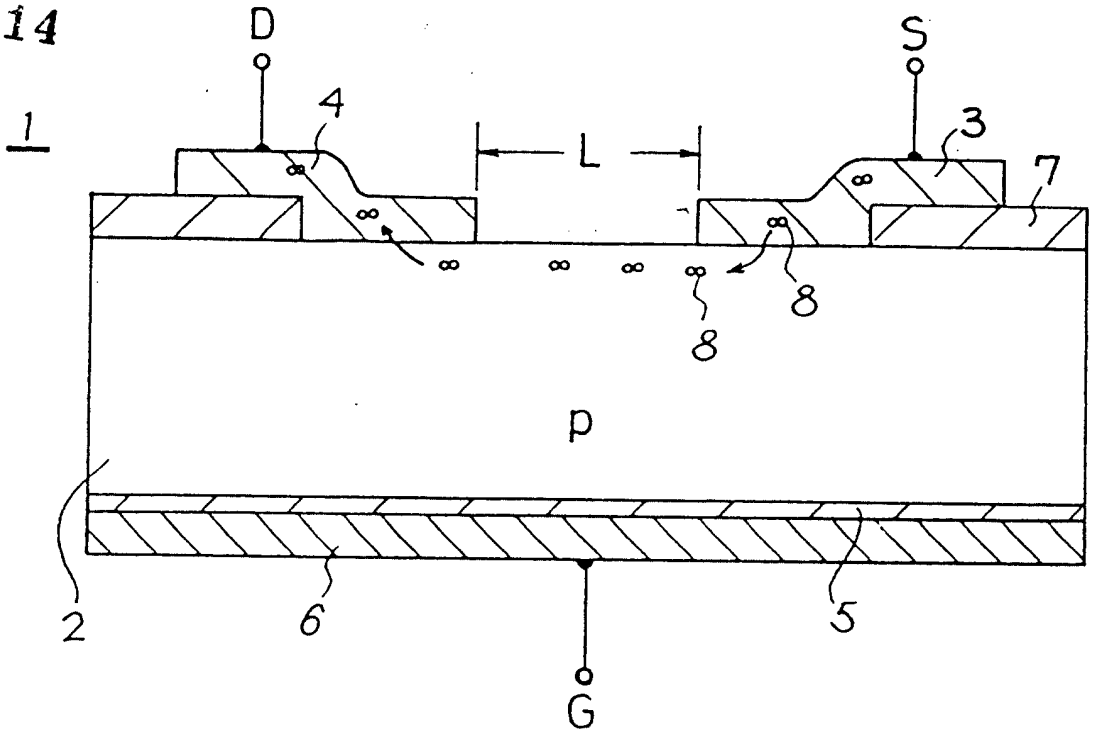
第10圖

303514

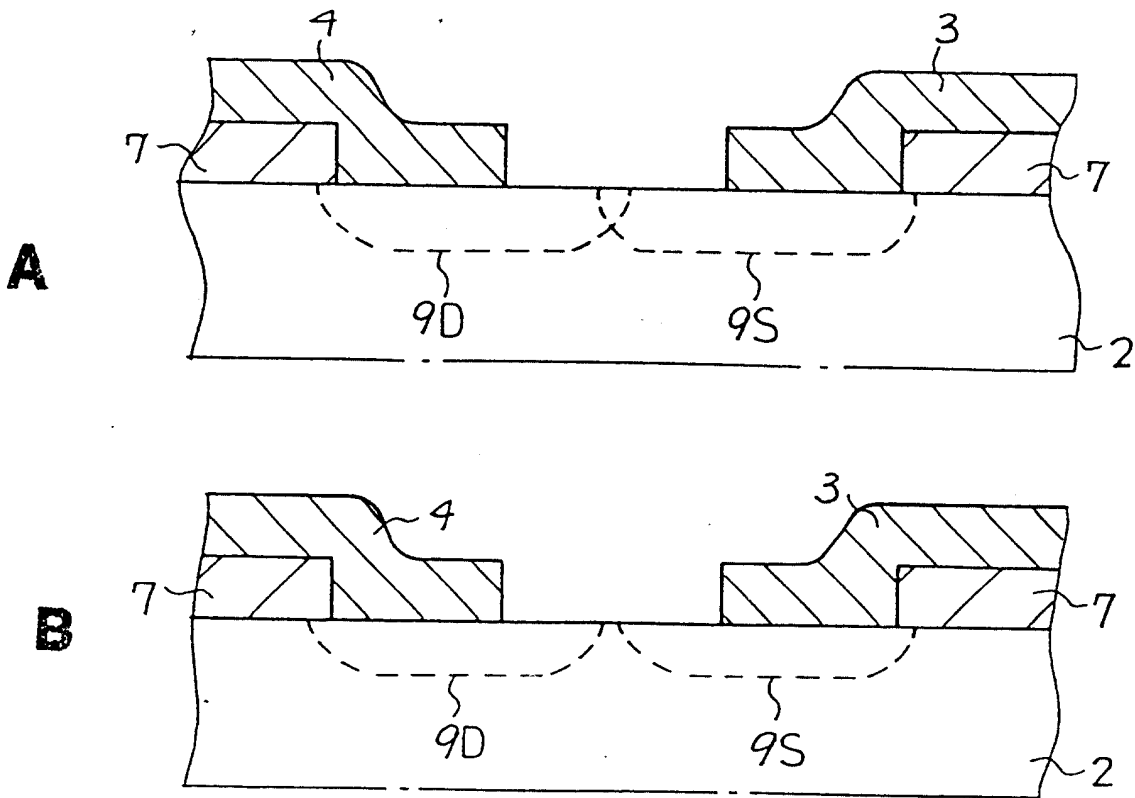


第12圖

303514



第13圖



第14圖

六、申請專利範圍

第 80109242 號 「 高速元件與高速記憶元件 專利案

修正  
（82年3月修正）

1. 一種高速元件，其特徵在於：在利用半導體之通道部上下面有利用超導體之源極部及吸極部，在上述通道部側面透過絕緣膜形成開電極者。
2. 一種高速元件，其特徵在於：在利用半導體之柱狀通道部兩側有利用超導體之源極部及吸極部，在上述柱狀通道部上面透過絕緣膜形成開電極者。
3. 一種高速記憶元件，其特徵在於：係由：在利用半導體之柱狀通道部兩側有利用超導體之源極部及吸極部，在上述柱狀通道部上面透過絕緣膜形成開電極的超導電晶體；及，在上述吸極部外側透過介電薄膜配置超導體所形成的電容所構成者。
4. 一種高速元件，其特徵在於：在隔著構成量子井的領域之兩側設置構成電位障的厚度為電子波長程度的絕緣薄膜，在該兩絕緣薄膜外側分別設置端子部者。
5. 一種高速元件，其特徵在於：在隔著構成量子井的領域之兩側設置構成電位障的厚度為電子波長程度的絕緣薄膜，在該兩絕緣薄膜外側設置源極部及吸極部，同時在上述領域上透過絕緣膜設置開電極者。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線