(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
G11C 29/00

(45) 공고일자 2001년02월15일
(11) 등록번호 10-0281895
(24) 등록일자 2000년11월22일

(21) 출원번호 10-1998-0028423
(22) 출원일자 1998년07월14일
(65) 공개번호 특2000-0008551
(43) 공개일자 2000년02월07일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 이규찬
서울특별시 강동구 명일동 삼익그린아파트 501동 705호
이철우
경기도 수원시 팔달구 인계동 인계삼성아파트 101동 905호
(74) 대리인 권석흠, 권용남, 이영필

심사관 : 김세영

(54) 용단 퓨즈 박스와 이를 구비하는 반도체장치

요약

용단 퓨즈 박스와 이를 구비하는 반도체 장치가 개시된다. 본 발명의 반도체 장치는 행과 열에 배열되는 복수개의 단위 셀들을 가진다.

본 발명의 반도체 장치는 다수개의 신호 발생 회로들과 용단 퓨즈를 구비한다. 다수개의 신호 발생 회로들은 서로 인접하여 배치되며, 반도체 장치의 행 또는 열을 선택하는 신호를 발생한다. 그리고 용단 퓨즈들은 다수개의 신호 발생 회로들 각각에 대응하는 각각의 입력 신호들을 전송하고, 신호 발생 회로들의 출력 신호의 배선과, 교차되는 방향으로 배선된다. 그리고 용단 퓨즈들은 서로 적층하여 나란히 배선된다.

바람직하게는 신호 발생 회로들은 그 출력 신호의 배선이 열방향인 로우디코더이며, 용단 퓨즈는 행방향으로 적층하여 나란히 배선된다.

대표도

도4

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

제1도는 종래의 본체 메모리 어레이에서 예비의 메모리 어레이로의 전환 구조를 나타내는 도면이다.

제2도는 본 발명의 본체 메모리 어레이에서 예비의 메모리 어레이로의 전환 용단 퓨즈를 반도체 장치를 나타내는 도면이다.

제3도는 제2도에 배치되는 용단 퓨즈의 제1 실시예를 나타내는 도면이다.

제4도는 제2도에 배치되는 용단 퓨즈의 제2 실시예를 나타내는 도면이다.

제5도는 제3도 또는 제4도에서 용단 퓨즈를 사용하지 않을 경우의 로우디코더와 관련 배선을 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로서, 특히 리페어(repair)용 용단 퓨즈와 이를 구비하는 반도체 장치에 관한 것이다.

최근 반도체 장치는 미세화 기술이 발달함에 따라, 고속화 및 고집적화가 이루어지고 있다. 특히 반도체 메모리 장치에서는 고집적화 및 고수율화가 요구되고 있으며, 이에 대응하여 리던던시 회로를 설치하고, 결함 셀을 리페어함으로써 수율을 향상시키는 리던던시 기술이 필수적이다.

에스램(SRAM), 디램(DRAM), 이피롬(EPROM) 등의 메모리에 있어서는, 공정 결함에 따른 반도체 장치의 수율 저하를 방지하기 위하여, 반도체 장치에 리던던시 회로를 설치한다. 이러한 리던던시 회로를 설치하여 결함 셀을 리페어함으로써 일부의 결함에도 불구하고 반도체 장치의 기능이 손상되지 않는다. 즉, 리던던시 회로로서 예비의 메모리 어레이를 형성해 두어, 본체 메모리 어레이에 결함이 있는 경우에 상기 예비의 메모리 어레이로 전환하여, 제조 수율의 저하를 제어한다.

일반적으로, 반도체 메모리 장치는 다음과 같은 인에이블(enable) 패스(path)에 의하여 동작된다. 반도체 메모리 장치의 동작을 제어하는 로우 어드레스 스트로브(Row Address Strobe, 이하 /RAS라 함) 신호가 액티브 모드로 입력되면, 반도체 메모리 장치는 행 어드레스를 수신한다. 그리고 수신된 어드레스들은 프리디코딩된 후, 행디코더로 입력된다. 행디코더는 본체 메모리 어레이의 워드라인을 선택하기 위한 본체 디코더와 예비의 메모리 어레이의 워드라인을 선택하는 예비 디코더가 구분된다.

그리고 본체 디코더는 노말 디코더와 구동디코더로 구성된다. 반도체 메모리 장치의 워드라인은 노말디코더에 의하여 1차적으로 디코딩된 후, 구동디코더에 의하여 2차적으로 디코딩된다.

일반적으로 0~N의 어드레스를 사용하는 반도체 메모리 장치에서, 상기 구동디코더에 입력되는 어드레스는 0과 1이며, 상기 노말디코더에 입력되는 어드레스는 2~N이다. 이 경우, 상기 구동디코더에 의하여 디코딩되는 워드라인의 수는 2^{2}이며, 상기 노말디코더에 의하여 디코딩되는 워드라인의 수는 2^{N-1}이다. 따라서 상기 노말디코더와 구동디코더의 출력 신호의 조합에 의하여, 선택되는 워드라인의 수는 2^{N+1}이다.

그리고 통상적인 반도체 메모리 장치에서 구동디코더의 출력 신호는 노말디코더의 출력신호보다도 늦게 인에이블된다.

만약 본체 메모리 어레이에서 선택되는 워드라인이나 워드라인과 연결되는 셀에 결함이 발생하는 경우, 기입 또는 독출되는 셀들을 본체 메모리 어레이에서 예비의 메모리 어레이로 전환된다.

도 1은 종래의 본체 메모리 어레이에서 예비의 메모리 어레이로의 전환 구조를 나타내는 도면이다. 즉, 행 어드레스들 RA2~N은 노말디코드들(11,12,13,…)뿐만아니라, 리던던사용으로 구비된 예비디코더(21)에도 입력된다. 그리고 입력되는 어드레스의 조합에 의해서 선택되는 워드라인 또는 셀에 결함이 발생하는 경우에는 예비디코더(21)의 출력신호 XRED가 인에이블되어 노말디코더에 입력된다. 그리고 노말디코더를 비활성화시킴으로써, 노말(normal) 패스(path)를 디스에이블시킨다. 그리고 예비디코더(21)의 출력신호 XRED는 예비 워드라인 드라이버(23)를 활성화시켜 예비의 워드라인(SWL0, SWL1, …)을 인에이블시킨다.

그런데 이와 같은 본체 메모리 어레이에서 예비의 메모리 어레이로의 전환 방법은 노말 패스의 신호에 앞서, 리던던시 패스의 신호 XRED가 노말디코더에 입력되어야 한다는 문제점을 지닌다. 즉, 리던던시 패스의 신호인 예비디코더의 출력신호 XRED가 노말 패스의 신호보다 늦게 입력되면, 결함이 발생된 노말 워드라인이 인에이블되며, 동시에 예비의 워드라인도 인에이블된다. 따라서 2개의 워드라인이 동시에 인에이블되어 반도체 장치는 오동작한다. 그러므로 이러한 오동작의 발생을 피하기 위해서는 노말 패스를 지연하여 인에이블시켜야 하는데, 이는 곧 반도체 메모리 장치의 동작 속도를 저하시키는 문제점을 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 동작 속도의 손실을 최소화하며, 결함 구제가 가능한 반도체 장치를 제공하는 것이다.

발명의 구성 및 작용

상기와 같은 본 발명이 이루고자하는 기술적 과제를 해결하기 위해 본 발명은 행과 열에 배열되는 복수개의 단위 셀들을 가지는 반도체 장치에 관한 것이다.

본 발명의 반도체 장치는 다수개의 신호 발생 회로들과 용단 퓨즈를 구비한다. 상기 다수개의 신호 발생 회로들은 인접하여 배치되며, 상기 행 또는 열을 선택하는 신호를 발생한다. 그리고 상기 용단 퓨즈들은 상기 다수개의 신호 발생 회로들 각각에 대응하는 각각의 입력 신호들을 전송하고, 상기 신호 발생 회로들의 출력 신호의 배선과, 교차되는 방향으로 배선된다. 그리고 상기 용단 퓨즈들은 서로 적층하여 나란히 배선된다.

바람직하게는 상기 신호 발생 회로들은 그 출력 신호의 배선이 열방향인 로우디코더이며, 상기 용단 퓨즈는 행방향으로 적층하여 나란히 배선된다.

상기와 같은 구성에 의하여 본 발명의 반도체 장치는 동작 속도 및 칩 면적의 증가를 최소화하면서, 결함 구제가 가능하다.

본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

도 2는 본 발명의 본체 메모리 어레이에서 예비의 메모리 어레이로의 전환 용단 퓨즈를 사용하는 반도체 장치를 나타내는 도면이다. 이를 참조하면, 본 발명의 용단 퓨즈를 사용하는 반도체 장치는 노말디코더부(30) 내 혹은 그 출력 라인과 워드라인 드라이버들(51,52,53,…) 사이에 용단 퓨즈들(41,42,43,…)를 설치한다. 그리고 상기 노말디코더부(30)는 다수개의 노말디코더들(31,32,33,…)을 구비한다.

상기 노말디코더들(31,32,33,…)은 반도체 장치에 입력되는 어드레스 RA2~N을 1차적으로 디코딩한다. 그리고 구동디코더(71)는 어드레스 RA0, RA1을 디코딩하여 출력한다. 그리고 상기 워드라인 드라이버들(51,52,53,…)은 상기 노말디코더들(31,32,33,…)의 출력 신호와 상기 구동디코더(71)의 출력 신호에 의하여 4개의 워드라인 중의 하나의 워드라인을 선택하여 구동한다.

만약 불량 비트(bit)가 발생하는 경우에, 불량 비트와 관련되는 노말디코더와 연결되는 용단 퓨즈를 절단함으로써, 노말 패스를 원천적으로 차단한다. 그리고 이와 같은 용단 퓨즈의 차단과 함께 동시에 활성화된 신호인 리던던시 인에이블 신호 RACT에 의하여 예비디코더(61)가 인에이블된다.

그리고 상기 예비디코더(61)의 출력신호의 활성화와 상기 구동디코더(71)의 출력 신호에 의하여 4개의 예비 워드라인 SWL0, SWL1, SWL2, SWL3 중의 하나의 예비 워드라인을 선택하여 구동한다. 그러므로 본 발명의 용단 퓨즈를 사용하는 전환 회로는 노말 패스에 인위적인 지연이 발생하지 않으며, 불필요한 전류의 소모도 발생하지 않는다.

도 3은 도 2에 배치되는 용단 퓨즈의 제1 실시예를 나타내는 도면이다. 도 3에서는 설명의 편의상 4개의 용단 퓨즈들(81,82,83,84)이 하나의 용단 퓨즈 박스(80)를 이루는 경우를 예로서 설명한다.

노말디코더부(30)의 출력 신호들은 용단 퓨즈들(81,82,83,84)을 통하여 로우 디코더들(51a, 52a, 53a, 54a)에 전달된다. 도 3의 상기 로우디코더들(51a, 52a, 53a, 54a)은 도 2에 도시된 워드라인 드라이버들(51, 52, 53, 54)의 일부를 구성하는 요소들이다.

도 3의 제1 실시예에서 상기 로우 디코더들(51a, 52a, 53a, 54a)의 출력 신호의 라인들(91,92,93,94)의 배선은 열방향이다. 그리고 상기 용단 퓨즈들(81, 82, 83, 84)도 열방향으로 나란히 배선된다.

이때, 상기 용단 퓨즈들(81,82,83,84) 사이의 최소 간격은 2um이고 용단 퓨즈의 최소 폭은 1um이므로, 용단 퓨즈간의 최소 핏치는 3um가 된다. 이것은 용단 퓨즈들(81,82,83,84)을 절단하기 위한 레이저 빔의 스포트(spot) 크기 등을 고려한 한계 핏치로 인한 것이다. 그리고 각 용단 퓨즈의 길이는 5um이다. 그러므로 용단 퓨즈 박스(80)가 칩상에서 차지하는 최소한의 면적은 행방향으로 12um이고, 열방향으로 5um가 된다.

또한 상기 용단 퓨즈들(81,82,83,84)의 한계 핏치로 인하여, 상기 로우디코더들(51a,52a,53a,54a)의 출력 신호의 라인들(91,92,93,94) 간의 핏치는 3um가 된다.

도 4는 도 2에 배치되는 용단 퓨즈의 제2 실시예를 나타내는 도면이다. 도 4를 참조하면, 노말디코더부(30)의 출력 신호들은 용단 퓨즈들(101,102,103,104)을 통하여 로우 디코더들(51b, 52b, 53b, 54b)에 전달된다. 도 4의 상기 로우디코더들(51b, 52b, 53b, 54b)은 도 2에 도시된 워드라인 드라이버들(51, 52, 53, 54)의 일부를 구성하는 요소들이다.

도 4의 제2 실시예에서 상기 로우 디코더들(51b, 52b, 53b, 54b)의 출력 신호의 라인들(91a,92a,93a,94a)의 배선은 열방향이다. 그리고 상기 용단 퓨즈들(101,102,103,104)은 행방향으로 나란히 배선된다. 즉, 상기 용단 퓨즈들(101,102,103,104)은 열방향으로 적층하며, 행방향으로 나란히 배선된다.

그러므로 도 4의 제2 실시예와 도 3의 제1 실시예의 차이점은 상기 용단 퓨즈들의 배선 방향에 있다. 즉, 로우 디코더들(51a, 52a, 53a, 54a)의 출력 신호의 라인들(91a,92a,93a,94a)의 배선은 열방향인 상태에서, 도 3의 제1 실시예에서의 상기 용단 퓨즈들(81,82,83,84)의 배선은 열방향인 반면에, 도 4의 제2 실시예에서의 상기 용단 퓨즈들(101,102,103,104)의 배선은 행방향이다.

도 3에서와 마찬가지로, 도 4의 상기 용단 퓨즈들(101,102,103,104) 사이의 최소 간격은 2um이고 용단 퓨즈의 최소 폭은 1um이므로, 용단 퓨즈간의 최소 핏치는 3um가 된다. 그리고 각 용단 퓨즈의 길이는 5um이다.

그리고 도 4의 용단 퓨즈가 행방향으로 배선됨으로 인하여, 용단 퓨즈 박스(100)가 칩상에서 차지하는 최소한의 면적은 행방향으로 5um이고, 열방향으로 12um가 된다. 도 4에서 실선과 일점쇄선으로 표시한 부분은 서로 다른 층을 나타내는 것으로서, 서로 접촉되지 않음 나타낸다.

도 5는 도 3 또는 도 4에서 용단 퓨즈를 사용하지 않을 경우의 로우디코더와 관련 배선을 나타내는 도면이다. 이를 참조하면, 상기 로우 디코더들(51c,52c,53c,54c)의 출력 신호의 라인들(111,112,113,114) 간의 핏치는 16M DRAM에서 2um가 된다. 그러므로 4개의 로우디코더들(51c,52c,53c,54c)이 차지하는 행방향의 길이는 8um이다.

도 3의 제1 실시예 및 도 4의 제2 실시예에서 용단 퓨즈로 인하여 증가하는 레이아웃(layout) 면적의 증가를 살펴보면, 다음과 같다.

앞에서 기술한 바와 같이, 도 3의 제1 실시예에서는 4개의 로우 디코더들(51a,52a,53a,54a)이 차지하는 행방향의 길이는 12um이고, 도 4의 제2 실시예에서는 4개의 로우디코더들(51b,52b,53b,54b)이 차지하는 행방향의 길이는 8um이다.

예를 들어, 반도체 장치를 실제와 유사하게 행방향의 셀의 수가 8K(1K는 1.024)이고, 열방향의 셀의 수가 2K인 16M 메모리 어레이를 가정하자. 이때, 하나의 노말 디코더에 의하여 구동되는 워드라인의 수는 4개이다.

그러면, 도 5와 같이 용단 퓨즈를 사용하지 않는 반도체 장치에서의 행 방향의 길이는 2um×8K/4로서 4000um이다. 그리고 도 3의 제1 실시예와 같이 용단 퓨즈를 배선하는 반도체 장치는 3um×8K/4로서 6000um이다. 이들 도 5와 비교하면, 행방향으로 2000um 증가하고, 열방향으로는 5um 증가한다.

그러나, 도 4의 제2 실시예를 도 5와 비교하면, 행방향의 길이의 증가는 발생하지 않으며, 열방향으로는 단지 12um가 증가할 뿐이다. 이는 메모리 셀 어레이의 셀 피치내에서 용단 퓨즈가 설치가능함을 보여 주는 것이다.

따라서 도 4의 제2 실시예에서 기술한 바와 같이, 로우디코더의 출력신호의 방향과 수직으로 나란히 배선하는 경우에는 행방향의 증가는 발생하지 않으며, 열방향으로는 미미한 증가분이 존재한다. 즉, 이러한 용단 퓨즈의 배선 방향의 차이로 인하여, 도 4의 제2 실시예는 도 3의 제1 실시예에 비하여, 레이아웃(layout)면적에 있어서 현저한 잇점을 지닌다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

예를 들어 본 명세서에서는 로우디코더의 출력라인의 방향과 용단퓨즈의 배선의 방향이 교차하는 경우에 대해서만 기술하였으나, 칼럼디코더의 출력라인의 방향과 용단 퓨즈의 배선의 방향이 서로 교차하는 경우에도 반도체 장치의 칩의 증가로 인한 문제점을 최소화할 수 있다. 즉, 본 명세서에 기술한 로우디코더를 대신하여, 칼럼디코더를 비롯한 반도체 장치의 행과 열을 선택하는 신호 발생 회로도 적용될 수 있다.

그리고 본 명세서에서는 4개의 용단 퓨즈가 하나의 퓨즈박스를 이루는 경우에 대해서만 기술하였으나, 하나의 퓨즈 박스를 구성하는 용단 퓨즈의 수는 축소 또는 확장이 가능하다.

따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상기와 같은 용단 퓨즈를 사용하는 전환 회로에 의하여, 반도체 장치의 동작 속도 및 칩 면적의 증가를 최소화하면서, 결함 구제가 가능하다.

(57) 청구의 범위

청구항 1

출력 신호의 배선이 열방향인 제1 및 제2 로우디코더들을 가지는 반도체 장치의 용단 퓨즈 박스에 있어서, 상기 제1 로우디코더에 대응하는 제1 입력 신호를 전송하며, 열방향으로 배선되는 제1 용단 퓨즈; 및 상기 제2 로우디코더에 대응하는 제2 입력 신호를 전송하며, 열방향으로 배선되는 제2 용단 퓨즈를 구비하며, 상기 제1 및 제2 용단 퓨즈는 서로 행방향으로 적층하여 나란히 배열되는 것을 특징으로 하는 반도체 장치의 용단 퓨즈 박스.

청구항 2

출력 신호의 배선이 행방향인 제1 및 제2 칼럼디코드들을 가지는 반도체 장치의 용단 퓨즈 박스에 있어서, 상기 제1 칼럼디코더에 대응하는 제1 입력 신호를 전송하며, 행방향으로 배선되는 제1 용단 퓨즈; 및 상기 제2 칼럼디코더에 대응하는 제2 입력 신호를 전송하며, 행방향으로 배선되는 제2 용단 퓨즈를 구비하며, 상기 제1 및 제2 용단 퓨즈는 서로 열방향으로 적층하여 나란히 배열되는 것을 특징으로 하는 반도체 장치의 용단 퓨즈 박스.

청구항 3

행과 열에 배열되는 복수개의 단위 셀들을 가지는 반도체 장치에 있어서, 인접하여 배치되며, 상기 행 또는 열을 선택하는 다수개의 신호 발생 회로들; 및 상기 다수개의 신호 발생 회로들 각각에 대응되는 각각의 입력 신호들을 전송하고, 상기 신호 발생 회로들의 출력 신호의 배선과, 교차되는 방향으로 배선되는 다수개의 용단 퓨즈들을 구비하며, 상기 용단 퓨즈들은 서로 적층하여 나란히 배선되는 것을 특징으로 하는 반도체 장치.

청구항 4

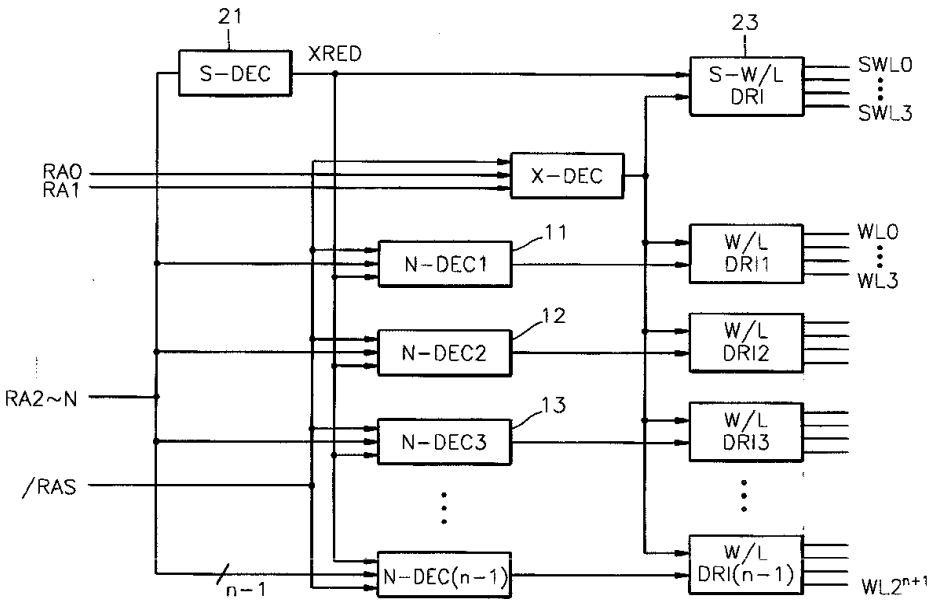
제3항에 있어서, 상기 신호 발생 회로들은 그 출력 신호의 배선이 열방향인 로우디코더이며, 상기 용단 퓨즈는 행방향으로 적층하여 나란히 배선되는 것을 특징으로 하는 반도체 장치.

청구항 5

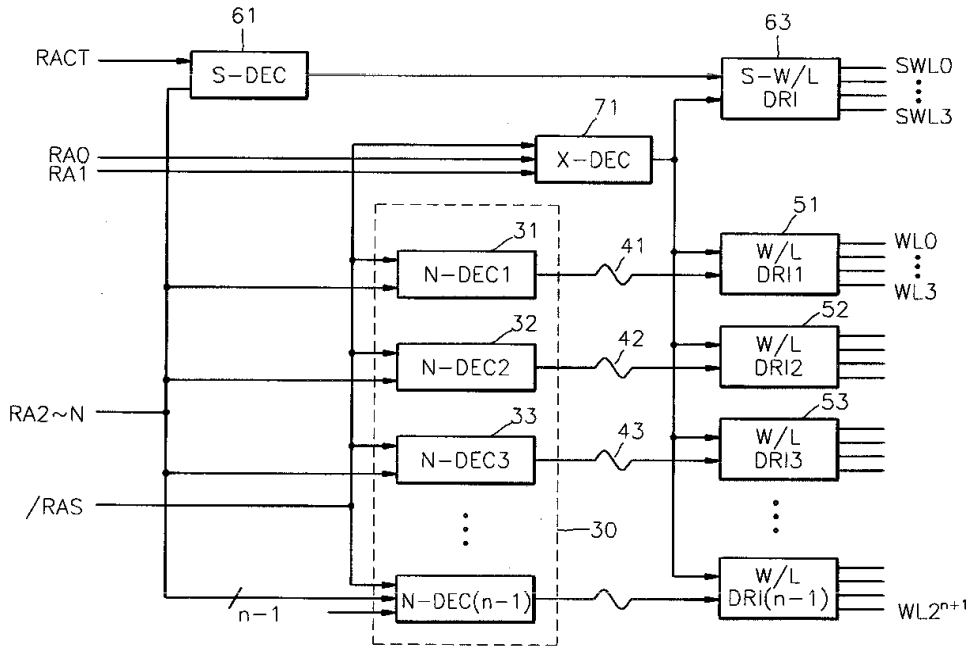
제3항에 있어서, 상기 신호 발생 회로들은 그 출력 신호의 배선이 열방향인 칼럼디코더이며, 상기 용단 퓨즈는 행방향으로 적층하여 나란히 배선되는 것을 특징으로 하는 반도체 장치.

도면

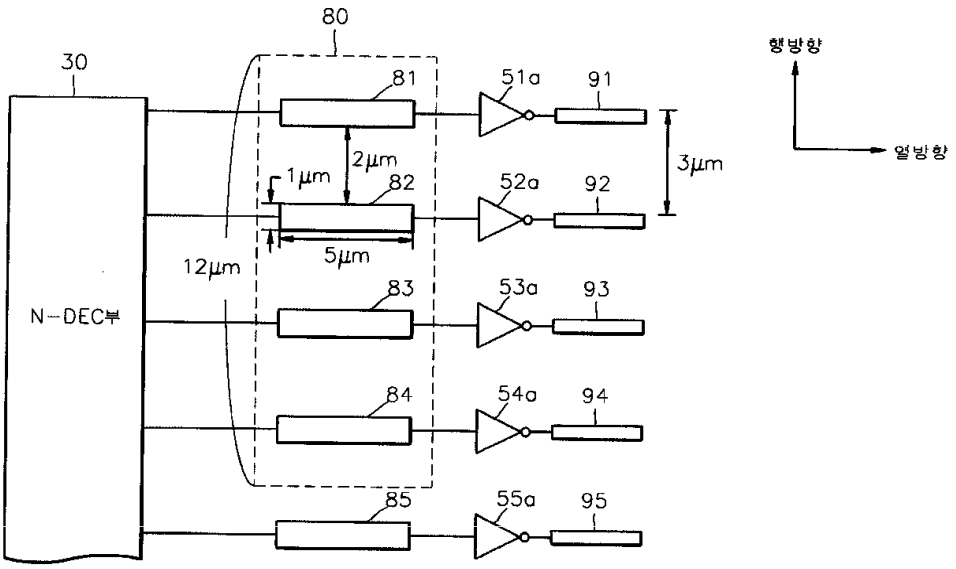
도면1


21
S-DEC
XRED
23
S-W/L DRI
SWL0
SWL3
RA0
RA1
X-DEC
N-DEC1
11
W/L DRI1
WL0
WL3
12
N-DEC2
W/L DRI2
RA2~N
13
N-DEC3
W/L DRI3
/RAS
N-DEC(n-1)
W/L DRI(n-1)
n-1
WL2^n+1

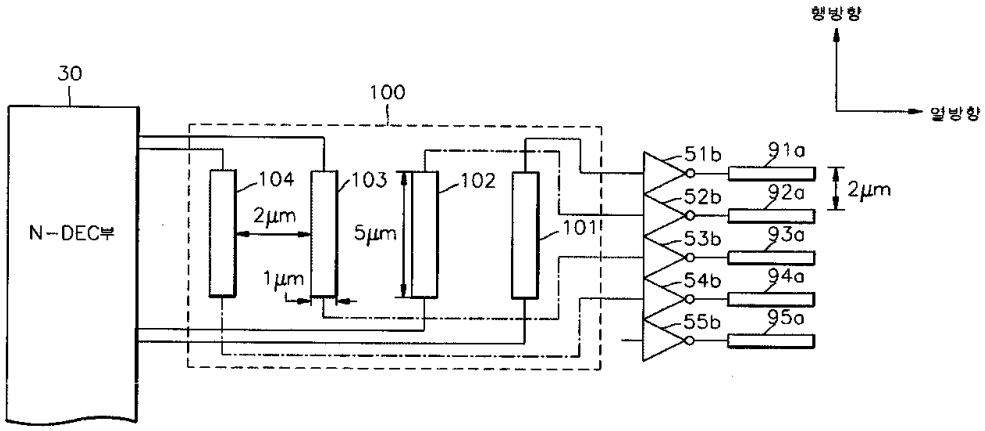
도면2


61
RACT
S-DEC
63
S-W/L DRI
SWL0
SWL3
71
RA0
RA1
X-DEC
51
31
41
N-DEC1
W/L DRI1
WL0
WL3
52
32
42
N-DEC2
W/L DRI2
RA2~N
53
33
43
N-DEC3
W/L DRI3
/RAS
30
N-DEC(n-1)
W/L DRI(n-1)
n-1
WL2^n+1

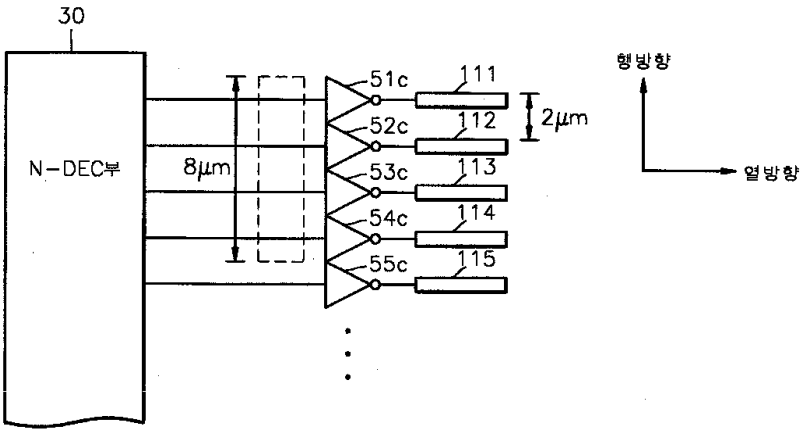
도면3


80
30
81
51a
91
2μm
1μm
82
52a
92
3μm
5μm
12μm
83
53a
93
N-DEC부
84
54a
94
85
55a
95
행방향
열방향

도면4


30
100
행방향
열방향
104
103
102
2μm
5μm
101
1μm
N-DEC부
51b
91a
52b
92a
2μm
53b
93a
54b
94a
55b
95a

도면5


30
51c
111
2μm
52c
112
8μm
53c
113
54c
114
55c
115
N-DEC부
행방향
열방향