



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I614880 B

(45)公告日：中華民國 107 (2018) 年 02 月 11 日

(21)申請案號：103104291

(22)申請日：中華民國 103 (2014) 年 02 月 10 日

(51)Int. Cl. : H01L27/14 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2013/03/22 日本

2013-060691

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：藤井宣年 FUJII, NOBUTOSHI (JP)；萩本賢哉 HAGIMOTO, YOSHIYA (JP)；青柳健一 AOYAGI, KENICHI (JP)；香川惠永 KAGAWA, YOSHIHISA (JP)

(74)代理人：陳長文

(56)參考文獻：

CN 102867847A

US 5946597

US 2011/0155893A1

US 2012/0267780A1

審查人員：翁佑菱

申請專利範圍項數：18 項 圖式數：8 共 39 頁

(54)名稱

半導體裝置及製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD

(57)摘要

本發明揭示一種半導體裝置，其包含：一第一基板，其具有一附接表面，在該附接表面上曝露第一電極及一第一絕緣膜；一絕緣薄膜，其覆蓋該第一基板之該附接表面；及一第二基板，其具有一附接表面，在該附接表面上曝露第二電極及一第二絕緣膜，且該第二基板以該第二基板之該附接表面與該第一基板之該附接表面附接在一起而將該絕緣薄膜夾置於其等之間之一狀態附接至該第一基板，且該等第一電極及該等第二電極使該絕緣薄膜之一部分變形及破裂以便彼此直接電連接。

A semiconductor device includes a first substrate having an attaching surface on which first electrodes and a first insulating film are exposed, an insulating thin film that covers the attaching surface of the first substrate, and a second substrate which has an attaching surface on which second electrodes and a second insulating film are exposed and is attached to the first substrate in a state in which the attaching surface of the second substrate and the attaching surface of the first substrate are attached together sandwiching the insulating thin film therebetween, and the first electrodes and the second electrodes deform and break a part of the insulating thin film so as to be directly electrically connected to each other.

指定代表圖：

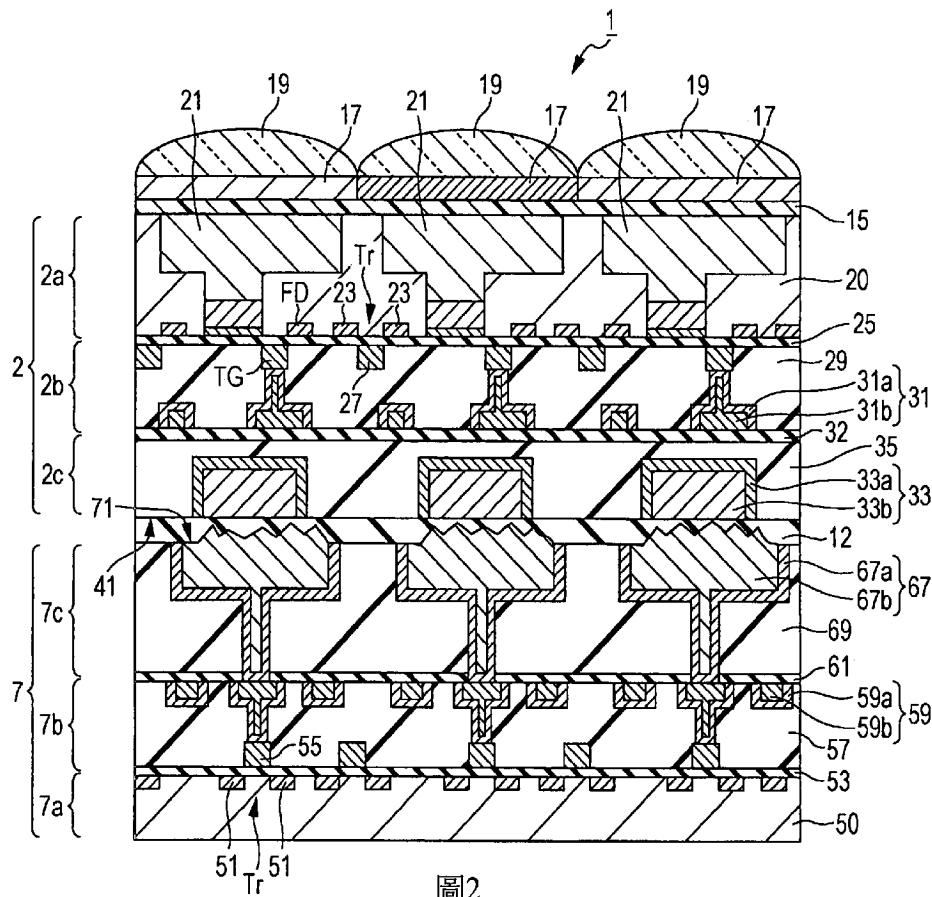


圖2

符號簡單說明：

- 1 . . . 半導體裝置/
固態成像設備
- 2 . . . 第一基板
- 2a . . . 半導體層
- 2b . . . 導線層
- 2c . . . 電極層
- 7 . . . 第二基板
- 7a . . . 半導體層
- 7b . . . 導線層
- 7c . . . 電極層
- 12 . . . 絕緣薄膜
- 15 . . . 保護膜
- 17 . . . 彩色濾光器
層
- 19 . . . 晶片上透鏡
- 20 . . . 半導體基板
- 21 . . . 光電轉換部
分
- 23 . . . 源極及汲極
- 25 . . . 閘極絕緣膜
- 27 . . . 閘極電極
- 29 . . . 層間絕緣膜
- 31 . . . 嵌入式導線
- 31a . . . 障壁金屬層
- 31b . . . 導線層
- 32 . . . 擴散防止絕
緣膜
- 33 . . . 第一電極
- 33a . . . 障壁金屬層
- 33b . . . 第一電極膜
- 35 . . . 第一絕緣膜
- 41 . . . 附接表面
- 50 . . . 半導體基板
- 51 . . . 源極及汲極
- 53 . . . 閘極絕緣膜
- 55 . . . 閘極電極
- 57 . . . 層間絕緣膜

- 59 . . . 嵌入式導線
- 59a . . . 障壁金屬層
- 59b . . . 導線層
- 61 . . . 擴散防止絕緣膜
- 67 . . . 第二電極
- 67a . . . 障壁金屬層
- 67b . . . 第二電極膜
- 69 . . . 第二絕緣膜
- 71 . . . 附接表面
- FD . . . 浮動擴散
- TG . . . 傳輸閘極
- Tr . . . 電晶體

公告本

發明摘要

※ 申請案號： 103104291

※ 申請日： 103/02/10

※IPC 分類： **H01L 27/14** (2006.01)

H01L 23/52 (2006.01)

▪ **【發明名稱】**

半導體裝置及製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD

【中文】

本發明揭示一種半導體裝置，其包含：一第一基板，其具有一附接表面，在該附接表面上曝露第一電極及一第一絕緣膜；一絕緣薄膜，其覆蓋該第一基板之該附接表面；及一第二基板，其具有一附接表面，在該附接表面上曝露第二電極及一第二絕緣膜，且該第二基板以該第二基板之該附接表面與該第一基板之該附接表面附接在一起而將該絕緣薄膜夾置於其等之間之一狀態附接至該第一基板，且該等第一電極及該等第二電極使該絕緣薄膜之一部分變形及破裂以便彼此直接電連接。

【英文】

A semiconductor device includes a first substrate having an attaching surface on which first electrodes and a first insulating film are exposed, an insulating thin film that covers the attaching surface of the first substrate, and a second substrate which has an attaching surface on which second electrodes and a second insulating film are exposed and is attached to the first substrate in a state in which the attaching surface of the second substrate and the attaching surface of the first substrate are attached together sandwiching the insulating thin film therebetween, and the first electrodes and the second electrodes deform and break a part of the insulating thin film so as to be directly electrically connected to each other.

圖式

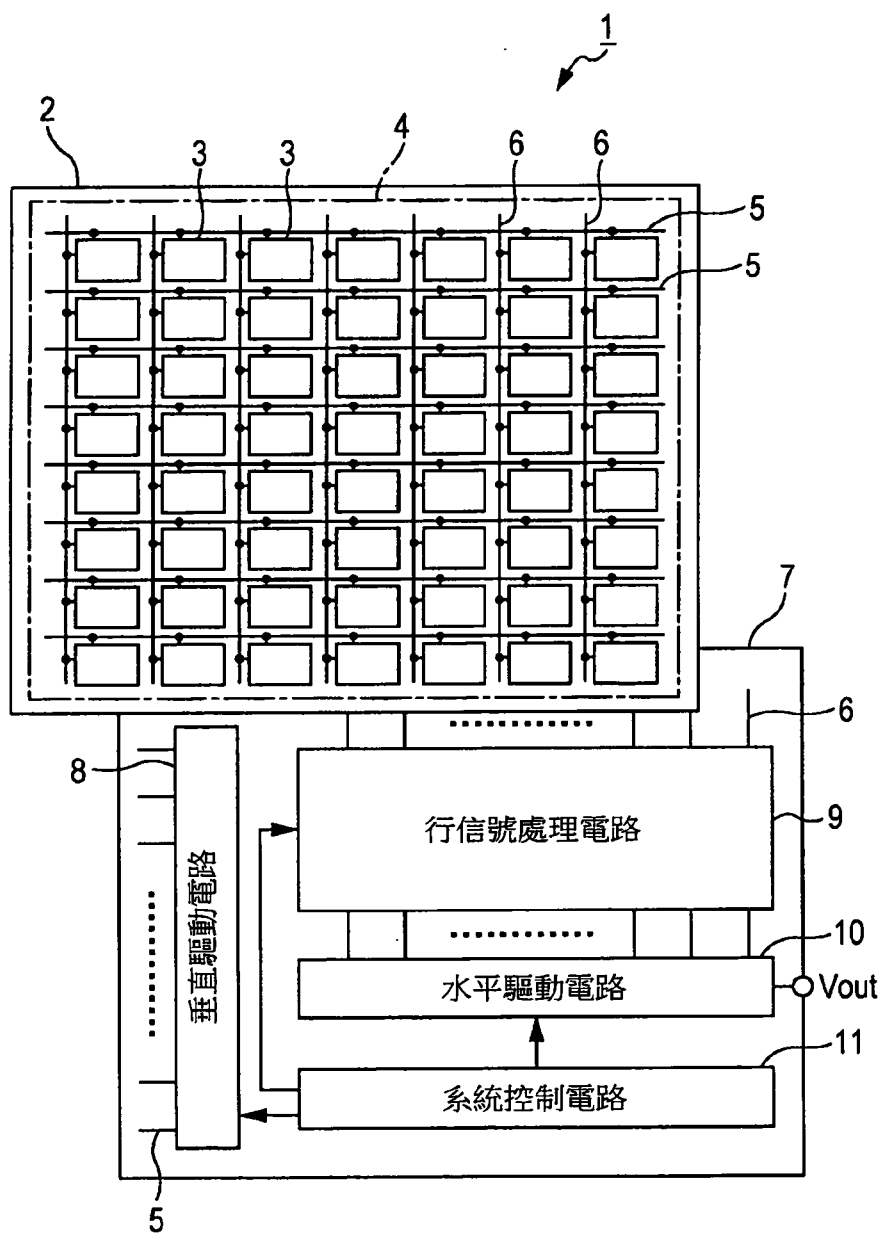


圖 1



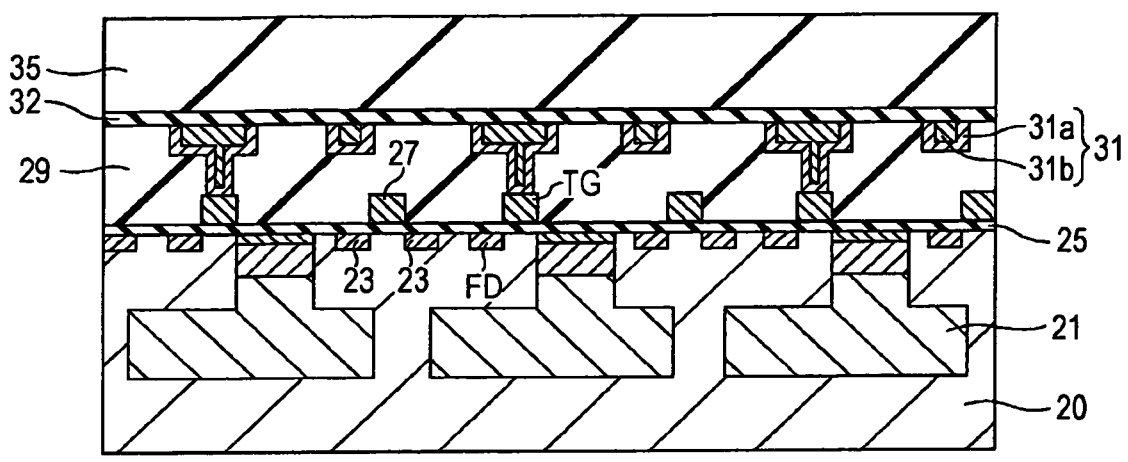


圖3A

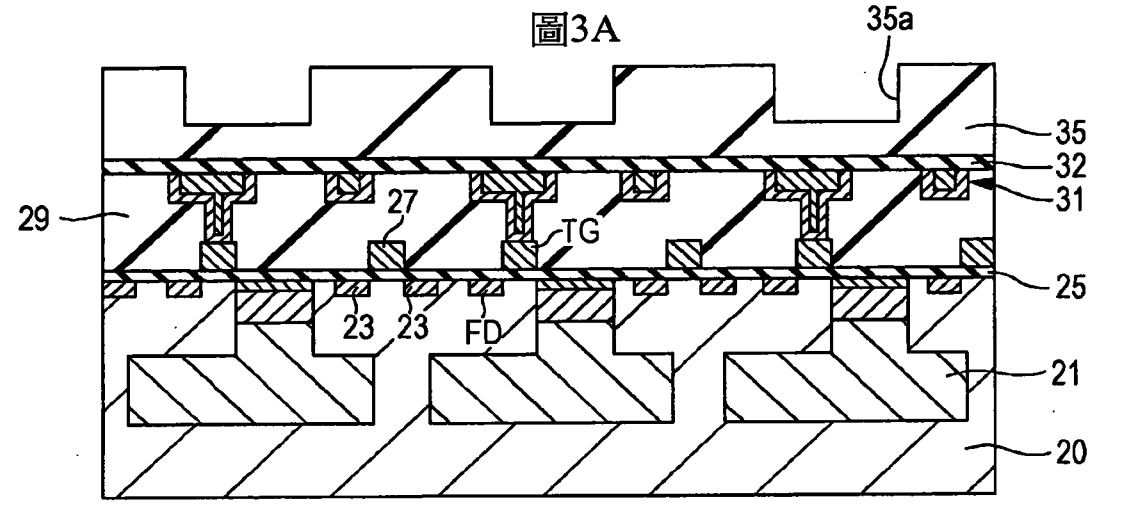


圖3B

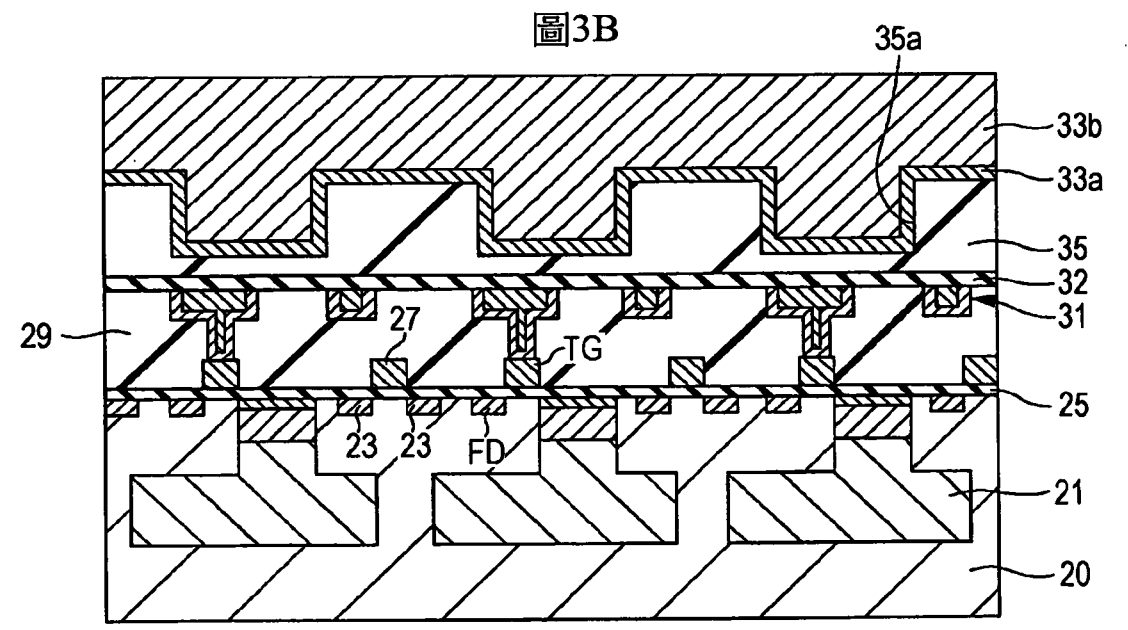


圖3C

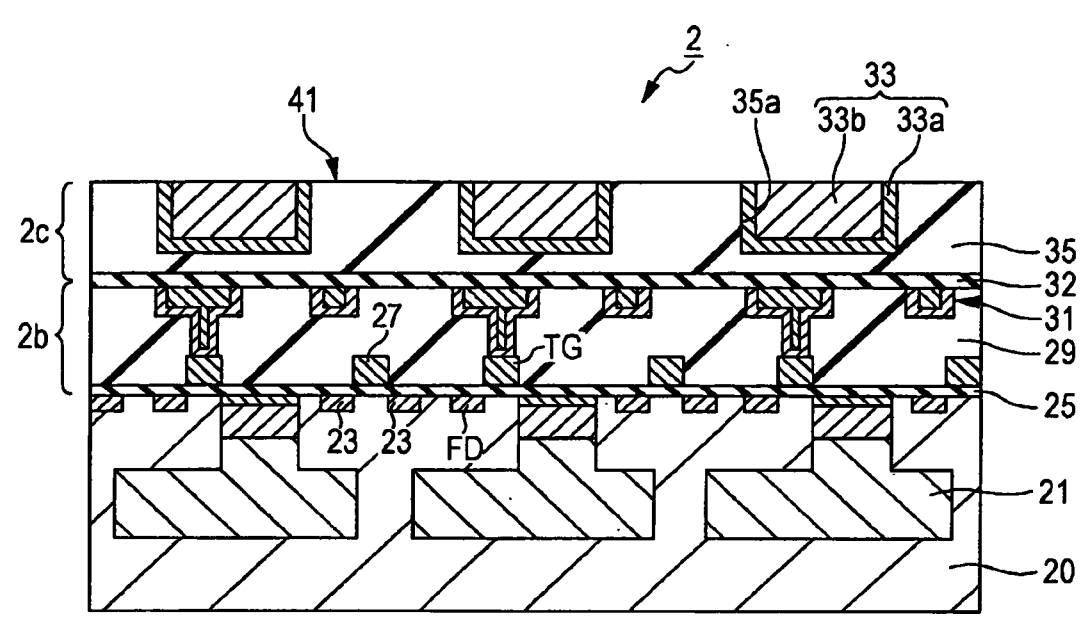


圖4A

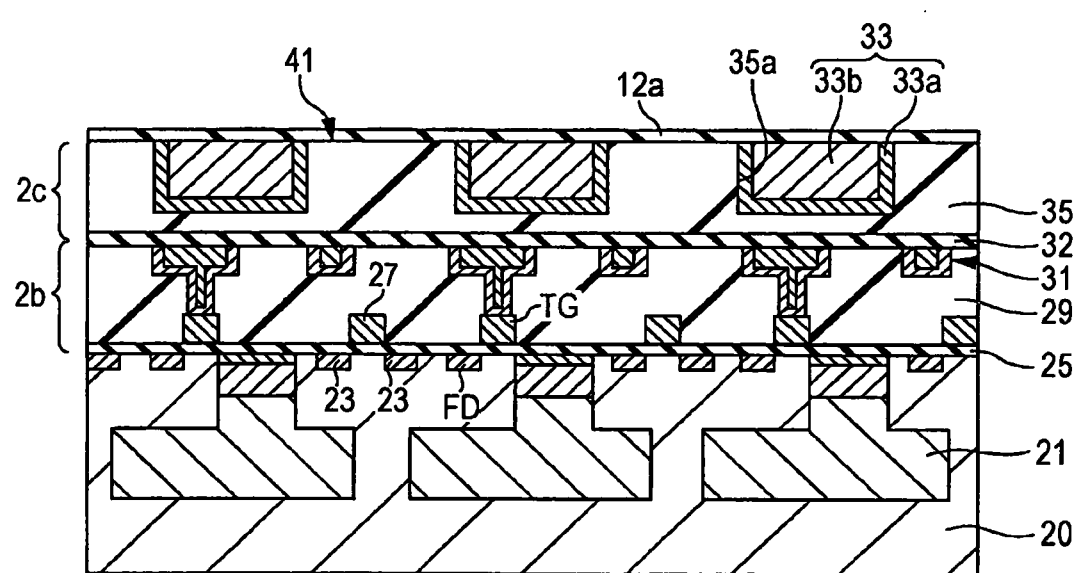


圖4B



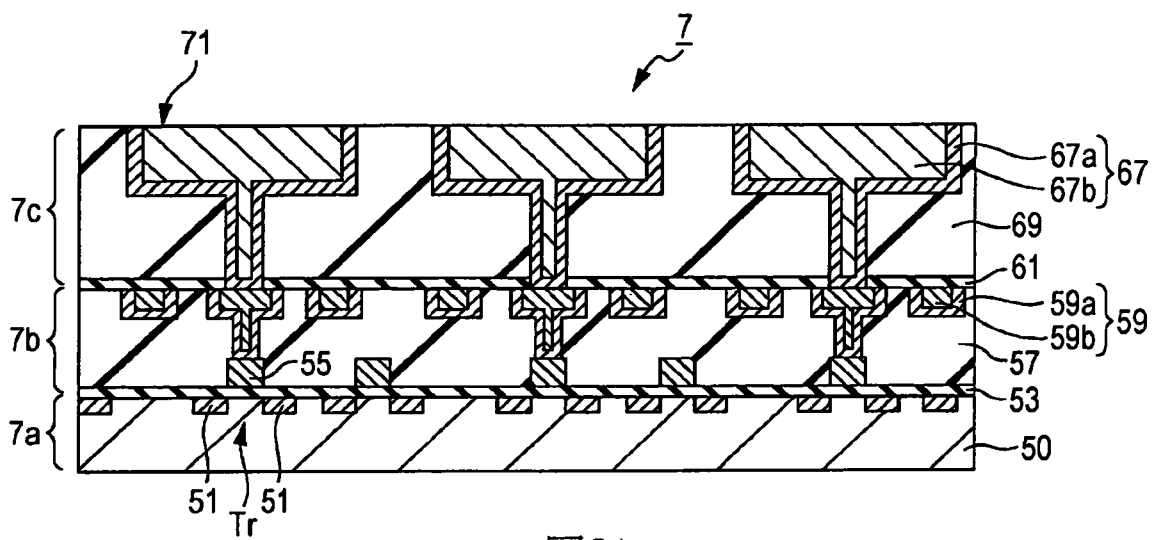


圖5A

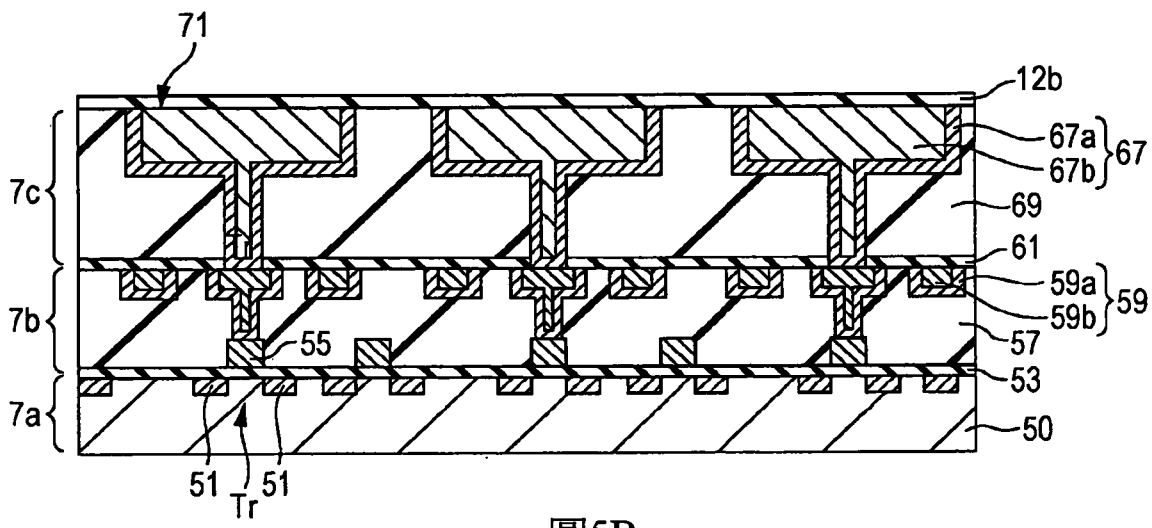
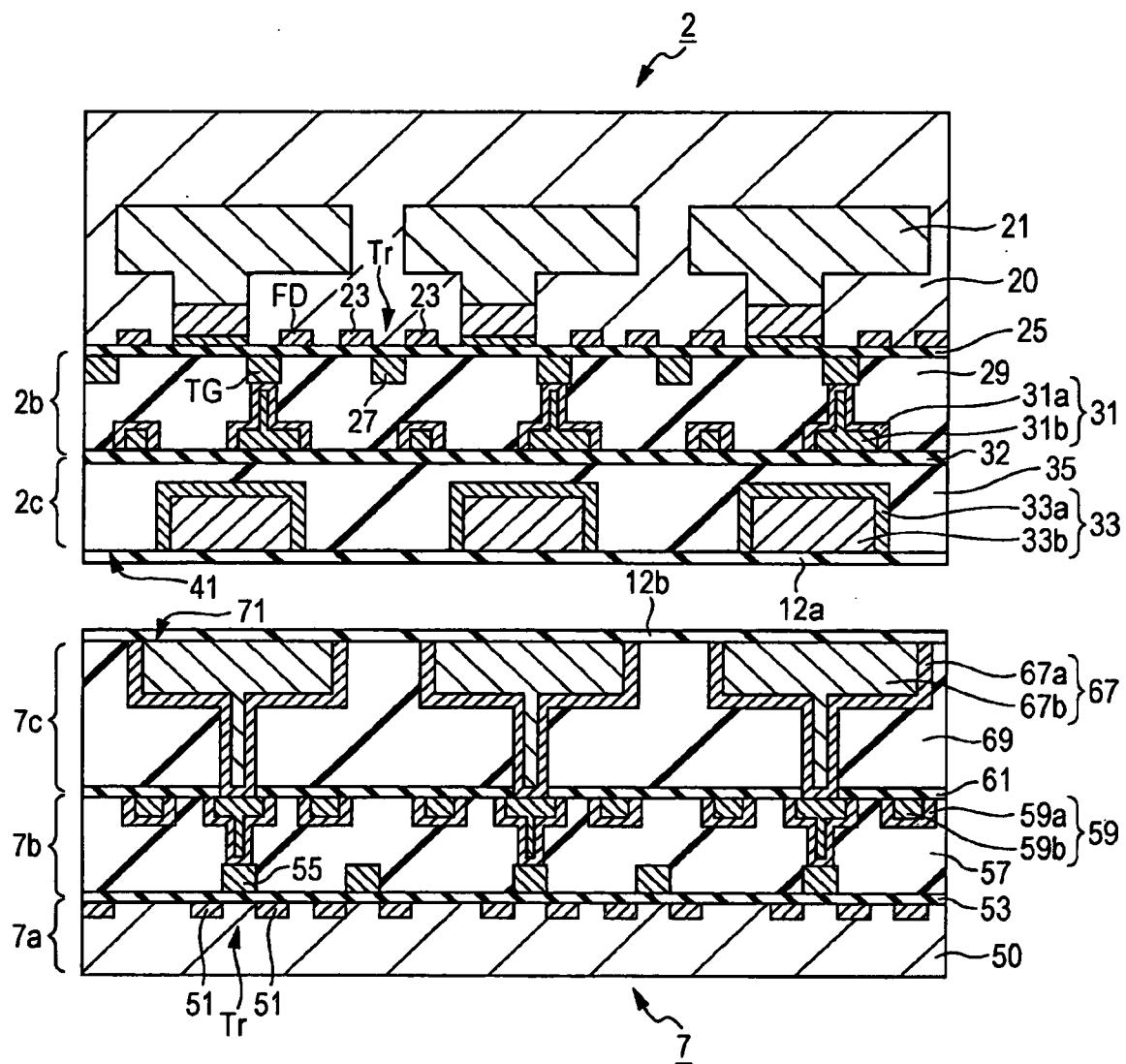


圖5B



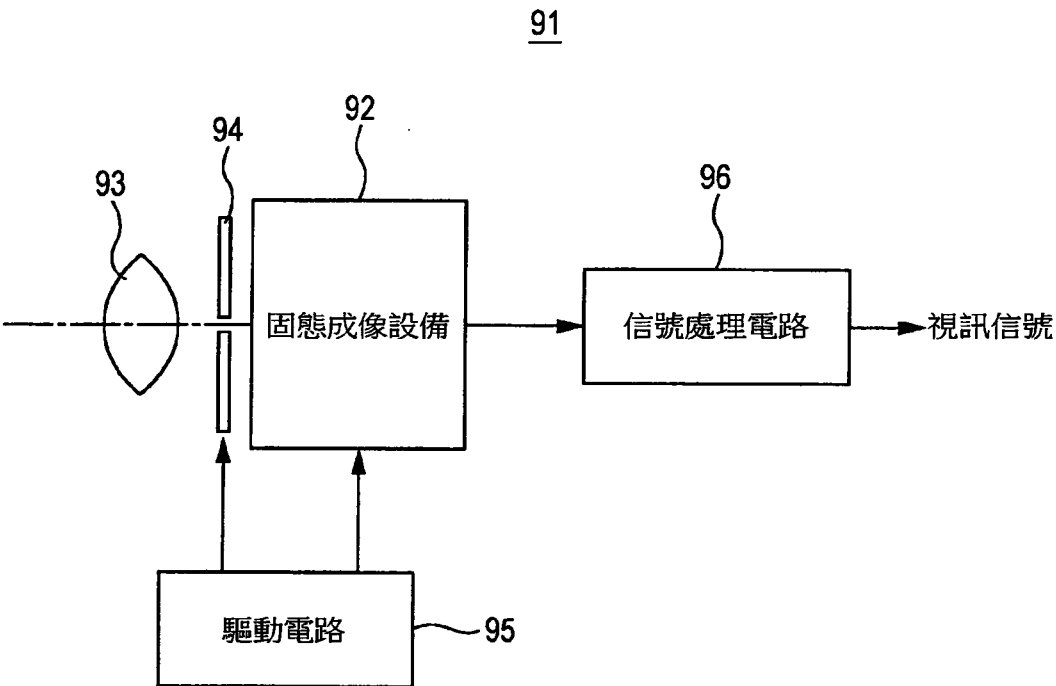


圖8

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

- 1 半導體裝置/固態成像設備
- 2 第一基板
- 2a 半導體層
- 2b 導線層
- 2c 電極層
- 7 第二基板
- 7a 半導體層
- 7b 導線層
- 7c 電極層
- 12 絕緣薄膜
- 15 保護膜
- 17 彩色濾光器層
- 19 晶片上透鏡
- 20 半導體基板
- 21 光電轉換部分
- 23 源極及汲極
- 25 閘極絕緣膜
- 27 閘極電極
- 29 層間絕緣膜
- 31 嵌入式導線
- 31a 障壁金屬層
- 31b 導線層
- 32 擴散防止絕緣膜

33	第一電極
33a	障壁金屬層
33b	第一電極膜
35	第一絕緣膜
41	附接表面
50	半導體基板
51	源極及汲極
53	閘極絕緣膜
55	閘極電極
57	層間絕緣膜
59	嵌入式導線
59a	障壁金屬層
59b	導線層
61	擴散防止絕緣膜
67	第二電極
67a	障壁金屬層
67b	第二電極膜
69	第二絕緣膜
71	附接表面
FD	浮動擴散
TG	傳輸閘極
Tr	電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置及製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD

[相關申請案之交叉參考]

本申請案主張2013年3月22日申請之日本優先專利申請案JP 2013-060691之權利，其全部內容以引用的方式併入本文中。

【先前技術】

本發明係關於一種半導體裝置及一種製造方法，且特定言之係關於一種藉由以其中使電極彼此電接合之一狀態附接兩個基板而組態之半導體裝置及其製造方法。

迄今，二維結構化之半導體裝置已藉由引入精細程序及改良安裝密度而高度整合，但在使用上述方法高度整合二維結構中存在一實體限制。因此，已開發三維結構化之半導體裝置以進一步減小半導體裝置之大小且進一步增大像素之密度。舉例而言，在日本未審查專利申請公開案第2006-191081號中提出藉由堆疊具有光電轉換部分之一感測器基板及具有周邊電路部分之一電路基板且將兩個基板附接在一起而獲得之一三維結構化之半導體裝置。

藉由以下步驟產生上述三維結構化之半導體裝置：使用具有一附接表面(其上曝露一Cu電極及一絕緣膜)之兩個基板；以該等附接表面彼此面對之一狀態對準該等Cu電極；及此外，熱處理該等Cu電極，藉此將該等基板附接在一起。如上文所描述，存在藉由透過直接接合該等Cu電極(Cu-Cu結合)而將基板堆疊及附接在一起加以獲得之三維結構化之半導體裝置(例如，參考日本未審查專利申請公開案第

2000-299379號、日本未審查專利申請公開案第2006-522461號、日本未審查專利申請公開案第2010-129576號及日本未審查專利申請公開案第2012-256736號)。

【發明內容】

然而，在上述三維結構化之半導體裝置中，歸因於在製造程序期間對準Cu電極時發生之偏差、Cu電極之間的形狀或大小之差異及類似物，形成Cu電極與絕緣膜之間之一接合表面。在該Cu電極與該絕緣膜之間的接合表面中產生空隙。因此，存在基板歸因於接合表面之附接強度減小而分離之一問題。

本發明已針對上述境況作出考量，且能夠以其中將兩個基板附接在一起以接合電極之一組態提供一三維結構化之半導體裝置，其中藉由防止在基板之一接合表面中產生空隙而改良基板之間的附接強度。

根據本發明之一第一實施例之一半導體裝置包含：一第一基板，其具有一附接表面，在該附接表面上曝露第一電極及一第一絕緣膜；一絕緣薄膜，其覆蓋該第一基板之該附接表面；及一第二基板，其具有一附接表面，在該附接表面上曝露第二電極及一第二絕緣膜，且該第二基板以該第二基板之該附接表面與該第一基板之該附接表面附接在一起而將該絕緣薄膜夾置於其等之間之一狀態附接至該第一基板，且該等第一電極及該等第二電極使該絕緣薄膜之一部分變形及破裂以便彼此直接電連接。

該絕緣薄膜可為氧化膜。

該絕緣薄膜可為氮化物膜。

該絕緣薄膜可具有一積層結構。

可以覆蓋整個附接表面之一狀態提供該絕緣薄膜，且接著僅使該等電極之間之附接表面變形及破裂。

該第一基板之附接表面及該第二基板之附接表面可為平坦化表面。

根據本發明之一第二實施例之一製造方法包含：以覆蓋具有一附接表面(其上曝露電極及一絕緣膜)之兩個基板之至少一者之附接表面之一狀態形成一絕緣薄膜；透過該絕緣薄膜將該兩個基板之該等附接表面安置成彼此相對；及以該兩個基板上之該等電極透過該絕緣薄膜彼此電連接之一狀態對準該等附接表面，藉此附接該兩個基板。

該兩個附接基板可經熱處理使得藉由第一電極與第二電極夾置之絕緣薄膜藉由使組態該等電極之金屬變形及移動而破裂，藉此使該等第一電極與該等第二電極直接接觸。

熱處理之溫度可設定為足夠低於第一電極及第二電極之至少一者之一膜形成溫度。

絕緣薄膜可形成於該兩個基板之二者上。

由相同材料製成之絕緣薄膜可形成於該兩個基板之二者上。

可使用原子層沈積形成該等絕緣薄膜。

可使用一平坦化處理形成該兩個基板之附接表面。

根據本發明，在附接兩個基板以將電極彼此連接之一組態中，可防止在一接合介面中產生空隙，且因此兩個基板之間的接合強度增大使得可獲得具有改良之可靠性之半導體裝置。

【圖式簡單說明】

圖1係圖解說明應用本發明之一半導體裝置之一實例之一示意性組態視圖；

圖2係圖解說明根據本實施例之一半導體裝置之一組態之主要部分之一橫截面視圖；

圖3A、圖3B及圖3C係圖解說明當製造根據本實施例之半導體裝置時一第一基板(感測器基板)之一(第一)生產順序之橫截面程序圖；

圖4A及圖4B係圖解說明當製造根據本實施例之半導體裝置時該第一基板(感測器基板)之一(第二)生產順序之橫截面程序圖；

圖5A及圖5B係圖解說明當製造根據本實施例之半導體裝置時一第二基板(電路基板)之一生產順序之橫截面程序圖；

圖6係圖解說明當製造根據本實施例之半導體裝置時之附接之一(第一)橫截面視圖；

圖7係圖解說明當製造根據本實施例之半導體裝置時之附接之一(第二)橫截面視圖；及

圖8係使用藉由應用本發明而獲得之一半導體裝置之一電子裝置之一組態視圖。

【實施方式】

在下文中，將基於隨附圖式以下列順序描述本發明之實施例。

- 1.本實施例之一半導體裝置之一示意性組態之一實例
- 2.本實施例之半導體裝置之一組態
- 3.在製造本實施例之半導體裝置中一第一基板(感測器基板)之一生產順序
- 4.在製造本實施例之半導體裝置中一第二基板(電路基板)之一生產順序
- 5.在製造本實施例之半導體裝置中該等基板之一附接順序
- 6.使用本實施例之半導體裝置之一電子裝置之一實例
- 1.本實施例之一半導體裝置之一示意性組態之一實例

圖1圖解說明作為應用本發明之半導體裝置之一實例之一固態成像設備之一示意性組態。

固態成像設備1係一所謂的三維結構化之半導體裝置，其包含作為一感測器基板之一第一基板2及作為一電路基板之一第二基板7，第二基板7以堆疊於第一基板2上之一狀態附接。

在上述組件中，第一基板2具備一像素區域4，其中定期二維地排列包含一光電轉換部分之複數個像素3。在像素區域4中，複數個像素驅動線5安置於一列方向上，複數個垂直信號線6安置於一行方向上，且該等像素3之各者以連接至一像素驅動線5及一垂直信號線6之一狀態而安置。該等像素3之各者具備光電轉換部分、一浮動擴散及由複數個電晶體(所謂的MOS電晶體)、電容元件及類似物組成之一像素電路。同時，存在複數個像素共用像素電路之一部分之情況。

另外，第二基板7具備周邊電路，諸如用於驅動設置在第一基板2中之各自像素3之一垂直驅動電路8、一行信號處理電路9、一水平驅動電路10及一系統控制電路11。

2.本實施例之半導體裝置之一組態

圖2係圖解說明根據本實施例之半導體裝置之組態之主要部分之一橫截面視圖，且係圖1中之三個像素之一橫截面視圖。在下文中，將基於主要部分之上述橫截面視圖描述本實施例之半導體裝置之詳細組態。

圖2中圖解說明之半導體裝置1係一三維結構化之固態成像設備，其中第一基板2之一附接表面41及第二基板7之一附接表面71以將一絕緣薄膜12夾置於其等之間之一狀態安置成彼此相對使得第一基板2與第二基板7附接在一起。

此處，在第一基板2中，自第二基板7之相對側依序堆疊一半導體層2a、一導線層2b及一電極層2c，且此外，電極層2c之表面充當相對於第二基板7之附接表面41。另一方面，在第二基板7中，自第一基板2之相對側依序堆疊一半導體層7a、一導線層7b及一電極層7c，且此外，電極層7c之表面充當相對於第一基板2之附接表面71。

另外，以圖式中圖解說明之一順序在第二基板7之相對側上第一基板2之表面上堆疊一保護膜15、彩色濾光器層17及晶片上透鏡19。

接著，將依序描述組態第一基板2、第二基板7及絕緣薄膜12之各自層之詳細組態，且此外，將依序描述保護膜15、彩色濾光器層17及晶片上透鏡19之組態。

半導體層2a(在第一基板2側上)

在第一基板2側上之半導體層2a藉由(例如)將由單晶矽製成之一半導體基板20製成一薄膜而獲得。在半導體層2a中，將由(例如)一n型雜質層(或一p型雜質層)製成之一光電轉換部分21提供至其上安置彩色濾光器層17、晶片上透鏡19及類似物之一第一表面側上之各像素。另一方面，在半導體層2a之一第二表面側上提供由一n⁺型雜質層製成之浮動擴散FD、電晶體Tr之源極及汲極23、(此外)圖式中未圖解說明之其他雜質層及類似物。

導線層2b(在第一基板2側上)

提供於第一基板2中之半導體層2a上之導線層2b包含傳輸閘極TG、電晶體Tr之閘極電極27及(此外)未在圖式中圖解說明之其他電極，其等全部透過一閘極絕緣膜25提供於與半導體層2a之一介面側上。使用一層間絕緣膜29覆蓋傳輸閘極TG及閘極電極27，且在形成於層間絕緣膜29中之一溝槽圖案中提供嵌入式導線31。嵌入式導線31係由覆蓋該溝槽圖案之內壁之一障壁金屬層31a及透過障壁金屬層31a嵌入該溝槽圖案中之由銅(Cu)製成之一導線層31b組成。

同時，上述導線層2b可由其中堆疊若干導線層之多層導線層組成。

電極層2c(在第一基板2側上)

提供於第一基板2中之導線層2b上之電極層2c包含針對銅(Cu)之一擴散防止絕緣膜32及堆疊於與導線層2b之一介面側上該擴散防止絕緣膜上之一第一絕緣膜35。第一絕緣膜35係由(例如)TEOS膜製成，且提供第一電極33作為形成於第一絕緣膜35中之溝槽圖案中之嵌入式

電極。同時，TEOS膜係指使用化學氣相沈積(在下文中CVD)形成之氧化矽膜，其中使用具有 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 之一組合物之四乙氧基矽烷(TEOS)氣體作為原始材料氣體。

另外，第一電極33係由覆蓋溝槽圖案之內壁之一障壁金屬層33a及透過障壁金屬層33a嵌入該溝槽圖案中之由銅(Cu)製成之一第一電極膜33b組成。另外，必需在低於附接後之熱處理溫度之一溫度下至少形成形成充當待附接之一表面之電極層2c之銅(Cu)。具有上述組態之電極層2c之表面充當第一基板2側上相對於第二基板7之附接表面41。附接表面41經組態以曝露第一電極33及第一絕緣膜35，且透過(例如)化學機械拋光(在下文中稱作CMP)平坦化。

同時，儘管未在圖式中圖解說明，然提供於第一絕緣膜35中之溝槽圖案之一部分到達提供於導線層2b中之嵌入式導線31，且嵌入該溝槽圖案中之第一電極33視需要連接至嵌入式導線31。

半導體層7a(在第一第二基板7側上)

同時，在第二基板7側上之半導體層7a藉由(例如)將由單晶矽製成之一半導體基板50製成一薄膜而獲得。在半導體層7a中，將電晶體Tr之源極及汲極51、(此外)圖式中未圖解說明之其他雜質層及類似物提供於第一基板2側上之一表面層上。

導線層7b(在第二基板7側上)

提供於第二基板7中之半導體層7a上之導線層7b包含閘極電極55及(此外)未在圖式中圖解說明之其他電極，該等電極皆透過一閘極絕緣膜53提供於與半導體層7a之一介面側上。使用一層間絕緣膜57覆蓋閘極電極55及其他電極，且在形成於層間絕緣膜57中之一溝槽圖案中提供嵌入式導線59。嵌入式導線59係由覆蓋該溝槽圖案之內壁之一障壁金屬層59a及透過障壁金屬層59a嵌入該溝槽圖案中之由銅(Cu)製成之一導線層59b組成。

同時，上述導線層7b可具有一多層導線層結構。

電極層7c(在第二基板7側上)

提供於第二基板7中之導線層7b上之電極層7c包含：針對銅(Cu)之一擴散防止絕緣膜61及堆疊於與導線層7b之一介面側上該擴散防止絕緣膜上之一第二絕緣膜69。第二絕緣膜69係由(例如)一TEOS膜製成，且提供第二電極67作為形成於第二絕緣膜69中之該溝槽圖案中之嵌入式電極。第二電極67係由覆蓋該溝槽圖案之內壁之一障壁金屬層67a及透過障壁金屬層67a嵌入該溝槽圖案中之由銅(Cu)製成之一第二電極膜67b組成。

另外，類似於第一基板2，必需在低於附接後之熱處理溫度之一溫度下至少形成形成充當待附接之一表面之電極層7c之銅(Cu)。第二電極67經安置以對應於第一基板2側上之第一電極33，且透過絕緣薄膜12電連接至第一基板2側上之第一電極33。上述電極層7c之表面充當第二基板7側上相對於第一基板2之附接表面71。附接表面71經組態以曝露第二電極67及第二絕緣膜69，且透過(例如)CMP平坦化。

絕緣薄膜12

絕緣薄膜12夾置於第一基板2側上之附接表面41與第二基板7側上之附接表面71之間，且覆蓋整個附接表面41及整個附接表面71。即，第一基板2與第二基板7透過絕緣薄膜12附接在一起。當在高於銅(Cu)之膜形成溫度之一溫度下熱處理附接在一起之第一基板2及第二基板7時，銅(Cu)之晶粒遷移且可使絕緣薄膜破裂。隨著此時熱處理溫度與銅(Cu)之膜形成溫度之間之差增大，更有可能使絕緣薄膜12破裂。此係因為銅(Cu)之晶粒更快速地生長。另外，由於絕緣薄膜12僅在銅(Cu)所存在之位置處破裂，故除電極外之其他部分可保持一絕緣性質。

上述絕緣薄膜12係由(例如)氧化膜及氮化物膜製成，且使用通常

用於半導體之氧化膜及氮化物膜。然而，由於絕緣薄膜12歸因於如上文描述之所附接銅(Cu)之晶粒生長而破裂，故必需防止在形成絕緣薄膜12時加速銅(Cu)之晶粒生長。因此，上文描述之膜形成之實例包含銅(Cu)之膜形成。必需設定至等於或低於在一接合表面上形成電極時之溫度之一溫度。將詳細描述絕緣薄膜12之構成材料。

在其中絕緣薄膜12係由氧化膜製成之一情況中，使用(例如)氧化矽(SiO_2)或氧化鈺(HfO_2)。

在其中絕緣薄膜12係由氮化物膜製成之一情況中，使用(例如)氮化矽(SiN)。

另外，尤其在本實施例中，重要的是，透過絕緣薄膜12將第一基板2側上之第一電極33與第二基板7側上之第二電極67附接在一起，接著熱處理該等電極，使電極部分中之絕緣薄膜12破裂，藉此使該等電極彼此直接連接。因此，絕緣薄膜12之膜厚度極薄。儘管該膜厚度取決於絕緣薄膜12之材料而改變，然(例如)對於氧化物(諸如氧化矽(SiO_2)及氧化鈺(HfO_2))及大部分其他材料而言，該膜厚度可期望地約為1 nm或更小。在其中(例如)在 150°C 之一膜形成溫度下形成一銅(Cu)膜且接著在 400°C 熱處理該銅膜之情況中，上述膜厚度基於歸因於晶粒生長而改變之銅(Cu)之表面量加以判定。然而，亦可取決於絕緣薄膜12之膜品質及膜形成溫度與熱處理溫度之間的溫度差而使用一更厚膜。使用上述方法直接接觸之第一電極33及第二電極67形成一完美導電狀態使得一電流流動。

同時，在本實施例之半導體裝置1中，絕緣薄膜12不限於上述單層結構，且可具有由相同材料製成之一積層結構或由不同材料製成之一積層結構。

保護膜15、彩色濾光器層17及晶片上透鏡19

保護膜15經提供以覆蓋第一基板2上之光電轉換部分21。保護膜

15係由具有一鈍化性質之一材料膜製成，且所使用之材料膜之實例包含氧化矽膜、氮化矽膜、氮氧化矽膜及類似物。

彩色濾光器層17係由在一對一基礎上提供至各自光電轉換部分21之各自色彩之彩色濾光器製成。不限制如何排列各自色彩之彩色濾光器。

晶片上透鏡19係在一對一基礎上提供至各自光電轉換部分21及組態彩色濾光器層17之各自色彩之彩色濾光器，且經組態以收集各自光電轉換部分21中之入射光。

本實施例之半導體裝置之組態之效果

如上文描述般組態之本實施例之半導體裝置1係由第一基板2及第二基板7形成，該第一基板2及該第二基板7透過如圖2中所圖解說明之絕緣薄膜12附接使得第一基板2之附接表面41與第二基板7之附接表面71未直接接觸。因此，防止產生於其中附接表面直接接合在一起之一組態中之一接合介面中之空隙之產生。接著，兩個基板之間的接合強度增大使得可獲得具有改良之可靠性之半導體裝置。

尤其在其中第一絕緣膜35及第二絕緣膜69係由TEOS膜製成之一情況中，由於數個OH基團存在於TEOS膜之表面上，故在其中由TEOS膜製成之絕緣膜彼此直接接觸之一接合介面中，歸因於脫水合成而產生空隙。即使在絕緣膜係如上文描述之TEOS膜之一情況中，在本實施例之半導體裝置1中，由於該等基板透過絕緣薄膜12附接在一起，故不存在其中該等TEOS膜彼此直接接觸之情況，且可防止空隙歸因於脫水合成而產生。接著，兩個基板之間的接合強度增大使得可獲得具有改良之可靠性之半導體裝置。

3.在製造本實施例之半導體裝置中一第一基板(感測器基板)之一生產順序

圖3A、圖3B及圖3C係圖解說明在製造本實施例之上述半導體裝

置時使用之第一基板2之一生產順序之(第一)橫截面程序圖，且圖4A及圖4B係繼圖3A、圖3B及圖3C之後之(第二)橫截面程序圖。在下文中，將基於上述圖式描述在本實施例中使用之第一基板2(感測器基板)之生產順序。

如圖3A中所圖解說明，準備由(例如)單晶矽製成之半導體基板20。在半導體基板20中之一預定深度處形成由一n型雜質層製成之光電轉換部分21，且在光電轉換部分21之表面層上形成由一 n^+ 型雜質層製成之一電荷傳輸部分或用於電洞之由一 p^+ 型雜質層製成之一電荷儲存部分。另外，在半導體基板20之表面層上形成由一 n^+ 型雜質層製成之浮動擴散FD、源極及汲極23以及(此外)未在該圖式中圖解說明之其他雜質層。

接著，在半導體基板20上形成閘極絕緣膜25，且此外，在閘極絕緣膜上形成傳輸閘極TG及閘極電極27。此處，傳輸閘極TG形成於浮動擴散FD與光電轉換部分21之間，且閘極電極27形成於源極與汲極23之間。另外，使用如上文描述之相同程序形成未在圖式中圖解說明之其他電極。

同時，可以一適當選擇之普通生產順序執行上述程序。

此後，在閘極絕緣膜25上以覆蓋傳輸閘極TG及閘極電極27之一狀態形成由(例如)氧化矽製成之層間絕緣膜29。此外，在層間絕緣膜29中形成一溝槽圖案，且在該溝槽圖案中形成藉由透過障壁金屬層31a嵌入導線層31b而形成之嵌入式導線31。嵌入式導線31在必要位置處連接至傳輸閘極TG。另外，儘管在圖式中未圖解說明，然一些嵌入式導線31在必要位置處連接至源極及汲極23。接著，獲得包含嵌入式導線31之導線層2b。同時，將使用包含圖3B之圖式描述之一嵌入式佈線技術應用於嵌入式導線31之形成。

接著，在導線層2b上形成擴散防止絕緣膜32，且此外，在擴散

防止絕緣膜上形成第一絕緣膜35。舉例而言，使用CVD(其中使用TEOS氣體)形成由TEOS膜製成之第一絕緣膜35。此後，使用下文描述之嵌入式佈線技術於第一絕緣膜35上形成第一電極33。

如圖3B中所圖解說明，在第一絕緣膜35中形成一溝槽圖案35a。儘管在圖式中未圖解說明，然溝槽圖案35a以允許該溝槽圖案到達嵌入式導線31之一形狀形成在必要位置處。

如圖3C中所圖解說明，以覆蓋溝槽圖案35a之內壁之一狀態形成障壁金屬層33a，且在障壁金屬層上以溝槽圖案35a嵌入其中之一狀態形成第一電極膜33b。障壁金屬層33a係由具有一障壁性質之一材料製成以防止第一電極膜33b擴散至第一絕緣膜35中。同時，第一電極膜33b係由銅(Cu)製成，但材料不限於此，且該第一電極膜可由任何導電材料製成。

如圖4A中所圖解說明，使用CMP移除且平坦化第一電極膜33b直至曝露障壁金屬層33a，且此外，移除且平坦化障壁金屬層33a直至曝露第一絕緣膜35。接著，形成藉由透過障壁金屬層33a將第一電極膜33b嵌入溝槽圖案35a中而形成之第一電極33。接著，獲得包含第一電極33之電極層2c。

透過上述程序，產生包含平坦附接表面41(其上曝露第一電極33及第一絕緣膜35)之第一基板2作為感測器基板。同時，可視需要使用一濕式處理或一電漿處理在附接表面41上執行一預處理。

可使用用於製造半導體裝置之一普通程序順序執行上述程序，且未特定限制該程序順序，並可以一適當順序執行該等程序。然而，當形成充當附接表面之第一電極33時，銅(Cu)之膜形成溫度(例如)低至約100°C，且將與附接後之熱處理溫度(例如，400°C)之溫度差製成儘可能大。在本發明中，一絕緣薄膜之下列形成形成特性程序。

一絕緣薄膜之膜形成順序

如圖4B中所圖解說明，使用原子層沈積(在下文中稱作ALD)以完全覆蓋第一基板2之附接表面41之一狀態形成一絕緣薄膜12a。

將簡要描述ALD之順序。

首先，準備一第一反應物及一第二反應物(其二者含有待形成之一薄膜之構成元素)。執行一第一程序(其中將含有該第一反應物之氣體供應至一基板且引起一吸附反應)及一第二程序(其中供應含有該第二反應物之氣體且引起一吸附反應)作為膜形成程序，且供應一惰性氣體以清除兩個程序之間未被吸收之反應物。上述膜形成程序之一循環累積一原子層，且重複該等膜形成程序以形成具有一所要膜厚度之一膜。同時，可首先執行該第一程序及該第二程序之任一者。

上述膜形成方法係ALD，且具有下列特性。

如上文所描述，ALD係重複膜形成程序之循環以形成一膜之一方法，且可形成具有藉由調整該等程序之循環數目而在一原子層級高度精確地控制之一膜厚度之一膜。當應用ALD以形成絕緣薄膜12a時，可形成具有有利膜厚度可控制性之極薄絕緣薄膜12a。

此外，ALD係可在約500°C或更低溫度下使用一低溫程序形成膜之一方法。此外，亦可在室溫下形成SiO₂或類似物之膜。當形成絕緣薄膜12a時，由於已形成電極層2c，故必需考量組態電極層2c之金屬之耐熱性，且需要一低溫程序以形成絕緣薄膜12a。因此，當應用ALD以形成絕緣薄膜12a時，歸因於低溫程序，可在不引起電極層2c之劣化之情況下形成絕緣薄膜12a。

如上文所描述，ALD係藉由逐一累積原子層而形成膜之一方法。當應用ALD以形成絕緣薄膜12a時，可使用平坦且均勻之絕緣薄膜12a覆蓋整個附接表面41而不使已使用CMP高度平坦化之基板之表面更不均匀。

在下文中，作為一實例，將具體描述使用ALD之由氧化膜或氮化

物膜製成之絕緣薄膜12a之膜形成條件。

在其中絕緣薄膜12a係由氧化膜(SiO_2 、 HfO_2 或類似物)製成之一情況中，在ALD中，使用含Si反應物或含Hf反應物作為第一反應物，且使用含O反應物作為第二反應物。當交替重複其中供應上述反應物以引起一吸附反應之一程序時，由氧化物膜(SiO_2 或 HfO_2)製成之絕緣薄膜12a形成於附接表面41上。此處，(例如)使用可以氣體形式供應之一物質(諸如，矽烷(SiH_4)或二氯矽烷(H_2SiCl_2))作為含Si反應物。使用四(二甲胺基)鈺($\text{Hf}[\text{N}(\text{CH}_3)_2]_4$)或類似物作為含Hf物質。使用水蒸氣氣體、臭氧氣體或類似物作為含O物質。

同時，在其中絕緣薄膜12a係由氮化物膜(SiN 或類似物)製成之一情況中，在ALD中，使用含Si反應物作為第一反應物，且使用含N反應物作為第二反應物。當交替重複供應上述反應物以引起一吸附反應之一程序時，由氮化物膜(SiN)製成之絕緣薄膜12a形成於附接表面41上。此處，(例如)使用氮氣、氨氣或類似物作為該含N反應物。使用水蒸氣氣體、臭氧氣體或類似物作為該含O物質。

透過上述程序，在第一基板2上以絕緣薄膜覆蓋整個附接表面41之一狀態形成極薄且均勻之絕緣薄膜12a。

4.在製造本實施例之半導體裝置中一第二基板(電路基板)之一生產順序

圖5A及圖5B係圖解說明當製造本實施例之上述半導體裝置時使用之第二基板7之一生產順序之橫截面程序圖。在下文中，將基於圖式描述本實施例中使用之第二基板7(電路基板)之生產順序。

如圖5A中所圖解說明，準備由(例如)單晶矽製成之半導體基板50。在半導體基板50之表面層上形成各自導電型源極及汲極51以及未在圖式中圖解說明之其他雜質層。接著，獲得半導體層7a。

接著，在半導體層7a上形成閘極絕緣膜53，且此外，在該閘極絕

緣膜上形成閘極電極55。此處，閘極電極55形成於源極及汲極51之間。另外，使用如上文描述之相同程序形成未在該圖式中圖解說明之其他電極。

接著，在閘極絕緣膜53上以覆蓋閘極電極55之一狀態形成由(例如)氧化矽製成之層間絕緣膜57。在層間絕緣膜57中之溝槽圖案中形成藉由透過障壁金屬層59a嵌入導線層59b而形成之嵌入式導線59，藉此獲得包含嵌入式導線59之導線層7b。類似於第一電極33之上述形成，藉由應用嵌入式佈線技術形成嵌入式導線59。

此後，透過擴散防止絕緣膜61在導線層7b上堆疊且形成由(例如)TEOS膜製成之第二絕緣膜69。接著，形成藉由透過障壁金屬層67a將第二電極膜67b嵌入第二絕緣膜69中之溝槽圖案中而形成之第二電極67，且獲得包含第二電極67之電極層7c。以相同於第一電極33之上述形成之方式形成第二電極67。

作為上述程序之結果，產生包含平坦附接表面71(其上曝露第二電極67及第二絕緣膜69)之第二基板7作為電路基板。

可使用用於製造半導體裝置之一普通程序順序執行上述程序，且未特定限制該程序順序，並可以一適當順序執行該等程序。然而，當形成充當附接表面之第二電極67時，銅(Cu)之膜形成溫度(例如)低至約100°C，且將與附接後之熱處理溫度(例如，400°C)之溫度差製成儘可能大。在本發明中，一絕緣薄膜之下列形成及基板之附接形成特性程序。

如圖5B中所圖解說明，在附接表面71上使用ALD以相同於第一基板2側上之絕緣薄膜12a之方式形成絕緣薄膜12b。

接著，在第二基板7上以絕緣薄膜覆蓋整個附接表面71之一狀態形成極薄且均勻之絕緣薄膜12b。同時，絕緣薄膜12b可為與第一基板2側上之絕緣薄膜12a不同或相同之一膜。

5.在製造本實施例之半導體裝置中基板之一附接順序

將使用圖6及圖7描述具有形成於附接表面41上之絕緣薄膜12a之第一基板2及具有形成於附接表面71上之絕緣薄膜12b之第二基板7之附接順序。

如圖6中所圖解說明，第一基板2之附接表面41與第二基板7之附接表面71透過絕緣薄膜安置成彼此相對，且此外，第一基板2中之第一電極33與第二基板7中之第二電極67經對準以彼此面對。在該圖式中圖解說明之實例中，第一電極33與第二電極67在一對一基礎上彼此對應，但對應狀態不限於此。

當將第一基板2上之絕緣薄膜12a與第二基板7上之絕緣薄膜12b製成彼此面對且如圖7中所圖解說明般進行熱處理時，絕緣薄膜12a與絕緣薄膜12b接合在一起。在不影響形成於第一基板2及第二基板7中之元件及導線且充分接合絕緣薄膜12之一溫度下執行上述熱處理達一段時間。此外，此時，發生銅(Cu)之晶粒生長，且第一電極33與第二電極67之間的絕緣薄膜12從兩側破裂。接著，該等電極中之銅(Cu)彼此直接接觸。

舉例而言，在其中第一電極33及第二電極67係由主要含有銅(Cu)之一材料製成之一情況中，在200°C至600°C之一範圍中之一溫度下執行熱處理達約15分鐘至5小時。可在一加壓氛圍中執行上述熱處理或可以第一基板2及第二基板7從兩個表面側加壓之一狀態執行上述熱處理。作為一實例，當在400°C下執行熱處理達4小時時，在其等之間具有絕緣薄膜12之第一電極33與第二電極67彼此連接。接著，接合絕緣薄膜12a與絕緣薄膜12b，且附接第一基板2與第二基板7。此處，隨著銅(Cu)膜形成期間之溫度與熱處理溫度之間之溫度差增大，由於可加速銅(Cu)之晶粒生長，故絕緣薄膜12變得容易破裂。

此處，在絕緣薄膜12a及絕緣薄膜12b形成於第一基板2之附接表

面41及第二基板7之附接表面71二者上(如上文所描述)之一情況中，絕緣薄膜12a及絕緣薄膜12b可由相同材料或不同材料製成。

同時，在用於製造本實施例之半導體裝置之方法中，絕緣薄膜可形成於第一基板2及第二基板7之僅任一基板之附接表面上。舉例而言，可藉由僅在第一基板2之附接表面41上形成絕緣薄膜12a且接合第一基板2側上之絕緣薄膜12a與第二基板7側上之附接表面71而使第一基板2與第二基板7附接在一起。

如上文所描述，在附接第一基板2與第二基板7之後，第一基板2側上之半導體基板20之厚度減小以產生半導體層2a，且曝露光電轉換部分21。另外，若需要，半導體基板50之厚度可在第二基板7側上之半導體層7a中減小。

此後，在第一基板2中之光電轉換部分21之曝露表面上形成保護膜15(如圖2中所圖解說明)，且此外，在保護膜15上形成彩色濾光器層17及晶片上透鏡19，藉此完成半導體裝置(固態成像設備)1。

用於製造本實施例之半導體裝置之方法之效果

在用於製造本實施例之半導體裝置之上述方法中，分別在第一基板2及第二基板7上形成絕緣薄膜12a及絕緣薄膜12b，且將其上形成絕緣薄膜12a及12b之表面接合在一起，藉此附接第一基板2與第二基板7。因此，相較於其中直接接合透過CMP平坦化之附接表面41及71之一情況，本實施例之半導體裝置1(其中藉由接合其上形成絕緣薄膜12a及12b之表面而將第一基板2與第二基板7接合在一起)具有一有利接合性質。同時，即使在其中絕緣薄膜12a僅形成於第一基板2之附接表面41上之一情況中，第一基板2側上之絕緣薄膜12a與第二基板7側上之附接表面71經接合在一起使得該等基板之接合性質相較於附接表面41與附接表面71直接接合在一起之一情況係有利的。

舉例而言，在已透過CMP平坦化之附接表面41及71中，存在組

態附接表面41及71之第一絕緣膜35及第二絕緣膜69在CMP程序中含有水之一可能性。另外，在其中組態附接表面41及71之第一絕緣膜35及第二絕緣膜69係由TEOS膜製成之一情況中，歸因於TEOS膜之膜形成條件，第一絕緣膜35及第二絕緣膜69最初形成為具有一高含水率之膜。因此，在其中將上述含水之附接表面41及71直接接合在一起之一情況中，在接合後之熱處理期間，廢氣集中於接合介面中，且形成空隙。然而，在本實施例中，由於使用絕緣薄膜12a及12b覆蓋整個附接表面41及71，故可防止廢氣集中在接合介面中且抑制空隙產生。

特定言之，在其中第一基板2之附接表面41上之絕緣薄膜12a及第二基板7之附接表面71上之絕緣薄膜12b係由相同材料製成之一情況中，由於將由相同材料製成之膜接合在一起，故更強之接合係可能的。接著，該等基板之間的接合強度增大使得可獲得具有改良之可靠性之半導體裝置。

此外，由於透過ALD形成絕緣薄膜12a及12b，因此亦獲得下列效果。

首先，由於ALD係歸因於在一原子層級上之膜形成而展現有利膜厚度可控制性之一方法，故可形成極薄絕緣薄膜。接著，即使在第一基板2側上之第一電極33與第二基板7側上之第二電極67透過絕緣薄膜12安置成彼此相對之一結構中，由於絕緣薄膜12極薄，故第一電極33與第二電極67之間的電連接成為可能。

接著，由於ALD係歸因於在一原子層級上之膜形成而展現有利膜厚度可控制性之一方法，故維持已透過CMP平坦化之附接表面41及71之平坦度，且在第一基板2及第二基板7上形成均勻絕緣薄膜12a及12b。由於其上形成絕緣薄膜12a及12b之平坦接合表面如上文所述般接合在一起，故使用極佳黏著性將該等接合表面接合在一起使得具有改良之接合強度之基板之接合成為可能。

接著，由於ALD係使用一低溫程序形成膜之一方法，因此不存在其中組態第一基板2側上之電極層2c及第二基板7側上之電極層7c之金屬歸因於高熱而劣化之情況，且可在第一基板2及第二基板7上形成絕緣薄膜12a及12b。因此，ALD適用於在附接(其係本發明之一核心)之後使用一熱處理加速銅(Cu)之晶粒生長之目的。迄今，已描述使用ALD之優點，但用於形成膜之方法不限於ALD，且只要可實現上述優點，該方法可為CVD。此外，除使用氣相生長(其中使用氣體)形成膜以外，只要可形成可實現本發明之原理之薄膜，亦可使用(例如)一塗覆方法或類似方法形成該等膜。

最後，由於ALD係在一原子層級形成膜之一方法，因此所形成之絕緣薄膜12a及12b係緻密膜且具有一極低含水率。由於其上形成具有一低含水率之絕緣薄膜12a及12b之接合表面接合在一起，故不存在可在接合表面中產生空隙之擔憂。

透過上述程序，該等基板之間的接合強度增大使得可獲得具有改良之可靠性之半導體裝置。

6.使用本實施例之半導體裝置之一電子裝置之一實例

在本實施例中描述之根據本發明之半導體裝置(固態成像設備)可應用於(例如)電子裝置，諸如相機系統(諸如數位相機及攝影機)、(此外)具有一成像功能之行動電話及具有一成像功能之其他裝置。

圖8圖解說明一相機之一組態視圖，其中使用固態成像設備作為根據本發明之電子裝置之一實例。根據本實施例之一相機91係可拍攝靜態影像或視訊剪輯之一攝影機之一實例。相機91包含：一固態成像設備92；一光學系統93，其將入射光導引至固態成像設備92中之一光電轉換部分；一快門設備94；一驅動電路95，其用於驅動固態成像設備92；及一信號處理電路96，其處理固態成像設備92之輸出信號。

將具有在本實施例中描述之一組態之一半導體裝置(1)應用於固

態成像設備92。光學系統(光學透鏡)93在固態成像設備92之一成像表面上形成來自一物件之影像光(入射光)。接著，將信號電荷儲存在固態成像設備92中達一特定週期。上述光學系統93可為由複數個光學透鏡組成之一光學透鏡系統。快門設備94控制至固態成像設備92之光照射週期及光屏蔽週期。驅動電路95將驅動信號供應至固態成像設備92及快門設備94，使用所供應之驅動信號(時序信號)控制固態成像設備92至信號處理電路96之信號輸出操作，且控制快門設備94之快門操作。即，驅動電路95供應驅動信號(時序信號)以執行從固態成像設備92至信號處理電路96之一信號傳輸操作。信號處理電路96執行關於從固態成像設備92傳輸之信號之多種信號程序。將已進行信號處理之影像信號儲存於一儲存媒體(諸如一記憶體)中或輸出至一監視器。

根據上述本實施例之電子裝置，由於使用高度可靠三維結構化之半導體裝置1(其中堆疊感測器基板及電路基板)作為固態成像設備，故可減小具有一成像功能之電子裝置之大小且改良可靠性。

同時，本發明可採用下列組態。

(1)一種半導體裝置，其包含：一第一基板，其具有一附接表面，在該附接表面上曝露第一電極及一第一絕緣膜；一絕緣薄膜，其覆蓋該第一基板之該附接表面；及一第二基板，其具有一附接表面，在該附接表面上曝露第二電極及一第二絕緣膜，且該第二基板以該第二基板之該附接表面與該第一基板之該附接表面附接在一起而將該絕緣薄膜夾置於其等之間之一狀態附接至該第一基板，且該等第一電極及該等第二電極使該絕緣薄膜之一部分變形及破裂以便彼此直接電連接。

(2)如(1)之半導體裝置，其中該絕緣薄膜係氧化膜。

(3)如(1)之半導體裝置，其中該絕緣薄膜係氮化物膜。

(4)如(1)至(3)中任一項之半導體裝置，其中該絕緣薄膜具有一積

層結構。

(5)如(1)至(4)中任一項之半導體裝置，其中以覆蓋整個附接表面之一狀態提供該絕緣薄膜。

(6)如(1)至(5)中任一項之半導體裝置，其中該第一基板之該附接表面及該第二基板之該附接表面係平坦化表面。

(7)一種製造方法，其包含：準備具有其上曝露電極及一絕緣膜之一附接表面之兩個基板；以覆蓋該兩個基板之至少一者之該附接表面之一狀態形成一絕緣薄膜；透過該絕緣薄膜將該兩個基板之該等附接表面安置成彼此相對；及以該兩個基板上之該等電極透過該絕緣薄膜彼此電連接之一狀態對準該等附接表面，藉此附接該兩個基板。

(8)如(7)之製造方法，其中該兩個附接基板經熱處理使得藉由該等第一電極與該等第二電極夾置之該絕緣薄膜藉由使組態該等電極之金屬變形及移動而破裂，藉此使該等第一電極與該等第二電極直接接觸。

(9)如(8)之製造方法，其中該熱處理之一溫度足夠低於該等第一電極及該等第二電極之至少一者之一膜形成溫度。

(10)如(7)之製造方法，其中該等絕緣薄膜形成於該兩個基板之二者上。

(11)如(7)或(10)之製造方法，其中由相同材料製成之該等絕緣薄膜形成於該兩個基板之二者上。

(12)如(7)至(11)中任一項之製造方法，其中使用原子層沈積形成該等絕緣薄膜。

(13)如(7)至(12)中任一項之製造方法，其中使用一平坦化處理形成該兩個基板之該等附接表面。

熟習此項技術者應理解，各種修改、組合、子組合及變更可取決於設計要求及其它因素而發生，只要該等修改、組合、子組合及變

更係在隨附申請專利範圍或其等效物之範疇內。

【符號說明】

- | | |
|-----|--------------|
| 1 | 半導體裝置/固態成像設備 |
| 2 | 第一基板 |
| 2a | 半導體層 |
| 2b | 導線層 |
| 2c | 電極層 |
| 3 | 像素 |
| 4 | 像素區域 |
| 5 | 像素驅動線 |
| 6 | 垂直信號線 |
| 7 | 第二基板 |
| 7a | 半導體層 |
| 7b | 導線層 |
| 7c | 電極層 |
| 8 | 垂直驅動電路 |
| 9 | 行信號處理電路 |
| 10 | 水平驅動電路 |
| 11 | 系統控制電路 |
| 12 | 絕緣薄膜 |
| 12a | 絕緣薄膜 |
| 12b | 絕緣薄膜 |
| 15 | 保護膜 |
| 17 | 彩色濾光器層 |
| 19 | 晶片上透鏡 |
| 20 | 半導體基板 |

- 21 光電轉換部分
- 23 源極及汲極
- 25 閘極絕緣膜
- 27 閘極電極
- 29 層間絕緣膜
- 31 嵌入式導線
 - 31a 障壁金屬層
 - 31b 導線層
- 32 擴散防止絕緣膜
- 33 第一電極
 - 33a 障壁金屬層
 - 33b 第一電極膜
- 35 第一絕緣膜
 - 35a 溝槽圖案
- 41 附接表面
- 50 半導體基板
- 51 源極及汲極
- 53 閘極絕緣膜
- 55 閘極電極
- 57 層間絕緣膜
- 59 嵌入式導線
 - 59a 障壁金屬層
 - 59b 導線層
- 61 擴散防止絕緣膜
- 67 第二電極
 - 67a 障壁金屬層

67b	第二電極膜
69	第二絕緣膜
71	附接表面
91	相機
92	固態成像設備
93	光學系統
94	快門設備
95	驅動電路
96	信號處理電路
FD	浮動擴散
TG	傳輸閘極
Tr	電晶體

申請專利範圍

1. 一種半導體裝置，其包括：

一第一基板，其具有一附接表面，該附接表面包含多個第一電極之一頂表面及一第一絕緣膜之一頂表面；

一絕緣薄膜，其覆蓋該第一基板之該附接表面；及

一第二基板，其具有一附接表面，該附接表面包含多個第二電極之一頂表面及一第二絕緣膜之一頂表面，且該第二基板以該第二基板之該附接表面與該第一基板之該附接表面附接在一起而將該絕緣薄膜夾置於其等之間之一狀態附接至該第一基板，且該等第一電極及該等第二電極以使該絕緣薄膜之一部分破裂而使得該等第一電極及該等第二電極彼此直接電連接之方式變形。

2. 如請求項1之半導體裝置，其中該絕緣薄膜係氧化膜。

3. 如請求項1之半導體裝置，其中該絕緣薄膜係氮化物膜。

4. 如請求項1之半導體裝置，其中該絕緣薄膜具有一積層結構。

5. 如請求項1之半導體裝置，其中以覆蓋整個該等附接表面之一狀態提供該絕緣薄膜，且接著僅使該等電極之間的該等附接表面變形及破裂。

6. 如請求項1之半導體裝置，其中該第一基板之該附接表面及該第二基板之該附接表面係平坦化表面。

7. 一種用於製造半導體裝置之方法，其包括：

提供一第一基板，其具有一第一附接表面，該第一附接表面包含多個第一電極之一頂表面及一第一絕緣膜之一頂表面；

提供一第二基板，其具有一第二附接表面，該第二附接表面包含多個第二電極之一頂表面及一第二絕緣膜之一頂表面；

形成一絕緣薄膜，其覆蓋該第一基板及該第二基板之該第一附接表面及該第二附接表面之至少一者；

透過該絕緣薄膜將該第一附接表面安置成與該第二附接表面相對；及

以該兩個基板上之該等電極透過該絕緣薄膜彼此電連接之一狀態對準該第一附接表面及該第二附接表面，藉此附接該兩個基板，其中該第一基板及該第二基板經熱處理使得該絕緣薄膜藉由使該等電極變形而破裂，藉此使該等第一電極與該等第二電極直接電接觸。

8. 如請求項7之製造方法，其中該熱處理之一溫度足夠低於該等第一電極及該等第二電極之至少一者之一膜形成溫度。
9. 如請求項7之製造方法，其中形成一絕緣薄膜之步驟進一步包括形成第一絕緣薄膜及第二絕緣薄膜，其等分別覆蓋該第一基板及第二基板之該第一附接表面及第二附接表面。
10. 如請求項9之製造方法，其中由相同材料製成該等第一絕緣薄膜及第二絕緣薄膜。
11. 如請求項7之製造方法，其中使用原子層沈積形成該絕緣薄膜。
12. 如請求項7之製造方法，其中使用一平坦化處理形成該第一基板及該第二基板之該第一附接表面及該第二附接表面。
13. 如請求項7之製造方法，其中該絕緣薄膜係一氧化膜。
14. 如請求項7之製造方法，其中該絕緣薄膜係一氮化物膜。
15. 如請求項7之製造方法，其中該絕緣薄膜具有一積層結構。
16. 如請求項7之製造方法，其中該絕緣薄膜覆蓋該第一基板及該第二基板之該第一附接表面及第二附接表面之至少一者之整個該附接表面，且接著僅使該等電極之間的該等附接表面變形及破裂。

17. 如請求項9之製造方法，其中該絕緣薄膜覆蓋該第一基板及該第二基板之該第一附接表面及第二附接表面之二者之整個該等附接表面，且接著僅使該等電極之間的該等附接表面變形及破裂。
18. 如請求項9之製造方法，其中由不同材料製成該等第一絕緣薄膜及第二絕緣薄膜。