



(12) 发明专利申请

(10) 申请公布号 CN 118696617 A

(43) 申请公布日 2024. 09. 24

(21) 申请号 202380021311.3

(22) 申请日 2023.02.10

(30) 优先权数据

2022-028096 2022.02.25 JP

(85) PCT国际申请进入国家阶段日

2024.08.12

(86) PCT国际申请的申请数据

PCT/IB2023/051188 2023.02.10

(87) PCT国际申请的公布数据

W02023/161754 JA 2023.08.31

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 木村肇 山崎舜平

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

专利代理师 何欣亭 吕传奇

(51) Int.Cl.

H10B 99/00 (2006.01)

H10B 12/00 (2006.01)

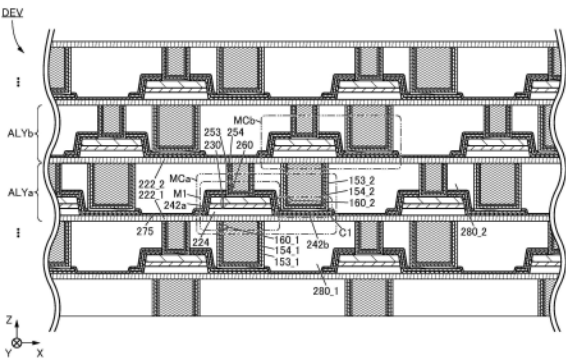
权利要求书2页 说明书43页 附图59页

(54) 发明名称

半导体装置、存储装置及电子设备

(57) 摘要

提供一种存储密度高的半导体装置。半导体装置中依次层叠有第一存储层及第二存储层。第一及第二存储层各自包括第二至第六绝缘体、氧化物以及第一至第四导电体。在第一及第二存储层各自中,第一绝缘体上依次层叠有第二绝缘体及氧化物。第一及第二导电体在彼此不同的区域中位于第一及第二绝缘体上以及氧化物上。第三绝缘体位于第一及第二导电体上以及第一绝缘体上,第四绝缘体位于第三绝缘体上。第五绝缘体位于氧化物上及第四绝缘体的侧面上,第三导电体位于第五绝缘体上。第六绝缘体位于第二导电体上及第四绝缘体的侧面上,第四导电体位于第六绝缘体上。第一存储层的第四导电体与第二存储层的第二绝缘体及氧化物重叠。



1. 一种半导体装置,包括:

第一存储层;以及

第二存储层,

其中,所述第二存储层位于所述第一存储层上,

所述第一存储层及所述第二存储层各自包括第一绝缘体、第二绝缘体、第三绝缘体、第四绝缘体、第五绝缘体、第六绝缘体、氧化物、第一导电体、第二导电体、第三导电体以及第四导电体,

所述氧化物包含选自铟、锌和元素M中的一个或两个以上,

所述元素M为选自镓、铝、硅、硼、钪、锡、铜、钒、铍、钛、铁、镍、锆、锆、钼、镧、铈、钕、钐、钆、铽和镁中的一种或多种,

在所述第一存储层及所述第二存储层各自中,

所述第二绝缘体位于所述第一绝缘体上,

所述氧化物位于所述第二绝缘体上,

所述第一导电体位于所述第一绝缘体上、所述第二绝缘体上及所述氧化物上,

所述第二导电体位于所述第一绝缘体上、所述第二绝缘体上及所述氧化物上,

所述第三绝缘体位于所述第一导电体上、所述第二导电体上及所述第一绝缘体上,

所述第四绝缘体位于所述第三绝缘体上,

所述第四绝缘体在不与所述第一导电体、所述第二导电体及所述第三绝缘体重叠的区域中包括到达所述氧化物的第一开口,

所述第五绝缘体在所述第一开口中位于所述氧化物上及所述第四绝缘体的侧面上,

所述第三导电体位于所述第五绝缘体上,

所述第四绝缘体在不与所述第二绝缘体及所述氧化物重叠的区域中包括到达所述第二导电体的第二开口,

所述第六绝缘体在所述第二开口中位于所述第二导电体上及所述第四绝缘体的侧面上,

所述第四导电体位于所述第六绝缘体上,

并且,所述第一存储层的所述第四导电体与所述第二存储层的所述第二绝缘体及所述第二存储层的所述氧化物重叠。

2. 根据权利要求1所述的半导体装置,

其中所述第五绝缘体和所述第六绝缘体包含彼此相同的绝缘材料,

并且所述第三导电体和所述第四导电体包含彼此相同的导电材料。

3. 一种半导体装置,包括:

第一存储层;以及

第二存储层,

其中,所述第二存储层位于所述第一存储层上,

所述第一存储层及所述第二存储层各自包括第一绝缘体、第二绝缘体、第三绝缘体、第四绝缘体、第五绝缘体、第六绝缘体、氧化物、第一导电体、第二导电体、第三导电体以及第四导电体,

所述氧化物包含选自铟、锌和元素M中的一个或两个以上,

所述元素M为选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锆、钴、钼、镧、铈、钕、钐、钨、钽和镁中的一种或多种,

在所述第一存储层及所述第二存储层各自中，

所述第二绝缘体位于所述第一绝缘体上,

所述氧化物位于所述第二绝缘体上,

所述第一导电体位于所述氧化物上,

所述第二导电体位于所述氧化物上,

所述第三绝缘体位于所述第一导电体上、所述第二导电体上及所述第一绝缘体上，

所述第四绝缘体位于所述第三绝缘体上,

所述第四绝缘体在不与所述第一导电体、所述第二导电体及所述第三绝缘体重叠的区域中包括到达所述氧化物的第一开口，

所述第五绝缘体在所述第一开口中位于所述氧化物上及所述第四绝缘体的侧面上,

所述第三导电体位于所述第五绝缘体上,

所述第四绝缘体在与所述第二绝缘体及所述氧化物重叠的区域中包括到达所述第二导电体的第二开口，

所述第六绝缘体在所述第二开口中位于所述第二导电体上及所述第四绝缘体的侧面上，

所述第四导电体位于所述第六绝缘体上,

并且,所述第一存储层的所述第四导电体与所述第二存储层的所述第二绝缘体及所述第二存储层的所述氧化物重叠。

4.根据权利要求3所述的半导体装置,

其中所述第五绝缘体和所述第六绝缘体包含彼此相同的绝缘材料,

并且所述第三导电体和所述第四导电体包含彼此相同的导电材料。

5.一种存储装置,包括:

权利要求1至4中任一项所述的半导体装置;以及

驱动电路,

其中,所述第一存储层及所述第二存储层位于所述驱动电路的上方。

6.一种电子设备,包括:

权利要求5所述的存储装置;以及

外壳。

半导体装置、存储装置及电子设备

技术领域

[0001] 本发明的一个方式涉及半导体装置、存储装置以及电子设备。

[0002] 此外,本发明的一个方式不限于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、工作方法或制造方法。此外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。因此,具体而言,作为本说明书所公开的本发明的一个方式的技术领域的例子可以举出半导体装置、显示装置、液晶显示装置、发光装置、蓄电装置、摄像装置、存储装置、信号处理装置、传感器、处理器、电子设备、系统、它们的驱动方法、它们的制造方法或它们的检查方法。

背景技术

[0003] 近年来,随着使用数据量的增大,需要具有更大的存储容量的存储装置。为了增加单位面积的存储容量,像3D NAND型存储装置等那样层叠存储单元是有效的(参照专利文献1至专利文献3)。通过层叠存储单元,可以与存储单元的层叠数相应地增加单位面积的存储容量。

[先行技术文献]

[专利文献]

[0004] [专利文献1]美国专利申请公开第2011/0065270号说明书

[专利文献2]美国专利申请公开第2016/0149004号说明书

[专利文献3]美国专利申请公开第2013/0069052号说明书

发明内容

发明所要解决的技术问题

[0005] 本发明的一个方式的目的之一是提供一种存储容量大的半导体装置。此外,本发明的一个方式的目的之一是提供一种填充密度(packing density)高的半导体装置。此外,本发明的一个方式的目的之一是提供一种新颖的半导体装置等。此外,本发明的一个方式的目的之一是提供一种包括上述半导体装置的存储装置。此外,本发明的一个方式的目的之一是提供一种包括上述存储装置的电子设备。此外,本发明的一个方式的目的之一是提供一种新颖的存储装置或新颖的电子设备。

[0006] 注意,本发明的一个方式的目的不局限于上述目的。上述列举的目的并不妨碍其他目的的存在。此外,其他目的是上面没有提到而将在下面的记载中进行说明的目的。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上面没有提到的目的。此外,本发明的一个方式实现上述目的及其他目的中的至少一个目的。此外,本发明的一个方式并不需要实现所有的上述目的及其他目的。

解决技术问题的手段

[0007] (1)

本发明的一个方式是一种包括第一存储层以及第二存储层的半导体装置。第二存

储层位于所述第一存储层上。第一存储层及第二存储层各自包括第一绝缘体、第二绝缘体、第三绝缘体、第四绝缘体、第五绝缘体、第六绝缘体、氧化物、第一导电体、第二导电体、第三导电体以及第四导电体。氧化物包含选自铟、锌和元素M中的一个或两个以上。元素M为选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、钐和镁中的一种或多种。

[0008] 在第一存储层及第二存储层各自中,第二绝缘体位于第一绝缘体上,氧化物位于第二绝缘体上。第一导电体位于第一绝缘体上、第二绝缘体上及氧化物上,第二导电体位于第一绝缘体上、第二绝缘体上及氧化物上。第三绝缘体位于第一导电体上、第二导电体上及第一绝缘体上,第四绝缘体位于第三绝缘体上。第四绝缘体在不与第一导电体、第二导电体及第三绝缘体重叠的区域中包括到达氧化物的第一开口。第五绝缘体在第一开口中位于氧化物上及第四绝缘体的侧面上,第三导电体位于第五绝缘体上。第四绝缘体在不与第二绝缘体及氧化物重叠的区域中包括到达第二导电体的第二开口。第六绝缘体在第二开口中位于第二导电体上及第四绝缘体的侧面上,第四导电体位于第六绝缘体上。

[0009] 第一存储层的第四导电体与第二存储层的第二绝缘体及第二存储层的氧化物重叠。

[0010] (2)

本发明的一个方式也可以具有上述(1)的结构,其中第五绝缘体和第六绝缘体包含彼此相同的绝缘材料,并且第三导电体和第四导电体包含彼此相同的导电材料。

[0011] (3)

本发明的一个方式是一种包括第一存储层以及第二存储层且具有与上述(1)不同的结构的半导体装置。第二存储层位于第一存储层上。第一存储层及第二存储层各自包括第一绝缘体、第二绝缘体、第三绝缘体、第四绝缘体、第五绝缘体、第六绝缘体、氧化物、第一导电体、第二导电体、第三导电体以及第四导电体。氧化物包含选自铟、锌和元素M中的一个或两个以上。元素M为选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、钐、钐、钐、钐和镁中的一种或多种。

[0012] 在第一存储层及第二存储层各自中,第二绝缘体位于第一绝缘体上,氧化物位于第二绝缘体上。第一导电体位于氧化物上,第二导电体位于氧化物上。第三绝缘体位于第一导电体上、第二导电体上及第一绝缘体上,第四绝缘体位于第三绝缘体上。第四绝缘体在不与第一导电体、第二导电体及第三绝缘体重叠的区域中包括到达氧化物的第一开口。第五绝缘体在第一开口中位于氧化物上及第四绝缘体的侧面上,第三导电体位于第五绝缘体上。第四绝缘体在与第二绝缘体及氧化物重叠的区域中包括到达第二导电体的第二开口。第六绝缘体在第二开口中位于第二导电体上及第四绝缘体的侧面上,第四导电体位于第六绝缘体上。

[0013] 第一存储层的第四导电体与第二存储层的第二绝缘体及第二存储层的氧化物重叠。

[0014] (4)

本发明的一个方式也可以具有上述(3)的结构,其中第五绝缘体和第六绝缘体包含彼此相同的绝缘材料,并且第三导电体和第四导电体包含彼此相同的导电材料。

[0015] (5)

本发明的一个方式是一种包括上述 (1) 至 (4) 中任一项所述的半导体装置以及驱动电路的存储装置。

[0016] (6)

本发明的一个方式是一种包括上述 (5) 的存储装置以及外壳的电子设备。

发明效果

[0017] 根据本发明的一个方式,可以提供一种存储容量大的半导体装置。此外,根据本发明的一个方式,可以提供一种填充密度高的半导体装置。此外,根据本发明的一个方式,可以提供一种新颖的半导体装置等。此外,根据本发明的一个方式,可以提供一种包括上述半导体装置的存储装置。此外,根据本发明的一个方式,可以提供一种包括上述存储装置的电子设备。此外,根据本发明的一个方式,可以提供一种新颖的存储装置或新颖的电子设备。

[0018] 注意,本发明的一个方式的效果不局限于上述效果。上述列举的效果并不妨碍其他效果的存在。此外,其他效果是上面没有提到而将在下面的记载中进行说明的效果。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上面没有提到的效果。此外,本发明的一个方式具有上述效果及其他效果中的至少一个效果。因此,本发明的一个方式有时根据情况没有上述列举的效果。

附图简要说明

[0019] 图1是示出半导体装置的结构例子的电路图。

图2是示出半导体装置的结构例子的截面示意图。

图3是示出半导体装置的结构例子的立体示意图。

图4是示出半导体装置的结构例子的截面示意图。

图5是示出半导体装置的结构例子的布局图。

图6A是示出半导体装置的结构例子的平面示意图,图6B至图6D是示出半导体装置的结构例子的截面示意图。

图7A是示出半导体装置的制造方法的例子的平面示意图,图7B至图7D是示出半导体装置的制造方法的例子的截面示意图。

图8A是示出半导体装置的制造方法的例子的平面示意图,图8B至图8D是示出半导体装置的制造方法的例子的截面示意图。

图9A是示出半导体装置的制造方法的例子的平面示意图,图9B至图9D是示出半导体装置的制造方法的例子的截面示意图。

图10A是示出半导体装置的制造方法的例子的平面示意图,图10B至图10D是示出半导体装置的制造方法的例子的截面示意图。

图11A是示出半导体装置的制造方法的例子的平面示意图,图11B至图11D是示出半导体装置的制造方法的例子的截面示意图。

图12A是示出半导体装置的制造方法的例子的平面示意图,图12B至图12D是示出半导体装置的制造方法的例子的截面示意图。

图13A是示出半导体装置的制造方法的例子的平面示意图,图13B至图13D是示出半导体装置的制造方法的例子的截面示意图。

图14A是示出半导体装置的制造方法的例子的平面示意图,图14B至图14D是示出半导体装置的制造方法的例子的截面示意图。

图15A是示出半导体装置的制造方法的例子的平面示意图,图15B至图15D是示出半导体装置的制造方法的例子的截面示意图。

图16A是示出半导体装置的制造方法的例子的平面示意图,图16B至图16D是示出半导体装置的制造方法的例子的截面示意图。

图17A是示出半导体装置的制造方法的例子的平面示意图,图17B至图17D是示出半导体装置的制造方法的例子的截面示意图。

图18A是示出半导体装置的制造方法的例子的平面示意图,图18B至图18D是示出半导体装置的制造方法的例子的截面示意图。

图19A是示出半导体装置的制造方法的例子的平面示意图,图19B至图19D是示出半导体装置的制造方法的例子的截面示意图。

图20A是示出半导体装置的制造方法的例子的平面示意图,图20B至图20D是示出半导体装置的制造方法的例子的截面示意图。

图21A是示出半导体装置的制造方法的例子的平面示意图,图21B至图21D是示出半导体装置的制造方法的例子的截面示意图。

图22是示出半导体装置的结构例子的截面示意图。

图23是示出半导体装置的结构例子的立体示意图。

图24是示出半导体装置的结构例子的截面示意图。

图25A是示出半导体装置的制造方法的例子的平面示意图,图25B至图25D是示出半导体装置的制造方法的例子的截面示意图。

图26A是示出半导体装置的制造方法的例子的平面示意图,图26B至图26D是示出半导体装置的制造方法的例子的截面示意图。

图27A是示出半导体装置的制造方法的例子的平面示意图,图27B至图27D是示出半导体装置的制造方法的例子的截面示意图。

图28A是示出半导体装置的制造方法的例子的平面示意图,图28B至图28D是示出半导体装置的制造方法的例子的截面示意图。

图29A是示出半导体装置的制造方法的例子的平面示意图,图29B至图29D是示出半导体装置的制造方法的例子的截面示意图。

图30A是示出半导体装置的制造方法的例子的平面示意图,图30B至图30D是示出半导体装置的制造方法的例子的截面示意图。

图31A是示出半导体装置的制造方法的例子的平面示意图,图31B至图31D是示出半导体装置的制造方法的例子的截面示意图。

图32A是说明存储装置的结构例子的立体示意图,图32B是说明半导体装置的结构例子的方框图。

图33是说明存储装置的结构例子的方框图。

图34是说明存储装置的结构例子的截面示意图。

图35A是示出半导体晶片的一个例子的立体示意图,图35B是示出芯片的一个例子的立体示意图,图35C及图35D是示出电子构件的一个例子的立体示意图。

图36是说明CPU的方框图。

图37A至图37J是说明电子设备的一个例子的立体图。

图38A、图38B及图38D是示出电子设备的结构例子的立体图,图38C是示出电子设备的一部分的例子的图。

图39A至图39E是说明电子设备的一个例子的立体示意图。

实施发明的方式

[0020] 在本说明书等中,半导体装置是指利用半导体特性的装置以及包括半导体元件(例如,晶体管、二极管、光电二极管)的电路及包括该电路的装置等。此外,半导体装置是指能够利用半导体特性而发挥作用的所有装置。例如,集成电路、具有集成电路的芯片及封装中容纳有芯片的电子构件都是半导体装置的一个例子。此外,例如,存储装置、显示装置、发光装置、照明装置以及电子设备有时本身是半导体装置,或者有时包括半导体装置。

[0021] 此外,在本说明书等中,当记载为“X与Y连接”时,表示在本说明书等中公开了如下情况:X与Y电连接的情况;X与Y在功能上连接的情况;以及X与Y直接连接的情况。因此,不局限于附图或文中所示的连接关系,例如其他的连接关系也在附图或文中所记载的范围内。X、Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜或层)。

[0022] 作为X和Y电连接的情况的一个例子,可以在X和Y之间连接一个以上的能够电连接X和Y的元件(例如开关、晶体管、电容器、电感器、电阻器、二极管、显示器件、发光器件、负载等)。此外,开关具有控制开启或关闭的功能。换言之,通过使开关处于导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过。

[0023] 此外,在X与Y之间配置有元件和电源线(例如,VDD(高电源电位)、VSS(低电源电位)、GND(接地电位)或供应所希望的电位的布线)的双方的情况下,不可说X与Y电连接。此外,在X与Y之间只配置有电源线的情况下,在X与Y之间没有其他元件,由此可以说X与Y直接连接。因此,在X与Y之间只配置有电源线的情况下,也可以说“X与Y电连接”。但是,在X与Y之间配置有元件和电源线的双方的情况下,可以说X与电源线(通过元件)电连接且Y与电源线电连接,而不可说X与Y电连接。此外,在晶体管的栅极及源极介于X与Y之间的情况下,不可说X与Y电连接。此外,在晶体管的栅极及漏极介于X与Y之间的情况下,不可说X与Y电连接。也就是说,关于晶体管,在晶体管的漏极及源极介于X与Y之间的情况下,可以说X与Y电连接。此外,在X与Y之间配置有电容器的情况下,有时可以说X与Y电连接,也有时不可说X与Y电连接。例如,在数字电路或逻辑电路的结构中,在X与Y之间配置有电容器的情况下,有时不可说X与Y电连接。另一方面,例如,在模拟电路的结构中,在X与Y之间配置有电容器的情况下,有时可以说X与Y电连接。

[0024] 作为X与Y在功能上连接的情况的一个例子,例如可以在X与Y之间连接有一个以上的能够在功能上连接X与Y的电路(例如,逻辑电路(例如,反相器、NAND电路、NOR电路)、信号转换电路(例如,数字模拟转换电路、模拟数字转换电路、伽马校正电路)、电位电平转换电路(例如,(升压电路、降压电路等电源电路)、改变信号的电位电平的电平转移电路)、电压源、电流源、切换电路、放大电路(例如,能够增大信号振幅或电流量等的电路、运算放大器、差分放大电路、源极跟随电路、缓冲电路)、信号产生电路、存储电路、控制电路等)。注意,例如,即使在X与Y之间夹有其他电路,当从X输出的信号传送到Y时,就可以说X与Y在功能上是连接着的。

[0025] 此外,当明确地记载为“X与Y电连接”时,包括如下情况:X与Y电连接的情况(换言之,以中间夹有其他元件或其他电路的方式连接X与Y的情况);以及X与Y直接连接的情况

(换言之,以中间不夹有其他元件或其他电路的方式连接X与Y的情况)。

[0026] 此外,例如可以表现为“X、Y、晶体管的源极(有时换称为第一端子和第二端子中的一方)与晶体管的漏极(有时换称为第一端子和第二端子中的另一方)相互电连接,X、晶体管的源极、晶体管的漏极、Y依次电连接”。或者,可以表现为“晶体管的源极与X电连接,晶体管的漏极与Y电连接,X、晶体管的源极、晶体管的漏极、Y依次电连接”。或者,可以表现为“X通过晶体管的源极及漏极与Y电连接,X、晶体管的源极、晶体管的漏极、Y依次设置为相互连接”。通过使用与这些例子相同的表现方法规定电路结构中的连接顺序,可以区别晶体管的源极与漏极而决定技术范围。注意,这种表现方法是一个例子,不局限于上述表现方法。在此,X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜或层等)。

[0027] 此外,即使在电路图上独立的构成要素彼此电连接,也有时一个构成要素兼有多个构成要素的功能。例如,在布线的一部分用作电极时,一个导电膜兼有布线和电极的两个功能。因此,本说明书中的“电连接”的范畴内还包括这种一个导电膜兼有多个构成要素的功能的情况。

[0028] 在本说明书等中,“电阻器”例如可以为具有高于 0Ω 的电阻值的电路元件或者具有高于 0Ω 的电阻值的布线。因此,在本说明书等中,“电阻器”包括具有电阻值的布线、电流流过源极和漏极之间的晶体管、二极管或线圈。因此,“电阻器”有时可以换称为“电阻”、“负载”或“具有电阻值的区域”。相对于此,“电阻”、“负载”或“具有电阻值的区域”等有时可以换称为“电阻器”。作为电阻值,例如优选为 $1\text{m}\Omega$ 以上且 10Ω 以下,更优选为 $5\text{m}\Omega$ 以上且 5Ω 以下,进一步优选为 $10\text{m}\Omega$ 以上且 1Ω 以下。此外,例如也可以为 1Ω 以上且 $1\times 10^9\Omega$ 以下。

[0029] 在本说明书等中,“电容器”例如可以为具有高于 0F 的静电电容值的电路元件、具有高于 0F 的静电电容值的布线的区域、寄生电容或晶体管的栅极电容。此外,“电容器”、“寄生电容”或“栅极电容”等有时可以换称为“电容”。相对于此,“电容”有时可以换称为“电容器”、“寄生电容”或“栅极电容”。此外,“电容”(包括三个以上的端子的“电容”)包括绝缘体及夹持该绝缘体的一对导电体。由此,“电容”的“一对导电体”可以换称为“一对电极”、“一对导电区域”、“一对区域”或“一对端子”。此外,“一对端子中的一个”及“一对端子中的另一个”有时分别被称为第一端子及第二端子。此外,静电电容值例如可以为 0.05fF 以上且 10pF 以下。此外,例如,还可以为 1pF 以上且 $10\mu\text{F}$ 以下。

[0030] 在本说明书等中,晶体管包括栅极、源极以及漏极这三个端子。栅极被用作控制晶体管的导通状态的控制端子。用作源极或漏极的两个端子是晶体管的输入输出端子。根据晶体管的导电型(n沟道型、p沟道型)及对晶体管的三个端子施加的电位的高低,两个输入输出端子中的一方用作源极而另一方用作漏极。因此,在本说明书等中,源极和漏极可以相互调换。在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(第一电极或第一端子)、“源极和漏极中的另一个”(第二电极或第二端子)的表述。此外,根据晶体管的结构,有时除了上述三个端子以外还包括背栅极。在此情况下,在本说明书等中,有时将晶体管的栅极和背栅极中的一方称为第一栅极,将晶体管的栅极和背栅极的另一方称为第二栅极。并且,在相同晶体管中,有时可以将“栅极”与“背栅极”相互调换。此外,在晶体管包括三个以上的栅极时,在本说明书等中,有时将各栅极称为第一栅极、第二栅极、第三栅极等。

[0031] 例如在本说明书等中,作为晶体管的一个例子可以采用具有两个以上的栅电极的

多栅结构晶体管。当采用多栅结构时,由于将沟道形成区域串联连接,所以成为多个晶体管串联连接的结构。因此,通过采用多栅结构,可以降低关态电流(off-state current),并能够提高晶体管的耐压性(提高可靠性)。或者,通过利用多栅结构,当晶体管在饱和区域工作时,即便漏极-源极间的电压发生变化,漏极-源极间电流的变化也不太大,从而可以得到倾斜角平坦的电压-电流特性。当利用倾斜角平坦的电压-电流特性时,可以实现理想的电流源电路或电阻值极高的有源负载。其结果是,可以实现特性良好的差动电路或电流反射镜电路等。

[0032] 此外,在本说明书等中,“发光器件”及“受光器件”等电路元件有时具有被称为“阳极”及“阴极”的极性。关于“发光器件”,有时可以通过施加正向偏压(将相对于“阴极”的正电位施加到“阳极”)使“发光器件”发光。此外,关于“受光器件”,有时通过施加零偏压或反向偏压(将相对于“阴极”的负电位施加到“阳极”)且将光照射到“受光器件”使电流产生在“阳极”-“阴极”间。如上所述,有时以“阳极”及“阴极”为“发光器件”、“受光器件”等电路元件中的输入输出端子。在本说明书等中,有时将“发光器件”、“受光器件”等电路元件中的“阳极”及“阴极”分别称为端子(第一端子、第二端子等)。例如,有时将“阳极”及“阴极”中的一个称为第一端子,并将“阳极”及“阴极”中的另一个称为第二端子。

[0033] 此外,电路图示出一个电路元件的情况有时包括该电路元件具有多个电路元件的情况。例如,电路图示出一个电阻的情况包括两个以上的电阻串联连接的情况。此外,例如,电路图示出一个电容的情况包括两个以上的电容并联连接的情况。此外,例如,电路图示出一个晶体管的情况包括两个以上的晶体管串联连接且各晶体管的栅极彼此电连接的情况。同样,例如,电路图示出一个开关的情况包括该开关具有两个以上的晶体管,两个以上的晶体管串联电连接或者并联电连接并且各晶体管的栅极彼此电连接的情况。

[0034] 此外,在本说明书等中,节点也可以根据电路结构及器件结构等称为端子、布线、电极、导电层、导电体或杂质区域。此外,端子、布线等也可以换称为节点。

[0035] 此外,在本说明书等中,可以适当地调换“电压”和“电位”。“电压”是指与基准电位之间的电位差,例如在基准电位为地电位(接地电位)时,也可以将“电压”称为“电位”。地电位不一定意味着0V。此外,电位是相对性的,根据基准电位的变化而供应到布线的电位、施加到电路等的电位、从电路等输出的电位等也产生变化。

[0036] 此外,在本说明书等中,“高电平电位”及“低电平电位”不意味着特定的电位。例如,在两个布线都被记为“用作供应高电平电位的布线”的情况下,两个布线所供应的高电平电位也可以互不相同。同样,在两个布线都被记为“用作供应低电平电位的布线”的情况下,两个布线所供应的低电平电位也可以互不相同。

[0037] 此外,“电流”是指电荷的迁移现象(导电),例如,“发生正带电体的导电”的记载可以替换为“在与其相反方向上发生负带电体的导电”的记载。因此,在本说明书等中,在没有特别的说明的情况下,“电流”是指载流子迁移时的电荷的迁移现象(导电)。在此,作为载流子例如可以举出电子、空穴、阴离子、阳离子、络离子等,载流子根据电流流过的系统(例如,半导体、金属、电解液及真空中)不同。此外,布线等中的“电流的方向”是带正电的载流子迁移的方向,以正电流量记载。换言之,带负电的载流子迁移的方向与电流方向相反,以负电流量记载。因此,在本说明书等中,在没有特别的说明的情况下,关于电流的正负(或电流的方向),“电流从元件A向元件B流过”的记载可以替换为“电流从元件B向元件A流过”的记载。

此外,“对元件A输入电流”的记载可以替换为“从元件A输出电流”的记载。

[0038] 此外,在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此,该序数词不限制构成要素的个数。此外,该序数词不限制构成要素的顺序。例如,在本说明书等中,一个实施方式中的“第一”构成要素有可能在其他实施方式或权利要求书中被称为“第二”构成要素。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书中被省略。

[0039] 在本说明书等中,为了方便起见,有时使用“上”、“下”等表示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书等中所说明的词句,根据情况可以适当地换词句。例如,如果是“位于导电体的顶面的绝缘体”的表述,通过将所示的附图的方向旋转180度,则可以换称为“位于导电体的底面的绝缘体”。

[0040] 此外,“上”或“下”这样的术语不限定于构成要素的位置关系为“正上”或“正下”且直接接触的情况。例如,如果是“绝缘层A上的电极B”的表述,则不一定必须在绝缘层A上直接接触地形成有电极B,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。此外,同样,例如,如果是“绝缘层A上方的电极B”的表述,则不一定必须在绝缘层A上直接接触地形成有电极B,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。此外,同样,例如,如果是“绝缘层A下方的电极B”的表述,则不一定必须在绝缘层A下直接接触地形成有电极B,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。

[0041] 此外,在本说明书等中,有时为了说明配置为矩阵状的构成要素及其位置关系而使用“行”及“列”等词句。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书等中所说明的词句,根据情况可以适当地换词句。例如,通过将附图的方向旋转90度,有时可以将“行方向”的表述换称为“列方向”。

[0042] 此外,在本说明书等中,根据状况,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”调换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”。此外,根据情况或状况,可以使用其他词句代替“膜”和“层”等词句。例如,有时可以将“导电层”或“导电膜”变换为“导电体”。此外,例如有时可以将“绝缘层”或“绝缘膜”变换为“绝缘体”。

[0043] 注意,在本说明书等中,“电极”、“布线”及“端子”的词句不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”等词句还包括多个“电极”或“布线”形成为一体的情况等。此外,例如,有时将“端子”用作“布线”或“电极”的一部分,反之亦然。再者,“端子”的词句还包括选自“电极”、“布线”及“端子”中的两个以上被形成为一体的情况等。因此,例如,“电极”可以为“布线”或“端子”的一部分,例如,“端子”可以为“布线”或“电极”的一部分。此外,“电极”、“布线”或“端子”等的词句根据情况有时置换为“区域”等的词句。

[0044] 在本说明书等中,根据情况或状况,可以互相调换“布线”、“信号线”或“电源线”等词句。例如,有时可以将“布线”变换为“信号线”。此外,例如有时可以将“布线”变换为“电源线”。反之亦然,有时可以将“信号线”或“电源线”等变换为“布线”。有时可以将“电源线”等变换为“信号线”。反之亦然,有时可以将“信号线”等变换为“电源线”等。此外,根据情况或状况,有时可以互相将施加到布线的“电位”变换为“信号”。反之亦然,有时可以将“信号”变换为“电位”。

[0045] 此外,在本说明书等中,有时参照时序图说明半导体装置的工作方法。此外,用于本说明书等的时序图显示出理想的工作例子,在没有特别说明的情况下,不局限于该时序图所示的期间、信号(例如,电位或电流)的大小以及时序。在本说明书等的时序图中,可以根据状况改变该时序图中的各布线(包括节点)的信号(例如,电位或电流)的大小及时序。例如,即使在时序图中示出相等间隔的两个期间,两个期间的长短有时也不相同。此外,例如,即使示出两个期间中的一个期间长而另一个期间短,两个期间的长短有时也可以相同,或者有时也可以使两个期间中的一个期间短而使另一个期间长。

[0046] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导体(包括透明氧化物导体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在晶体管的沟道形成区域包含金属氧化物的情况下,有时将该金属氧化物称为氧化物半导体。换言之,在金属氧化物能够构成具有放大作用、整流作用及开关作用中的至少一个的晶体管的沟道形成区域时,可以将该金属氧化物称为金属氧化物半导体(metal oxide semiconductor)。此外,可以将OS晶体管换称为包含金属氧化物或氧化物半导体的晶体管。

[0047] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0048] 此外,在本说明书等中,半导体的杂质是指构成半导体膜的主要成分之外的物质。例如,浓度为低于0.1at.%的元素是杂质。当包含杂质时,有时发生半导体中的缺陷态密度增高、载流子迁移率降低以及结晶性降低中的一个以上。在半导体是氧化物半导体时,作为改变半导体特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素或主要成分之外的过渡金属等,尤其是,例如有氢(包含于水中)、锂、钠、硅、硼、磷、碳、氮等。具体而言,当半导体是硅层时,作为改变半导体特性的杂质,例如有第1族元素、第2族元素、第13族元素及第15族元素(注意,有时不包含氧、氢)。

[0049] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。因此,开关有时除了控制端子以外还包括使电流流过的两个或三个以上的端子。作为开关的一个例子,可以使用电开关或机械开关等。换言之,开关只要可以控制电流,就不局限于特定的元件。

[0050] 电开关的例子包括晶体管(例如双极晶体管或MOS晶体管)、二极管(例如PN二极管、PIN二极管、肖特基二极管、金属-绝缘体-金属(MIM)二极管、金属-绝缘体-半导体(MIS)二极管或者二极管接法的晶体管)或者组合这些元件的逻辑电路。当作为开关使用晶体管时,晶体管的“导通状态”例如是指晶体管的源电极与漏电极在电性上短路的状态或者能够使电流流过源电极与漏电极间的状态等。此外,晶体管的“非导通状态”是指晶体管的源电极与漏电极在电性上断开的状态。当仅将晶体管用作开关时,对晶体管的极性(导电型)没有特别的限制。

[0051] 在本说明书中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态。因此,也包括该角度为 -5° 以上且 5° 以下的状态。“大致平行”是指两条直线形成的角度为 -30° 以上且 30° 以下的状态。此外,“垂直”是指两条直线的角度为 80° 以上且 100° 以下的状态。因此,也包括该角度为 85° 以上且 95° 以下的状态。“大致垂直”是指两条直线形成的角度为 60°

以上且 120° 以下的状态。

[0052] 此外,在本说明书等中,各实施方式所示的结构可以与其他实施方式所示的结构适当地组合而构成本发明的一个方式。此外,当在一个实施方式中示出多个结构例子时,可以适当地组合这些结构例子。

[0053] 此外,可以将某一实施方式中说明的内容(或其一部分)应用/组合/替换成该实施方式中说明的其他内容(或其一部分)和另一个或多个其他实施方式中说明的内容(或其一部分)中的至少一个内容。

[0054] 注意,实施方式中说明的内容是指各实施方式中利用各种附图所说明的内容或者利用说明书所记载的文章而说明的内容。

[0055] 此外,通过将某一实施方式中示出的附图(或其一部分)与该附图的其他部分、该实施方式中示出的其他附图(或其一部分)和另一个或多个其他实施方式中示出的附图(或其一部分)中的至少一个附图组合,可以构成更多图。

[0056] 参照附图说明本说明书所记载的实施方式。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在实施方式所记载的内容中。注意,在实施方式中的发明的结构中,有时在不同的附图中共同使用相同的符号来表示相同的部分或具有相同功能的部分,而省略反复说明。在立体图或俯视图等中,为了明确起见,有时省略部分构成要素的图示。

[0057] 在本说明书的附图中,有时参照平面图说明根据各实施方式的结构。作为一个例子,平面图是指示出从垂直方向看结构时的面的图或者示出沿平行方向截断结构时的面(剖面)的图。此外,通过在平面图中使用隐藏线(例如虚线),可以示出结构所包括的多个构成要素的位置关系或该多个构成要素的重叠的关系。此外,在本说明书等中,“平面图”也可以被称为“平面示意图”、“投影图”、“俯视图”或“仰视图”。此外,有时根据状况而将沿平行方向截断结构时的面(剖面)以外的沿与平行方向不同的方向截断结构时的面(剖面)称为平面图。

[0058] 在本说明书的附图中,有时参照截面图说明根据各实施方式的结构。作为一个例子,截面图是指示出从平行方向看结构时的面的图或者示出沿垂直方向截断结构时的面(剖面)的图。此外,在本说明书等中,“截面图”也可以被称为“截面示意图”、“正视图”或“侧视图”。此外,有时根据状况而将沿垂直方向截断结构时的面(剖面)以外的沿与垂直方向不同的方向截断结构时的面(剖面)称为截面图。

[0059] 在本说明书等中,在多个要素使用同一符号并且需要区分它们时,有时对符号附加“_1”, “[n]”, “[m,n]”等用于识别的符号。此外,在附图等中,在对符号附加“_1”, “[n]”, “[m,n]”等用于识别的符号的情况下,如果不需要在本说明书等中区分它们,有时不附加“_1”, “[n]”, “[m,n]”等用于识别的符号。

[0060] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,而不局限于附图所示的形状或数值等。例如,可以包括因噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0061] (实施方式1)

在本实施方式中,对本发明的一个方式的半导体装置进行说明。

[0062] <半导体装置的电路结构例子>

图1是示出作为本发明的一个方式的半导体装置DEV的结构例子的电路图。作为一个例子,半导体装置DEV包括存储层ALYa及存储层ALYb。此外,在图1中,存储层ALYb位于存储层ALYa上方。

[0063] 存储层ALYa及存储层ALYb各自包括多个存储单元。尤其是,存储层ALYa及存储层ALYb各自包括配置为矩阵状的多个存储单元。作为一个例子,在图1中,存储层ALYa及存储层ALYb各自包括配置为m行n列(m为1以上的整数,n为1以上的整数)的矩阵状的存储单元。

[0064] 此外,在本说明书及附图中,例如,将在存储层ALYa的矩阵中位于第一行第一列的存储单元MC记为存储单元MCa[1,1],并且将在存储层ALYb的矩阵中位于第m行第n列的存储单元记为存储单元MCb[m,n]。

[0065] 此外,在图1中,存储层ALYa的矩阵的行数及列数与存储层ALYb的矩阵的行数及列数一致,但是存储层ALYa及存储层ALYb各自的矩阵的行数及列数不一定必须为一致。

[0066] 此外,图1所示的存储单元MC为被称为DRAM(Dynamic Random Access Memory:动态随机存取存储器)的存储单元的一个例子,并包括晶体管M1以及电容C1。尤其是,在本说明书等中,作为晶体管M1使用OS晶体管的DRAM有时被称为DOSRAM(注册商标)(Dynamic Oxide Semiconductor Random Access Memory:动态氧化物半导体随机存取存储器)。

[0067] 作为一个例子,作为晶体管M1,优选使用OS晶体管。尤其是,作为OS晶体管的沟道形成区域所包含的金属氧化物,例如可以举出铟氧化物、镓氧化物以及锌氧化物。此外,金属氧化物优选包含选自铟、元素M以及锌中的一个或两个以上。注意,元素M为选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锆、钼、镧、铈、钕、钆、铽、铒和镱中的一种或多种。尤其是,元素M优选为选自铝、镓、钇和锡中的一种或多种。

[0068] 尤其是,作为用于半导体层的金属氧化物,优选使用包含铟(In)、镓(Ga)及锌(Zn)的氧化物(也记为IGZO)。或者,优选使用包含铟、锡及锌的氧化物(也记为ITZO(注册商标))。或者,优选使用包含铟、镓、锡及锌的氧化物。或者,优选使用包含铟(In)、铝(Al)及锌(Zn)的氧化物(也称为IAZO)。或者,优选使用包含铟(In)、铝(Al)、镓(Ga)及锌(Zn)的氧化物(也称为IAGZO)。此外,关于OS晶体管将在说明半导体装置的截面结构例子时叙述。

[0069] 此外,晶体管M1也可以应用OS晶体管以外的晶体管。例如,晶体管M1可以应用在沟道形成区域中含有硅的晶体管(以下称为Si晶体管)。此外,作为硅,例如可以使用单晶硅、非晶硅(有时被称为氢化非晶硅)、微晶硅或多晶硅(包括低温多晶硅)。

[0070] 此外,作为晶体管M1,除了OS晶体管及Si晶体管以外,例如可以采用沟道形成区域中含有锗的晶体管、沟道形成区域中含有硒化锌、硫化镉、砷化镓、磷化铟、氮化镓或硅锗等化合物半导体的晶体管、沟道形成区域中含有碳纳米管的晶体管或沟道形成区域中含有有机半导体的晶体管。

[0071] 此外,虽然图1所示的晶体管M1为n沟道型晶体管,但是根据状况或情况也可以为p沟道型晶体管。此外,在将n沟道型晶体管置换成p沟道型晶体管的情况下,需要适当地改变输入到存储单元MC的电位,以使存储单元MC正常工作。这一点不仅应用于图1,而且还可以同样应用于说明书的其他部分描述的晶体管及其他附图所示的晶体管。此外,在本实施方式中,将晶体管M1作为n沟道型晶体管来说明存储单元MC的结构。

[0072] 此外,晶体管M1优选在处于开启状态时工作于饱和区域。此外,根据状况,晶体管M1也可以在处于开启状态时工作于线性区域。此外,晶体管M1也可以工作于亚阈值区域。

[0073] 此外,作为一个例子,晶体管M1采用在沟道上下包括栅极的晶体管,晶体管M1包括第一栅极及第二栅极。作为一个例子,为了方便起见,将第一栅极记为栅极(有时记为前栅极),将第二栅极记为背栅极来进行区分,但是第一栅极和第二栅极可以相互调换。因此,在本说明书等中,“栅极”可以记为“背栅极”。同样地,“背栅极”可以记为“栅极”。具体而言,“栅极与第一布线电连接且背栅极与第二布线电连接”的连接结构可以调换为“背栅极与第一布线电连接且栅极与第二布线电连接”的连接结构。

[0074] 此外,上述晶体管的说明不仅可以应用于晶体管M1,而且还可以同样应用于说明书的其他部分描述的晶体管及附图所示的晶体管。

[0075] 存储单元M_{Ca}[1,1]至存储单元M_{Ca}[m,n]及存储单元M_{Cb}[1,1]至存储单元M_{Cb}[m,n]各自的晶体管M1的第一端子与电容C1的第一端子电连接。

[0076] 在配置在存储层ALY_a的矩阵的第一列上的存储单元M_{Ca}[1,1]至存储单元M_{Ca}[m,1]中,晶体管M1的第二端子与布线BL_a[1]电连接。此外,在配置在存储层ALY_a的矩阵的第n列上的存储单元M_{Ca}[1,n]至存储单元M_{Ca}[m,n]中,晶体管M1的第二端子与布线BL_a[n]电连接。此外,在配置在存储层ALY_b的矩阵的第一列上的存储单元M_{Cb}[1,1]至存储单元M_{Cb}[m,1]中,晶体管M1的第二端子与布线BL_b[1]电连接。此外,在配置在存储层ALY_b的矩阵的第n列上的存储单元M_{Cb}[1,n]至存储单元M_{Cb}[m,n]中,晶体管M1的第二端子与布线BL_b[n]电连接。

[0077] 在配置在存储层ALY_a的矩阵的第一行上的存储单元M_{Ca}[1,1]至存储单元M_{Ca}[1,n]中,晶体管M1的栅极与布线WL_a[1]电连接,电容C1的第二端子与布线CL_a[1]电连接。此外,在配置在存储层ALY_a的矩阵的第m行上的存储单元M_{Ca}[m,1]至存储单元M_{Ca}[m,n]中,晶体管M1的栅极与布线WL_a[m]电连接,电容C1的第二端子与布线CL_a[m]电连接。此外,在配置在存储层ALY_b的矩阵的第一行上的存储单元M_{Cb}[1,1]至存储单元M_{Cb}[1,n]中,晶体管M1的栅极与布线WL_b[1]电连接,电容C1的第二端子与布线CL_b[1]电连接。此外,在配置在存储层ALY_b的矩阵的第m行上的存储单元M_{Cb}[m,1]至存储单元M_{Cb}[m,n]中,晶体管M1的栅极与布线WL_b[m]电连接,电容C1的第二端子与布线CL_b[m]电连接。

[0078] 此外,在配置在存储层ALY_b的矩阵的第一行上的存储单元M_{Cb}[1,1]至存储单元M_{Cb}[1,n]中,晶体管M1的背栅极与延伸配置在存储层ALY_a上的布线CL_a[1]电连接。此外,在配置在存储层ALY_b的矩阵的第m行上的存储单元M_{Cb}[m,1]至存储单元M_{Cb}[m,n]中,晶体管M1的背栅极与延伸配置在存储层ALY_a上的布线CL_a[m]电连接。

[0079] 此外,配置在存储层ALY_a中的存储单元M_{Ca}[1,1]至存储单元M_{Ca}[m,n]各自所包括的晶体管M1的背栅极例如也可以与延伸配置在存储层ALY_a下方的布线电连接(未图示)。此外,延伸配置在存储层ALY_b中的布线CL_a[1]至布线CL_a[m]例如也可以与配置在存储层ALY_b上方的晶体管的背栅极电连接(未图示)。

[0080] 布线WL_a[1]至布线WL_a[m]被用作对于存储层ALY_a所包括的存储单元M_{Ca}[1,1]至存储单元M_{Ca}[m,n]的字线。同样,布线WL_b[1]至布线WL_b[m]被用作对于存储层ALY_b所包括的存储单元M_{Cb}[1,1]至存储单元M_{Cb}[m,n]的字线。也就是说,布线WL_a[1]至布线WL_a[m]以及布线WL_b[1]至布线WL_b[m]被用作发送用来选择作为写入对象或读出对象的存储单元MC

的选择信号(有时被称为电流、可变电位或脉冲电压)的布线。此外,布线WLa[1]至布线WLa[m]及布线WLb[1]至布线WLb[m]也可以根据状况而被用作供应恒定电位的布线。

[0081] 布线BLa[1]至布线BLa[n]被用作对于存储层ALYa所包括的存储单元MCa[1,1]至存储单元MCa[m,n]的位线。同样,布线BLb[1]至布线BLb[n]被用作对于存储层ALYb所包括的存储单元MCb[1,1]至存储单元MCb[m,n]的位线。也就是说,布线BLa[1]至布线BLa[n]及布线BLb[1]至布线BLb[n]被用作对所选择的存储单元MC发送写入数据的布线及从所选择的存储单元MC发送读出数据的布线。此外,布线BLa[1]至布线BLa[n]及布线BLb[1]至布线BLb[n]也可以根据状况而被用作供应恒定电位的布线。

[0082] 作为一个例子,布线CLa[1]至布线CLa[m]及布线CLb[1]至布线CLb[m]被用作供应恒定电位的布线。该恒定电位例如可以为高电平电位、低电平电位、正电位、接地电位或负电位。此外,布线CLa[1]至布线CLa[m]及布线CLb[1]至布线CLb[m]也可以根据状况被用作供应可变电位(例如,脉冲电压)的布线而不被用作供应恒定电位的布线。

[0083] <半导体装置的截面结构例子>

接着,说明半导体装置DEV的结构例子。

[0084] 图2是示出作为本发明的一个方式的半导体装置DEV的结构例子的截面示意图。在图2所示的半导体装置DEV中,除了存储层ALYa及存储层ALYb以外,存储层还设置在存储层ALYa下方及存储层ALYb上方。

[0085] 此外,图3是示出图2的半导体装置DEV的结构例子的立体示意图。在图3中,为了容易看到存储层ALYa与存储层ALYb的叠层结构,有意去除后述绝缘体222_1及绝缘体222_2的阴影线,并未示出绝缘体275。

[0086] 此外,图2所示的X方向与晶体管M1的沟道长度方向平行,Y方向与X方向垂直,并且Z方向与X方向及Y方向垂直。此外,图2所示的X方向、Y方向以及Z方向为右手系。此外,图3、下述各附图也示出图2所示的X方向、Y方向以及Z方向。

[0087] 为了简单地说明半导体装置DEV的结构例子,首先着眼于图2的存储层ALYa。

[0088] 作为一个例子,存储层ALYa包括绝缘体222_1、绝缘体224、绝缘体253、绝缘体254、绝缘体275、绝缘体153_2、绝缘体154_2、绝缘体280_2、导电体242a、导电体242b、导电体160_2、导电体260及氧化物230。

[0089] 另外,作为一个例子,位于存储层ALYa的下方的存储层包括绝缘体153_1、绝缘体154_2、绝缘体280_1及导电体160_1。

[0090] 在存储层ALYa中,存储单元MCa的一部分设置在绝缘体222_1上。

[0091] 如电路结构例子中所说明那样,存储单元MCa包括晶体管M1及电容C1。作为一个例子,图2示出OS晶体管作为晶体管M1。也就是说,晶体管M1的半导体层包含金属氧化物。

[0092] 晶体管M1包含绝缘体224、绝缘体253、绝缘体254、导电体242a、导电体242b、导电体260、导电体160_1以及氧化物230。此外,在图2中,电容C1包括绝缘体153_2、绝缘体154_2、导电体242b以及导电体160_2。

[0093] 作为一个例子,导电体260以与包括氧化物230的区域重叠的方式设置。导电体260被用作晶体管M1的栅极(有时称为第一栅极)。此外,导电体260被用作图1中的布线WLa[1]至布线WLa[m]中的任一个布线。

[0094] 绝缘体253及绝缘体254被用作第一栅极绝缘膜。

[0095] 作为一个例子,氧化物230以隔着绝缘体222_1与包括导电体160_1的区域重叠的方式设置。氧化物230被用作晶体管M1的沟道形成区域所包括的半导体。

[0096] 导电体160_1被用作晶体管M1中的背栅极(有时被称为第二栅极)。此外,导电体160_1还被用作位于存储层ALYa以下的存储层的存储单元所包括的电容的一对电极中的一个。

[0097] 另外,导电体160_1以嵌入形成在绝缘体280_1中的开口的方式设置。注意,该开口中依次形成有绝缘体153_1、绝缘体154_1及导电体160_1。

[0098] 绝缘体222_1及绝缘体224被用作晶体管M1中的第二栅极绝缘膜。

[0099] 作为一个例子,导电体242a设置在氧化物230上的一部分及绝缘体222_1上的一部分。同样,作为一个例子,导电体242b设置在氧化物230上的一部分及绝缘体222_1上的一部分。尤其是,导电体242a与导电体242b因导电体260而在物理上彼此隔开。导电体242a被用作晶体管M1中的源极及漏极中的一个,导电体242b被用作晶体管M1中的源极及漏极中的另一个。此外,导电体242a被用作图1中的布线BLa[1]至布线BLa[n]中的任一个布线或与该布线电连接的导电体。此外,导电体242a上及导电体242b上设置有用来防止氧扩散到导电体242a及导电体242b的绝缘体275。

[0100] 作为一个例子,导电体160_2隔着用作介电体的绝缘体153_1及绝缘体153_2设置在导电体242b上的不与氧化物230重叠的区域中。换言之,在依次形成有绝缘体222_1及导电体160_2的区域中,导电体160_2上设置有用作介电体的绝缘体,并且该绝缘体上设置有导电体160_2。该介电体被用作图1的电容C1中被一对电极夹持的绝缘体,导电体160_2相当于图1的电容C1的第二端子。此外,导电体160_2被用作图1中的布线CLa[1]至布线CLa[m]中的任一个布线。再者,导电体160_2还被用作图1中的存储层ALYb的存储单元MCb所包括的晶体管M1的背栅极。

[0101] 作为一个例子,存储层ALYb包括绝缘体222_2。

[0102] 导电体260及导电体160_2的上方设置有绝缘体222_2。

[0103] 在存储层ALYb中,存储单元MCb的一部分设置在绝缘体222_2上。尤其是,与存储单元MCa的晶体管M1同样,存储单元MCb的晶体管M1以包括用作电容C1的第二端子的导电体160_2的区域与存储单元MCb的晶体管M1的沟道形成区域所包含的半导体重叠的方式配置。

[0104] 此外,关于存储单元MCb所包括的晶体管M1及电容C1的结构援用上述存储单元MCa的晶体管M1及电容C1的结构说明。

[0105] 此外,存储单元MCb的电容C1所包括的导电体160_2还被用作配置在存储层ALYb上方的存储层的存储单元所包括的晶体管M1的背栅极。

[0106] 如图2所示,通过构成半导体装置DEV,可以兼用作相当于下方的存储层的存储单元的电容C1的第二端子的导电体及相当于上方的存储层的存储单元的晶体管M1的背栅极的导电体。此外,当形成一个存储层时,可以同时形成存储单元所包括的相当于晶体管M1的栅极的导电体和相当于电容C1的第二端子的导电体。也就是说,通过采用图2所示的结构,可以得到如下效果:与现有技术相比,可以减少用来制造半导体装置DEV的光掩模的个数;以及可以缩短半导体装置DEV的制造工序。

[0107] 此外,也可以根据情况改变图2的半导体装置DEV的结构。例如,图2的半导体装置DEV也可以改变为图4所示的半导体装置DEV的结构。在图4的半导体装置DEV中,不与氧化物

230重叠的导电体242a上设置有用作插头或布线的导电体270,导电体270及绝缘体222_2上设置有导电体242c。在此情况下,导电体242c可以与存储层ALYb的存储单元MCb所包括的导电体242a及导电体242b同时形成。此外,导电体242c可以使用与导电体242a及导电体242b相同的材料。此外,导电体242c被用作存储层ALYa中的布线BLa[1]至布线BLa[n]中的任一个布线。

[0108] <半导体装置的布局例子>

接着,说明半导体装置DEV所包括的存储层的布局。

[0109] 图5是示出图2所示的半导体装置DEV的存储层ALYa的电路结构的布局图(平面图)。此外,为了方便起见,在图5中,将在存储层ALYa下方延伸配置且与存储单元MCa所包括的晶体管M1的背栅极电连接的布线作为布线CLz[1]至CLz[m]示出。此外,图5未示出半导体装置DEV所包括的绝缘体。

[0110] 在图5中,与图2的半导体装置DEV的说明同样,存储层ALYa下方设置有导电体160_1。此外,导电体160_1的上方设置有氧化物230。此外,以覆盖氧化物230的一部分的方式设置有导电体242a及导电体242b。此外,氧化物230、导电体242a及导电体242b的上方设置有导电体260。此外,导电体242a及导电体242b的上方设置有导电体160_2。

[0111] 如图5所示,导电体242a被用作在列方向上延伸配置的布线BLa[1]至布线BLa[n]。

[0112] 此外,如图5所示,导电体160_1被用作在行方向上延伸配置的布线CLz[1]至布线CLz[m]。此外,在将图5所示的存储层ALYa置换成存储层ALYb的情况下,可以将导电体160_1看作在行方向上延伸配置的布线CLa[1]至布线CLa[m]。

[0113] 此外,如图5所示,导电体160_2被用作在行方向上延伸配置的布线CLa[1]至布线CLa[m]。此外,在将图5所示的存储层ALYa置换成存储层ALYb的情况下,可以将导电体160_2看作在行方向上延伸配置的布线CLb[1]至布线CLb[m]。

[0114] 在图5中,由氧化物230、部分导电体242a、部分导电体242b、部分导电体260、部分导电体160_1、栅极绝缘膜(未图示)等形成晶体管M1。此外,由部分导电体242b、部分导电体160_2、用作介电体的绝缘体(未图示)等形成电容C1。

[0115] 氧化物230、导电体242a、导电体242b、导电体260、导电体160_1及导电体160_2各自例如可以使用光刻(lithography)法而形成。具体而言,例如,在形成导电体242a的情况下,使用选自溅射法、CVD法、PLD法以及ALD法中的一个以上的方法形成将成为导电体242a的导电材料,然后使用光刻法形成所希望的图案即可。此外,关于氧化物230、导电体242b、导电体260、导电体160_1及导电体160_2也可以使用与上述同样的方法而形成。

[0116] 此外,例如,氧化物230与导电体260之间、氧化物230与导电体160_1之间以及导电体242b与导电体160_2之间也可以设置有绝缘体。尤其是,设置在氧化物230与导电体260之间的绝缘体有时被用作第一栅极绝缘膜(有时被称为栅极绝缘膜、前栅极绝缘膜)。

[0117] 此外,在形成存储层ALYa的工序中,为了使形成有选自绝缘体、导电体以及半导体中的一个以上的膜表面的高度一致,也可以通过使用化学机械抛光法等平坦化处理进行平坦化。

[0118] <<存储单元的结构例子>>

接着,说明图2所示的半导体装置DEV的存储单元的结构例子。

[0119] 图6A至图6D是图2的半导体装置DEV中的包括晶体管M1、电容C1的存储单元MC的平

面示意图及截面示意图。图6A是存储单元MC的平面示意图。此外,图6B至图6D是存储单元MC的截面示意图。在此,图6B是沿图6A所示的点划线A1-A2的部分的截面图,也是晶体管M1的沟道长度方向上的截面图。此外,图6C是沿图6A所示的点划线A3-A4的部分的截面示意图,也是晶体管M1的沟道宽度方向上的截面示意图。此外,图6D是沿图6A所示的点划线A5-A6的部分的截面图,也是电容C1的截面示意图。此外,在图6A的俯视图中,为了明确示出附图,省略了部分构成要素。

[0120] 存储单元MC包括衬底(未图示)上的绝缘体280_1、绝缘体153_1、绝缘体154_1及导电体160_1(导电体160a_1及导电体160b_1)。另外,存储单元MC包括绝缘体280_1上、绝缘体153_1上、绝缘体154_1上及导电体160_1上的绝缘体222_1。另外,存储单元MC在包含绝缘体222_1上的与导电体160_1重叠的范围的区域中包括绝缘体224、绝缘体224上的氧化物230a及氧化物230a上的氧化物230b。此外,存储单元MC包括绝缘体222_1上、绝缘体224的侧面上、氧化物230a的侧面上以及氧化物230b上的导电体242a(导电体242a1及导电体242a2)以及导电体242b(导电体242b1及导电体242b2)。此外,存储单元MC包括绝缘体222_1上、导电体242a上及导电体242b上的绝缘体275以及绝缘体275上的绝缘体280_2。此外,存储单元MC包括氧化物230b上的绝缘体253、绝缘体253上的绝缘体254以及绝缘体254上的导电体260(导电体260a及导电体260b)。此外,存储单元MC包括位于导电体242b上的不与氧化物230a及氧化物230b重叠的区域的绝缘体153_2、绝缘体153_2上的绝缘体154_2以及绝缘体154_2上的导电体160_2(导电体160a_2及导电体160b_2)。此外,存储单元MC包括绝缘体280_2上、绝缘体253上、绝缘体254上、导电体260上、绝缘体153_2上、绝缘体154_2上以及导电体160_2上的绝缘体222_2。尤其是,晶体管M1和电容C1中的一方或双方以嵌入于绝缘体280_2的方式配置。

[0121] 在本说明书等中,有时将氧化物230a及氧化物230b统称为氧化物230。

[0122] 绝缘体280_2及绝缘体275中设置有到达氧化物230b的开口258。即可以说开口258包括与氧化物230b重叠的区域。此外,可以说绝缘体275包括与绝缘体280_2中的开口重叠的开口。就是说,开口258包括绝缘体280_2中的开口和绝缘体275中的开口。此外,开口258内配置有绝缘体253、绝缘体254以及导电体260。也就是说,导电体260包括隔着绝缘体253及绝缘体254与氧化物230b重叠的区域。此外,在晶体管M1的沟道长度方向上,导电体242a与导电体242b之间设置有导电体260、绝缘体253以及绝缘体254。绝缘体254包括与导电体260的侧面接触的区域及与导电体260的底面接触的区域。此外,如图6C所示,在开口258的不与氧化物230重叠的区域中,绝缘体222_1的顶面露出。

[0123] 氧化物230优选包括配置在绝缘体224上的氧化物230a及配置在氧化物230a上的氧化物230b。通过在氧化物230b下包括氧化物230a,可以抑制杂质从形成在氧化物230a下方的结构物扩散到氧化物230b。

[0124] 此外,虽然示出在晶体管M1中氧化物230具有氧化物230a及氧化物230b的两层的叠层结构,但是本发明的一个方式不局限于此。例如,可以具有氧化物230b的单层或三层以上的叠层结构,也可以具有氧化物230a及氧化物230b各自的叠层结构。

[0125] 在图6A至图6D中,晶体管M1包括用作半导体层的氧化物230、用作第一栅(也称为栅极、顶栅极或前栅极)电极的导电体260、用作第二栅(也称为背栅极)电极的导电体160_1、用作源电极及漏电极中的一个的导电体242a以及用作源电极及漏电极中的另一个的导

电体242b。此外,还包括用作第一栅极绝缘体的绝缘体253及绝缘体254。此外,还包括用作第二栅极绝缘体的绝缘体222_1及绝缘体224。此外,栅极绝缘体有时被称为栅极绝缘层或栅极绝缘膜。此外,与氧化物230的导电体260重叠的区域的至少一部分被用作沟道形成区域。

[0126] 第一栅电极及第一栅极绝缘膜配置在形成在绝缘体280_2及绝缘体275中的开口258内。也就是说,导电体260、绝缘体254以及绝缘体253配置在开口258内。

[0127] 电容C1包括用作下部电极的导电体242b、用作介电体的绝缘体153_2及绝缘体154_2以及用作上部电极的导电体160_2。也就是说,电容C1构成MIM (Metal-Insulator-Metal:金属-绝缘体-金属) 电容。

[0128] 电容C1的上部电极及介电体配置在形成在绝缘体280_2及绝缘体275中的开口158内。也就是说,导电体160_2、绝缘体153_2以及绝缘体154_2配置在开口158内。

[0129] 本实施方式所示的包括晶体管M1以及电容C1的存储单元MC可以被用作存储装置的存储单元。此时,导电体242a有时与读出放大器电连接,并且导电体242a被用作位线。在此,如图6A所示,电容C1以其至少一部分与晶体管M1中的导电体242b重叠的方式设置。因此,在平面图中,可以在没有大幅增加占有面积的情况下设置电容C1,因此可以实现根据本实施方式的半导体装置的微型化或高集成化。

[0130] <<半导体装置的制造方法例子>>

接着,说明图6A至图6D所示的半导体装置DEV的存储层ALYa的制造方法例子。此外,关于制造方法例子的说明使用图7A至图16D。

[0131] 在图7A至图16D中,各附图A是平面示意图。此外,各附图B各自是沿附图A所示的点划线A1-A2的部分的截面示意图,也是晶体管M1的沟道长度方向上的截面示意图。此外,各附图C各自是沿附图A所示的点划线A3-A4的部分的截面示意图,也是晶体管M1的沟道宽度方向上的截面示意图。此外,各附图D各自是沿附图A所示的点划线A5-A6的部分的截面示意图。此外,在各附图A的平面示意图中,为了明确示出附图,省略了部分构成要素。

[0132] 以下,通过适当地使用如溅射法、CVD (Chemical Vapor Deposition:化学气相沉积) 法、MBE (Molecular Beam Epitaxy:分子束外延) 法、PLD (Pulsed Laser Deposition:脉冲激光沉积) 法或ALD (Atomic Layer Deposition:原子层沉积) 法等沉积方法,可以沉积用来形成绝缘体的绝缘材料及用来形成导电体的导电材料或用来形成半导体的半导体材料。

[0133] 首先,准备衬底(未图示),在该衬底的上方形成绝缘体280_1、绝缘体153_1、绝缘体154_1以及导电体160_1(参照图7A至图7D)。

[0134] 例如,在该衬底上沉积绝缘体280_1,然后对于绝缘体280_1在形成绝缘体153_1、绝缘体154_1以及导电体160_1区域中形成开口。在形成开口之后在该开口中依次沉积绝缘体153_1、绝缘体154_1以及导电体160_1,接着,进行化学机械抛光 (CMP:Chemical Mechanical Polishing) 法等平坦化处理,由此去除绝缘体153_1、绝缘体154_1以及导电体160_1各自的一部分,使得绝缘体280_1露出即可。由此,可以只在形成在导电体160_1中的开口中形成绝缘体153_1、绝缘体154_1以及导电体160_1。此外,关于绝缘体153_1、绝缘体154_1以及导电体160_1的形成可以参照后述绝缘体153_2、绝缘体154_2以及导电体160_2的形成方法(参照图12A至图16D)。

[0135] 接着,在绝缘体280_1上、绝缘体153_1上、绝缘体154_1上及导电体160_1上沉积绝

缘体222_1(参照图7A至图7D)。作为绝缘体222_1,优选沉积包含铝及镓中的一方或双方的氧化物的绝缘体。作为包含铝及镓中的一方或双方的氧化物的绝缘体,优选使用氧化铝、氧化镓、包含铝及镓的氧化物(铝酸镓)等。或者,优选使用铝镓氧化物。包含铝及镓中的一方或双方的氧化物的绝缘体对氧、氢及水具有阻挡性。当绝缘体222_1对氢及水具有阻挡性时,可以抑制设置在晶体管M1周围的结构体所包含的氢及水通过绝缘体222_1扩散到晶体管M1的内侧,从而可以抑制氧化物230中的氧空位的生成。

[0136] 绝缘体222_1通过使用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法而沉积。在本实施方式中,作为绝缘体222_1利用ALD法沉积氧化镓。特别优选的是,使用氢浓度得到降低的氧化镓的形成方法。

[0137] 此外,作为用于绝缘体222_1的绝缘材料,也可以使用相对介电常数高的high-k材料。作为相对介电常数高的high-k材料,例如,除了上述氧化镓以外,还可以举出包含选自铝、镓、铟、锗、钨、钛、钽、镍、锆和镁中的一种或两种以上的金属氧化物。或者,作为绝缘体222_1,也可以使用作为包含铝及镓中的一方或双方的氧化物的绝缘体的氧化铝、氧化镓或包含铝及镓的氧化物(铝酸镓)。或者,作为绝缘体222_1,也可以使用可应用于后述的绝缘体253或绝缘体254的材料。此外,绝缘体222_1也可以具有包含选自上述材料中的两个以上的叠层结构。

[0138] 接着,优选进行加热处理。加热处理的温度优选为250°C以上且650°C以下,更优选为300°C以上且500°C以下,进一步优选为320°C以上且450°C以下。加热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,当在氮气体和氧气体的混合气氛下进行加热处理时,将氧气体的比例优选设为20%左右。加热处理也可以在减压状态下进行。或者,加热处理也可以在氮气体或惰性气体气氛下进行,然后为了填补脱离了氧的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理。

[0139] 此外,在上述加热处理中使用的气体优选被高纯度化。例如,在上述加热处理中使用的气体所包含的水分量可以为1ppb以下,优选为0.1ppb以下,更优选为0.05ppb以下。通过使用高纯度化了的气体进行加热处理,可以尽可能地防止水分等被绝缘体222_1等吸收。

[0140] 在本实施方式中,作为加热处理在沉积绝缘体222_1后以氮气体与氧气体的流量比为4:1且400°C的温度进行1小时的处理。通过进行该加热处理,可以去除绝缘体222_1所包含的水、氢等杂质。此外,在作为绝缘体222_1使用含镓氧化物时,有时通过进行该加热处理绝缘体222_1的一部分被晶化。此外,也可以在沉积绝缘体224之后等的时机进行加热处理。

[0141] 接着,在绝缘体222_1上沉积绝缘膜224Af(参照图8A至图8D)。绝缘膜224Af。可以通过使用溅射法、CVD法、MBE法、PLD法、ALD法等沉积方法而沉积。在本实施方式中,作为绝缘膜224Af利用溅射法沉积氧化硅。通过使用不需要将包含氢的分子用于沉积气体的溅射法,可以降低绝缘膜224Af中的氢浓度。绝缘膜224Af在后面工序中与氧化物230a接触,所以如此那样氢浓度得到降低是优选的。

[0142] 此外,作为绝缘膜224Af,除了氧化硅以外,例如也可以使用如氧氮化硅等绝缘材料。

[0143] 接着,在绝缘膜224Af上依次沉积氧化膜230Af以及氧化膜230Bf(参照图8A至图

8D)。优选在不暴露于大气环境的情况下连续地沉积氧化膜230Af及氧化膜230Bf。通过不暴露于大气环境而沉积氧化膜,由于可以防止来自大气环境的杂质或水分附着于氧化膜230Af及氧化膜230Bf上,所以可以保持氧化膜230Af与氧化膜230Bf的界面附近的清洁。

[0144] 氧化膜230Af及氧化膜230Bf可以利用溅射法、CVD法、MBE法、PLD法、ALD法等沉积。在本实施方式中,作为氧化膜230Af及氧化膜230Bf的沉积方法利用溅射法。

[0145] 例如,在利用溅射法沉积氧化膜230Af以及氧化膜230Bf的情况下,作为溅射气体使用氧或者氧和稀有气体的混合气体。通过提高溅射气体所包含的氧的比例,可以增加沉积的氧化膜中的过剩氧。此外,在利用溅射法沉积上述氧化膜的情况下,可以使用上述In-M-Zn氧化物靶材等。

[0146] 尤其是,在沉积氧化膜230Af时,有时溅射气体所包含的氧的一部分被供应到绝缘体224。因此,该溅射气体所包含的氧的比例可以为70%以上,优选为80%以上,更优选为100%。

[0147] 在使用溅射法形成氧化膜230Bf的情况下,通过在包含在溅射气体中的氧的比例为超过30%且100%以下,优选为70%以上且100%以下的条件下进行沉积,可以形成氧过剩型氧化物半导体。将氧过剩型氧化物半导体用于沟道形成区域的晶体管可以得到比较高的可靠性。注意,本发明的一个方式不局限于此。在利用溅射法形成氧化膜230Bf的情况下,当在溅射气体所包含的氧的比例设定为1%以上且30%以下,优选为5%以上且20%以下的情况下进行沉积时,形成氧缺乏型氧化物半导体。将氧缺乏型氧化物半导体用于沟道形成区域的晶体管可以具有较高的场效应迁移率。此外,通过在加热衬底的同时进行沉积,可以提高该氧化膜的结晶性。

[0148] 在本实施方式中,利用溅射法使用In:Ga:Zn=1:3:4[原子个数比]的氧化物靶材沉积氧化膜230Af。此外,利用溅射法使用In:Ga:Zn=4:2:4.1[原子个数比]的氧化物靶材、In:Ga:Zn=1:1:1[原子个数比]的氧化物靶材、In:Ga:Zn=1:1:1.2[原子个数比]的氧化物靶材或者In:Ga:Zn=1:1:2[原子个数比]的氧化物靶材沉积氧化膜230Bf。各氧化膜可以根据氧化物230a及氧化物230b所需的特性适当地选择沉积条件及原子个数比来形成。

[0149] 注意,优选通过溅射法以不暴露于大气的方式沉积绝缘膜224Af、氧化膜230Af及氧化膜230Bf。例如,使用多室方式的沉积装置即可。由此,可以降低各沉积工序之间氢进入绝缘膜224Af、氧化膜230Af及氧化膜230Bf。

[0150] 氧化膜230Af及氧化膜230Bf也可以利用ALD法等沉积。通过利用ALD法沉积氧化膜230Af及氧化膜230Bf,对纵横比大的槽或开口也可以形成厚度均匀的膜。此外,通过利用PEALD法,与热ALD法相比可以以更低的温度形成氧化膜230Af及氧化膜230Bf。

[0151] 接着,优选进行加热处理。在氧化膜230Af及氧化膜230Bf不会被多晶化的温度范围内进行加热处理即可,该温度为250°C以上且650°C以下,优选为400°C以上且600°C以下。加热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,当在氮气体和氧气体的混合气氛下进行加热处理时,将氧气体的比例优选设为20%左右。加热处理也可以在减压状态下进行。或者,加热处理也可以在氮气体或惰性气体气氛下进行,然后为了填补脱离了氧的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行加热处理。

[0152] 此外,在上述加热处理中使用的气体优选被高纯度化。例如,在上述加热处理中使

用的气体所包含的水分量可以为1ppb以下,优选为0.1ppb以下,更优选为0.05ppb以下。通过使用高纯度化了的气体进行加热处理,可以尽可能地防止水分等被氧化膜230Af及氧化膜230Bf吸收。

[0153] 在本实施方式中,作为加热处理,在氮气体与氧气体的流量比为4:1且400°C的温度的条件下进行1小时的处理。通过这样的包含氧气体的加热处理,可以减少氧化膜230Af及氧化膜230Bf中的碳、水、氢等杂质。通过如此减少膜中的杂质,氧化膜230Bf的结晶性得到提高,可以实现密度更高的致密结构。因此,可以增大氧化膜230Af及氧化膜230Bf中的结晶区域,可以降低氧化膜230Af及氧化膜230Bf中的结晶区域的面内不均匀。因此,可以降低晶体管M1的电特性的面内不均匀。

[0154] 此外,通过进行加热处理,绝缘膜224Af、氧化膜230Af和氧化膜230Bf中的氢转移到绝缘体222_1而被绝缘体222_1吸取。换言之,绝缘膜224Af、氧化膜230Af和氧化膜230Bf中的氢扩散到绝缘体222_1。因此,虽然绝缘体222_1的氢浓度增高,但绝缘膜224Af、氧化膜230Af和氧化膜230Bf中的氢浓度都降低。

[0155] 尤其是,绝缘膜224Af被用作晶体管M1的栅极绝缘体,氧化膜230Af及氧化膜230Bf被用作晶体管M1的沟道形成区域。因此,包括氢浓度降低了的绝缘膜224Af、氧化膜230Af及氧化膜230Bf的晶体管M1具有高可靠性,所以是优选的。

[0156] 接着,利用光刻法将绝缘膜224Af、氧化膜230Af及氧化膜230Bf加工为带状,来形成绝缘层224A、氧化物层230A及氧化物层230B(参照图9A至图9D)。在此,绝缘层224A、氧化物层230A及氧化物层230B以在平行于点划线A3-A4的方向(晶体管M1的沟道宽度方向或图6A所示的Y方向)上延伸的方式形成。此外,绝缘层224A、氧化物层230A及氧化物层230B以其至少一部分与导电体160_1重叠的方式形成。在上述加工中可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微型加工。此外,绝缘膜224Af、氧化膜230Af及氧化膜230Bf的加工也可以在互不相同的条件下进行。

[0157] 注意,在光刻法中,首先通过掩模对抗蚀剂进行曝光。接着,使用显影液去除或留下所曝光的区域而形成抗蚀剂掩模。接着,可以通过该抗蚀剂掩模进行蚀刻处理来将导电体、半导体或绝缘体加工为所希望的形状。例如,使用KrF受激准分子激光、ArF受激准分子激光、EUV(Extreme Ultraviolet:极紫外)光等对抗蚀剂进行曝光来形成抗蚀剂掩模,即可。此外,也可以利用在衬底和投影透镜之间填满液体(例如,水)的状态下进行曝光的液浸技术。此外,也可以使用电子束或离子束代替上述光。注意,当使用电子束或离子束时,不需要掩模。此外,通过进行灰化处理等干蚀刻处理、进行湿蚀刻处理、在进行干蚀刻处理之后进行湿蚀刻处理或者在进行湿蚀刻处理之后进行干蚀刻处理,可以去除抗蚀剂掩模。

[0158] 再者,也可以在抗蚀剂掩模下使用由绝缘体或导电体构成的硬掩模。当使用硬掩模时,在氧化膜230Bf上形成将成为硬掩模材料的绝缘膜或导电膜且在其上形成抗蚀剂掩模,然后对硬掩模材料进行蚀刻,由此可以形成所希望的形状的硬掩模。对氧化膜230Bf等进行的蚀刻既可以在去除抗蚀剂掩模后进行,又可以以不去除抗蚀剂掩模的方式进行。在采用后者的情况下,进行蚀刻时有时抗蚀剂掩模消失。可以在氧化膜230Bf等的蚀刻之后,通过蚀刻去除硬掩模。另一方面,在硬掩模材料没有影响到后续工序或者可以在后续工序中使用的情况下,不一定需要去除硬掩模。

[0159] 接着,在绝缘体222_1上及氧化物层230B上依次沉积导电膜242Af及导电膜242Bf

(参照图10A至图10D)。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法沉积导电膜242Af及导电膜242Bf。例如,作为导电膜242Af利用溅射法沉积氮化钽,作为导电膜242Bf沉积钨,即可。此外,在沉积导电膜242Af之前也可以进行加热处理。该加热处理也可以在减压下进行,并其中以不暴露于大气的方式连续地沉积导电膜242Af。通过进行这种处理,可以去除吸附于氧化物层230B的表面的水分及氢,而且减少氧化物层230A及氧化物层230B中的水分浓度及氢浓度。加热处理的温度优选为100℃以上且400℃以下。在本实施方式中,将加热处理的温度设定为200℃。

[0160] 此外,作为导电膜242Af,除了氮化钼以外,例如也可以使用包含钼的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钼及铝的氮化物、包含钛及铝的氮化物等导电材料。此外,例如也可以使用氧化钼、氮化钼、包含锆和钼的氧化物、包含钨和镍的氧化物等导电材料。这些材料是不容易被氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0161] 此外,作为导电膜242Bf,除了钨以外,例如也可以使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钼、钒、铌、锰、镁、锆、铍、铟、钇、铈和镧中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等导电材料。例如,也可以使用氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钇、氮化钇、包含铈和钇的氧化物、包含镧和镍的氧化物等导电材料。另外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钇、氮化钇、包含铈和钇的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。

[0162] 此外,导电膜242Af和导电膜242Bf也可以使用可相互应用的材料。此外,导电膜242Af和导电膜242Bf也可以使用相同材料。也就是说,在存储单元MC中,导电体242a1及导电体242a2也可以为一个导电体。同样,导电体242b1及导电体242b2也可以为一个导电体。

[0163] 接着,利用光刻法对绝缘层224A、氧化物层230A、氧化物层230B、导电膜242Af及导电膜242Bf进行加工,来形成岛状的绝缘体224、氧化物230a及氧化物230b以及具有开口的岛状的导电层242A及导电层242B(参照图11A至图11D)。例如,对绝缘层224A、氧化物层230A、氧化物层230B、导电膜242Af及导电膜242Bf进行加工来形成岛状的绝缘体224、氧化物230a及氧化物230b以及在平行于点划线A1-A2的方向(晶体管M1的沟道长度方向或图6A所示的X方向)上延伸的导电层242A及导电层242B,然后对导电层242A及导电层242B进行加工来形成具有开口的岛状的导电层242A及导电层242B。或者,例如,也可以将绝缘层224A、氧化物层230A、氧化物层230B、导电膜242Af及导电膜242Bf加工为岛状来形成绝缘体224、氧化物230a、氧化物230b、导电层242A及导电层242B,然后在导电层242A及导电层242B中形成开口。

[0164] 在此,以其至少一部分与导电体160_1重叠的方式形成绝缘体224、氧化物230a、氧化物230b、导电层242A及导电层242B。此外,设置在导电层242A及导电层242B中的开口形成在不与氧化物230b重叠的位置上。此外,作为上述加工可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微型加工。此外,也可以在互补不同的条件下进行绝缘层224A、氧化物层230A、氧化物层230B、导电膜242Af及导电膜242Bf的加工。

[0165] 此外,如图11B至图11D所示,绝缘体224、氧化物230a、氧化物230b、导电层242A以及导电层242B的侧面形状也可以为锥形形状。绝缘体224、氧化物230a、氧化物230b、导电层

242A以及导电层242B的侧面例如以锥角为 60° 以上且小于 90° 的方式形成即可。在侧面具有这样的锥形形状时,以后的工序中的绝缘体275等的覆盖性得到提高,可以减少空洞等缺陷。

[0166] 但是,不局限于此,也可以采用绝缘体224、氧化物230a、氧化物230b、导电层242A以及导电层242B的侧面大致垂直于绝缘体222_1的顶面的结构。通过采用这样的结构,在设置多个晶体管M1时可以实现小面积化及高密度化。

[0167] 此外,有时在上述蚀刻工序中产生的副产物以层状形成在绝缘体224、氧化物230a、氧化物230b、导电层242A以及导电层242B的侧面。在此情况下,该层状的副产物形成在绝缘体224、氧化物230a、氧化物230b、导电层242A以及导电层242B与绝缘体275间。因此,优选去除接触于绝缘体222_1的顶面的该层状的副产物。

[0168] 接着,以覆盖绝缘体224、氧化物230a、氧化物230b、导电层242A及导电层242B的方式沉积绝缘体275(参照图12A至图12D)。在此,绝缘体275优选与绝缘体222_1的顶面及绝缘体224的侧面接触。绝缘体275可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法而沉积。绝缘体275优选使用抑制氧透过的功能的绝缘膜。例如,作为绝缘体275可以利用ALD法沉积氮化硅。或者,作为绝缘体275可以利用溅射法沉积氧化铝且在其上利用PEALD法沉积氮化硅。在绝缘体275具有这种叠层结构时,抑制水、氢等杂质及氧的扩散的功能有时得到提高。

[0169] 如此,可以由具有抑制氧扩散的功能的绝缘体275覆盖氧化物230a、氧化物230b、导电层242A及导电层242B。由此,可以抑制在后面工序中氧从后面形成的绝缘体280_2等直接扩散到绝缘体224、氧化物230a、氧化物230b、导电层242A及导电层242B中。

[0170] 接着,在绝缘体275上沉积将成为绝缘体280_2的绝缘膜。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法沉积该绝缘膜。例如,作为该绝缘膜通过溅射法沉积氧化硅膜即可。通过在含氧气氛下使用溅射法沉积该绝缘膜,可以形成包含过剩氧的绝缘体280_2。通过使用不需要将包含氢的分子用于沉积气体的溅射法,可以降低绝缘体280_2中的氢浓度。此外,在沉积该绝缘膜之前也可以进行加热处理。该加热处理也可以在减压下进行,并其中以不暴露于大气的方式连续地沉积该绝缘膜。通过进行这种处理,可以去除吸附于绝缘体275的表面等的水分及氢,而且可以减少氧化物230a、氧化物230b及绝缘体224中的水分浓度及氢浓度。该加热处理可以采用上述加热处理的条件。

[0171] 此外,作为将成为绝缘体280_2的绝缘膜,优选使用介电常数低的材料。具体而言,作为介电常数低的材料,例如可以举出氧化硅或氮氧化硅。此外,作为介电常数低的材料,还可以举出添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或包含空孔的氧化硅。

[0172] 此外,将成为绝缘体280_2的绝缘膜也可以使用氮氧化硅或氮化硅。

[0173] 在本说明书中,氧氮化物是指在其组成中氧含量多于氮含量的材料,而氮氧化物是指在其组成中氮含量多于氧含量的材料。例如,在记载为“氧氮化硅”时指在其组成中氧含量多于氮含量的材料,而在记载为“氮氧化硅”时指在其组成中氮含量多于氧含量的材料。

[0174] 接着,通过对将成为绝缘体280_2的绝缘膜进行CMP处理,形成其顶面平坦的绝缘体280_2(参照图12A至图12D)。此外,也可以在绝缘体280_2上例如通过溅射法沉积氮化硅,

直到该氮化硅到达绝缘体280_2为止进行CMP处理。

[0175] 接着,在导电体160_1与氧化物230重叠的区域中,通过加工绝缘体280_2的一部分、绝缘体275的一部分、导电层242A的一部分以及导电层242B的一部分,形成到达氧化物230b的开口258。通过形成开口258,可以从导电层242A形成导电体242a1及导电体242b1,并从导电层242B形成导电体242a2及导电体242b2(参照图13A至图13D)。

[0176] 此外,可以对绝缘体280_2的一部分、绝缘体275的一部分、导电层242B的一部分通过干蚀刻法或湿蚀刻法进行加工。利用干蚀刻法的加工适合于微型加工。此外,该加工也可以以互不相同的条件进行。例如,也可以通过干蚀刻法对绝缘体280_2的一部分进行加工,通过湿蚀刻法对绝缘体275的一部分进行加工,通过干蚀刻法对导电层242B的一部分进行加工。

[0177] 如图13A及图13C所示,开口258优选在平行于点划线A3-A4的方向(晶体管的沟道宽度方向或图6A及图6C所示的Y方向)上延伸而形成。如此,通过形成开口258,可以将后面形成的导电体260在上述方向上延伸地设置并用作布线。此外,开口258优选以与导电体160_1重叠的方式形成。

[0178] 开口258的宽度会被反映到晶体管M1的沟道长度上,因此优选微小。例如,开口258的宽度优选为1nm以上或5nm以上且60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下。如此,为了对开口258进行微型加工,优选使用利用EUV光等波长短的光或电子束的光刻法。

[0179] 在对开口258进行微型加工时,优选对绝缘体280_2的一部分、绝缘体275的一部分、导电层242B的一部分及导电层242A的一部分利用各向异性蚀刻进行加工。尤其是,利用干蚀刻法的加工适合于微型加工,所以是优选的。此外,该加工也可以以互不相同的条件进行。

[0180] 通过利用各向异性蚀刻对绝缘体280_2、绝缘体275、导电层242B及导电层242A进行加工,可以大致垂直于氧化物230b的顶面的方式形成导电体242a和导电体242b的相对的侧面。通过采用这种结构,可以抑制在导电体242a的端部附近的氧化物230的区域以及导电体242b的端部附近的氧化物230的区域中形成所谓的Loff区域。由此,可以提高晶体管M1的频率特性来提高根据本发明的一个方式的半导体装置的工作速度。

[0181] 注意,不局限于上述结构,绝缘体280_2、绝缘体275及导电体242(导电体242a及导电体242b)的侧面形状有时为锥形形状。此外,绝缘体280_2的锥角有时大于导电体242的锥角。此外,在形成开口258时,有时氧化物230b的顶部被去除。

[0182] 由于上述蚀刻处理,有时杂质附着于氧化物230a的侧面、氧化物230b的顶面及侧面、导电体242的侧面以及绝缘体280_2的侧面等或者该杂质扩散到它们的内部。此外,也可以进行去除这些杂质的工序。此外,有时因上述干蚀刻而在氧化物230b的表面上形成损伤区域。此外,也可以去除这样的损伤区域。作为该杂质,可以举出起因于如下成分等的杂质:绝缘体280_2、绝缘体275、导电层242B及导电层242A所包含的成分;包含于形成上述开口时使用的装置所使用的构件中的成分;用于蚀刻的气体或液体所包含的成分等。作为该杂质,例如有铅、铝、硅、钽、氟或氯。

[0183] 尤其是,铝、硅等杂质有时导致氧化物230b的结晶性下降。因此,在氧化物230b的表面及其附近优选去除铝、硅等杂质。此外,该杂质的浓度优选得到降低。例如,氧化物230b

的表面及其附近的铝原子的浓度可以为5.0at.%以下,优选为2.0at.%以下,更优选为1.5at.%以下,进一步优选为1.0at.%以下,更进一步优选小于0.3at.%。

[0184] 由于铝或硅等杂质,在氧化物230b的结晶性低的区域中结晶结构的致密度降低,所以产生大量 V_0H (V_0 表示氧空位, V_0H 表示氢进入 V_0 中的缺陷)而晶体管容易被常开启化(在对栅极与源极间施加0V的电压的情况下存在沟道,使得电流流过晶体管的状态)。由此,优选减少或去除氧化物230b的结晶性低的区域。

[0185] 相对于此,氧化物230b优选具有层状的CAAC结构。尤其优选的是,氧化物230b的漏极的下端部也具有CAAC结构。在此,在晶体管M1中,导电体242a或导电体242b及其附近被用作漏极。换言之,导电体242a(导电体242b)的下端部附近的氧化物230b优选具有CAAC结构。如此,通过去除对漏极耐压带来显著影响的漏极端部中的氧化物230b的结晶性低的区域而使其具有CAAC结构,可以进一步抑制晶体管M1的电特性的变动。此外,可以进一步提高晶体管M1的可靠性。

[0186] 为了去除在上述蚀刻工序中附着于氧化物230b表面的杂质等,进行洗涤处理。作为洗涤方法,有使用洗涤液等的湿式洗涤(也可以称为湿蚀刻处理)、使用等离子体的等离子体处理、利用热处理的洗涤等,也可以适当地组合上述洗涤。注意,通过进行该洗涤处理有时上述槽部变深。

[0187] 作为湿式洗涤,可以使用用碳酸水或纯水稀释选自氨水、草酸、磷酸或氢氟酸中的一个以上而成的水溶液。此外,作为湿式洗涤,也可以使用纯水或碳酸水。此外,可以使用上述水溶液、纯水或碳酸水进行超声波洗涤。或者,也可以适当地组合上述洗涤。

[0188] 注意,在本说明书等中,有时将用纯水稀释氢氟酸的水溶液称为稀氢氟酸且将用纯水稀释氨水的水溶液称为稀氨水。此外,该水溶液的浓度、温度等根据要去除的杂质、被洗涤的半导体装置的结构等适当地调整即可。稀氨水的氨浓度设定为0.01%以上且5%以下,优选设定为0.1%以上且0.5%以下即可。此外,稀氢氟酸的氟化氢浓度设定为0.01ppm以上且100ppm以下,优选设定为0.1ppm以上且10ppm以下即可。

[0189] 此外,作为超声波洗涤优选使用200kHz以上的频率,更优选使用900kHz以上的频率。通过使用该频率,可以降低对氧化物230b等造成的损伤。

[0190] 此外,可以多次进行上述洗涤处理,也可以按每个洗涤处理改变洗涤液。例如,也可以作为第一洗涤处理进行使用稀氢氟酸或稀氨水的处理,作为第二洗涤处理进行使用纯水或碳酸水的处理。

[0191] 作为上述洗涤处理,在本实施方式中,使用稀氨水进行湿式洗涤。通过进行该洗涤处理,可以去除附着于氧化物230a、氧化物230b等的表面或者扩散到其内部的杂质。并且,可以提高氧化物230b的结晶性。

[0192] 在上述蚀刻或上述洗涤后也可以进行加热处理。加热处理以100℃以上且450℃以下,优选以350℃以上且400℃以下进行即可。加热处理在氮气体、惰性气体或包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,加热处理优选在氧气氛下进行。由此,对氧化物230a及氧化物230b供应氧,从而可以减少氧空位。此外,通过进行这种热处理,可以提高氧化物230b的结晶性。热处理也可以在减压状态下进行。或者,也可以在氧气氛下进行加热处理,然后以不暴露于大气的方式在氮气氛下连续地进行加热处理。

[0193] 接着,在导电层242A、导电层242B与绝缘体222_1重叠且导电体160_1与氧化物230

不重叠的区域中加工绝缘体280_2的一部分、绝缘体275的一部分来形成到达导电层242B(导电体242b2)的开口158(参照图13A至图13D)。

[0194] 此外,与开口258的形成同样,可以使用干蚀刻法或湿蚀刻法形成开口158。例如,也可以通过干蚀刻法对绝缘体280_2的一部分进行加工,通过湿蚀刻法对绝缘体275的一部分进行加工。

[0195] 如图13A及图13D所示,开口158优选在平行于点划线A5-A6的方向(晶体管的沟道宽度方向或图6A及图13D所示的Y方向)上延伸而形成。如此,通过形成开口158,可以将后面形成的导电体160_2在上述方向上延伸地设置并用作布线。

[0196] 此外,既可以一次形成开口158和开口258,又可以在形成开口158和开口258中的一个之后形成其中另一个。此外,开口258优选以其底部露出氧化物230b的方式形成,开口158优选以其底部露出导电体242b2的方式形成。因此,优选使用条件彼此不同的加工方法形成开口158与开口258。

[0197] 接着,沉积绝缘膜253A(参照图14A至图14D)。绝缘膜253A是将在后面的工序中成为绝缘体253及绝缘体153_2的绝缘膜。绝缘膜253A可以利用溅射法、CVD法、MBE法、PLD法、ALD法等沉积方法而沉积。绝缘膜253A优选利用ALD法沉积。如上所述,绝缘膜253A优选沉积得薄,需要将厚度不均匀性抑制为小。对此,ALD法是交替地导入前驱物及反应物(例如,氧化剂)进行的沉积方法,由于厚度可以根据反复该循环的次数进行调整,所以可以精密地调整厚度。此外,如图14B及图14C所示,绝缘膜253A需要以高覆盖性沉积在开口258及开口158各自的底面及侧面。在开口258中绝缘膜253A优选以高覆盖性沉积在氧化物230的顶面及侧面。此外,在开口158中绝缘膜253A优选以高覆盖性沉积在导电体242b的顶面及侧面。通过利用ALD法,由于可以在上述开口258及开口158各自的底面及侧面上沉积每一层的原子层,所以可以在每个开口中以高覆盖性沉积绝缘膜253A。

[0198] 此外,当利用ALD法沉积绝缘膜253A时,作为氧化剂可以使用臭氧(O_3)、氧(O_2)、水(H_2O)等。通过使用不包含氢的臭氧(O_3)、氧(O_2)等作为氧化剂,可以减少扩散到氧化物230b的氢。

[0199] 在本实施方式中,作为绝缘膜253A通过热ALD法沉积氧化铪。

[0200] 此外,作为用于绝缘膜253A的绝缘材料,也可以使用相对介电常数高的high-k材料。作为相对介电常数高的high-k材料,例如,除了上述氧化铪以外,还可以举出包含选自铝、镓、铋、铅、钨、钛、钽、镍、锆和镁中的一种或两种以上的金属氧化物。此外,作为绝缘膜253A,也可以使用作为包含铝及铪中的一方或双方的氧化物的绝缘体的氧化铝、氧化铪或包含铝及铪的氧化物(铝酸铪)。

[0201] 此外,作为绝缘膜253A,可以使用如氧化硅、氧氮化硅、氮氧化硅等绝缘材料。或者,作为绝缘膜253A,可以使用添加有氟的氧化硅或添加有碳的氧化硅等绝缘材料。或者,作为绝缘膜253A,可以使用添加有碳及氮的氧化硅。或者,作为绝缘膜253A,可以使用包含空孔的氧化硅。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。或者,绝缘膜253A也可以具有包含选自上述材料中的两个以上的叠层结构。

[0202] 接着,优选在含氧气氛下进行微波处理(参照图14A至图14D)。在此,微波处理例如是指使用包括利用微波生成高密度等离子体的电源的装置的处理。此外,在本说明书等中,微波是指具有300MHz以上且300GHz以下的频率的电磁波。注意,在绝缘膜253A具有叠层结

构时,也可以在沉积绝缘膜253A的一部分的阶段进行微波处理。例如,在绝缘膜253A包括氧化硅膜或氮化硅膜时,也可以在沉积氧化硅膜或氮化硅膜的阶段进行该微波处理。

[0203] 图14B至图14D中的虚线的箭头表示微波、RF等高频、氧等离子体或氧自由基等。微波处理例如优选使用包括用微波产生高密度等离子体的电源的微波处理装置。在此,将微波处理装置的频率设定为300MHz以上且300GHz以下,优选为2.4GHz以上且2.5GHz以下,例如为2.45GHz即可。通过使用高密度等离子体,可以生成高密度的氧自由基。此外,微波处理装置的施加微波的电源的功率为1000W以上且10000W以下,优选为2000W以上且5000W以下即可。此外,微波处理装置也可以包括对衬底一侧施加RF的电源。此外,通过对衬底一侧施加RF,可以将由高密度等离子体生成的氧离子高效地导入到氧化物230b中。通过等离子体、微波等的作用,可以分开包含在不与导电体242a及导电体242b重叠的氧化物230的区域中的 V_OH 来去除该区域中的氢。换言之,可以减少包含在该区域中的 V_OH 。由此,可以降低该区域中的氧空位及 V_OH 而降低载流子浓度。此外,通过对形成在该区域中的氧空位供应在上述氧等离子体中产生的氧自由基,可以进一步降低该区域中的氧空位,由此可以降低载流子浓度。

[0204] 此外,如图14B至图14D所示,导电体242a及导电体242b遮蔽微波或RF等高频、氧等离子体等的作用,所以该作用不影响到与导电体242a或导电体242b重叠的氧化物230b的区域。由此,通过微波处理在该区域中不发生 V_OH 的下降及过多的氧的供应,所以可以防止载流子浓度的降低。

[0205] 此外,与导电体242a及导电体242b的侧面接触的方式设置有具有氧阻挡性的绝缘体253。因此,可以抑制因微波处理而在导电体242a及导电体242b的侧面形成氧化膜。

[0206] 此外,可以提高绝缘体253的膜品质,由此晶体管M1的可靠性得到提高。

[0207] 如上所述,可以在不与导电体242a及导电体242b重叠的氧化物230的区域中选择性地去除氧空位及 V_OH 而使该区域成为i型或实质上i型。并且,可以抑制对用作源极区域或漏极区域的与导电体242a及导电体242b重叠的氧化物230的区域供应过多的氧而保持导电性。由此,可以抑制晶体管M1的电特性的变动,可以抑制在衬底面内晶体管M1的电特性不均匀。

[0208] 此外,在微波处理中,有时由于微波与氧化物230b中的分子的电磁相互作用而对氧化物230b直接传递热能。有时因该热能而氧化物230b被加热。有时将该热处理称为微波退火。通过在含氧气氛下进行微波处理,有时可以得到与氧退火相等的效果。此外,在氧化物230b包含氢时,有时上述热能传递到氧化物230b中的氢而被活性化的氢从氧化物230b释放。

[0209] 此外,也可以在沉积绝缘膜253A之前进行微波处理而不进行沉积绝缘膜253A之后的微波处理。

[0210] 此外,也可以在沉积绝缘膜253A后的微波处理之后保持减压状态下进行加热处理。通过进行这种处理,可以高效地去除绝缘膜253A中、氧化物230b中及氧化物230a中的氢。此外,氢的一部分有时被导电体242(导电体242a及导电体242b)吸杂。此外,也可以反复在进行微波处理之后保持减压状态下进行加热处理的步骤。通过反复进行加热处理,可以进一步高效地去除绝缘膜253A中、氧化物230b中及氧化物230a中的氢。注意,加热处理温度优选为300℃以上且500℃以下。上述微波处理,即微波退火也可以兼作该加热处理。在通过

微波退火氧化物230b等充分地加热时,也可以不进行该加热处理。

[0211] 此外,通过进行微波处理而对绝缘膜253A的膜品质进行改性,可以抑制氢、水等杂质的扩散。由此,可以抑制氢或水等杂质因将成为导电体260的导电膜的沉积等后续工序或热处理等后处理而经过绝缘体253扩散到氧化物230b、氧化物230a等。

[0212] 接着,沉积将成为绝缘体254及绝缘体154_2的绝缘膜254A(参照图15A至图15D)。绝缘膜254A可以通过溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法而沉积。绝缘膜254A优选与绝缘膜253A同样地利用ALD法沉积。通过利用ALD法,可以以高覆盖性且以较小的厚度沉积绝缘膜254A。在本实施方式中,作为绝缘膜254A利用PEALD法沉积氮化硅。

[0213] 此外,作为绝缘膜254A,也可以使用可应用于绝缘膜253A的绝缘材料。

[0214] 此外,绝缘膜254A也可以使用与绝缘膜253A相同的材料。也就是说,在存储单元MC中,绝缘体253及绝缘体254也可以为一个绝缘体。同样,绝缘体153_1及绝缘体154_1也可以为一个绝缘体,绝缘体153_2及绝缘体154_2也可以为一个绝缘体。

[0215] 接着,依次沉积将成为导电体260a及导电体160a_2的导电膜260A及将成为导电体260b及导电体160b_2的导电膜260B(参照图15A至图15D)。将成为导电体260a的导电膜及将成为导电体260b的导电膜可以使用溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法而沉积。在本实施方式中,利用ALD法作为将成为导电体260a的导电膜260A沉积氮化钛,利用CVD法作为将成为导电体260b的导电膜260B沉积钨。

[0216] 此外,作为导电膜260A,除了氮化钛以外,也可以使用钽、氮化钽、钛、钇或氧化钇等导电材料。此外,导电膜260A也可以具有包含选自上述材料中的两个以上的叠层结构。此外,作为导电膜260B,除了钨以外,也可以使用铜或铝等导电材料。此外,导电膜260B也可以具有包含选自上述材料中的两个以上的叠层结构。

[0217] 接着,利用CMP法等平坦化处理直到使绝缘体280_2露出为止对绝缘膜253A、绝缘膜254A、导电体260a以及导电体260b进行抛光。也就是说,去除绝缘膜253A、绝缘膜254A、导电体260a以及导电体260b的从开口258及开口158露出的部分。由此,在开口258中形成绝缘体253、绝缘体254以及导电体260(导电体260a及导电体260b),在开口158中形成绝缘体153_2、绝缘体154_2以及导电体160_2(导电体160a_2及导电体160b_2)(参照图16A至图16D)。

[0218] 由此,绝缘体253以与重叠于氧化物230b的开口258的内壁及侧面接触的方式设置。此外,导电体260以隔着绝缘体253及绝缘体254嵌入开口258中的方式配置。由此形成晶体管M1。

[0219] 此外,绝缘体153_2以与重叠于导电体242b的开口158的内壁及侧面接触的方式设置。此外,导电体160_2以隔着绝缘体153_2及绝缘体154_2嵌入开口158中的方式配置。由此形成电容C1。

[0220] 接着,也可以在与上述热处理同样的条件下进行热处理。在本实施方式中,在氮气氛下以400°C的温度进行1小时的处理。通过该加热处理,可以降低绝缘体280_2中的水分浓度及氢浓度。此外,在上述加热处理之后,以不暴露于大气的方式连续地进行绝缘体222_2的沉积。

[0221] 接着,在绝缘体253上、绝缘体254上、导电体260上、绝缘体153_2上、绝缘体154_2上、导电体160_2上以及绝缘体280_2上形成绝缘体222_2(参照图6A至图6D)。绝缘体222_2

可以使用如溅射法、CVD法、MBE法、PLD法或ALD法等沉积方法而沉积。作为绝缘体222_2,例如优选与绝缘体222_1同样使用ALD法沉积氢浓度降低的氧化锆。

[0222] 经上述工序,可以制造图2所示的包括存储单元MCa或存储单元MCb的半导体装置。如图6A至图16D所示,通过使用本实施方式所示的半导体装置的制造方法,可以在同一工序中形成电容C1及晶体管M1。由此,可以减少包括电容C1及晶体管M1的半导体装置的制造工序。

[0223] 此外,包括图2所示的存储单元MCa或存储单元MCb的半导体装置可以降低存储单元的占有面积。也就是说,可以提高该半导体装置的存储密度。

[0224] 此外,根据本发明的一个方式的半导体装置的制造方法不局限于图6A至图16D所示的方法。半导体装置的制造方法可以根据状况而改变材料及工序。

[0225] 例如,也可以在图12A至图12D中形成绝缘体280_2之后使用图17A至图21D所示的制造工序制造半导体装置。

[0226] 在图12A至图12D中形成绝缘体280_2之后,在导电体160_1与氧化物230重叠的区域中加工绝缘体280_2的一部分、绝缘体275的一部分、导电层242A的一部分以及导电层242B的一部分来形成到达氧化物230b的开口258。通过形成开口258,可以以导电层242A形成导电体242a1及导电体242b1,并以导电层242B形成导电体242a2及导电体242b2(参照图17A至图17D)。此外,关于具体的工序可以参照图13A至图13D的说明。

[0227] 此外,在形成开口258之后,优选与图14A至图14D同样在包含氧的气氛下进行微波处理。

[0228] 接着,在绝缘体280_2上及氧化物230上依次形成绝缘膜253A、绝缘膜254A、导电膜260A以及导电膜260B(参照图18A至图18D)。此外,关于具体的工序可以参照图15A至图15D的说明。

[0229] 然后,通过进行CMP法等平坦化处理,对绝缘膜253A、绝缘膜254A、导电体260a以及导电体260b进行抛光直到绝缘体280_2露出为止。由此,在开口258中形成绝缘体253、绝缘体254以及导电体260(导电体260a及导电体260b)(参照图19A至图19D)。此外,关于具体的工序可以参照图16A至图16D的说明。由此,相当于晶体管M1的栅极。

[0230] 在图19A至图19D中形成绝缘体253、绝缘体254以及导电体260(导电体260a及导电体260b)之后,在导电体242b与绝缘体222_1重叠且导电体160_1与氧化物230不重叠的区域中加工绝缘体280_2的一部分、绝缘体275的一部分来形成到达导电体242b(导电体242b2)的开口158(参照图20A至图20D)。此外,关于具体的工序可以参照图13A至图13D的说明。

[0231] 接着,在绝缘体280_2上以及导电体242b(导电体242b2)上依次形成绝缘膜153A、绝缘膜154A、导电膜160A以及导电膜160B(参照图21A至图21D)。绝缘膜153A例如可以使用可应用于绝缘膜253A的材料。此外,绝缘膜154A例如可以使用可应用于绝缘膜254A的材料。此外,导电膜160A例如可以使用可应用于导电膜260A的材料。此外,导电膜160B例如可以使用可应用于导电膜260B的材料。此外,关于具体的工序可以参照图15A至图15D的说明。

[0232] 然后,通过进行CMP法等平坦化处理,对绝缘膜153A、绝缘膜154A、导电膜160A以及导电膜160B进行抛光直到绝缘体280_2露出为止。由此,在开口158中形成绝缘体153_2、绝缘体154_2以及导电体160_2(导电体160a_2及导电体160b_2)。此外,通过进行平坦化处理,图21A至图21D所示的半导体装置具有与图16A至图16D所示的结构大致相同的结构。此外,

关于平坦化处理的具体的工序可以参照图16A至图16D的说明。

[0233] 如上所述,通过在图12A至图12D中形成绝缘体280_2之后进行图17A至图21D所示的制造工序,也可以制造本发明的一个方式的半导体装置。此外,作为根据本发明的一个方式的半导体装置的制造方法,也可以先形成开口158以在开口158内形成绝缘体153_2、绝缘体154_2以及导电体160_2(导电体160a_2及导电体160b_2),然后形成开口258以在开口258内形成绝缘体253、绝缘体254以及导电体260(导电体260a及导电体260b)(未图示)。

[0234] <半导体装置的变形例子>

以下说明与图2的截面结构例子不同的作为本发明的一个方式的半导体装置DEV的结构例子。

[0235] 图22的截面示意图是图2所示的半导体装置DEV的变形例子。具体而言,图22所示的半导体装置DEV与图2的半导体装置DEV的不同之处在于导电体242b及氧化物230与电容C1彼此重叠。

[0236] 此外,图23是示出图22的半导体装置DEV的结构例子的立体示意图。在图23中,为了容易看到存储层ALYa与存储层ALYb的叠层结构,有意去除后述绝缘体222_1及绝缘体222_2的阴影线,并未示出绝缘体275。

[0237] 另外,与图4同样,图22的半导体装置DEV具有导电体242a上设置有用作插头或布线的导电体且该导电体上设置有布线的结构。例如,图24所示的半导体装置DEV是图22的半导体装置DEV的变形例子,其中导电体242a上设置有用作插头或布线的导电体270,导电体270及绝缘体222_2上设置有用作布线的导电体242c。注意,导电体242c可以与存储层ALYb的存储单元MCb所包括的导电体242a及导电体242b同时形成。此外,导电体242c可以使用与导电体242a及导电体242b相同的材料。此外,导电体242c被用作存储层ALYa中的布线BLa[1]至布线BLa[n]中的任一个布线。

[0238] <<存储单元的结构例子>>

接着,说明图22所示的半导体装置DEV的存储单元的结构例子。

[0239] 图25A至图25D是图22的半导体装置DEV中的包括晶体管M1、电容C1的存储单元MC的平面示意图及截面示意图。图25A是存储单元MC的平面示意图。此外,图25B至图25D是存储单元MC的截面示意图。在此,图25B是沿图25A所示的点划线A1-A2的部分的截面图,也是晶体管M1的沟道长度方向上的截面图。此外,图25C是沿图25A所示的点划线A3-A4的部分的截面示意图,也是晶体管M1的沟道宽度方向上的截面示意图。此外,图25D是沿图25A所示的点划线A5-A6的部分的截面图,也是电容C1的截面示意图。此外,在图25A的俯视图中,为了明确示出附图,省略了部分构成要素。

[0240] 存储单元MC包括衬底(未图示)上的绝缘体280_1、绝缘体153_1、绝缘体154_1及导电体160_1(导电体160a_1及导电体160b_1)。另外,存储单元MC包括绝缘体280_1上、绝缘体153_1上、绝缘体154_1上及导电体160_1上的绝缘体222_1。另外,存储单元MC在包含绝缘体222_1上的与导电体160_1重叠的范围的区域中包括绝缘体224、绝缘体224上的氧化物230a及氧化物230a上的氧化物230b。此外,存储单元MC包括氧化物230b上的导电体242a(导电体242a1及导电体242a2)以及导电体242b(导电体242b1及导电体242b2)。此外,存储单元MC包括绝缘体222_1上、绝缘体224的侧面上、氧化物230的侧面上、导电体242a的侧面上及导电体242b上的绝缘体275以及绝缘体275上的绝缘体280_2。此外,存储单元MC包括位于氧化物

230b上的与导电体160_1重叠的区域的绝缘体253、绝缘体253上的绝缘体254以及绝缘体254上的导电体260(导电体260a及导电体260b)。此外,存储单元MC包括位于导电体242b上的不与导电体160_1重叠的区域的绝缘体153_2、绝缘体153_2上的绝缘体154_2以及绝缘体154_2上的导电体160_2(导电体160a_2及导电体160b_2)。此外,存储单元MC包括绝缘体280_2上、绝缘体253上、绝缘体254上、导电体260上、绝缘体153_2上、绝缘体154_2上以及导电体160_2上的绝缘体222_2。尤其是,晶体管M1和电容C1中的一方或双方以嵌入于绝缘体280_2的方式配置。

[0241] 此外,图25A至图25D所示的绝缘体280_1、绝缘体153_1、绝缘体154_1、导电体160_1、绝缘体222_1、绝缘体224、氧化物230、导电体242a、导电体242b、绝缘体275、绝缘体280_2、绝缘体253、绝缘体254、导电体260、绝缘体153_2、绝缘体154_2、导电体160_2以及绝缘体222_2各自援用图6A至图6D所示的绝缘体、导电体以及氧化物的说明。

[0242] 此外,在图25A至图25D中,虽然未图示,但是导电体242a及导电体242b也可以设置在绝缘体224的侧面上、氧化物230a的侧面上以及氧化物230的侧面上。此外,同样,导电体242a及导电体242b也可以设置在绝缘体222_1上。当在绝缘体224的侧面上、氧化物230a的侧面上、氧化物230的侧面上以及绝缘体222_1上设置导电体242a及导电体242b时,设置在绝缘体224的侧面上、氧化物230a的侧面上、氧化物230的侧面上以及绝缘体222_1上的导电体242a及导电体242b可以为与晶体管M1的源电极和漏电极中的一个电连接的布线。此时,该布线被用作位线。

[0243] <<半导体装置的制造方法例子>>

接着,说明图25A至图25D所示的半导体装置DEV的存储层ALY_a的制造方法例子。此外,关于制造方法例子的说明使用图26A至图31D。

[0244] 在图26A至图31D中,各附图A是平面示意图。此外,各附图B各自是沿附图A所示的点划线A1-A2的部分的截面示意图,也是晶体管M1的沟道长度方向上的截面示意图。此外,各附图C各自是沿附图A所示的点划线A3-A4的部分的截面示意图,也是晶体管M1的沟道宽度方向上的截面示意图。此外,各附图D各自是沿附图A所示的点划线A5-A6的部分的截面示意图。此外,在各附图A的平面示意图中,为了明确示出附图,省略了部分构成要素。

[0245] 注意,在图22的半导体装置DEV的存储单元的制造方法中,有时省略其内容与图2的半导体装置DEV的存储单元的制造方法相同的部分的说明。此外,在图22的半导体装置DEV的存储单元的制造方法中,可以援用图2的半导体装置DEV的存储单元的制造方法。

[0246] 首先,准备衬底(未图示),在该衬底的上方形成绝缘体280_1、绝缘体153_1、绝缘体154_1以及导电体160_1(参照图26A至图26D)。此外,关于绝缘体280_1、绝缘体153_1、绝缘体154_1以及导电体160_1的形成方法可以参照图7A至图7D中的说明。

[0247] 另外,在绝缘体280_1上、绝缘体153_1上、绝缘体154_1上及导电体160_1上沉积绝缘体222_1(参照图26A至图26D)。此外,关于绝缘体222_1的形成方法可以参照图7A至图7D中的说明。

[0248] 接着,在绝缘体222_1上形成绝缘层224A、氧化物层230A及氧化物层230B(参照图26A至图26D)。具体而言,如图8A至图8D所说明,依次形成将成为绝缘层224A的绝缘膜、将成为氧化物层230A的氧化膜及将成为氧化物层230B的氧化膜,然后,如图9A至图9D所说明,利用光刻法等分别加工将成为绝缘层224A的绝缘膜、将成为氧化物层230A的氧化膜及将成为

氧化物层230B,即可。注意,图26A至图26D的形成方法与图9A至图9D的形成方法的不同之处在于:在后面形成电容C1的区域中,例如在不与导电体160_1重叠的区域中也形成绝缘层224A、氧化物层230A及氧化物层230B。

[0249] 接着,在绝缘体222_1及氧化物层230B上依次沉积导电膜242Af和导电膜242Bf(参照图27A至图27D)。此外,关于导电膜242Af及导电膜242Bf的形成方法可以参照图10A至图10D中的说明。

[0250] 接着,使用光刻法加工绝缘层224A、氧化物层230A、氧化物层230B、导电膜242Af以及导电膜242Bf来形成岛状的绝缘体224、氧化物230a、氧化物230b、导电层242A以及导电层242B(参照图28A至图28D)。此外,关于绝缘层224A、氧化物层230A、氧化物层230B、导电膜242Af及导电膜242Bf的加工可以参照图11A至图11D中的说明。

[0251] 注意,虽然在图28A至图28D中未图示,但是也可以在绝缘体222_1上、绝缘体224的侧面上、氧化物230a的侧面上及氧化物230b的侧面上形成导电层242A及导电层242B的方式进行加工。形成在绝缘体222_1上、绝缘体224的侧面上、氧化物230a的侧面上及氧化物230b的侧面上的导电层242A及导电层242B例如被用作布线。

[0252] 接着,以覆盖绝缘体224、氧化物230a、氧化物230b、导电层242A以及导电层242B的方式沉积绝缘体275,并在绝缘体275上沉积将成为绝缘体280_2的绝缘膜。然后,通过对将成为绝缘体280_2的绝缘膜进行CMP法等平坦化处理,形成其顶面平坦的绝缘体280_2(参照图29A至图29D)。此外,关于绝缘体275及绝缘体280_2的形成方法可以参照图12A至图12D中的说明。

[0253] 接着,在导电体160_1与氧化物230重叠的区域中,通过加工绝缘体280_2的一部分、绝缘体275的一部分、导电层242A的一部分以及导电层242B的一部分,形成到达氧化物230b的开口258。通过形成开口258,可以以导电层242A形成导电体242a1及导电体242b1,并以导电层242B形成导电体242a2及导电体242b2(参照图30A至图30D)。此外,关于开口258的形成方法可以参照图13A至图13D中的说明。

[0254] 此外,在导电层242A、导电层242B与绝缘体222_1重叠且导电体160_1与氧化物230不重叠的区域中加工绝缘体280_2的一部分、绝缘体275的一部分来形成到达导电层242B(导电体242b2)的开口158(参照图30A至图30D)。此外,关于开口158的形成方法可以参照图13A至图13D中的说明。

[0255] 此外,既可以一次形成开口158和开口258,又可以在形成开口158和开口258中的一个之后形成其中另一个。此外,开口258优选以其底部露出氧化物230b的方式形成,开口158优选以其底部露出导电体242b2的方式形成。因此,优选使用条件彼此不同的加工方法形成开口158与开口258。

[0256] 接着,在绝缘体280_2上、开口258的底面上及侧面上以及开口158的底面上及侧面上沉积将成为绝缘体253的绝缘膜。此外,在沉积将成为绝缘体253的绝缘膜之后,也可以进行微波处理。然后,在将成为绝缘体253的绝缘膜上依次沉积将成为绝缘体254的绝缘膜以及将成为导电体260及导电体160_2的导电膜。此外,在形成将成为导电体260及导电体160_2的导电膜之后,通过使用CMP法等平坦化处理进行抛光直到将成为绝缘体253的绝缘膜、将成为绝缘体254的绝缘膜以及将成为导电体260及导电体160_2的导电膜露出为止。也就是说,去除将成为绝缘体253的绝缘膜、将成为绝缘体254的绝缘膜以及将成为导电体260及导

电体160_2的导电膜的从开口258及开口158各自露出的部分。由此,在开口258中形成绝缘体253、绝缘体254以及导电体260(导电体260a及导电体260b),并在开口158中形成绝缘体153_2、绝缘体154_2以及导电体160_2(导电体160a_2及导电体160b_2)(参照图31A至图31D)。此外,关于绝缘体253、绝缘体254、导电体260、绝缘体153_2、绝缘体154_2以及导电体160_2的形成方法可以参照图14A至图16D的说明。

[0257] 接着,在绝缘体253上、绝缘体254上、导电体260上、绝缘体153_2上、绝缘体154_2上、导电体160_2上以及绝缘体280_2上形成绝缘体222_2(参照图25A至图25D)。此外,关于绝缘体222_2的形成方法可以参照在图16A至图16D之后形成的绝缘体222_2的形成方法的说明。

[0258] 经上述工序,可以制造图22所示的包括存储单元MCa或存储单元MCb的半导体装置。如图25A至图31D所示,通过使用本实施方式所示的半导体装置的制造方法,可以在同一工序中形成电容C1及晶体管M1。由此,可以减少包括电容C1及晶体管M1的半导体装置的制造工序。

[0259] 此外,包括图22所示的存储单元MCa或存储单元MCb的半导体装置可以降低存储单元的占有面积。也就是说,可以提高该半导体装置的存储密度。

[0260] 此外,根据本发明的一个方式的半导体装置的制造方法不局限于图26A至图31D所示的方法。半导体装置的制造方法可以根据状况而改变材料及工序。

[0261] 例如,作为图22的半导体装置DEV的制造方法,与作为图2的半导体装置DEV的制造方法的图7A至图12D及图17A至图21D同样,也可以先形成开口258以在开口258内形成绝缘体253、绝缘体254以及导电体260(导电体260a及导电体260b),然后形成开口158以在开口158内形成绝缘体153_2、绝缘体154_2以及导电体160_2(导电体160a_2及导电体160b_2)。此外,作为图22的半导体装置DEV的制造方法,也可以先形成开口158以在开口158内形成绝缘体153_2、绝缘体154_2以及导电体160_2(导电体160a_2及导电体160b_2),然后形成开口258以在开口258内形成绝缘体253、绝缘体254以及导电体260(导电体260a及导电体260b)。

[0262] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0263] (实施方式2)

在本实施方式中,说明包括上述实施方式中说明的半导体装置的存储装置的结构例子。

[0264] 图32A是示出存储装置100的结构例子的立体示意图。图32B是示出存储装置100的结构例子的方框图。存储装置100包括驱动电路层50、N层(N为1以上的整数)的存储层60。此外,每个层的存储层60包括配置为m行n列的矩阵状的多个存储单元10。此外,图32B示出存储层60_k中配置有存储单元10[1,1]、存储单元10[m,1](在此,m为1以上的整数)、存储单元10[1,n](在此,n为1以上的整数)、存储单元10[m,n]、存储单元10[i,j](在此,i为1以上且m以下的整数,j为1以上且n以下的整数)的例子。

[0265] 此外,存储层60相当于实施方式1中说明的存储层ALYa或存储层ALYb。此外,存储单元10相当于实施方式1中说明的存储单元MCa或存储单元MCb。

[0266] N层的存储层60设置在驱动电路层50上。通过将N层的存储层60设置在驱动电路层50上,可以缩小存储装置100的占有面积。此外,可以增高单位面积的存储容量。

[0267] 在本实施方式等中,将第一层的存储层60表示为存储层60_1,将第二层的存储层

60表示为存储层60_2,并且将第三层的存储层60表示为存储层60_3。此外,将第k层(k为1以上且N以下的整数)的存储层60表示为存储层60_k,将第N层的存储层60表示为存储层60_N。在本实施方式等中,在说明涉及到N层的存储层60整体的事项或者示出N层的存储层60的各层间共同的事项的情况下,有时简单地表示为“存储层60”。

[0268] <驱动电路层50的结构例子>

驱动电路层50包括PSW22(功率开关)、PSW23以及外围电路31。外围电路31包括外围电路41、控制电路32以及电压生成电路33。

[0269] 在存储装置100中,根据需要可以适当地取舍上述各电路、各信号及各电压。或者,也可以增加其它电路或其它信号。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2为从外部输入的信号,信号RDA为输出到外部的信号。信号CLK为时钟信号。

[0270] 此外,信号BW、信号CE及信号GW为控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据,信号RDA为读出数据。信号PON1、信号PON2为电源门控控制用信号。此外,信号PON1、信号PON2也可以在控制电路32中生成。

[0271] 控制电路32为具有控制存储装置100的整体工作的功能的逻辑电路。例如,控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定存储装置100的工作模式(例如,写入工作、读出工作)。或者,控制电路32生成外围电路41的控制信号,以执行上述工作模式。

[0272] 电压生成电路33具有生成负电压的功能。信号WAKE具有控制对电压生成电路33输入信号CLK的功能。例如,当信号WAKE被施加H电平的信号时,信号CLK被输入到电压生成电路33,电压生成电路33生成负电压。

[0273] 外围电路41是用来对存储单元10进行数据的写入及读出的电路。外围电路41包括行译码器42、列译码器44、行驱动器43、列驱动器45、输入电路47、输出电路48及读出放大器46。

[0274] 行译码器42及列译码器44具有对信号ADDR进行译码的功能。行译码器42是用来指定要访问行的电路,列译码器44是用来指定要访问列的电路。

[0275] 行驱动器43具有选择由行译码器42指定的布线WL(写入及读出字线)的功能。

[0276] 列驱动器45具有如下功能:将数据写入到存储单元10的功能;从存储单元10读出数据的功能;保持所读出的数据的功能等。列驱动器45具有选择由列译码器44指定的布线BL(写入及读出位线)的功能。

[0277] 输入电路47具有保持信号WDA的功能。输入电路47中保持的数据(上述实施方式中为第一数据)被输出到列驱动器45。输入电路47的输出数据是写入到存储单元10的数据(Din)。由列驱动器45从存储单元10读出的数据(Dout)被输出至输出电路48。在上述实施方式中,将所读出的数据(Dout)作为运算结果的数据进行处理。输出电路48具有保持Dout的功能。此外,输出电路48具有将Dout输出到存储装置100的外部的功能。从输出电路48输出的数据为信号RDA。

[0278] PSW22具有控制向外围电路31供给VDD的功能。PSW23具有控制向行驱动器43供给VHM的功能。在此,存储装置100的高电源电压为VDD,低电源电压为GND(接地电位)。此外,VHM是用来使字线成为高电平的高电源电压,其高于VDD。利用信号PON1切换PSW22的开启状

态及关闭状态,利用信号PON2切换PSW23的开启状态及关闭状态。在图32B中,外围电路31中被供应VDD的电源域的个数为1,但是也可以为多个。此时,可以对各电源域设置功率开关。

[0279] 接着,说明外围电路41与存储层60的电连接。

[0280] 图33是示出外围电路41及存储层60_k的结构例子的方框图。在图33中,行译码器42及行驱动器43与布线WL[1]至布线WL[m]中的每一个电连接,列译码器44、列驱动器45以及读出放大器46与布线BL[1]至布线BL[n]中的每一个电连接。

[0281] 此外,布线WL[1]至布线WL[m]相当于实施方式1中说明的布线WLa[1]至布线WLa[m]或布线WLb[1]至布线WLb[m]。也就是说,布线WL[1]至布线WL[m]被用作字线。

[0282] 此外,布线BL[1]至布线BL[n]相当于实施方式1中说明的布线BLa[1]至布线BLa[n]或布线BLb[1]至布线BLb[n]。也就是说,布线BL[1]至布线BL[n]被用作位线。

[0283] 配置在第i行第j列上的存储单元10[i,j]与布线WL[i]及布线BL[j]电连接。

[0284] 如图33所示,通过电连接存储层60_k及外围电路41,可以对存储层60_k写入数据并从存储层60_k读出数据。

[0285] 接着,图34示出根据本发明的一个方式的存储装置100的截面结构例子。图34所示的存储装置100包括驱动电路层50上方的多层存储层60(存储层ALYa或存储层ALYb)。为了避免重复说明,在本实施方式中省略有关存储层60的说明。

[0286] 此外,图34示出驱动电路层50所包括的晶体管400。晶体管400设置在衬底311上,并包括被用作栅极的导电体316、被用作栅极绝缘体的绝缘体315、包含衬底311的一部分的半导体区域313、被用作源极区域和漏极区域中的一个的低电阻区域314a以及被用作源极区域和漏极区域中的另一个的低电阻区域314b。晶体管400可以是p沟道型晶体管或n沟道型晶体管。作为衬底311,例如可以使用单晶硅衬底。

[0287] 在此,在图34所示的晶体管400中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外,导电体316可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管400也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI(Silicon On Insulator)衬底进行加工来形成具有凸形状的半导体膜。

[0288] 注意,图34所示的晶体管400的结构只是一个例子,不局限于上述结构,可以根据电路结构或驱动方法使用适当的晶体管。

[0289] 在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层可以根据设计而设置为多个层。此外,在本说明书等中,布线、与布线电连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0290] 例如,在晶体管400上,作为层间膜依次层叠地设置有绝缘体320、绝缘体322、绝缘体324及绝缘体326。此外,导电体328等嵌入绝缘体320及绝缘体322中。此外,导电体330等嵌入绝缘体324及绝缘体326中。此外,导电体328及导电体330被用作接触插头或布线。

[0291] 此外,被用作层间膜的绝缘体也可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,为了提高绝缘体322的顶面的平坦性,也可以通过利用化学机械抛光(CMP)法等的平

坦化处理实现平坦化。

[0292] 此外,也可以在绝缘体326及导电体330上设置布线层。例如,在图34中,绝缘体326及导电体330上依次层叠有绝缘体350、绝缘体357以及绝缘体352。绝缘体350、绝缘体357以及绝缘体352中形成有导电体356。导电体356被用作接触插头或布线。例如,相当于图33中的布线WL(布线WL[1]至布线WL[m]中的任一个)或布线BL(布线BL[1]至布线BL[n]中的任一个)的导电体与晶体管400通过导电体356、导电体330等电连接。

[0293] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0294] (实施方式3)

在本实施方式中,说明形成有上述实施方式所示的存储装置等的半导体晶片及组装有该存储装置电子构件的一个例子。

[0295] <半导体晶片>

首先,使用图35A说明形成有存储装置等的半导体晶片的例子。

[0296] 图35A所示的半导体晶片4800包括晶片4801及设置在晶片4801的顶面的多个电路部4802。在晶片4801的顶面上没设置有电路部4802的部分相当于空隙4803,其为用于切割的区域。

[0297] 半导体晶片4800可以通过在前工序中在晶片4801的表面上形成多个电路部4802来制造。此外,也可以之后对晶片4801的形成有多个电路部4802的面的背面进行抛光来减薄晶片4801。通过上述工序,可以减少晶片4801翘曲等而实现构件的小型化。

[0298] 下面进行切割工序。沿点划线所示的划分线SCL1及划分线SCL2(有时称为切割线或截断线)进行切割。为了容易进行切割工序,优选以多个划分线SCL1平行,多个划分线SCL2平行,且划分线SCL1与划分线SCL2垂直的方式设置空隙4803。

[0299] 通过进行切割工序,可以从半导体晶片4800切割出图35B所示的芯片4800a。芯片4800a包括晶片4801a、电路部4802以及空隙4803a。此外,空隙4803a优选尽可能小。在此情况下,相邻的电路部4802之间的空隙4803的宽度只要与划分线SCL1的划分用部及划分线SCL2的划分用部大致相等即可。

[0300] 此外,本发明的一个实施方式的元件衬底的形状不局限于图35A所示的半导体晶片4800的形状。例如,可以为矩形形状的半导体晶片。此外,可以根据元件的制造工序及制造用设备适当地改变元件衬底的形状。

[0301] <电子构件>

图35C示出电子构件4700及安装有电子构件4700的衬底(安装衬底4704)的立体图。图35C所示的电子构件4700在模子4711中包括芯片4800a。此外,在图35C所示的芯片4800a中,电路部4802被层叠。也就是说,作为电路部4802,可以应用上述实施方式所示的存储装置。在图35C中,省略电子构件4700的一部分以表示其内部。电子构件4700在模子4711的外侧包括连接盘(land)4712。连接盘4712与电极焊盘4713电连接,电极焊盘4713通过引线4714与芯片4800a电连接。电子构件4700例如安装于印刷电路板4702。通过组合多个该电子构件并使其分别在印刷电路板4702上电连接,由此完成安装衬底4704。

[0302] 图35D示出电子构件4730的立体图。电子构件4730是SiP(System in Package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件4730中,封装衬底4732(印刷电路板)上设置有插板(interposer)4731,插板4731上设置有半导体装置4735

及多个半导体装置4710。

[0303] 电子构件4730包括半导体装置4710。半导体装置4710例如可以使用在上述实施方式中说明的存储装置、高宽带存储器(HBM:High Bandwidth Memory)等。此外,半导体装置4735例如可以使用CPU、GPU、FPGA或存储装置等集成电路(半导体装置)。

[0304] 封装衬底4732可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底。插板4731可以使用硅插板或树脂插板。

[0305] 插板4731具有多个布线且具有与端子间距不同的多个集成电路电连接的功能。多个布线由单层或多层构成。此外,插板4731具有将设置于插板4731上的集成电路与设置于封装衬底4732上的电极电连接的功能。因此,有时也将插板称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板4731中设置贯通电极,通过该贯通电极使集成电路与封装衬底4732电连接。此外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0306] 作为插板4731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以以比集成电路更低的成本制造。硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0307] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0308] 此外,在使用硅插板的SiP或MCM中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0309] 此外,也可以与电子构件4730重叠地设置散热器(散热板)。在设置散热器的情况下,优选设置于插板4731上的集成电路的高度一致。例如,在本实施方式所示的电子构件4730中,优选使半导体装置4710与半导体装置4735的高度一致。

[0310] 为了将电子构件4730安装在其他的衬底上,可以在封装衬底4732的底部设置电极4733。图35D示出用焊球形成电极4733的例子。通过在封装衬底4732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)安装。此外,电极4733也可以使用导电针形成。通过在封装衬底4732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)安装。

[0311] 电子构件4730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。例如,可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0312] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0313] (实施方式4)

在本实施方式中,对可以包括上述实施方式的存储装置的CPU进行说明。

[0314] 图36是示出将上述实施方式所示的存储装置用于其一部分的CPU的一个例子的结构的方框图。

[0315] 图36所示的CPU在衬底1190上具有:ALU1191 (ALU:Arithmetic logic unit:运算电路)、ALU控制器1192、指令译码器1193、中断控制器1194、时序控制器1195、寄存器1196、寄存器控制器1197、总线接口1198 (Bus I/F)、能够重写的ROM1199以及ROM接口1189 (ROM I/F)。作为衬底1190使用半导体衬底、SOI衬底、玻璃衬底等。ROM1199及ROM接口1189也可以设置在不同的芯片上。当然,图36所示的CPU只不过是简化其结构而表示的一个例子,所以实际上的CPU根据其用途具有各种结构。例如,也可以以包括图36所示的CPU或运算电路的结构为核心,设置多个该核心并使其同时工作,就是说也可以为像GPU那样的结构。此外,在CPU的内部运算电路、数据总线等中能够处理的位数例如可以为8位、16位、32位、64位以上。

[0316] 通过总线接口1198输入到CPU的指令在输入到指令译码器1193并被译码之后,输入到ALU控制器1192、中断控制器1194、寄存器控制器1197、时序控制器1195。

[0317] ALU控制器1192、中断控制器1194、寄存器控制器1197、时序控制器1195根据被译码的指令进行各种控制。具体而言,ALU控制器1192生成用来控制ALU1191的工作的信号。此外,中断控制器1194在执行CPU的程序时,根据其优先度或掩码的状态等来判断来自外部的输入/输出装置或外围电路的中断要求而对该要求进行处理。寄存器控制器1197生成寄存器1196的地址,并根据CPU的状态来进行寄存器1196的读出或写入。

[0318] 此外,时序控制器1195生成用来控制ALU1191、ALU控制器1192、指令译码器1193、中断控制器1194以及寄存器控制器1197的工作时序的信号。例如,时序控制器1195具有根据参考时钟信号生成内部时钟信号的内部时钟发生器,并将内部时钟信号供应到上述各种电路。

[0319] 在图36所示的CPU中,在寄存器1196中设置有存储单元。作为寄存器1196,例如包括上面的实施方式所示的存储装置等。

[0320] 在图36所示的CPU中,寄存器控制器1197根据来自ALU1191的指令进行寄存器1196中的保持工作的选择。换言之,寄存器控制器1197在寄存器1196所具有的存储单元中选择由触发器保持数据还是由电容器保持数据。在选择由触发器保持数据的情况下,对寄存器1196中的存储单元供应电源电压。在选择由电容器保持数据的情况下,对电容器进行数据的重写,而可以停止对寄存器1196中的存储单元供应电源电压。

[0321] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0322] (实施方式5)

在本实施方式中,对包括在上述实施方式中说明的存储装置的电子设备的一个例子进行说明。图37A至图37J及图39A至图39E示出具有该存储装置的电子构件4700包括在各电子设备中的情况。

[0323] [移动电话机]

图37A所示的信息终端5500是信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入界面在显示部5511中包括触控面板,并且在外壳5510上设置有按钮。

[0324] 通过将在上述实施方式中说明的存储装置应用于信息终端5500,可以储存在执行程序时暂时生成的文档(例如,使用网页浏览器时的缓存等)。

[0325] [可穿戴终端]

此外,图37B示出可穿戴终端的一个例子的信息终端5900。信息终端5900例如包括

外壳5901、显示部5902、操作按钮5903、表把5904及表带5905等。

[0326] 与上述信息终端5500同样,通过将在上述实施方式中说明的存储装置应用于可穿戴终端,可以储存在执行程序时暂时生成的文档。

[0327] [信息终端]

图37C示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示器5302及键盘5303。

[0328] 与上述信息终端5500同样,通过将在上述实施方式中说明的存储装置应用于台式信息终端5300,可以储存在执行程序时暂时生成的文档。

[0329] 注意,在上述例子中,图37A至图37C示出智能手机、可穿戴终端及台式信息终端作为电子设备的例子,但是也可以应用智能手机、可穿戴终端及台式信息终端以外的信息终端。作为智能手机、可穿戴终端及台式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本式信息终端、工作站等。

[0330] [电器产品]

此外,图37D示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800例如包括外壳5801、冷藏室门5802及冷冻室门5803。

[0331] 通过将在上述实施方式中说明的存储装置应用于电冷藏冷冻箱5800,例如可以将电冷藏冷冻箱5800用作对应于IoT(Internet of Things:物联网)的电冷藏冷冻箱。通过利用IoT,可以在电冷藏冷冻箱5800与上述信息终端等之间通过互联网等收发储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等的信息。此外,电冷藏冷冻箱5800可以在发送该信息时将该信息暂时作为文档储存在该存储装置中。

[0332] 在上述例子中,作为电器产品说明电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0333] [游戏机]

此外,图37E示出游戏机的一个例子的便携式游戏机5200。便携式游戏机5200例如包括外壳5201、显示部5202及按钮5203。

[0334] 此外,图37F示出游戏机的一个例子的固定式游戏机7500。固定式游戏机7500包括主体7520及控制器7522。主体7520可以以无线方式或有线方式与控制器7522连接。此外,虽然在图37F中未图示,但是控制器7522可以包括选自显示游戏的图像的显示部、作为按钮以外的输入接口的触控面板及控制杆、旋转式抓手、滑动式抓手中的一个或两个以上。此外,控制器7522不局限于图37F所示的形状,也可以根据游戏的种类改变控制器7522的形状。例如,在FPS(First Person Shooter,第一人称射击类游戏)等射击游戏中,作为扳机使用按钮,可以使用模仿枪的形狀的控制器。此外,例如,在音乐游戏等中,可以使用模仿乐器、音乐器件等的形狀的控制器。再者,固定式游戏机也可以设置照相机、深度传感器、麦克风等,由游戏玩者的手势及声音中一个或两个操作以代替控制器操作。

[0335] 此外,上述游戏机的影像可以由电视装置、个人计算机用显示器、游戏用显示器或头戴显示器所包括的显示装置输出。

[0336] 通过将上述实施方式所说明的存储装置用于便携式游戏机5200或固定式游戏机7500,可以实现低功耗的便携式游戏机5200。此外,借助于低功耗,可以降低来自电路的发

热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0337] 并且,通过将上述实施方式所说明的存储装置用于便携式游戏机5200及固定式游戏机7500,可以储存在执行游戏时暂时生成的运算用文档。

[0338] 在图37E及图37F中,作为游戏机的例子示出便携式游戏机及固定式游戏机,但是本发明的一个方式的电子设备不局限于此。作为应用本发明的一个方式的电子设备,例如可以举出设置在娱乐设施(例如,游戏中心或游乐园)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0339] [移动体]

上述实施方式所说明的存储装置可以应用于作为移动体的汽车及汽车的驾驶座位附近。

[0340] 图37G示出作为移动体的一个例子的汽车5700。

[0341] 汽车5700的驾驶座位附近设置有显示速度表、转速计、行驶距离、加油量、排档状态、空调的设定等各种信息的仪表板。此外,驾驶座位附近也可以设置有表示上述信息的显示装置。

[0342] 尤其是,通过将由设置在汽车5700上的摄像装置(未图示)拍摄的影像显示在上述显示装置上,可以补充被支柱等遮挡的视野、驾驶座位的死角等,从而可以提高安全性。

[0343] 上述实施方式所说明的存储装置能够暂时储存信息,例如,可以将该存储装置应用于汽车5700的自动驾驶系统、进行导航、危险预测等的系统等来暂时储存必要信息。此外,也可以在该显示装置上暂时显示导航、危险预测等信息。此外,也可以储存安装在汽车5700上的行车记录仪的录像。

[0344] 虽然在上述例子中作为移动体的一个例子说明汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(例如,直升机、无人驾驶飞机(无人机)、飞机或火箭)等。

[0345] [照相机]

上述实施方式所说明的存储装置可以应用于照相机。

[0346] 图37H示出摄像装置的一个例子的数码相机6240。数码相机6240包括外壳6241、显示部6242、操作按钮6243、快门按钮6244等,并且安装有可装卸的镜头6246。在此,数码相机6240采用能够从外壳6241拆卸下镜头6246的结构,但是镜头6246及外壳6241也可以被形成为一体。此外,数码相机6240还可以包括另外安装的闪光灯装置或取景器。

[0347] 通过将上述实施方式所说明的存储装置用于数码相机6240,可以实现低功耗的数码相机6240。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0348] [视频摄像机]

上述实施方式所说明的存储装置可以应用于视频摄像机。

[0349] 图37I示出摄像装置的一个例子的视频摄像机6300。视频摄像机6300包括第一外壳6301、第二外壳6302、显示部6303、操作键6304、镜头6305、连接部6306。操作键6304及镜头6305设置在第一外壳6301上,显示部6303设置在第二外壳6302上。第一外壳6301与第二外壳6302由连接部6306连接,第一外壳6301与第二外壳6302间的角度可以由连接部6306改变。显示部6303的图像也可以根据连接部6306中的第一外壳6301与第二外壳6302间的角度

切换。

[0350] 当记录由视频摄像机6300拍摄的图像时,需要进行根据数据记录方式的编码。借助于上述存储装置,上述视频摄像机6300可以储存在进行编码时暂时生成的文档。

[0351] [ICD]

可以将上述实施方式所说明的存储装置应用于埋藏式心律转复除颤器(ICD)。

[0352] 图37J是示出ICD的一个例子的截面示意图。ICD主体5400至少包括电池5401、电子构件4700、调节器、控制电路、天线5404、向右心房的金属丝5402、向右心室的金属丝5403。

[0353] ICD主体5400通过手术设置在体内,两个金属丝穿过人体的锁骨下静脉5405及上腔静脉5406,并且其中一个金属丝的先端设置于右心室,另一个金属丝的先端设置于右心房。

[0354] ICD主体5400具有心脏起搏器的功能,并在心律在规定范围之外时对心脏进行起搏。此外,在即使进行起搏也不改善心律时(例如,快速的心室频脉或心室颤动)进行利用去颤的治疗。

[0355] 为了适当地进行起搏及去颤,ICD主体5400需要经常监视心律。因此,ICD主体5400包括用来检测心律的传感器。此外,ICD主体5400可以在电子构件4700中储存通过该传感器测得的心律的数据、利用起搏进行治疗的次数、时间等。

[0356] 此外,因为由天线5404接收电力,且该电力被充电到电池5401。此外,通过使ICD主体5400包括多个电池,可以提高安全性。具体而言,即使ICD主体5400中的部分电池产生故障,其他电池可以起作用而被用作辅助电源。

[0357] 此外,除了能够接收电力的天线5404,还可以包括能够发送生理信号的天线,例如,也可以构成能够由外部的监视装置确认脉搏、呼吸数、心律或体温等生理信号的监视心脏活动的系统。

[0358] [头戴显示器]

上述实施方式中说明的存储装置可以应用于如AR(增强现实)或VR(虚拟现实)等XR(扩展现实或交叉现实)用电子设备。

[0359] 图38A至图38C是示出作为头戴显示器的电子设备8300的外观的图。图38A至图38C所示的电子设备8300包括外壳8301、显示部8302、带状固定构件8304、头戴固定构件8304a以及一对透镜8305。此外,电子设备8300也可以包括操作按钮。

[0360] 使用者可以通过透镜8305看到显示部8302上的显示。优选的是,弯曲配置显示部8302。因为使用者可以感受高真实感。此外,通过透镜8305分别看到显示在显示部8302的不同区域上的不同图像,可以进行利用视差的三维显示等。此外,本发明的一个方式不局限于设置有一个显示部8302的结构,也可以以对使用者的一个眼睛配置一个显示部的方式设置两个显示部8302。

[0361] 此外,显示部8302例如优选使用清晰度极高的显示装置。通过作为显示部8302使用清晰度高的显示装置,即使如图38C那样使用透镜8305放大,也可以像素不被使用者看到而显示现实感高的影像。

[0362] 此外,本发明的一个方式的电子设备的头戴显示器也可以采用图38D所示的眼镜型头戴显示器的电子设备8200的结构。

[0363] 电子设备8200包括安装部8201、透镜8202、主体8203、显示部8204以及电缆8205。

此外,在安装部8201中内置有电池8206。

[0364] 通过电缆8205,将电力从电池8206供应到主体8203。主体8203具有无线接收器等,能够将所接收的图像信息等显示到显示部8204上。此外,主体8203具有照相机,由此可以作为输入方法利用使用者的眼球或眼皮运动的信息。

[0365] 此外,也可以对安装部8201的被使用者接触的位置设置多个电极,以检测出根据使用者的眼球运动而流过电极的电流,由此实现识别使用者的视线的功能。此外,还可以具有根据流过该电极的电流监视使用者的脉搏的功能。安装部8201可以具有温度传感器、压力传感器或加速度传感器等各种传感器,也可以具有将使用者的生物信息显示在显示部8204上的功能或与使用者的头部的动作同步地使显示在显示部8204上的图像变化的功能等。

[0366] [PC用扩展装置]

上述实施方式所说明的存储装置可以应用于PC(Personal Computer;个人计算机)等计算机、信息终端用扩展装置。

[0367] 图39A示出该扩展装置的一个例子的可以携带且安装有能够储存信息的芯片的设置在PC的外部的扩展装置6100。扩展装置6100例如通过由USB(Universal Serial Bus;通用串行总线)等连接于PC,可以储存信息。注意,虽然图39A示出可携带的扩展装置6100,但是根据本发明的一个方式的扩展装置不局限于此,例如也可以采用安装冷却风机等的较大结构的扩展装置。

[0368] 扩展装置6100包括外壳6101、盖子6102、USB连接器6103及衬底6104。衬底6104被容纳在外壳6101中。衬底6104设置有驱动上述实施方式所说明的存储装置等的电路。例如,衬底6104安装有电子构件4700、控制器芯片6106。USB连接器6103被用作连接于外部装置的接口。

[0369] [SD卡]

上述实施方式所说明的存储装置可以应用于能够安装在信息终端或数码相机等电子设备上的SD卡。

[0370] 图39B是SD卡的外观示意图,图39C是SD卡的内部结构的示意图。SD卡5110包括外壳5111、连接器5112及衬底5113。连接器5112具有连接到外部装置的接口的功能。衬底5113被容纳在外壳5111中。衬底5113设置有存储装置及驱动该存储装置的电路。例如,衬底5113安装有电子构件4700、控制器芯片5115。此外,电子构件4700及控制器芯片5115的各电路结构不局限于上述记载,可以根据情况适当地改变电路结构。例如,电子构件所包括的写入电路、行驱动器、读出电路等也可以不安装在电子构件4700上而安装在控制器芯片5115上。

[0371] 通过在衬底5113的背面一侧(与设置有存储装置及驱动存储装置的电路的面相反一侧的面)也设置电子构件4700,可以增大SD卡5110的容量。此外,也可以将具有无线通信功能的无线芯片设置于衬底5113。由此,可以进行外部装置与SD卡5110之间的无线通信,可以进行电子构件4700的数据的读出及写入。

[0372] [SSD]

上述实施方式所说明的存储装置可以应用于能够安装在信息终端等电子设备上的固态驱动器(SSD)。

[0373] 图39D是SSD的外观示意图,图39E是SSD的内部结构的示意图。SSD5150包括外壳

5151、连接器5152及衬底5153。连接器5152具有连接到外部装置的接口的功能。衬底5153被容纳在外壳5151中。衬底5153设置有存储装置及驱动该存储装置的电路。例如,衬底5153安装有电子构件4700、存储器芯片5155、控制器芯片5156。通过在衬底5153的背面一侧(与设置有存储装置及驱动存储装置的电路的面相反一侧的面)也设置电子构件4700,可以增大SSD5150的容量。存储器芯片5155中安装有工作存储器。例如,可以将DRAM芯片用于存储器芯片5155。控制器芯片5156中安装有处理器、ECC电路等。注意,电子构件4700、存储器芯片5155及控制器芯片5156的各电路结构不局限于上述记载,可以根据情况适当地改变电路结构。例如,控制器芯片5156中也可以设置用作工作存储器的存储器。

[0374] 通过将上述实施方式的存储装置应用于上述电子设备所包括的存储装置,可以提供一种新颖的电子设备。

[0375] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[符号说明]

[0376] DEV:半导体装置、ALYa:存储层、ALYb:存储层、MC:存储单元、MCa:存储单元、MCb:存储单元、M1:晶体管、C1:电容、BLa:布线、BLb:布线、WLa:布线、WLb:布线、CLa:布线、CLb:布线、10:存储单元、22:PSW、23:PSW、31:外围电路、32:控制电路、33:电压生成电路、41:外围电路、42:行译码器、43:行驱动器、44:列译码器、45:列驱动器、46:读出放大器、47:输入电路、48:输出电路、50:驱动电路层、60:存储层、100:存储装置、153_1:绝缘体、153_2:绝缘体、153A:绝缘膜、154_1:绝缘体、154_2:绝缘体、154A:绝缘膜、158:开口、160_1:导电体、160a_1:导电体、160b_1:导电体、160_2:导电体、160a_2:导电体、160b_2:导电体、160A:导电膜、160B:导电膜、222_1:绝缘体、222_2:绝缘体、224:绝缘体、224Af:绝缘膜、224A:绝缘层、230:氧化物、230a:氧化物、230Af:氧化膜、230A:氧化物层、230b:氧化物、230Bf:氧化膜、230B:氧化物层、242a:导电体、242a1:导电体、242a2:导电体、242Af:导电膜、242A:导电层、242b:导电体、242b1:导电体、242b2:导电体、242Bf:导电膜、242B:导电层、242c:导电体、253:绝缘体、253A:绝缘膜、254:绝缘体、254A:绝缘膜、258:开口、260:导电体、260a:导电体、260b:导电体、260A:导电膜、260B:导电膜、270:导电体、275:绝缘体、280_1:绝缘体、280_2:绝缘体、311:衬底、315:绝缘体、316:导电体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、350:绝缘体、352:绝缘体、356:导电体、357:绝缘体、400:晶体管、1189:ROM接口、1190:衬底、1192:ALU控制器、1193:指令译码器、1194:中断控制器、1195:时序控制器、1196:寄存器、1197:寄存器控制器、1198:总线接口、1199:ROM、4700:电子构件、4702:印刷电路板、4710:半导体装置、4711:模子、4712:连接盘、4714:引线、4730:电子构件、4735:半导体装置、4800:半导体晶片、4801:晶片、4801a:晶片、4802:电路部、4803:空隙、4803a:空隙、5110:SD卡、5111:外壳、5112:连接器、5113:衬底、5115:控制器芯片、5151:外壳、5152:连接器、5153:衬底、5156:控制器芯片、5200:便携式游戏机、5201:外壳、5202:显示部、5203:按钮、5300:台式信息终端、5301:主体、5302:显示器、5303:键盘、5400:ICD主体、5401:电池、5402:金属丝、5403:金属丝、5404:天线、5500:信息终端、5510:外壳、5511:显示部、5700:汽车、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门、5900:信息终端、5901:外壳、5902:显示部、5903:操作按钮、5904:表把、5905:表带、6100:扩展装置、6101:外壳、6102:盖子、6103:USB连接器、6104:衬底、6106:控制器芯片、6240:数码相机、6241:外壳、6243:操作按钮、6246:镜头、6242:显示部、6301:第

一外壳、6302:第二外壳、6303:显示部、6304:操作键、6305:镜头、6306:连接部、7500:固定式游戏机、7520:主体、7522:控制器、8200:电子设备、8201:安装部、8202:透镜、8203:主体、8204:显示部、8205:电缆、8206:电池、8300:电子设备、8301:外壳、8302:显示部、8304:固定构件、8304a:固定构件、8305:透镜

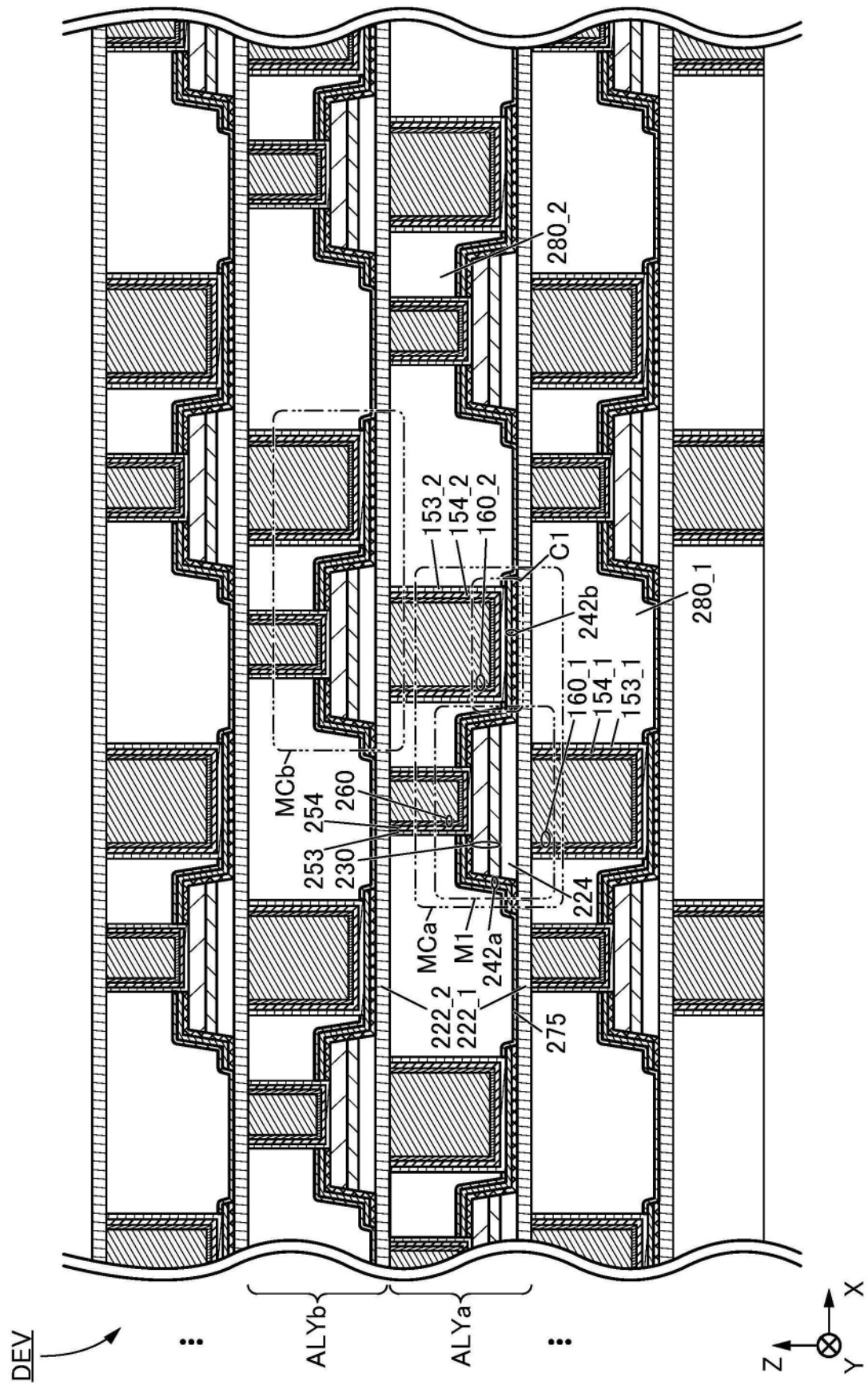


图2

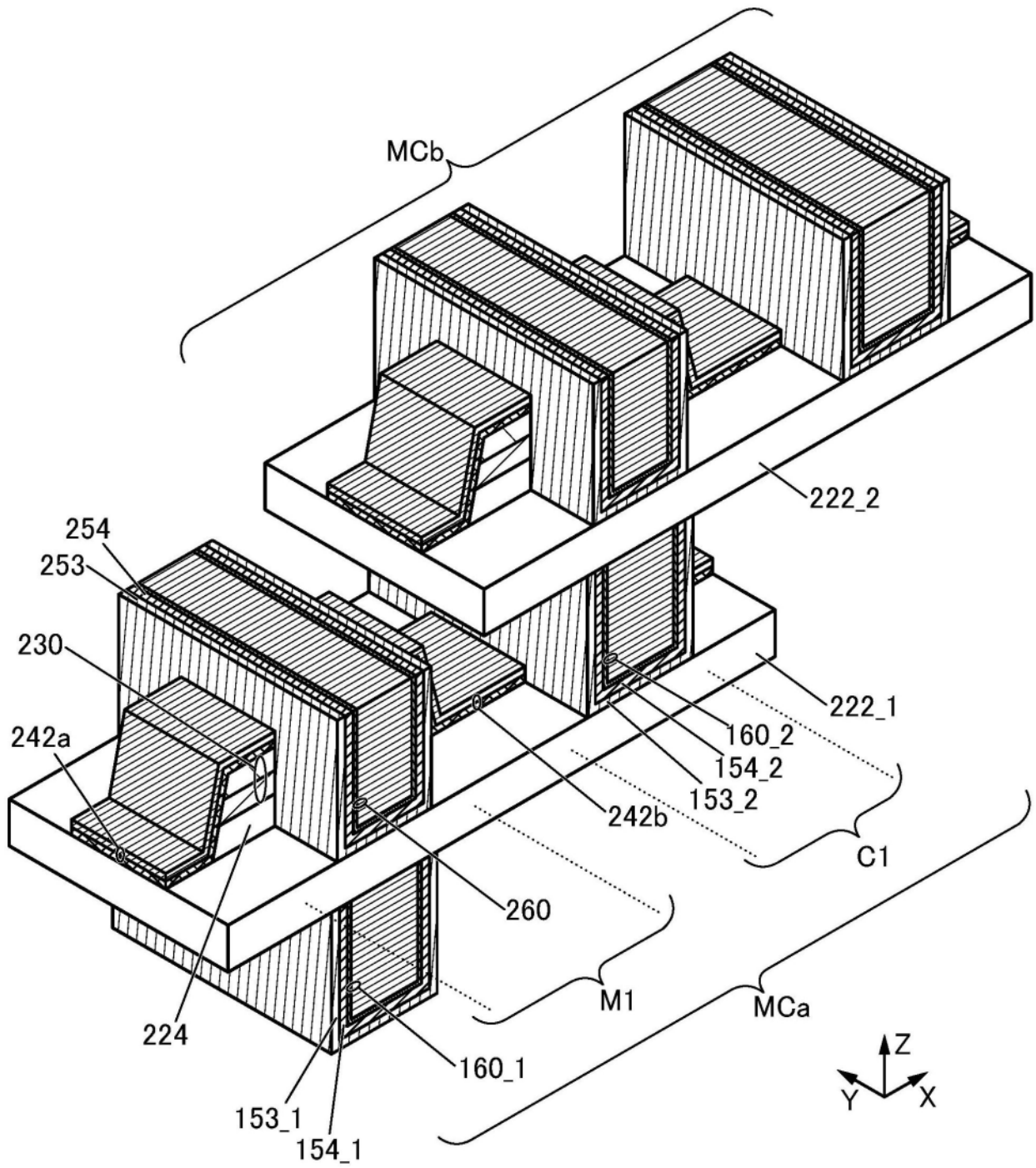


图3

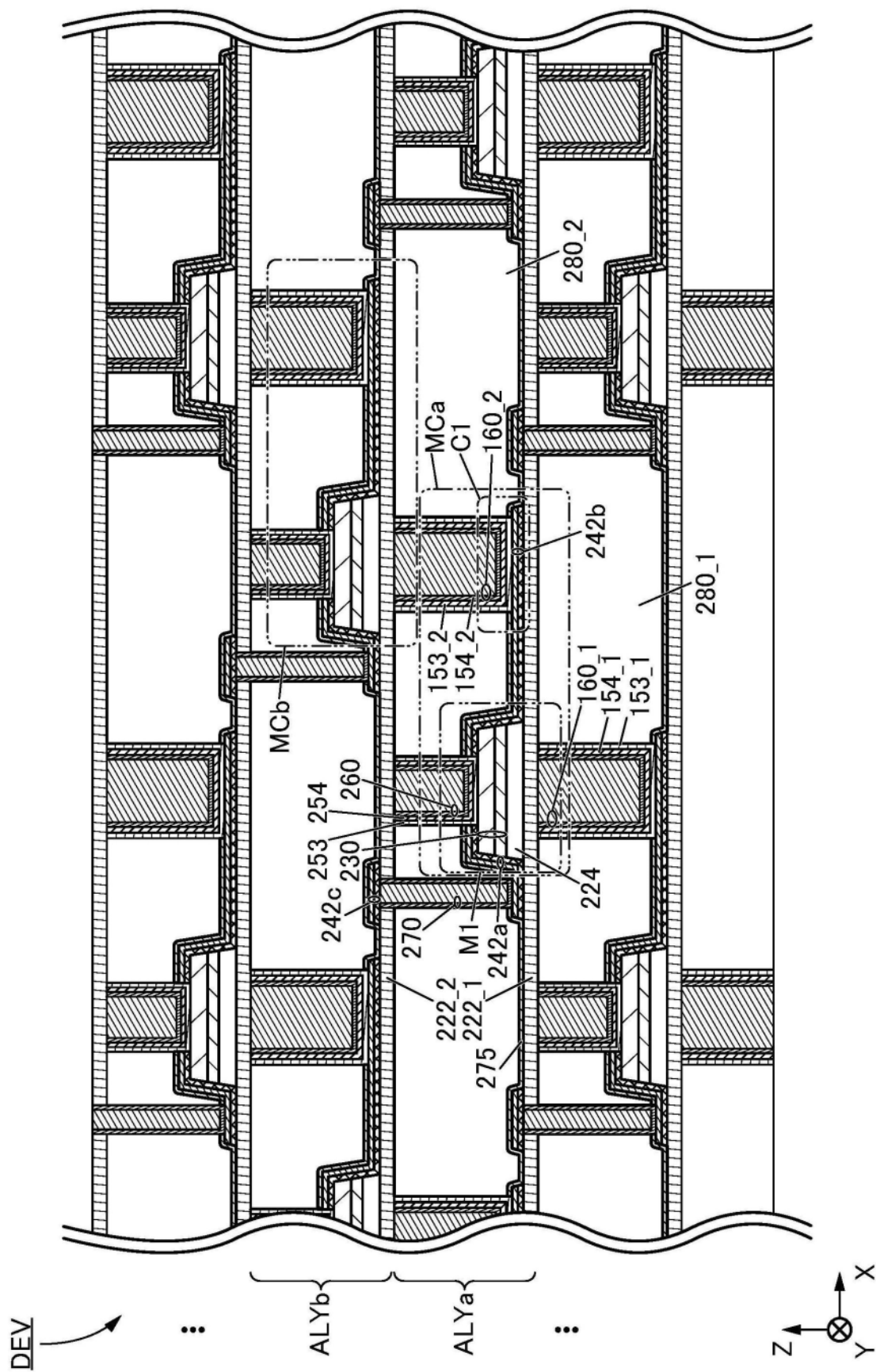


图4

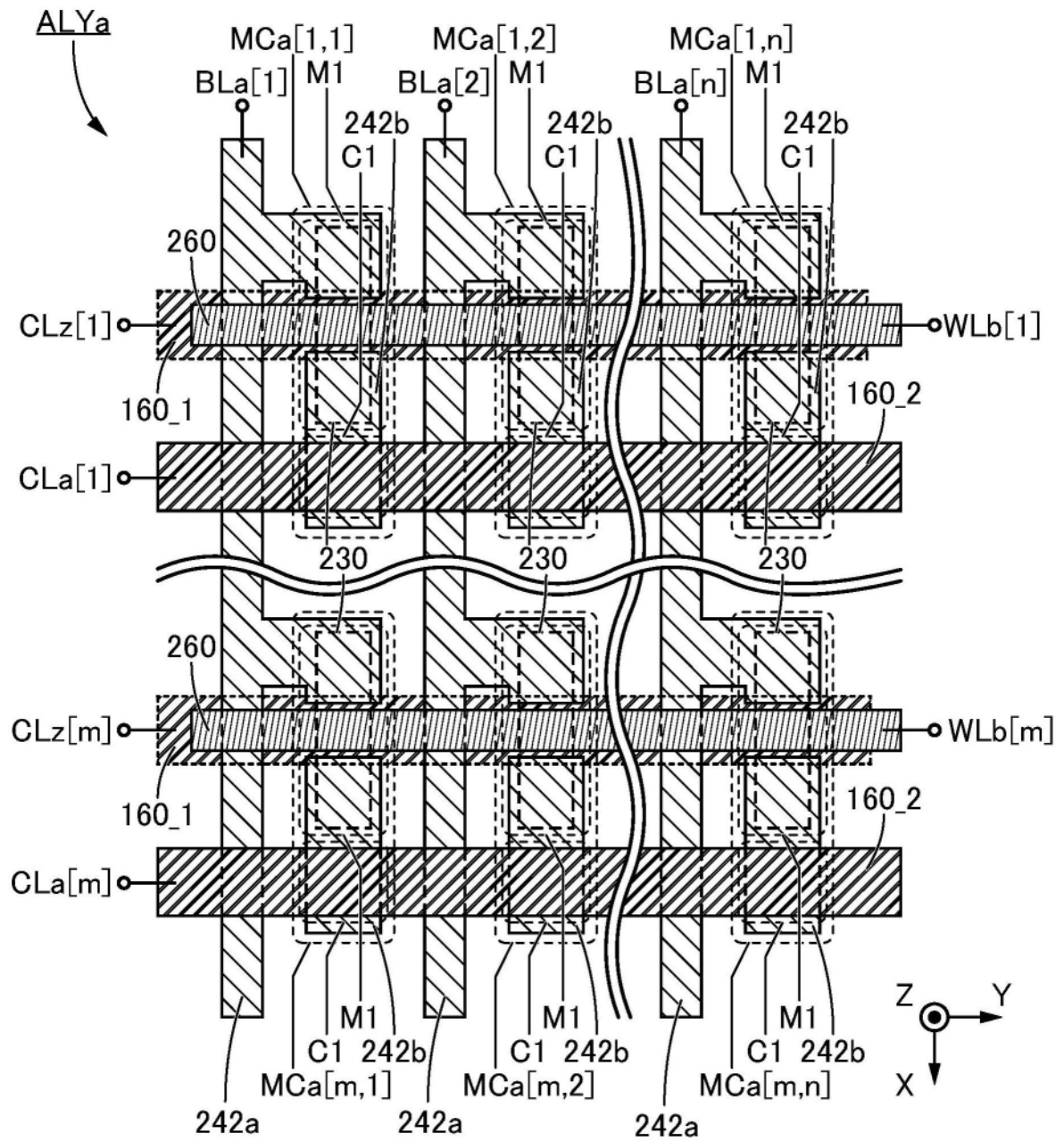


图5

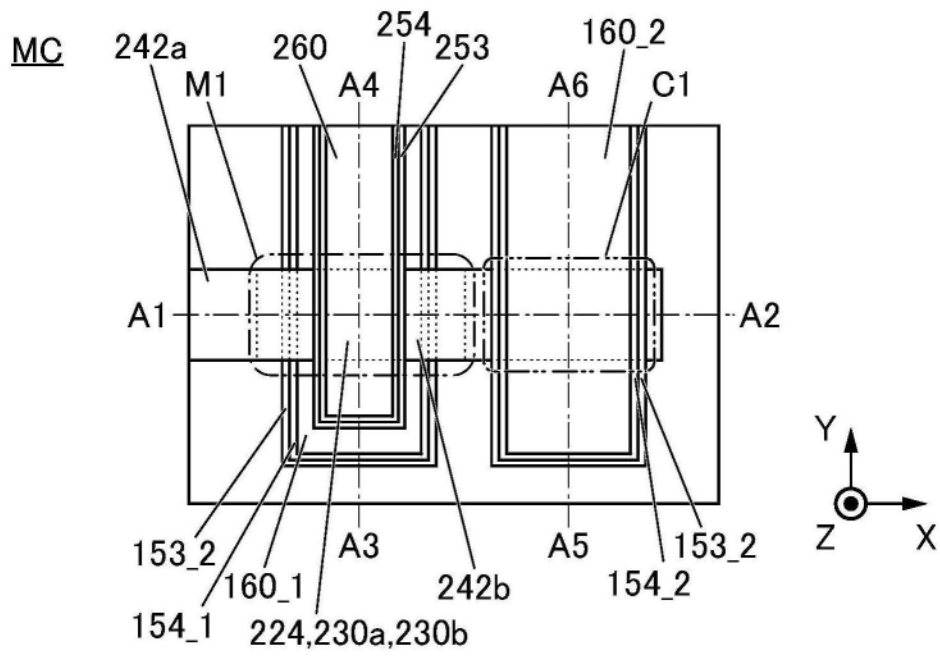


图6A

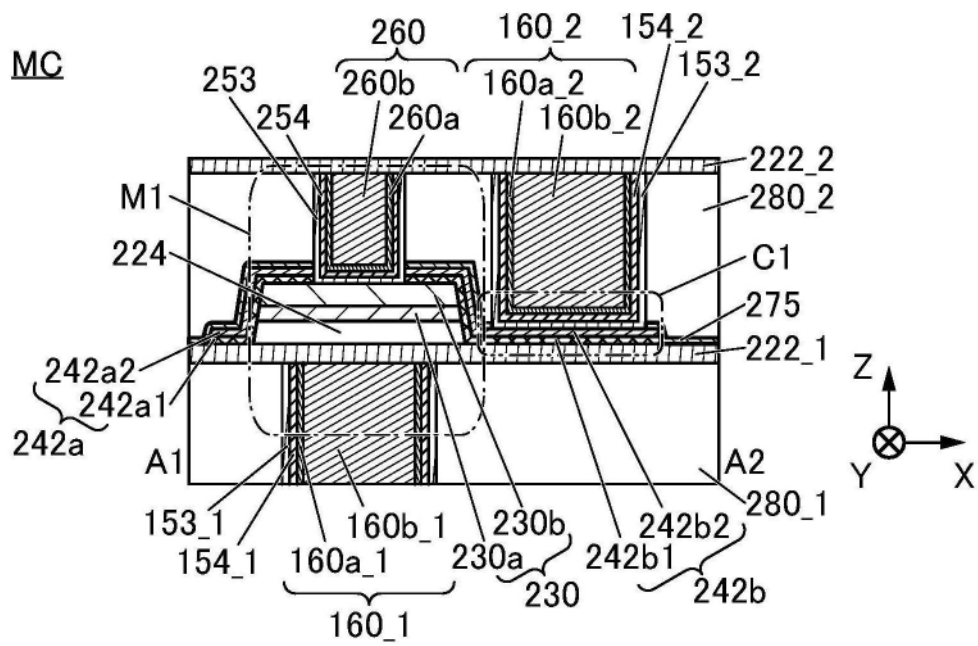


图6B

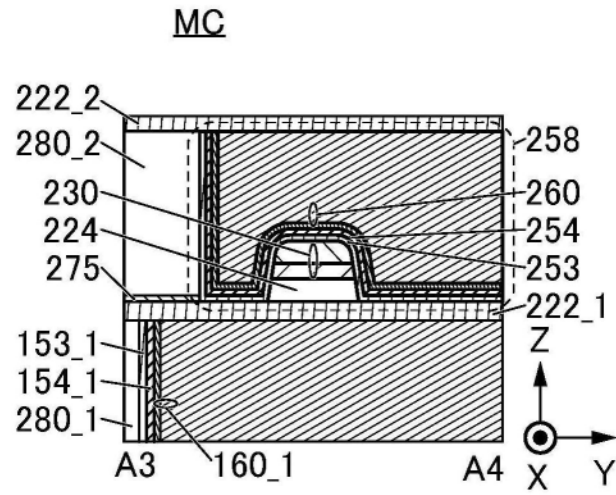


图6C

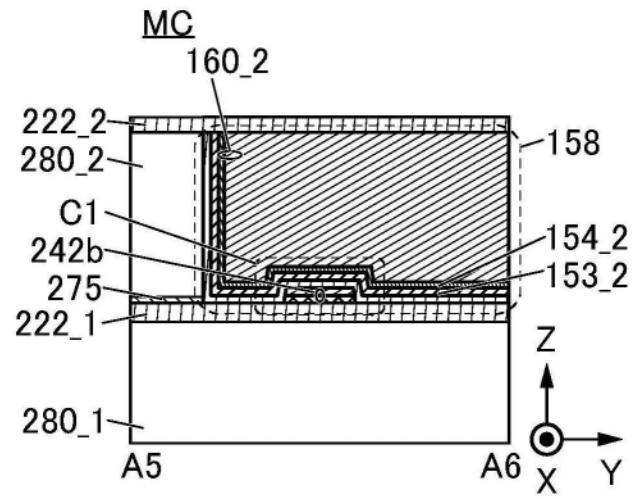


图6D

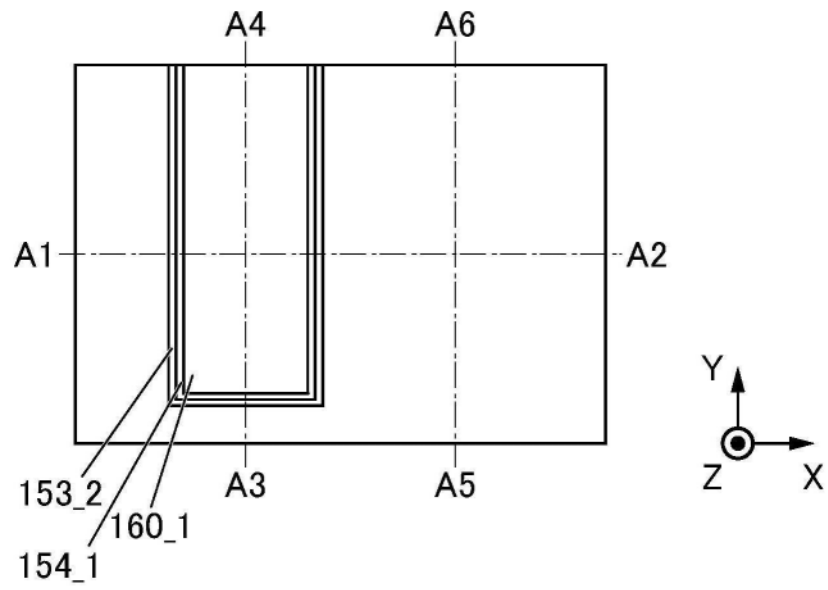


图7A

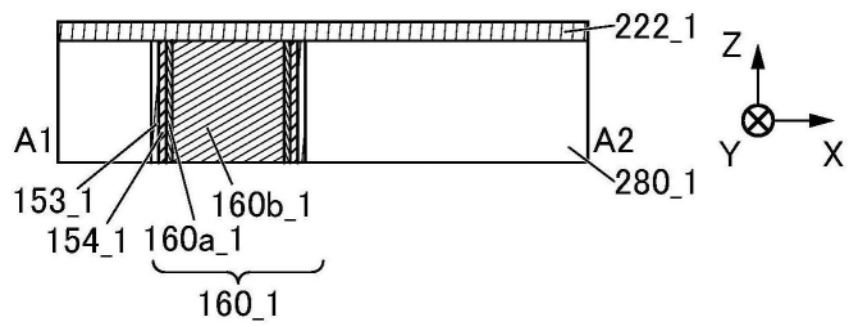


图7B

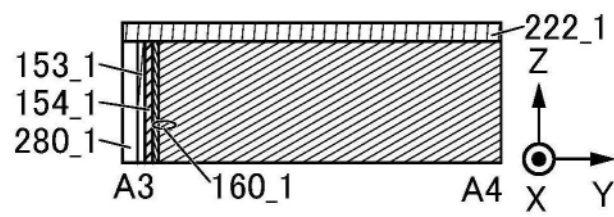


图7C

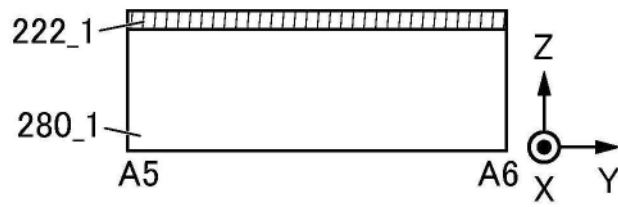


图7D

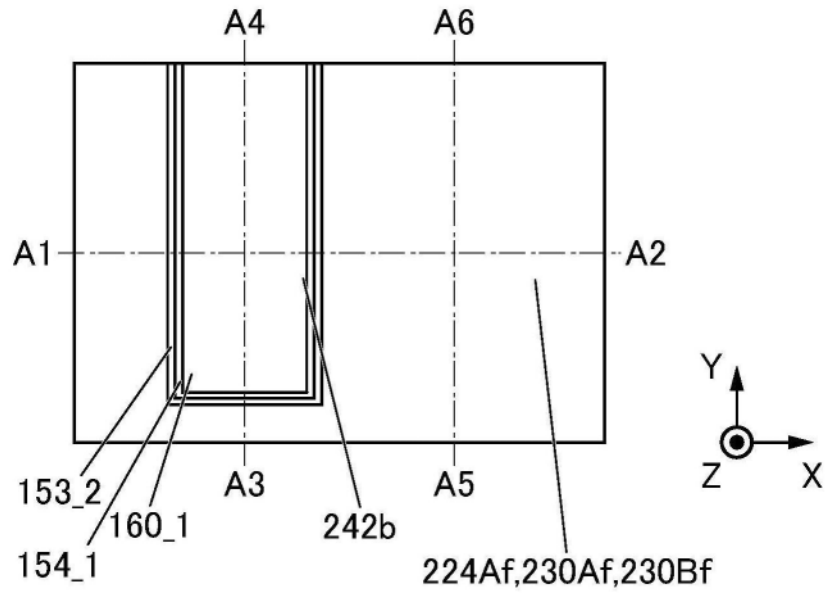


图8A

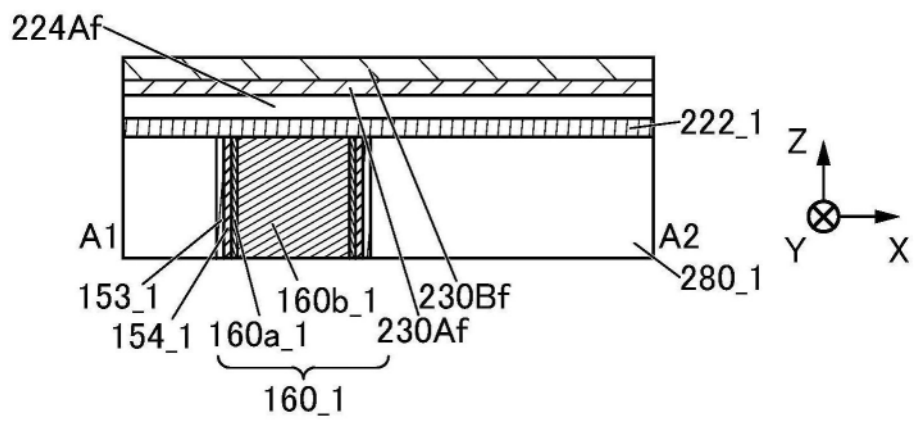


图8B

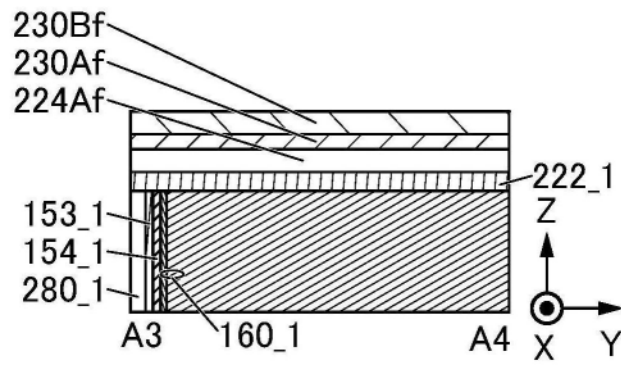


图8C

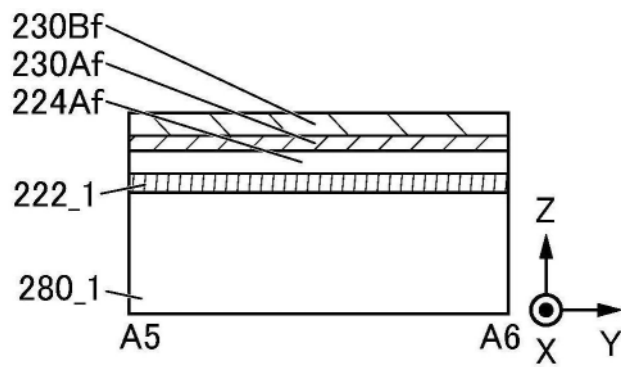


图8D

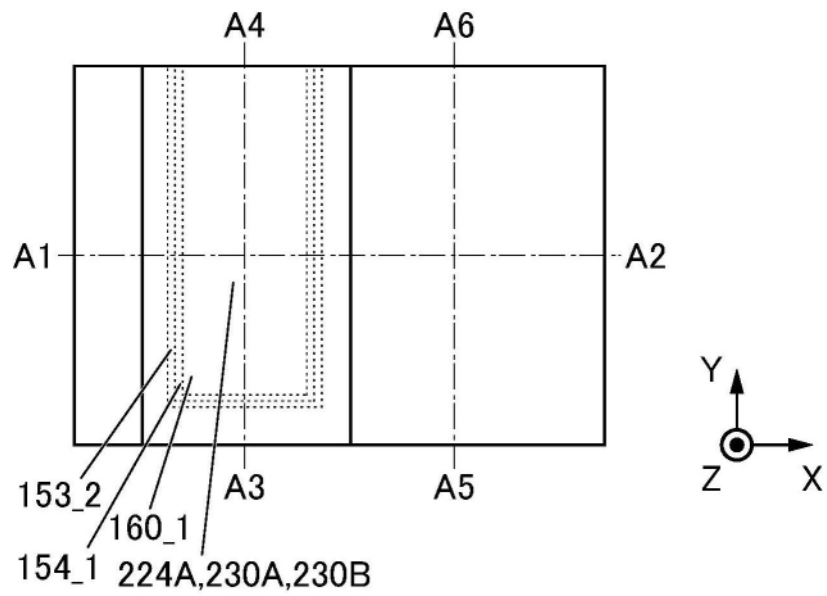


图9A

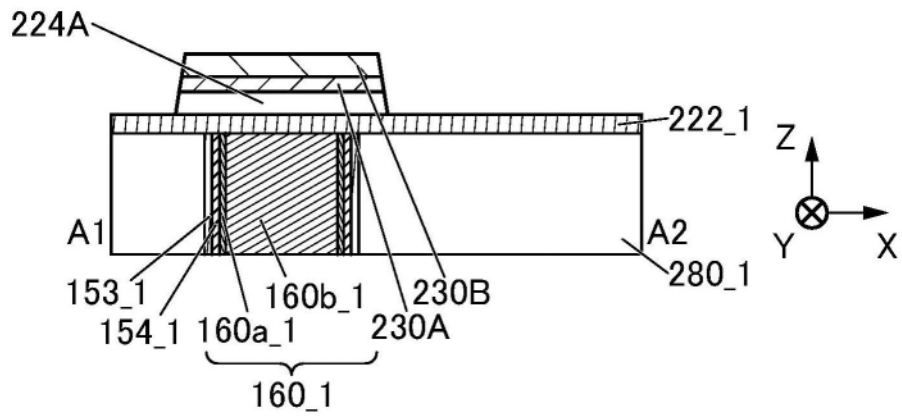


图9B

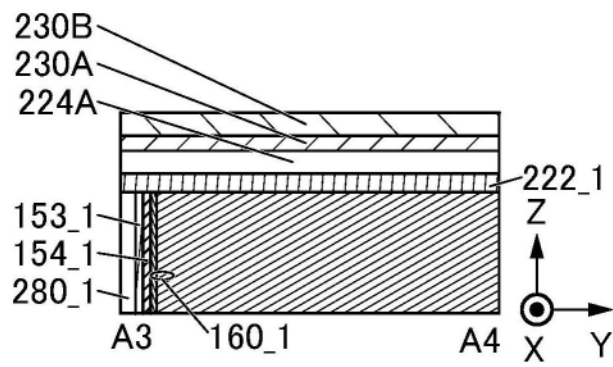


图9C

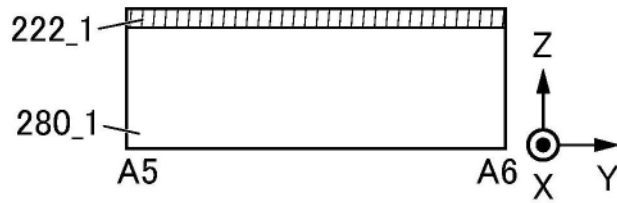


图9D

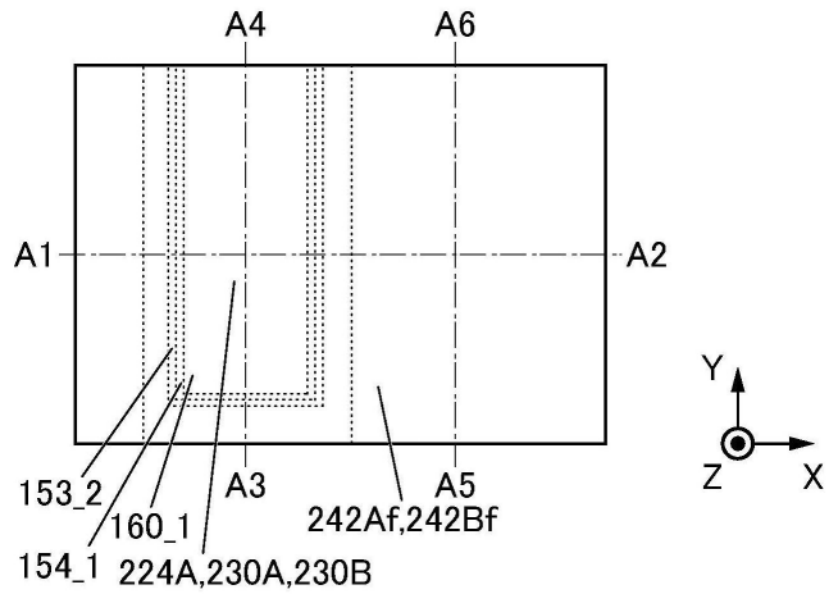


图10A

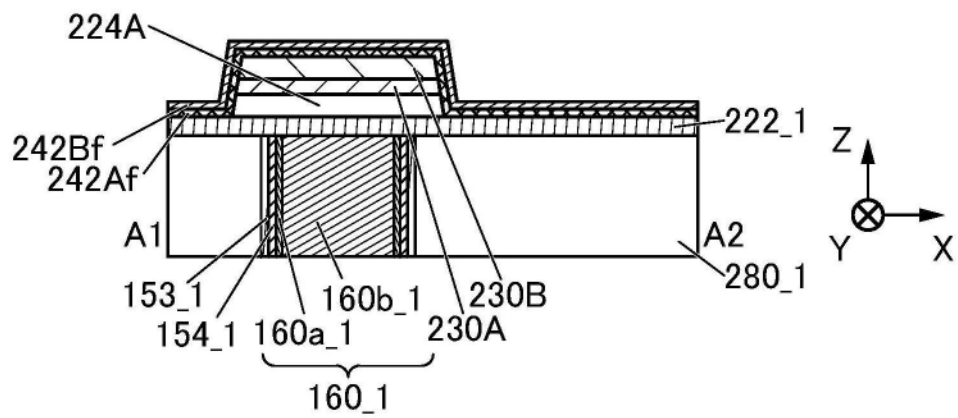


图10B

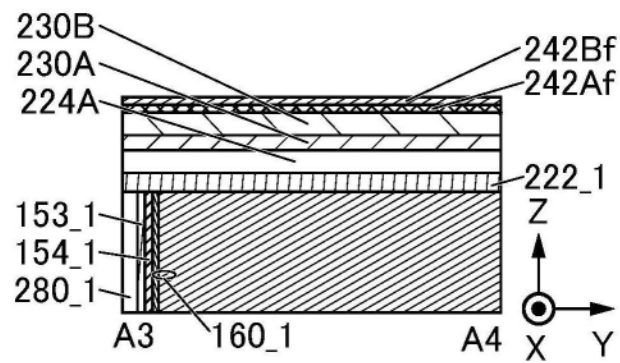


图10C

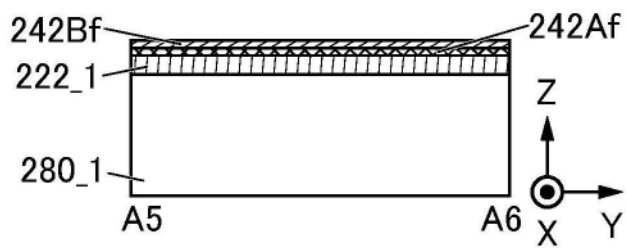


图10D

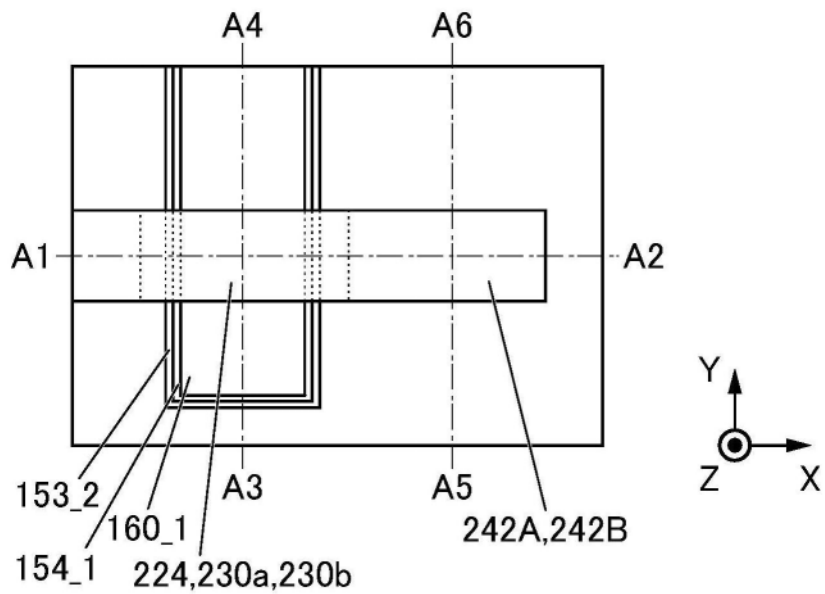


图11A

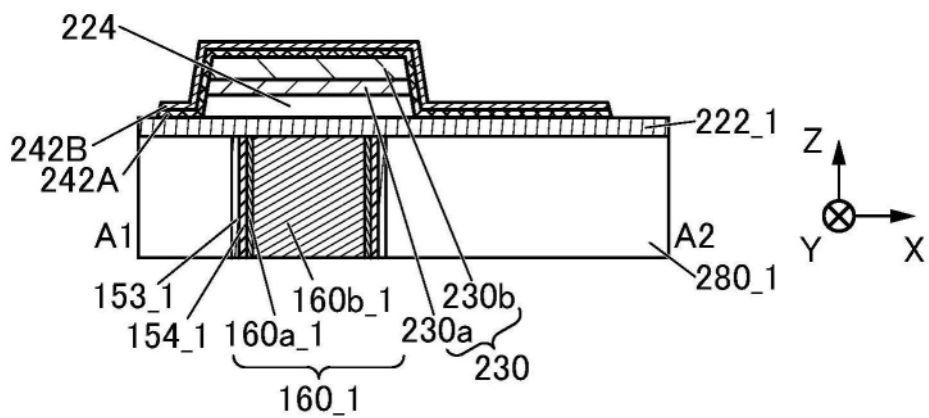


图11B

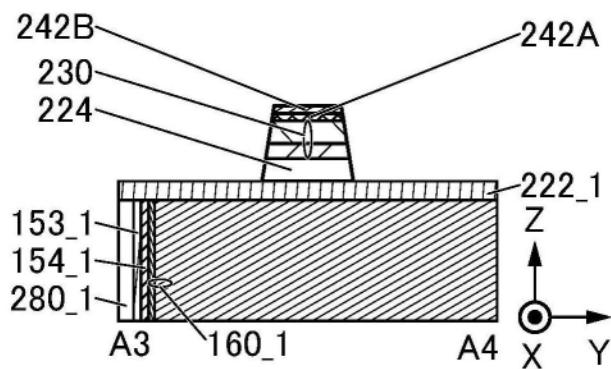


图11C

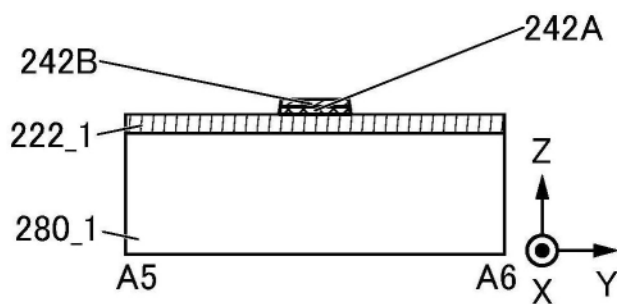


图11D

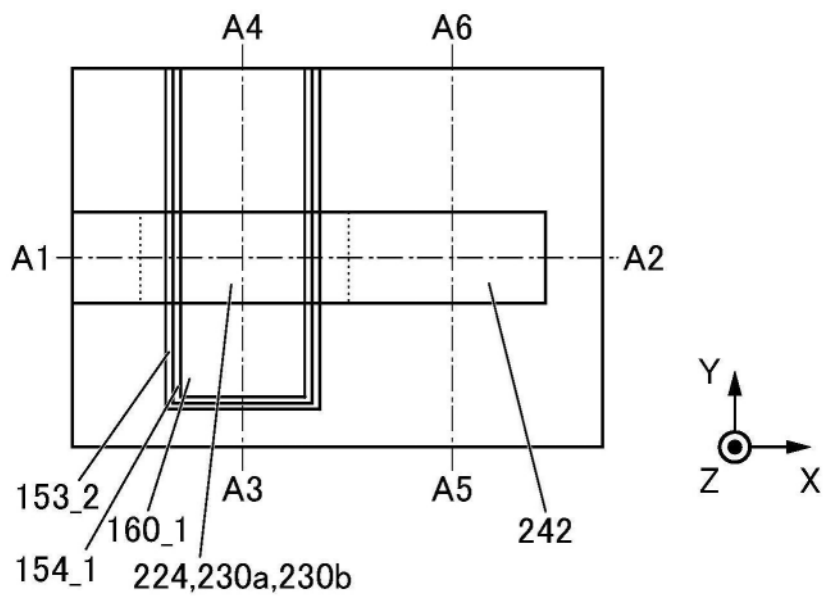


图12A

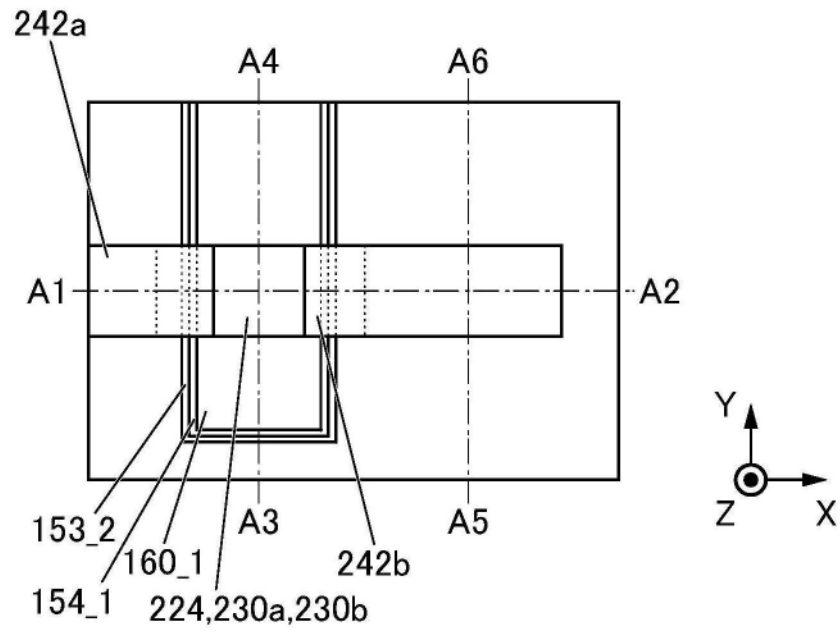


图13A

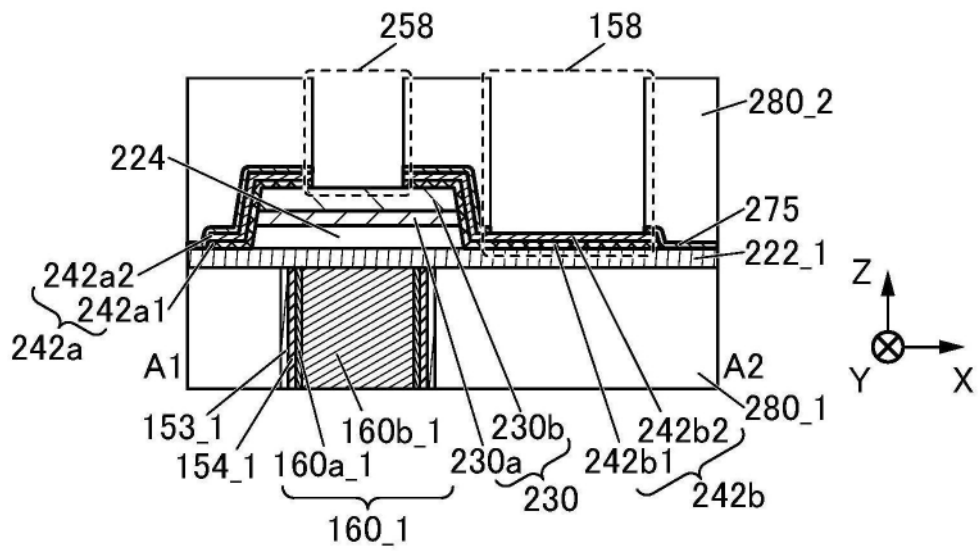


图13B

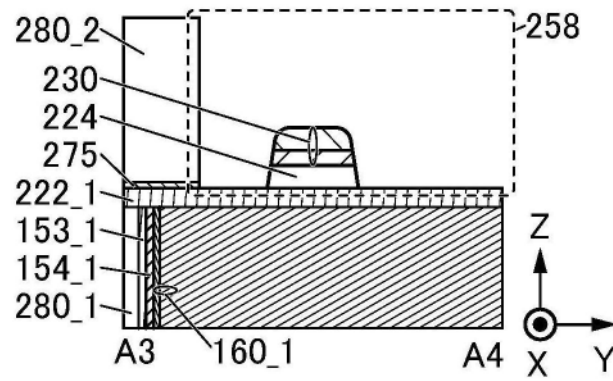


图13C

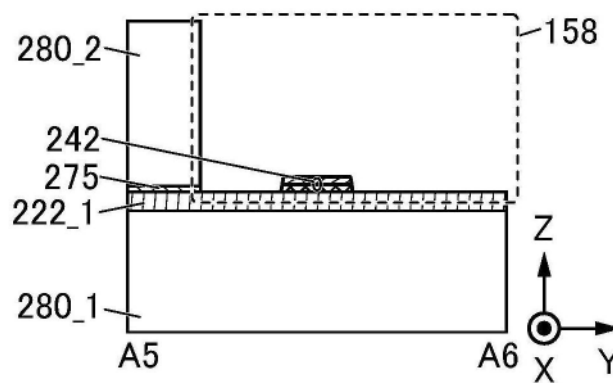


图13D

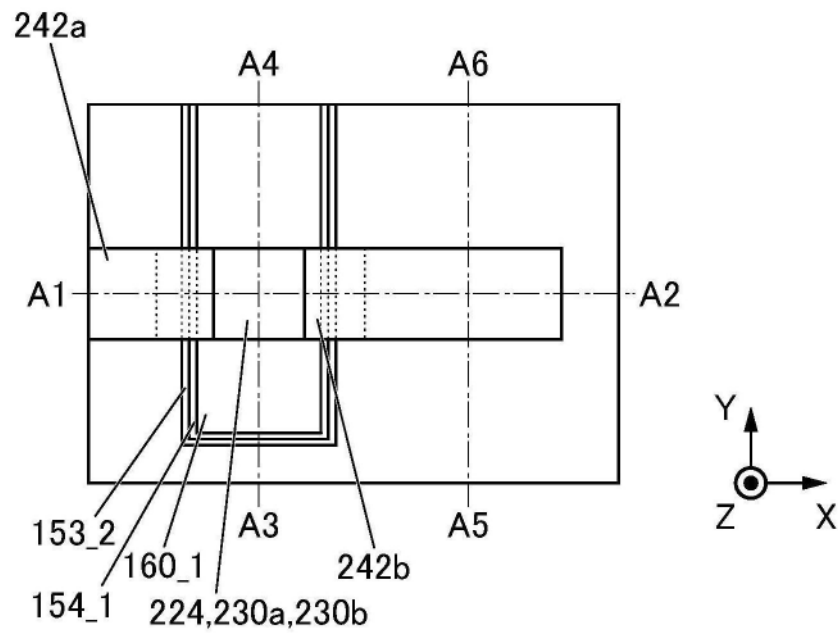


图14A

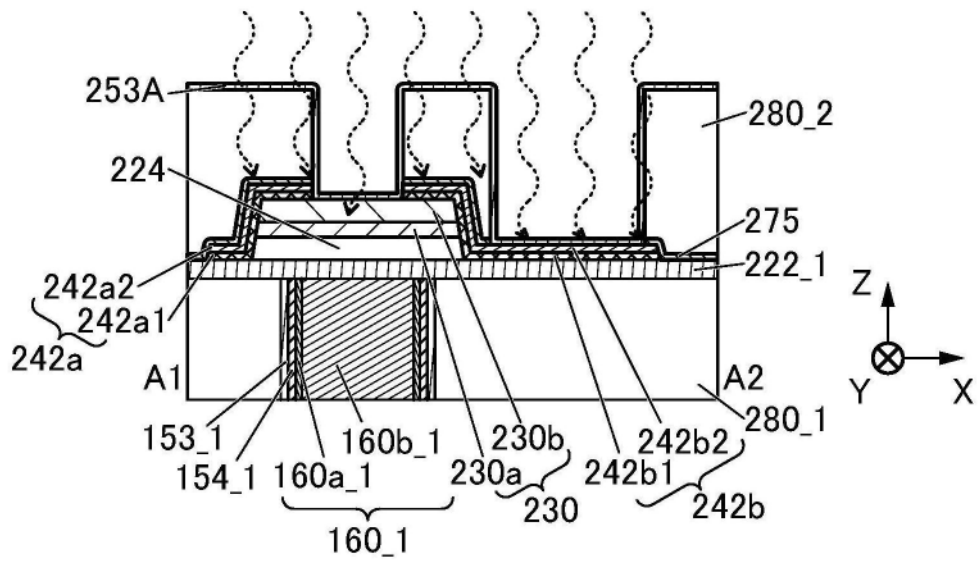


图14B

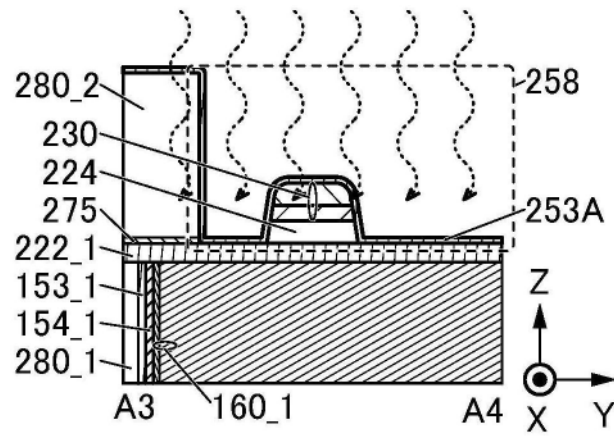


图14C

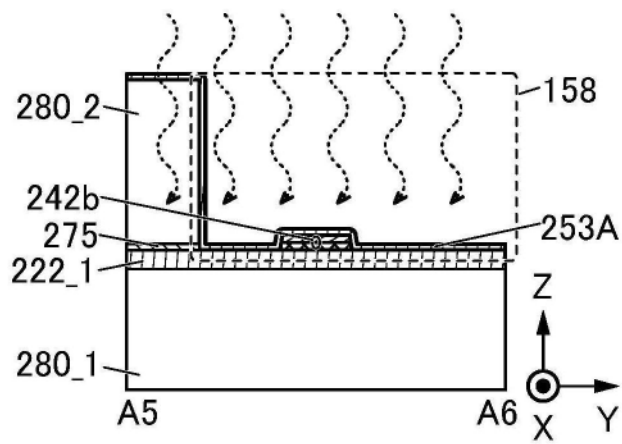


图14D

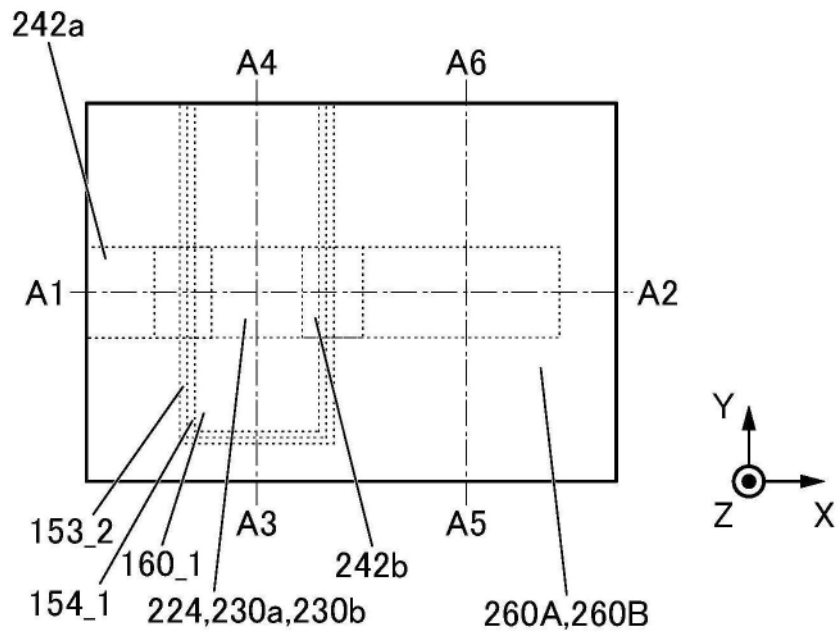


图15A

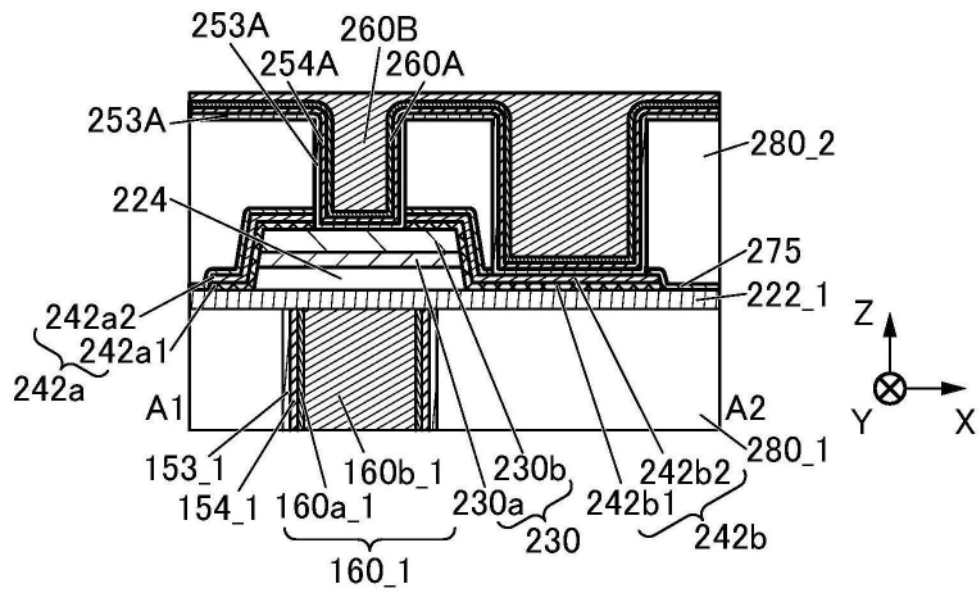


图15B

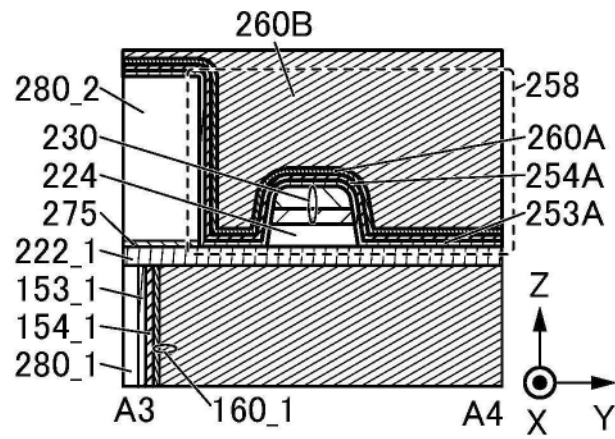


图15C

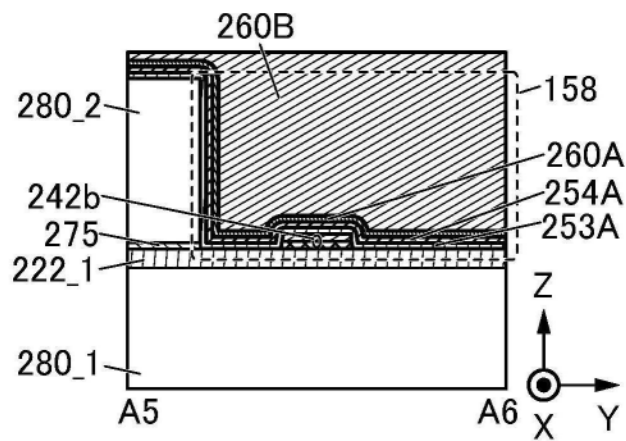


图15D

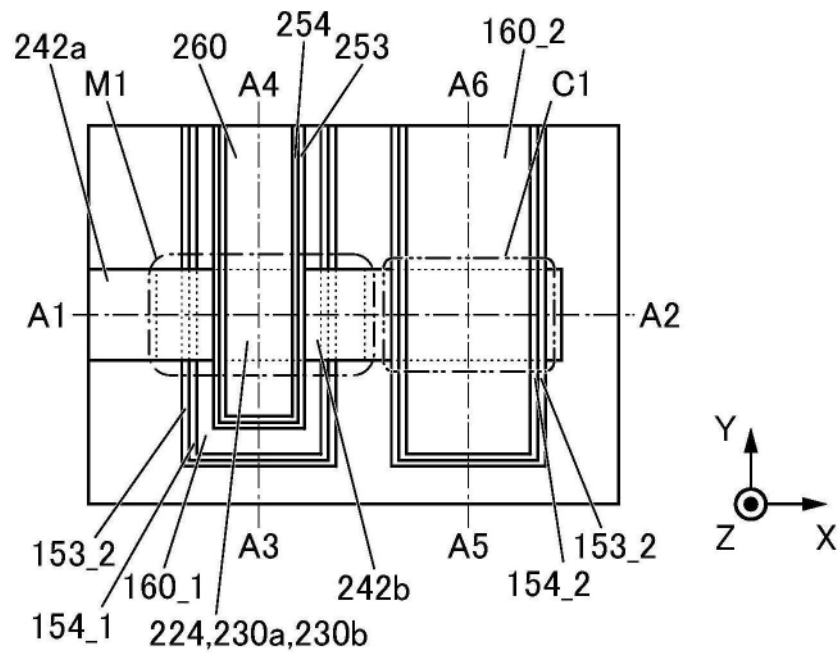


图16A

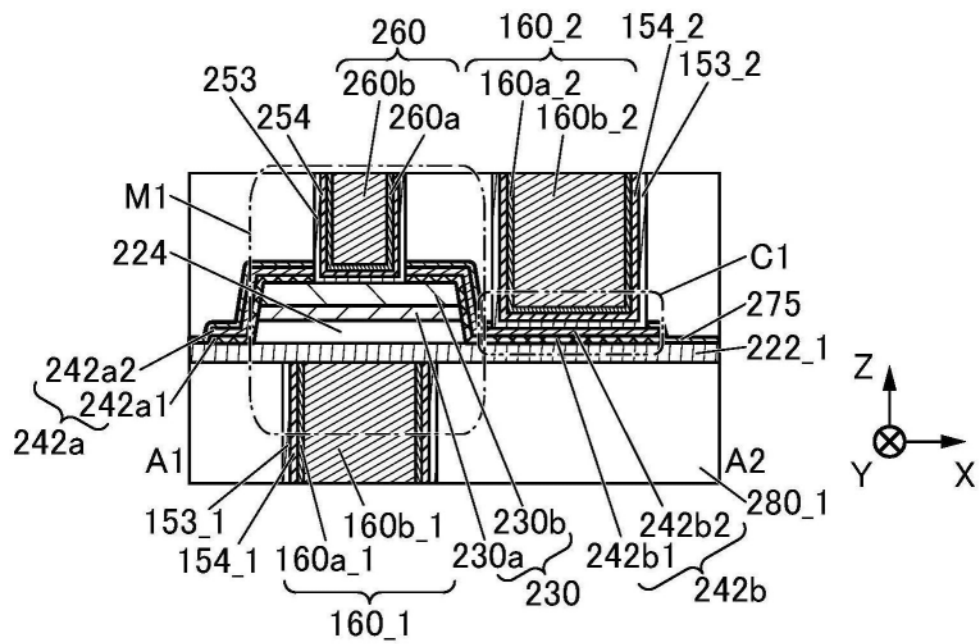


图16B

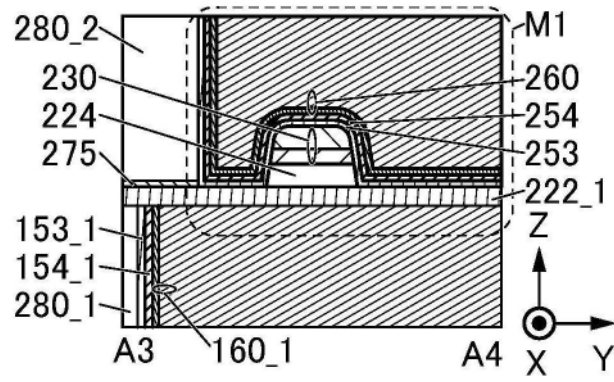


图16C

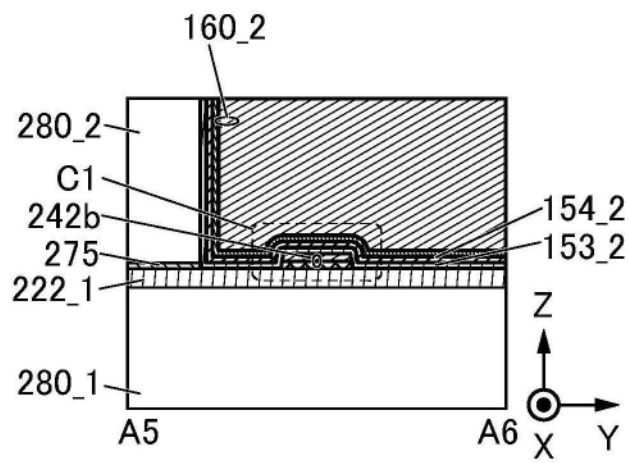


图16D

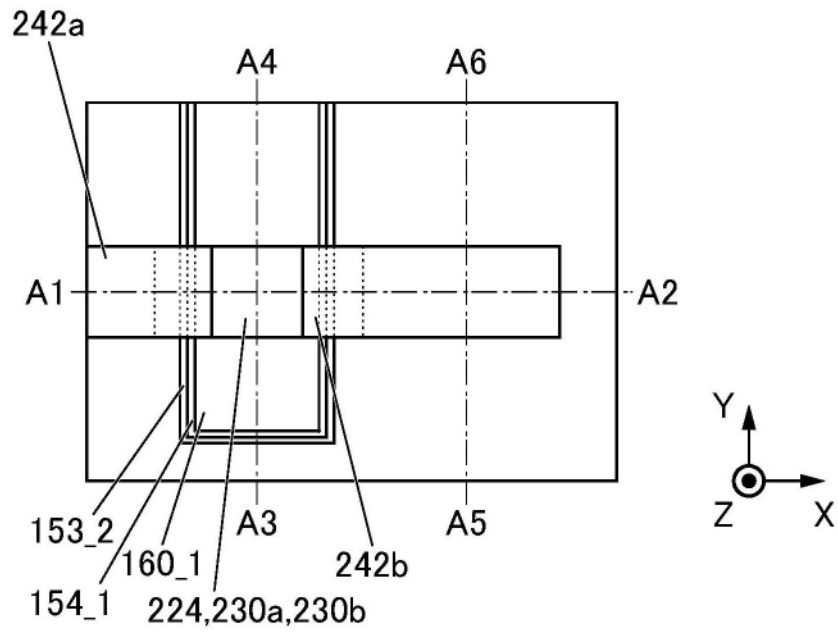


图17A

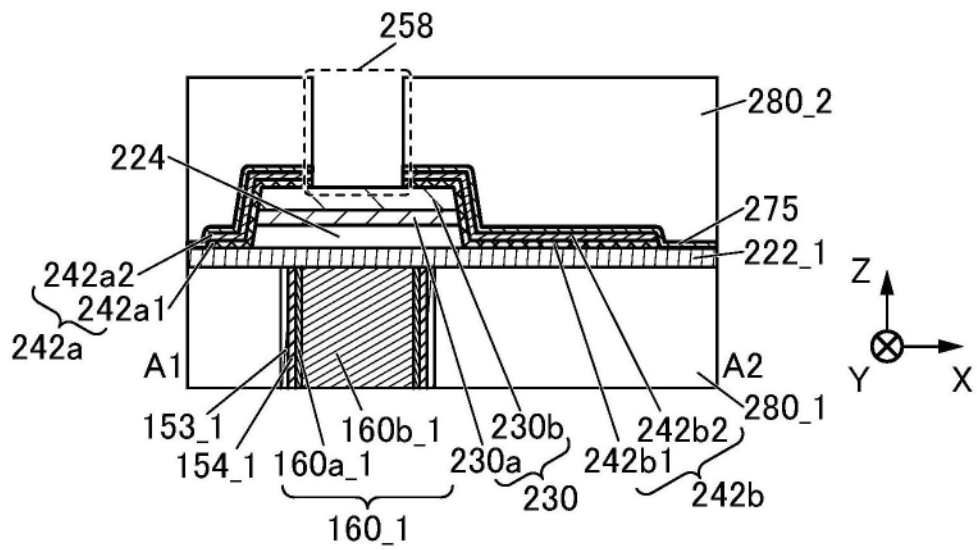


图17B

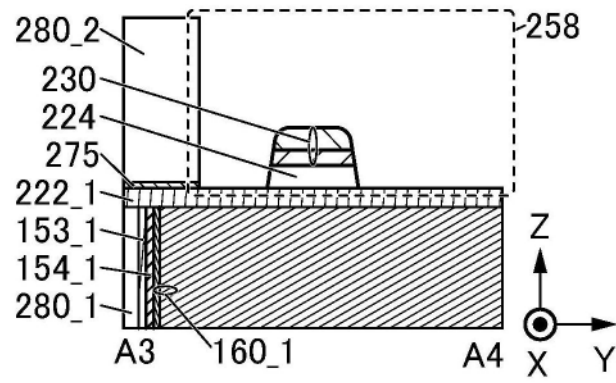


图17C

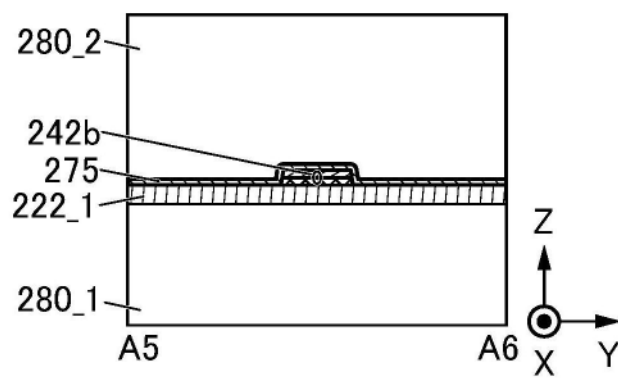


图17D

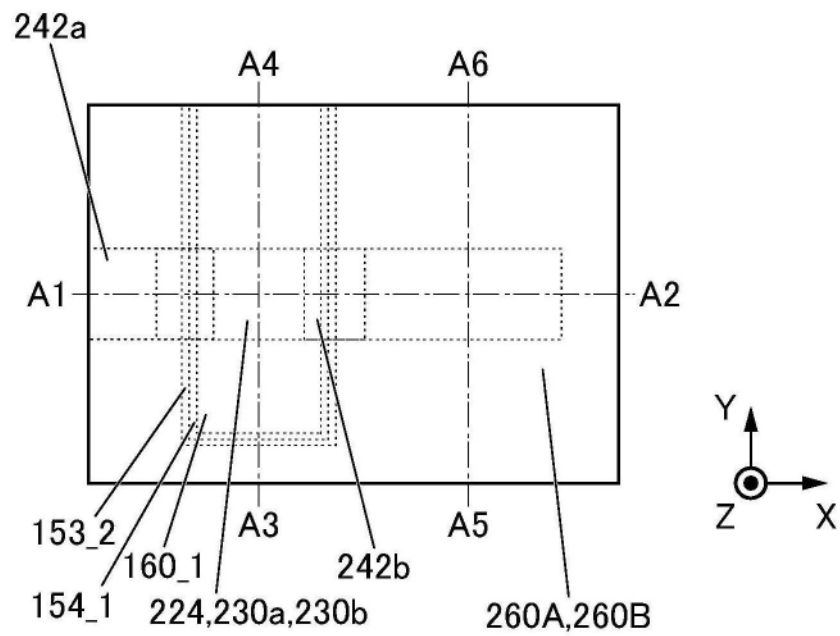


图18A

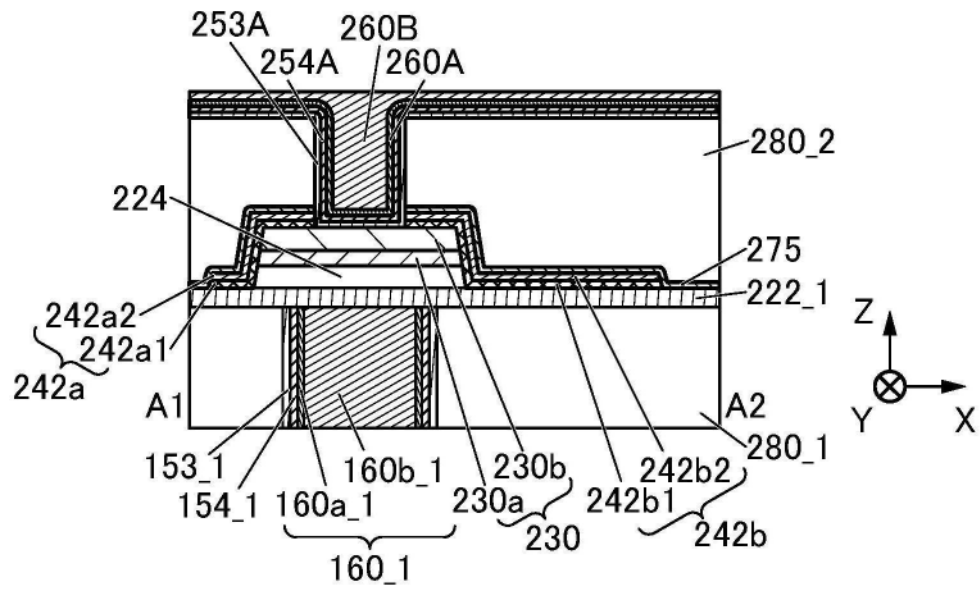


图18B

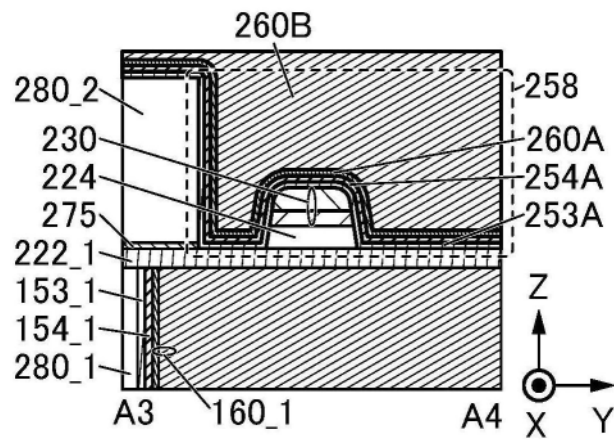


图18C

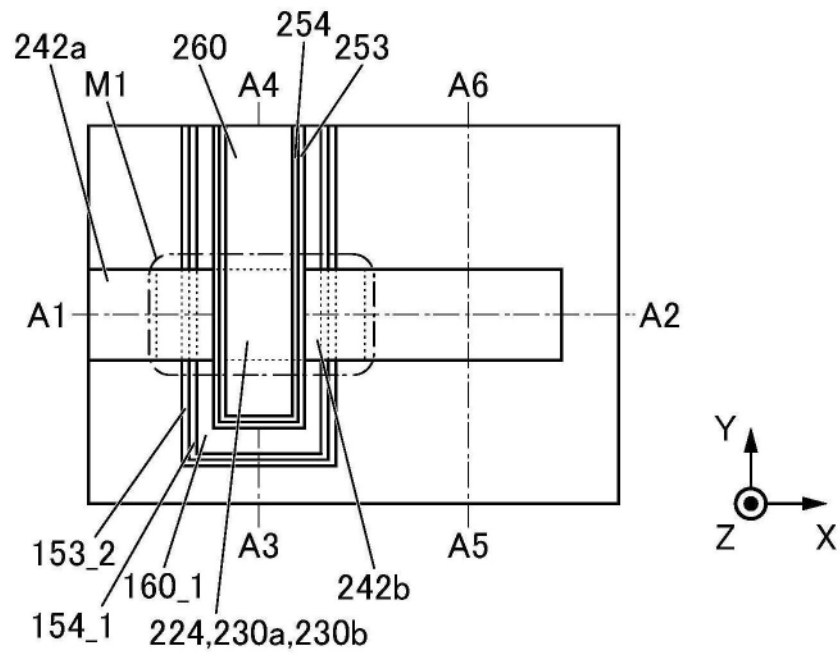


图20A

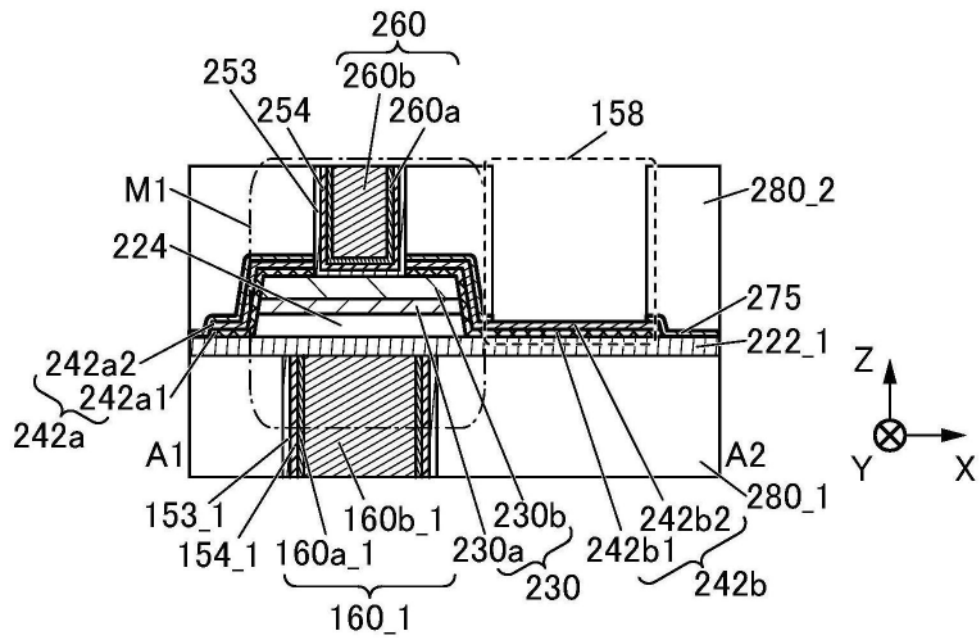


图20B

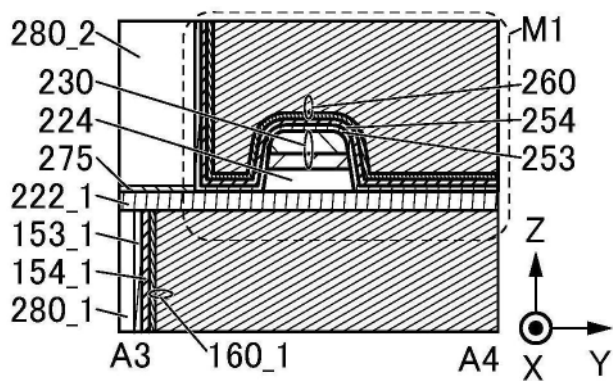


图20C

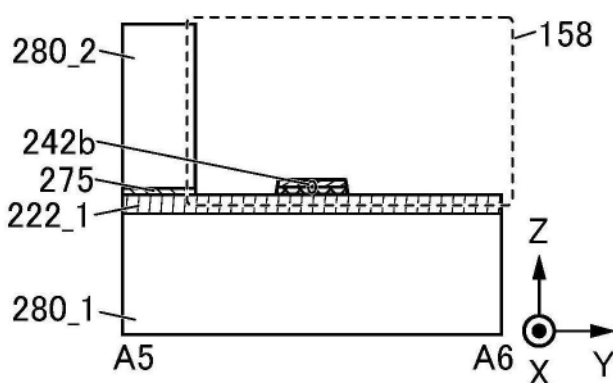


图20D

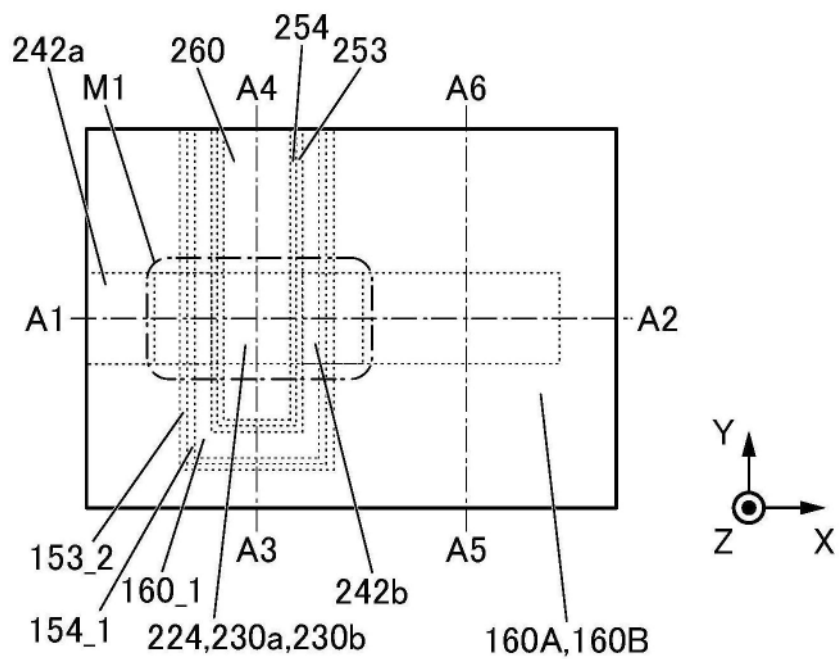


图21A

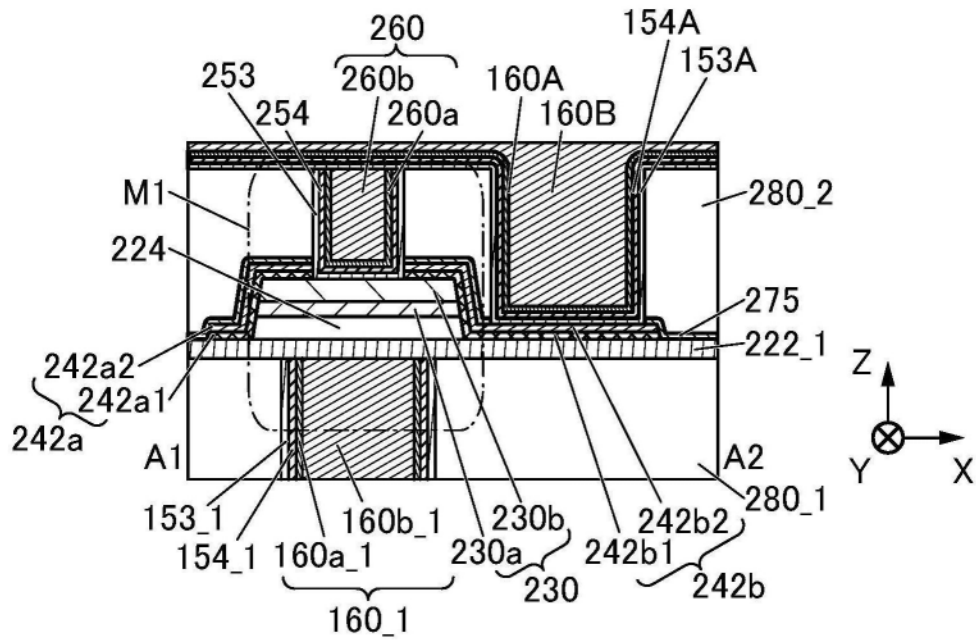


图21B

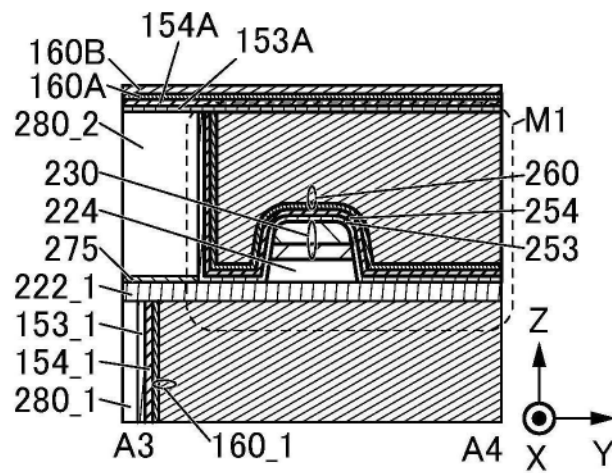


图21C

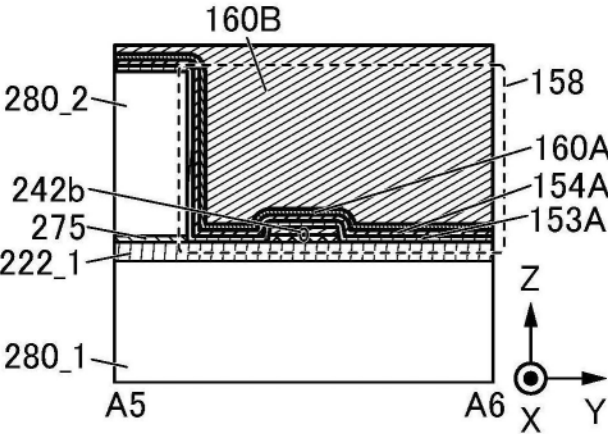


图21D

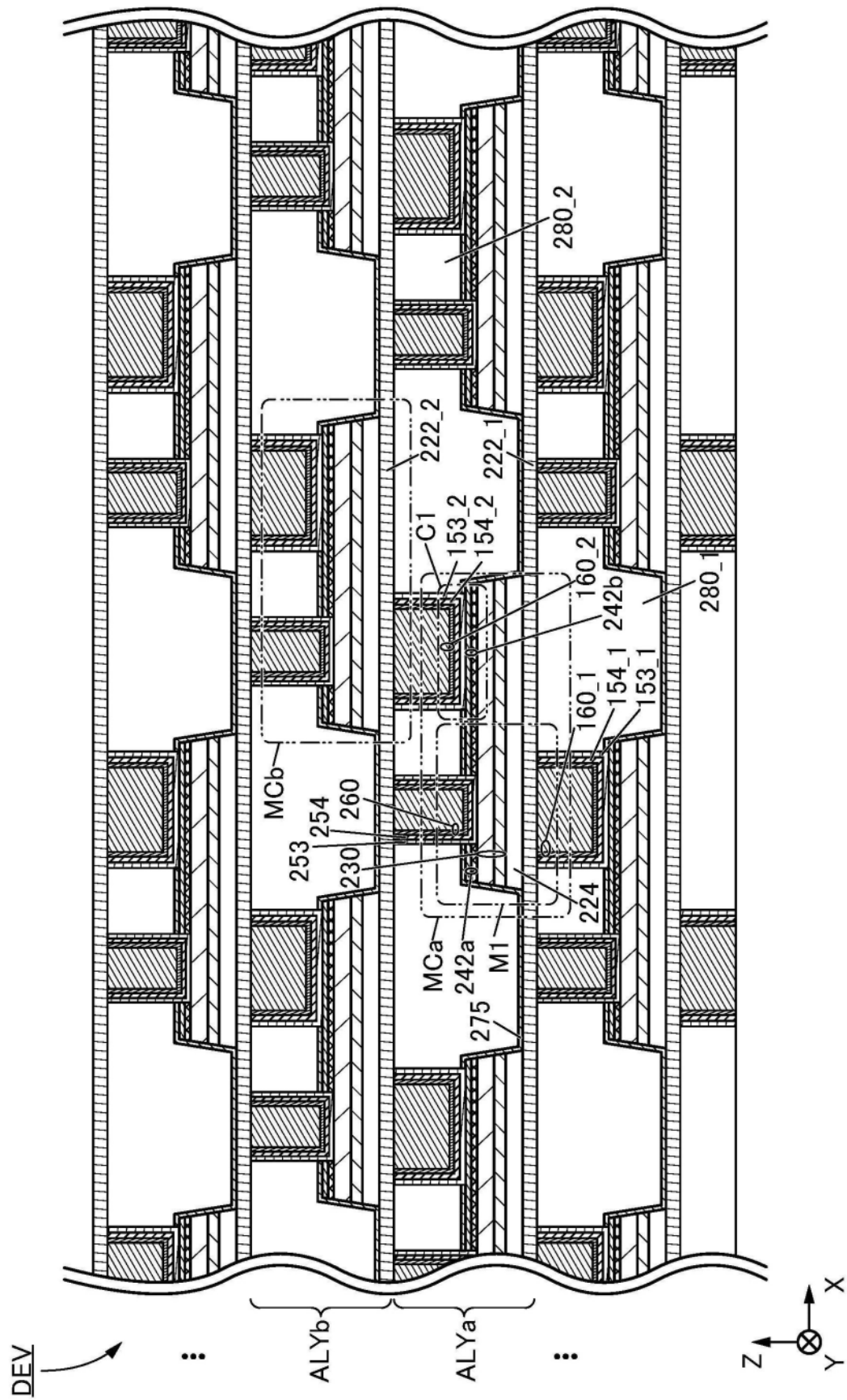


图22

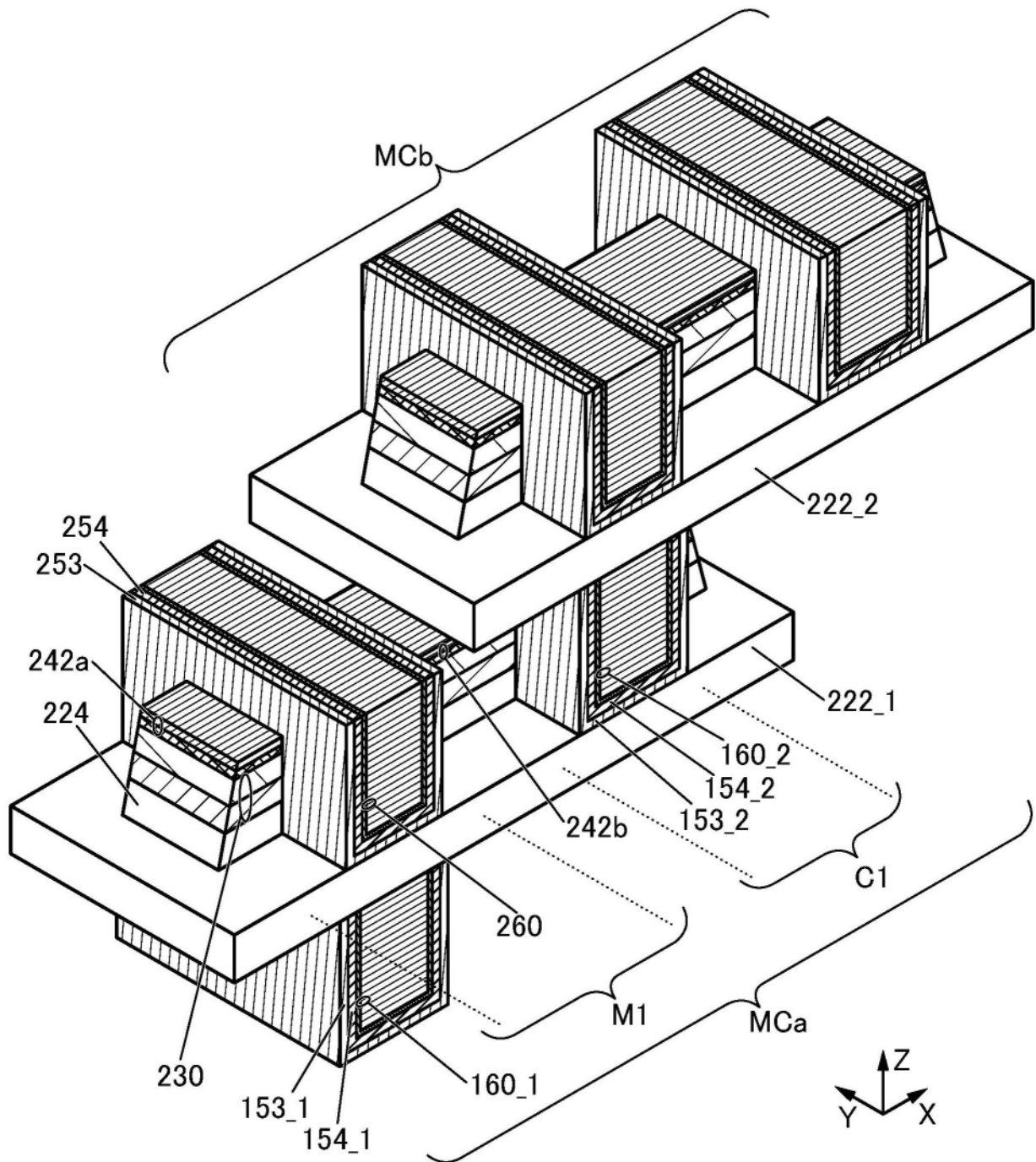


图23

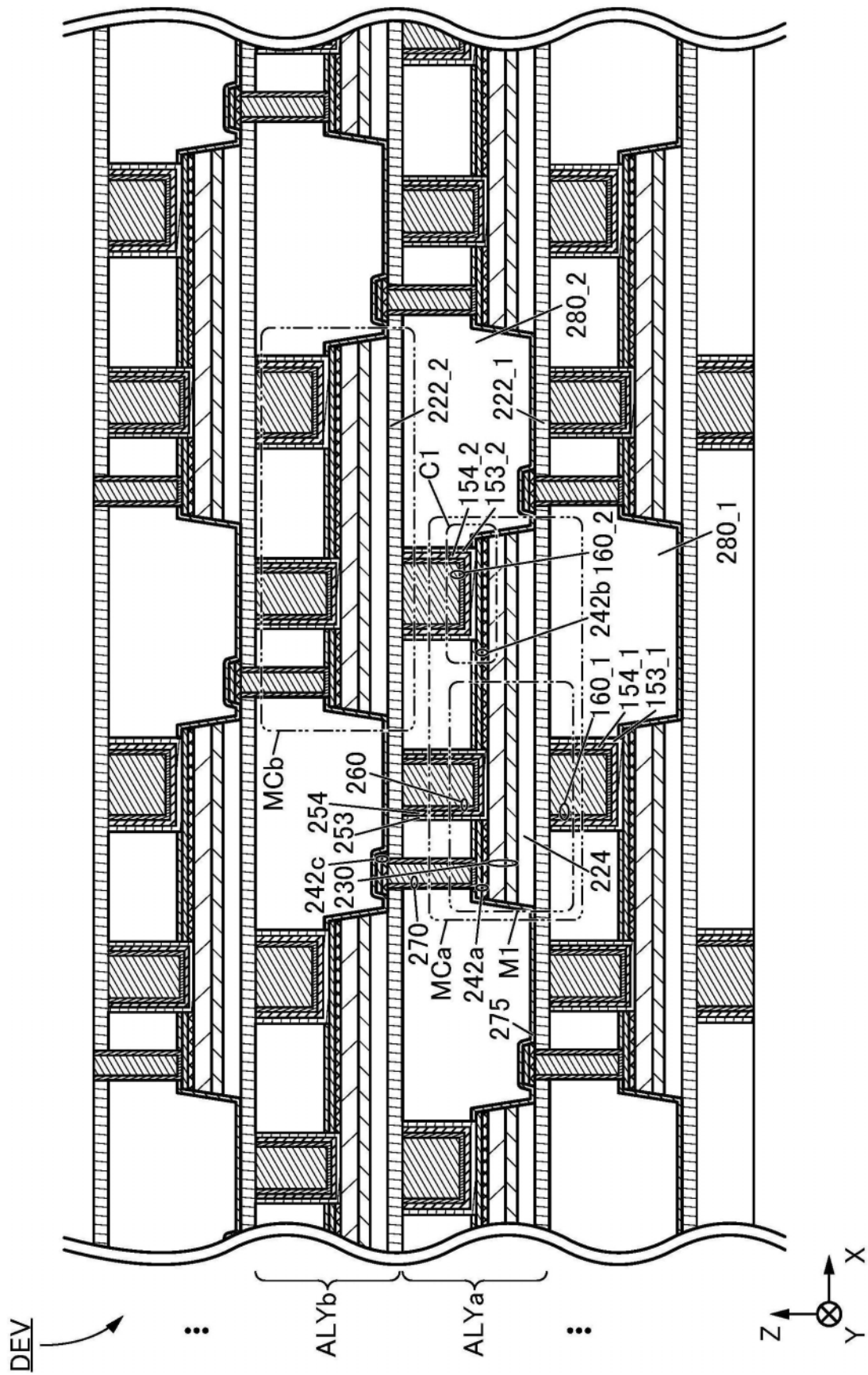


图24

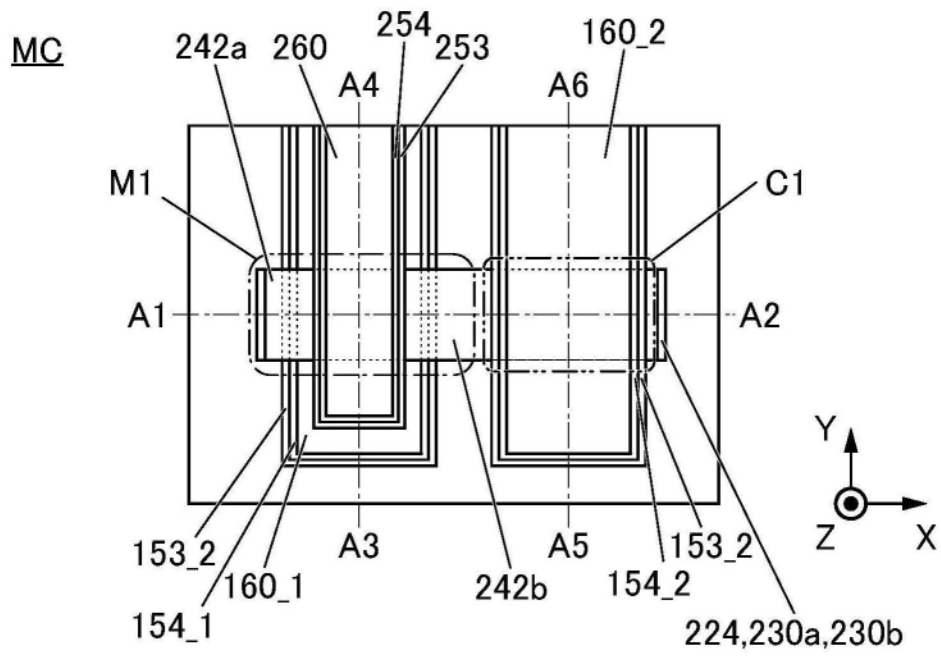


图25A

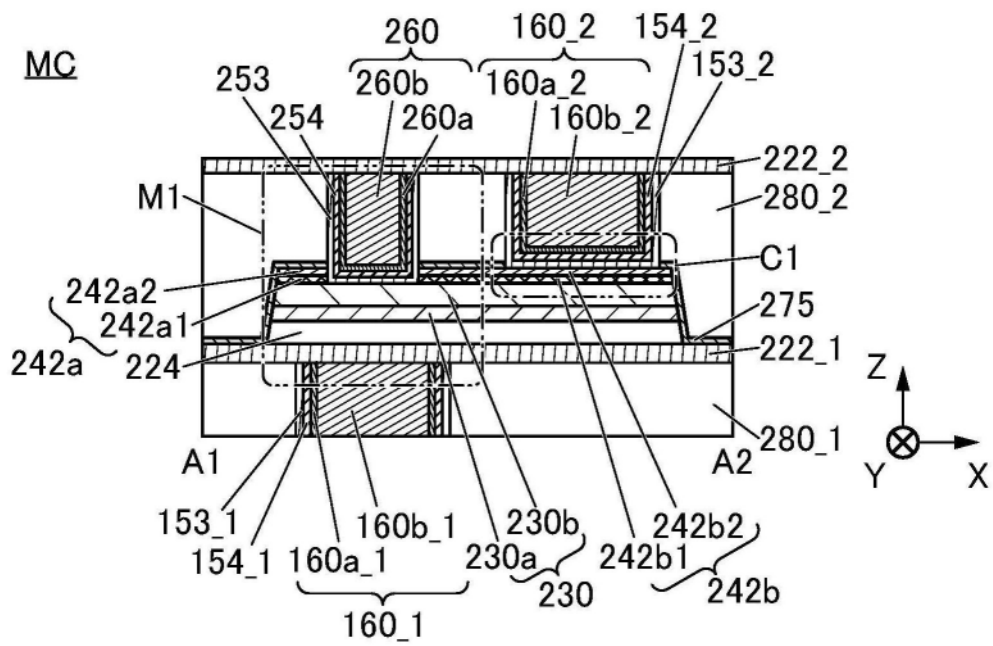


图25B

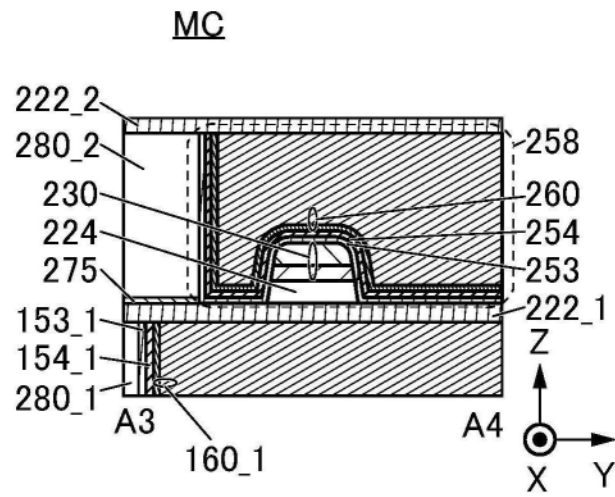


图25C

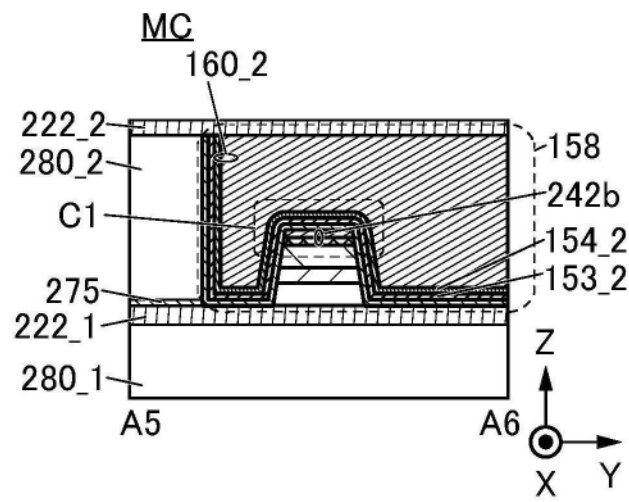


图25D

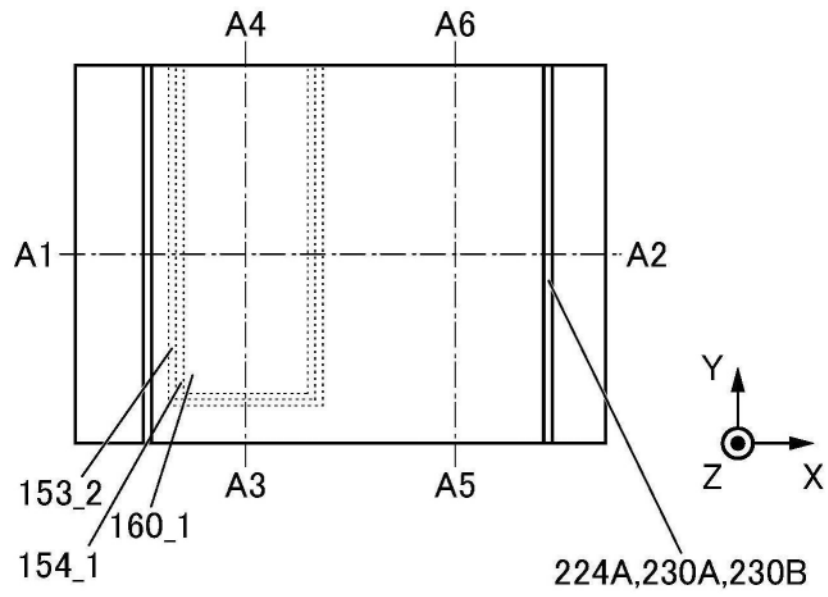


图26A

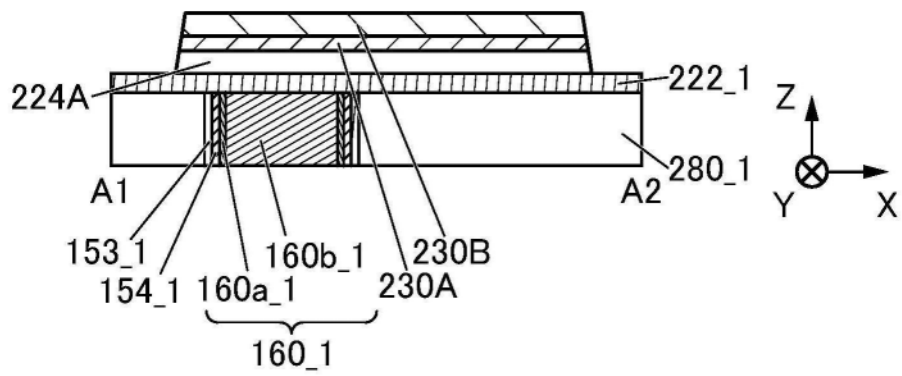


图26B

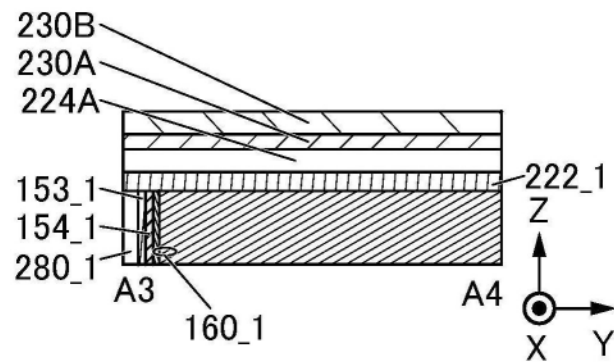


图26C

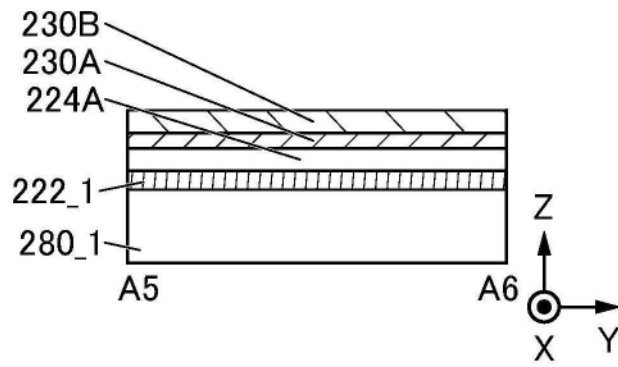


图26D

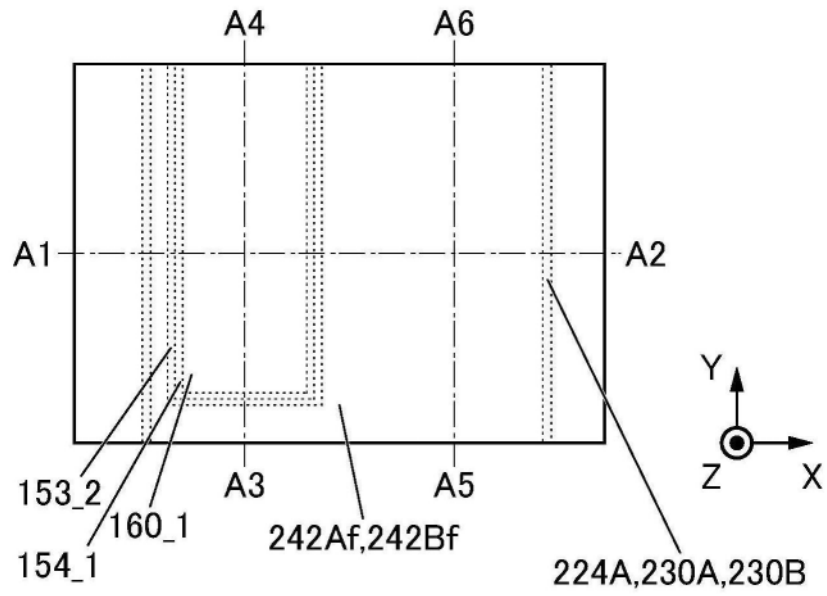


图27A

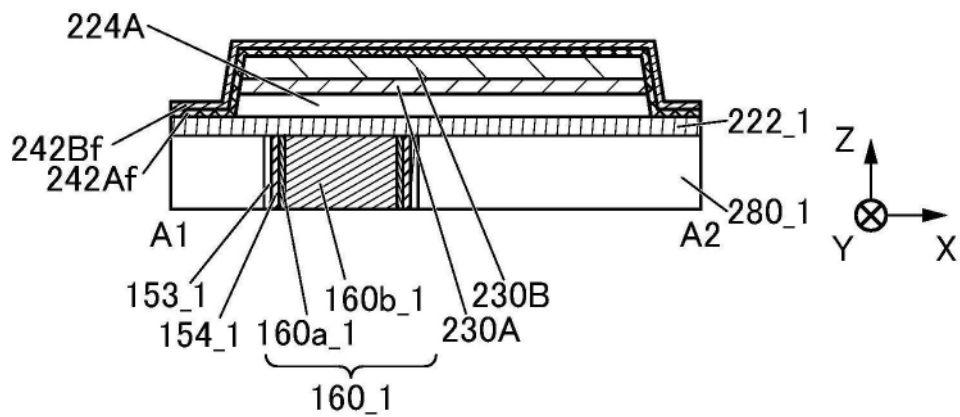


图27B

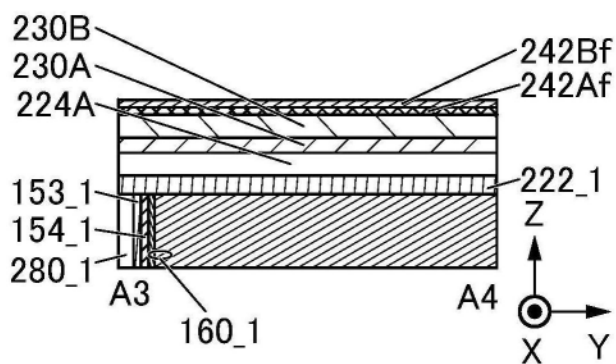


图27C

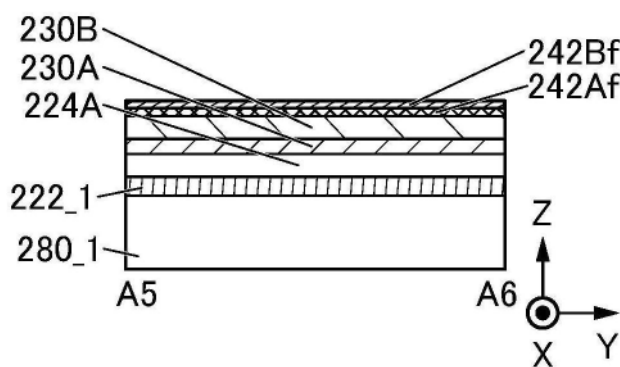


图27D

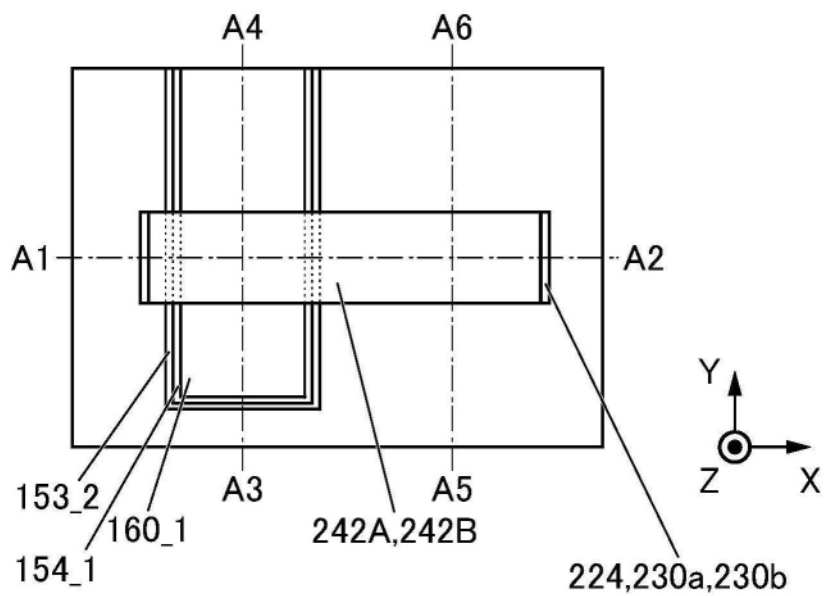


图28A

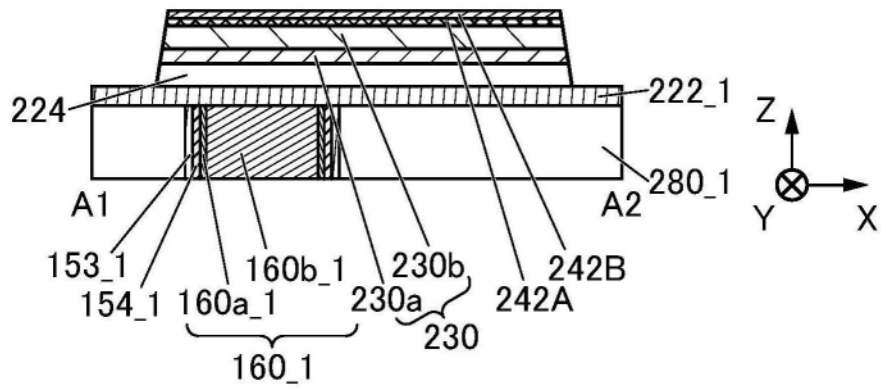


图28B

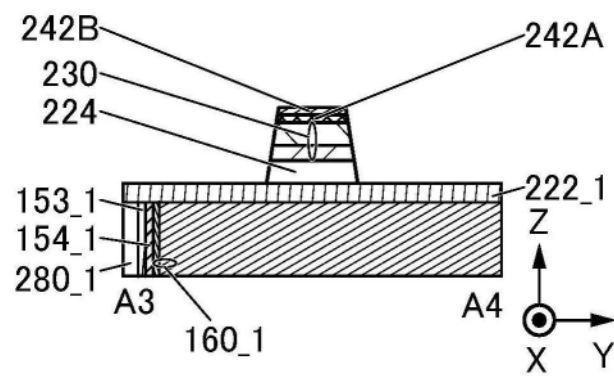


图28C

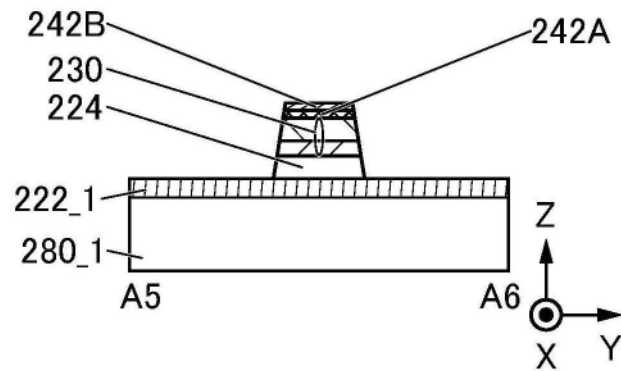


图28D

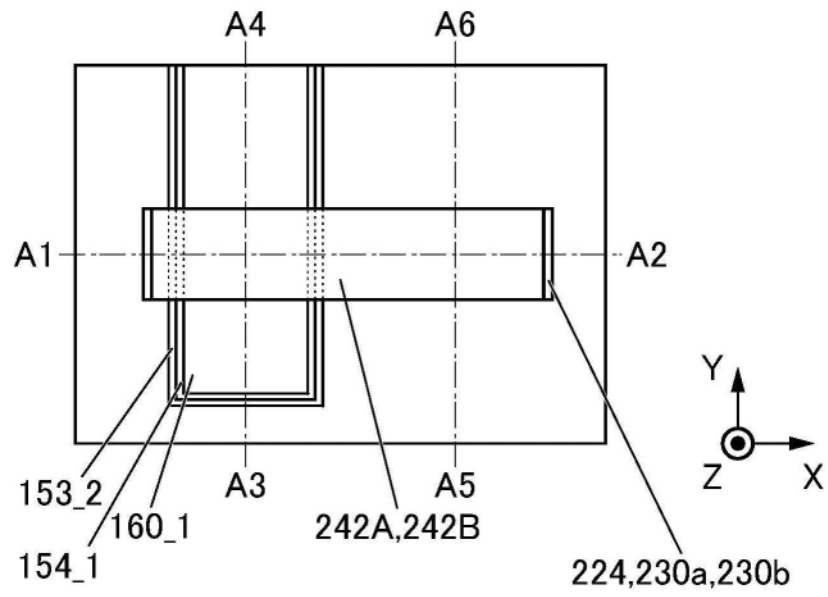


图29A

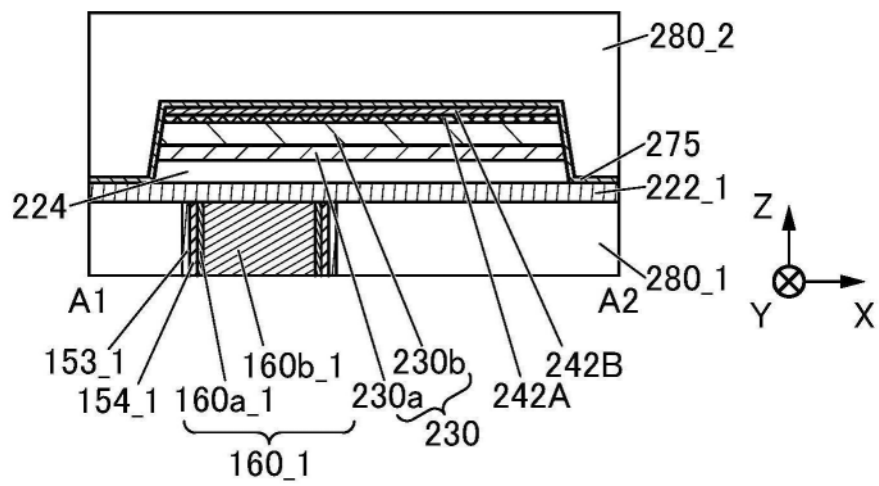


图29B

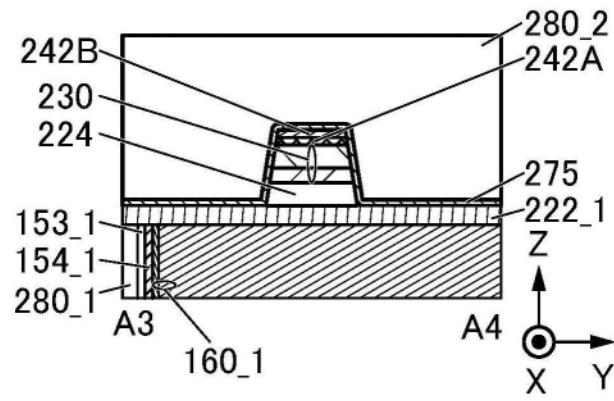


图29C

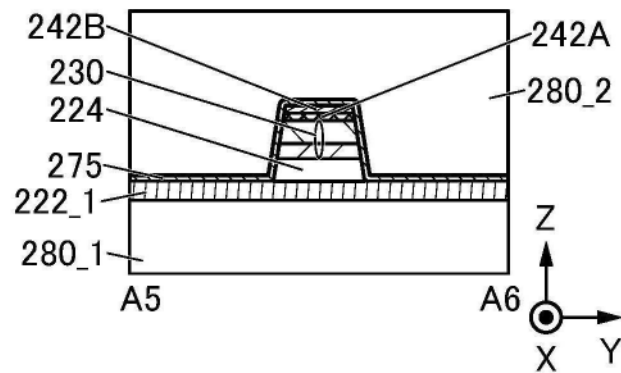


图29D

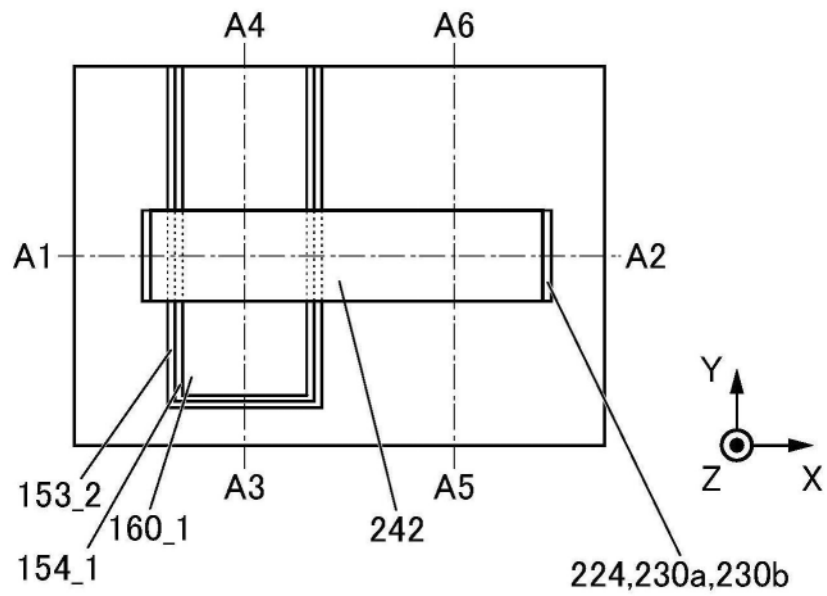


图30A

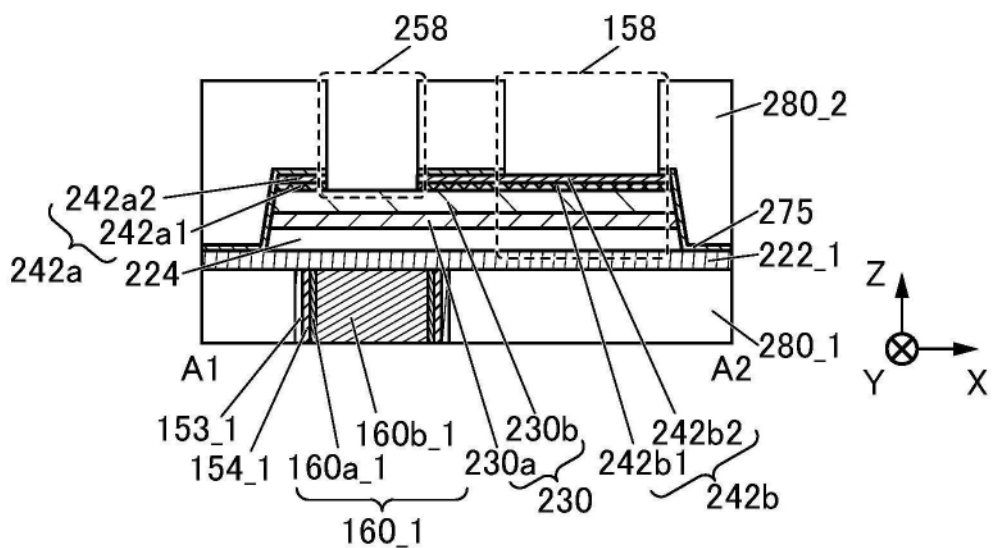


图30B

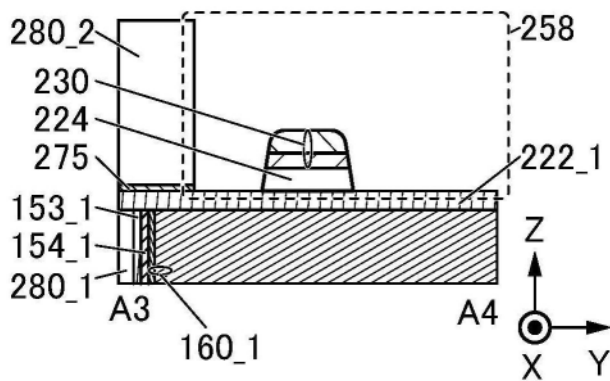


图30C

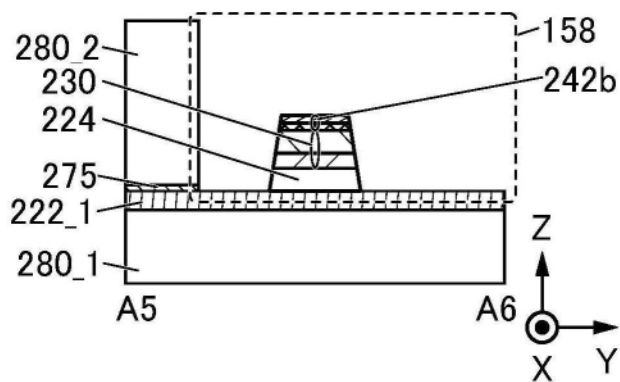


图30D

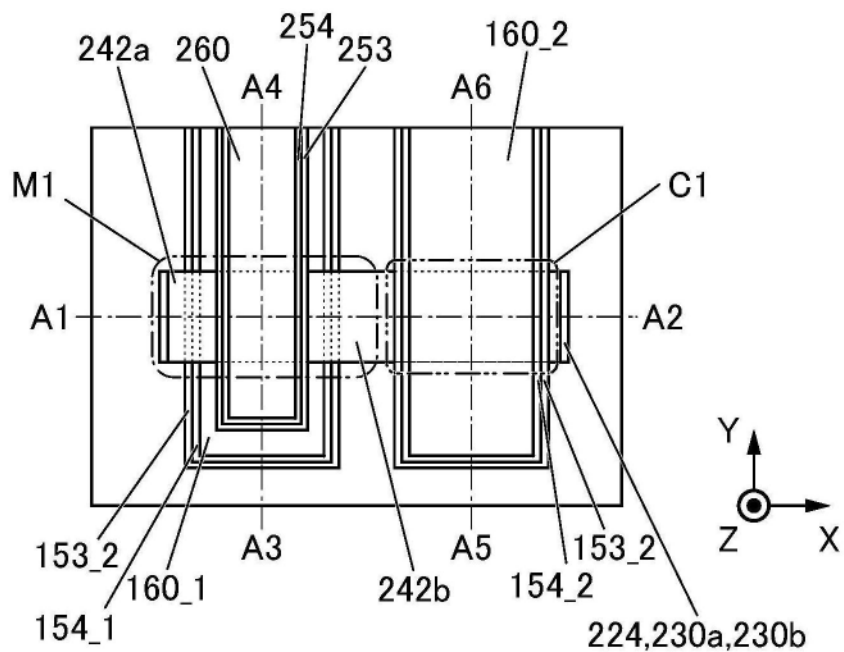


图31A

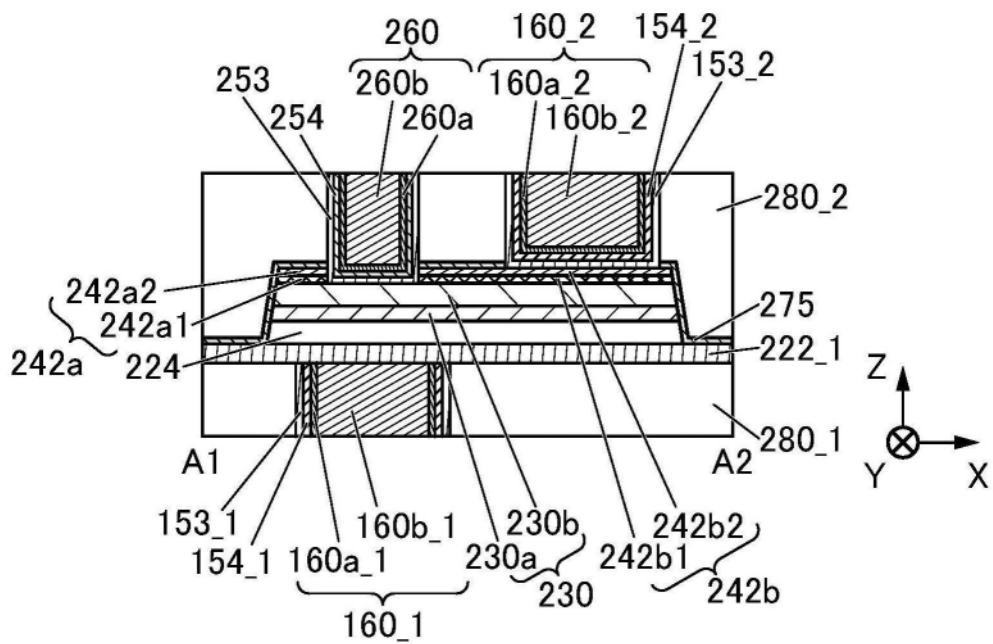


图31B

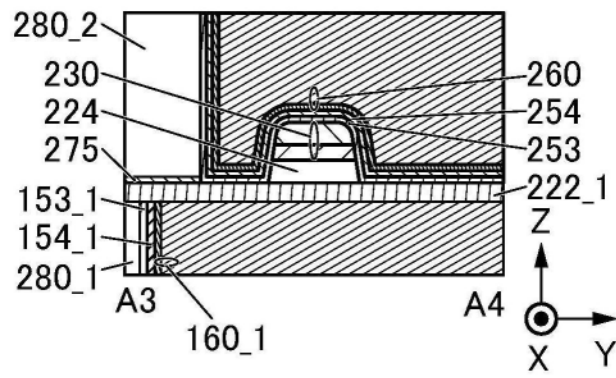


图31C

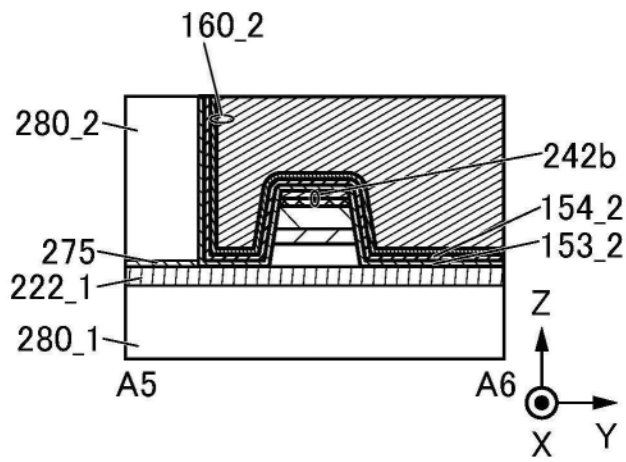


图31D

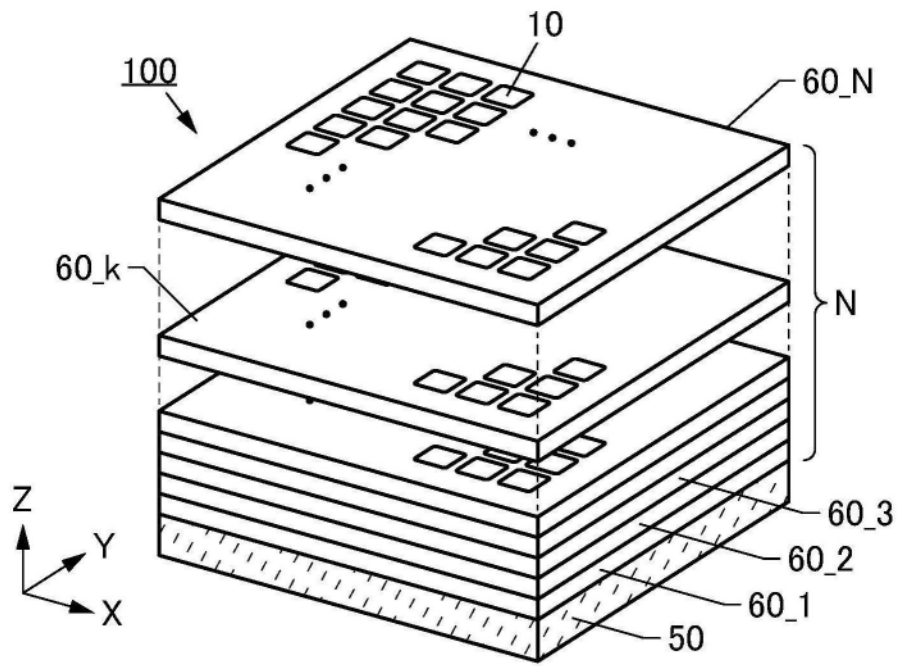


图32A

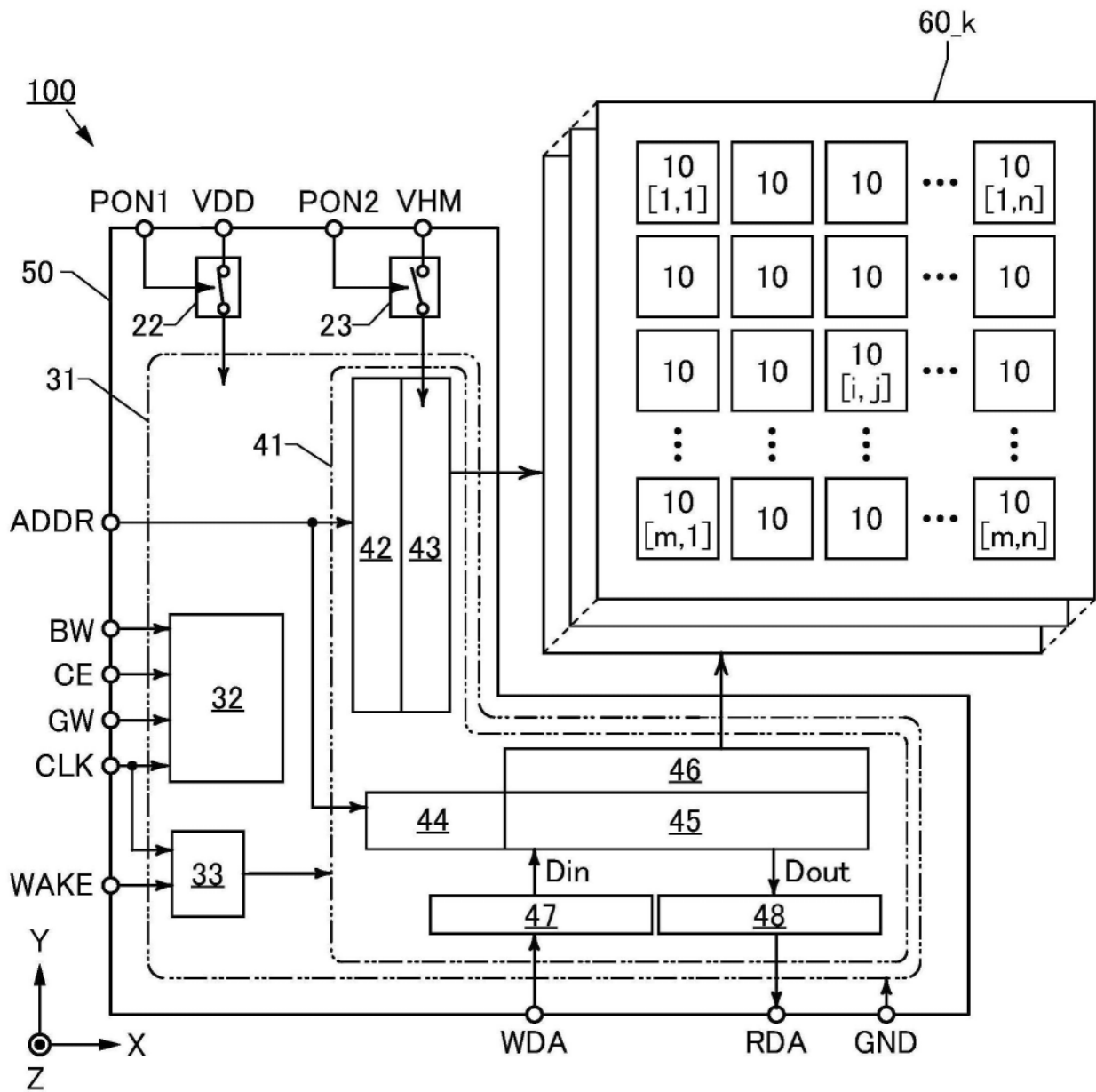


图32B

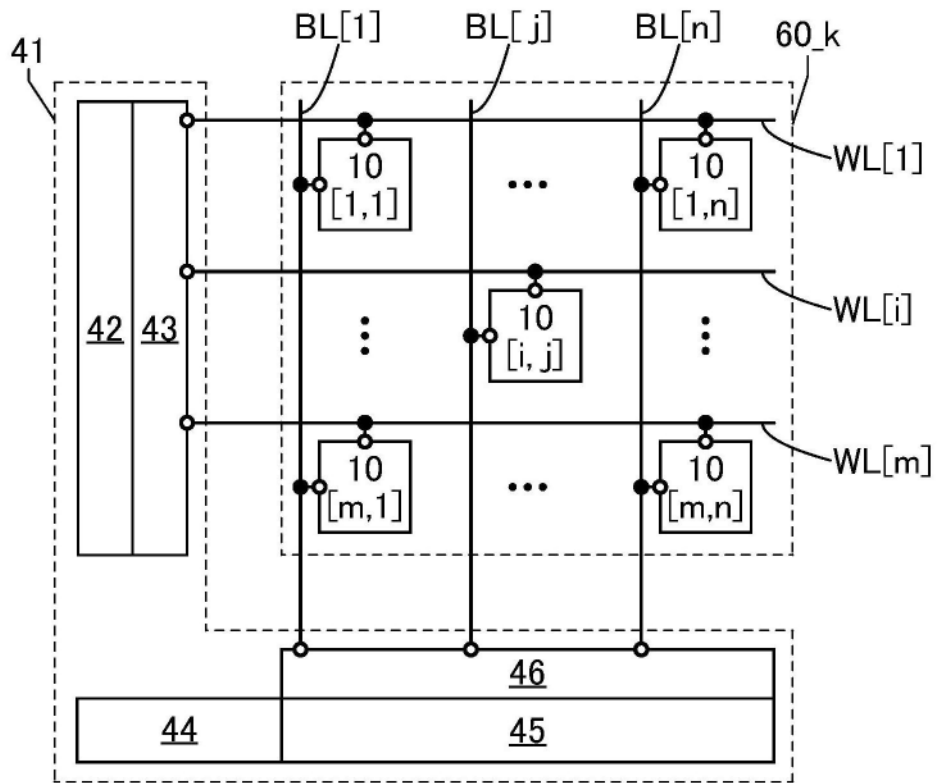


图33

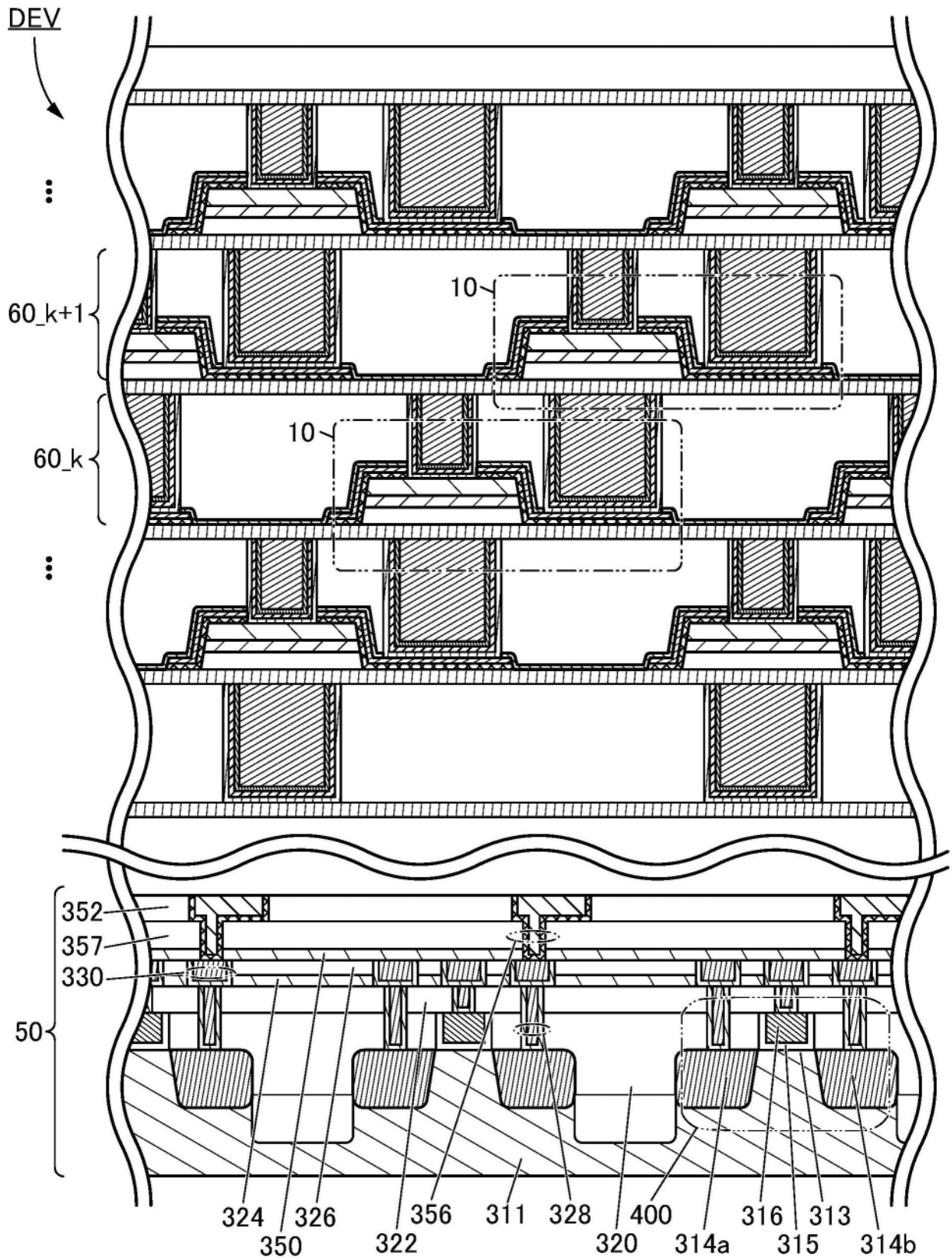


图34

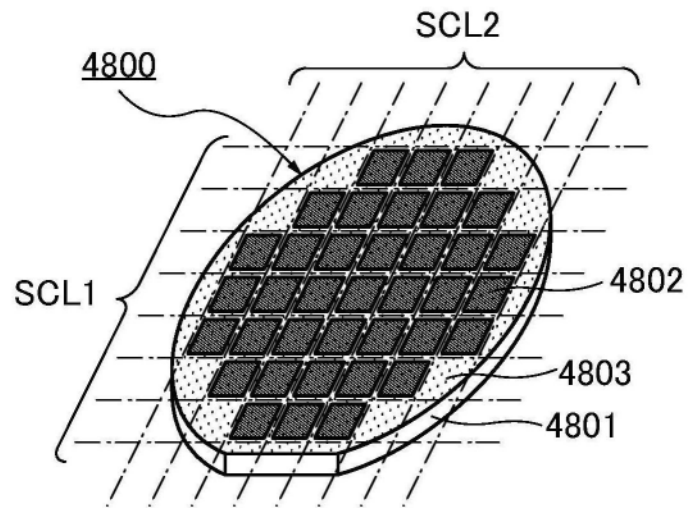


图35A

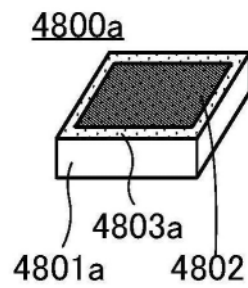


图35B

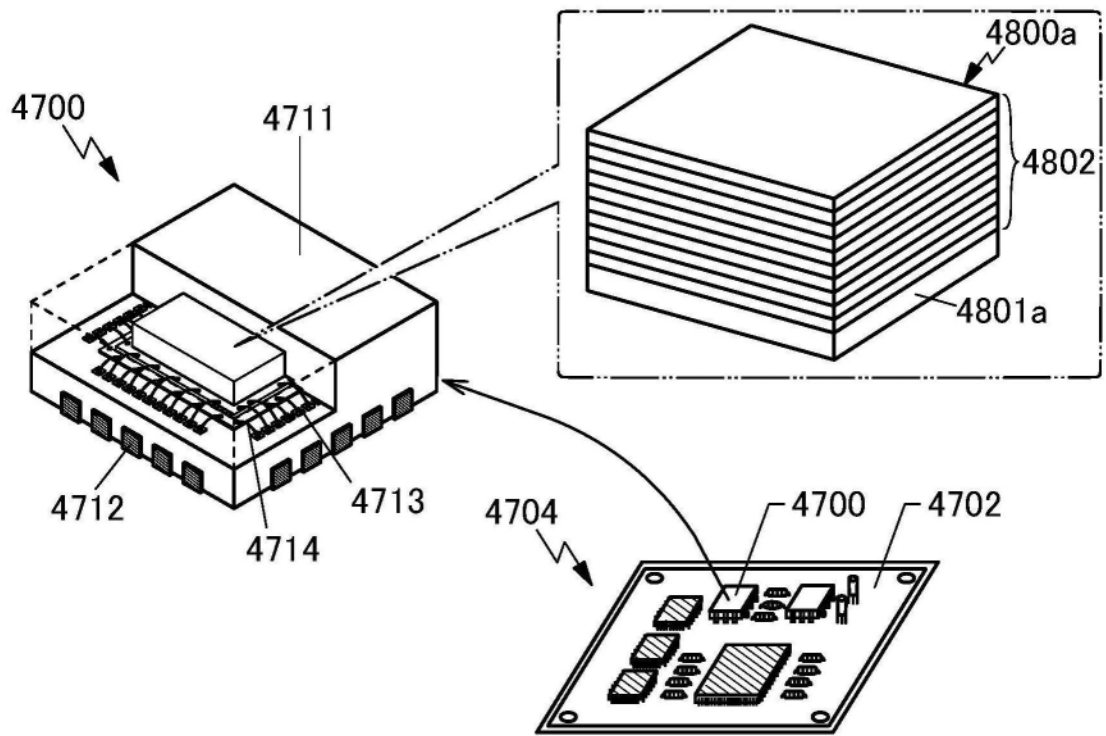


图35C

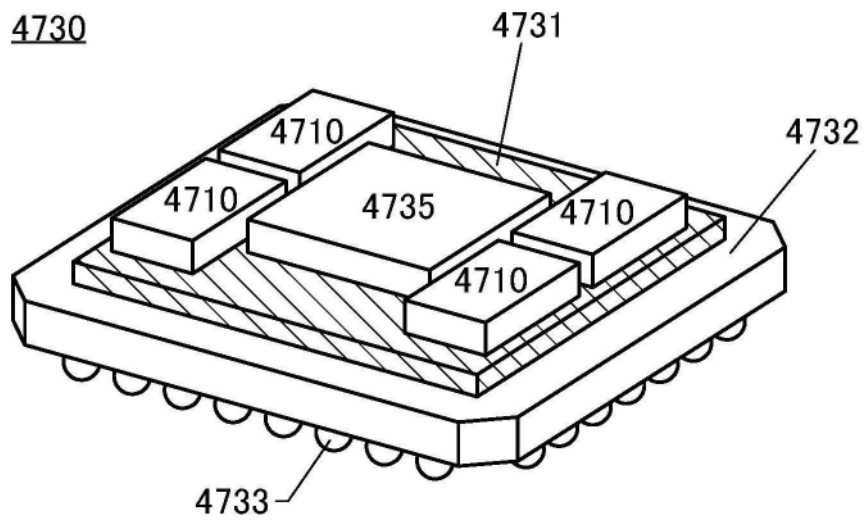


图35D

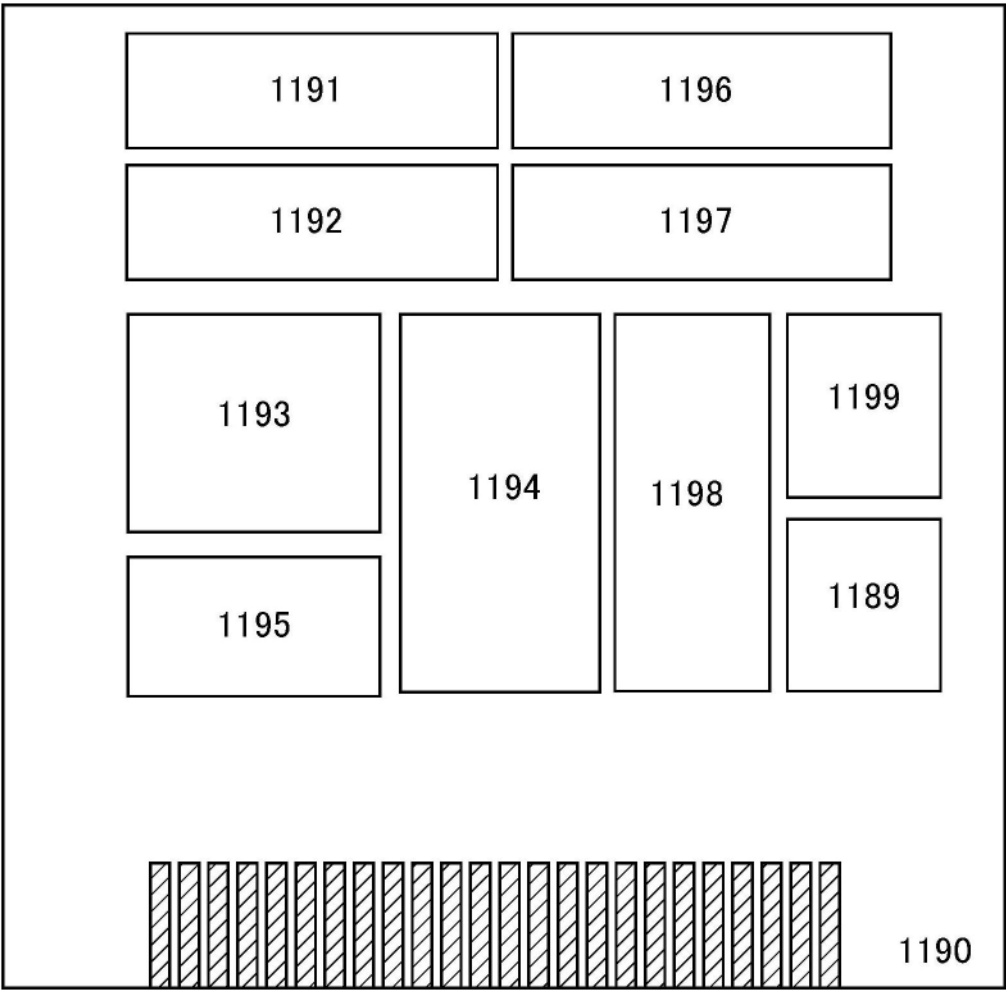


图36

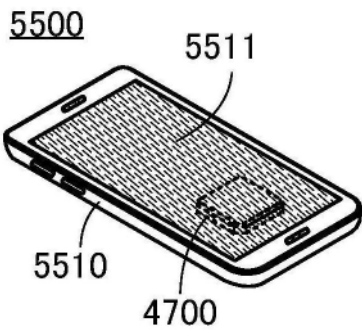


图37A

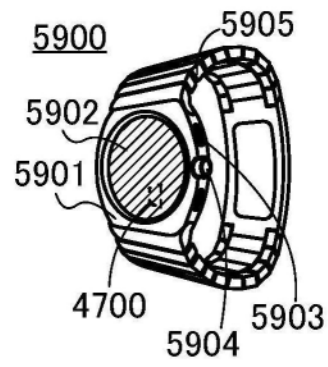


图37B

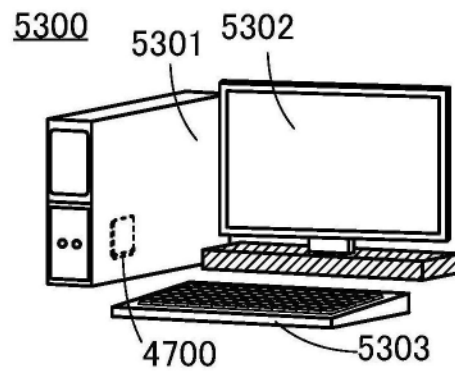


图37C

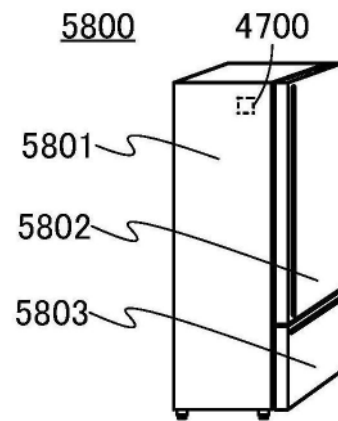


图37D

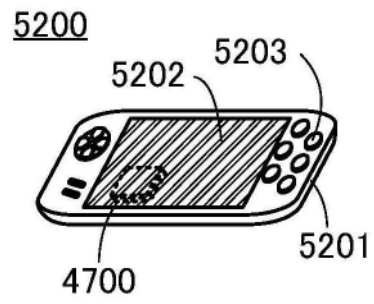


图37E

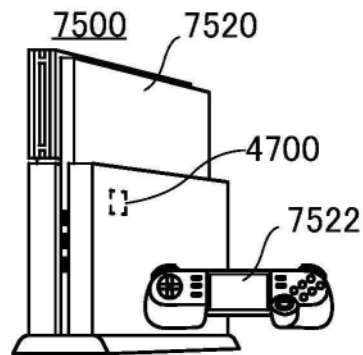


图37F

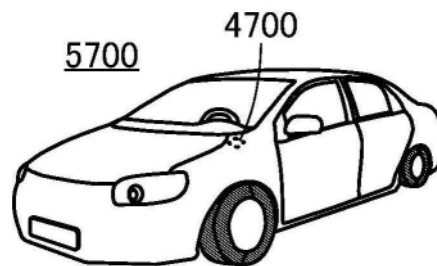


图37G

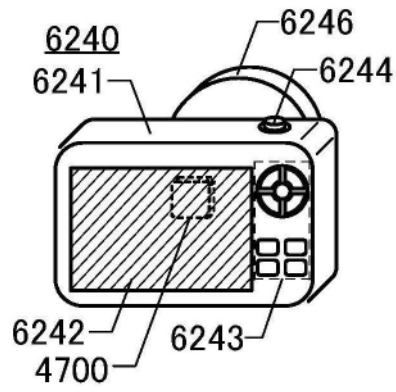


图37H

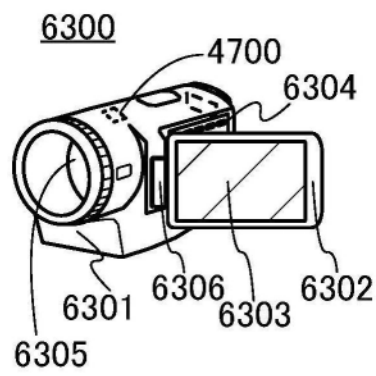


图37I

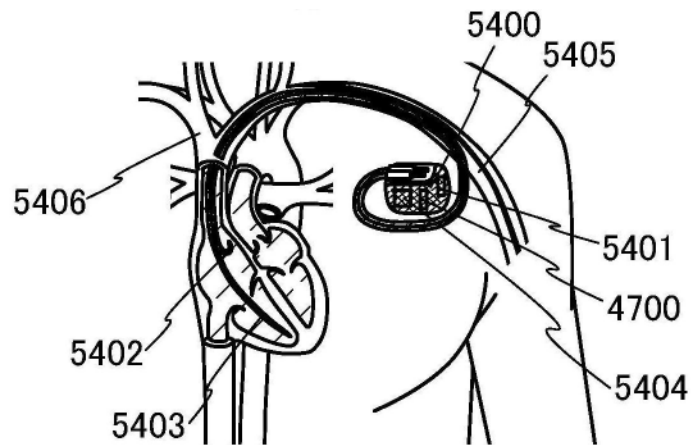


图37J

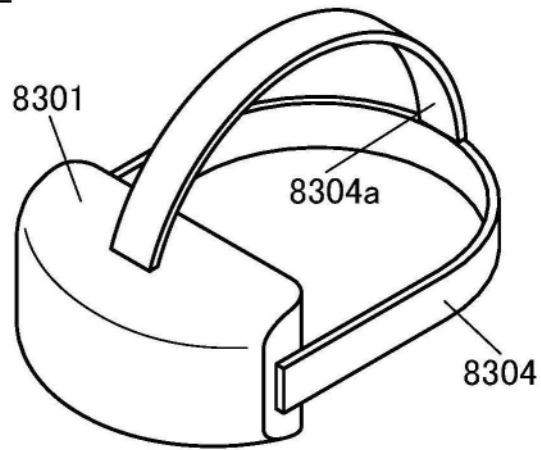
8300

图38A

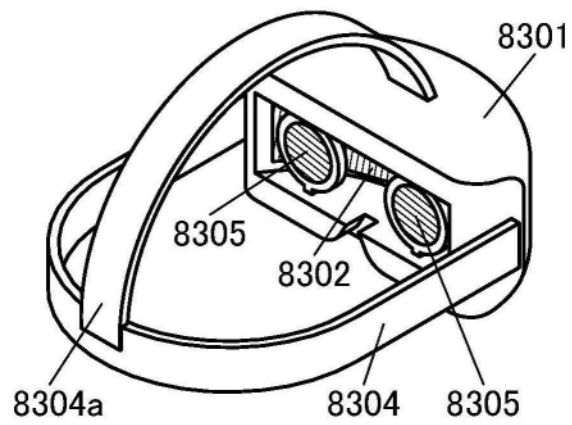
8300

图38B

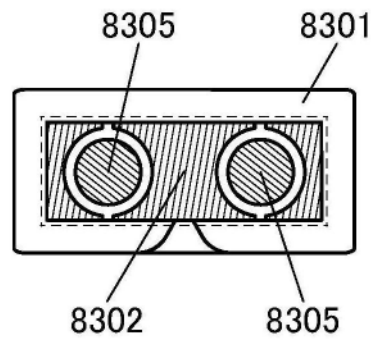
8300

图38C

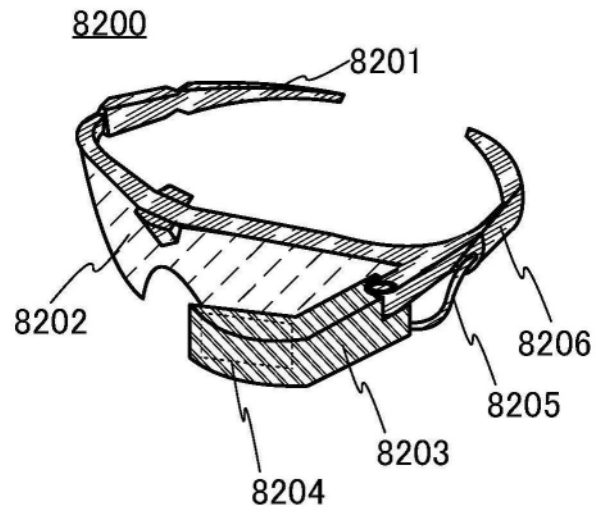


图38D

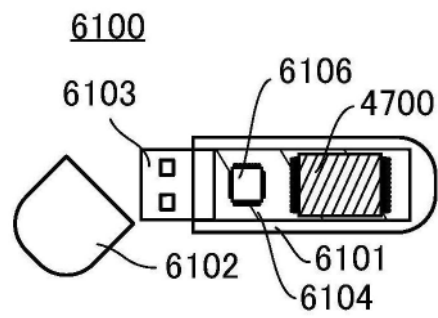


图39A

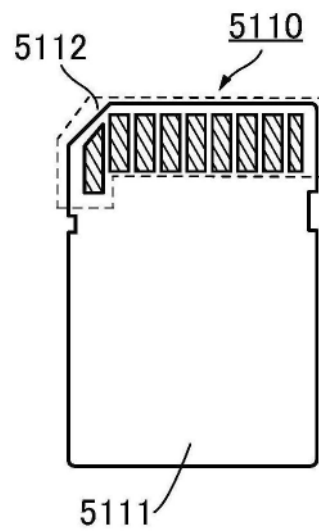


图39B

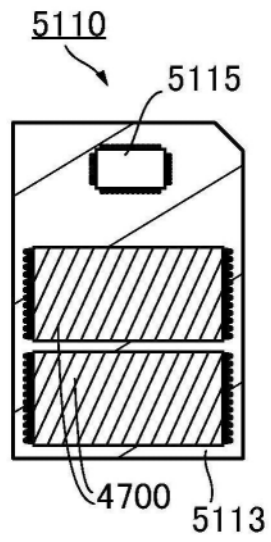


图39C

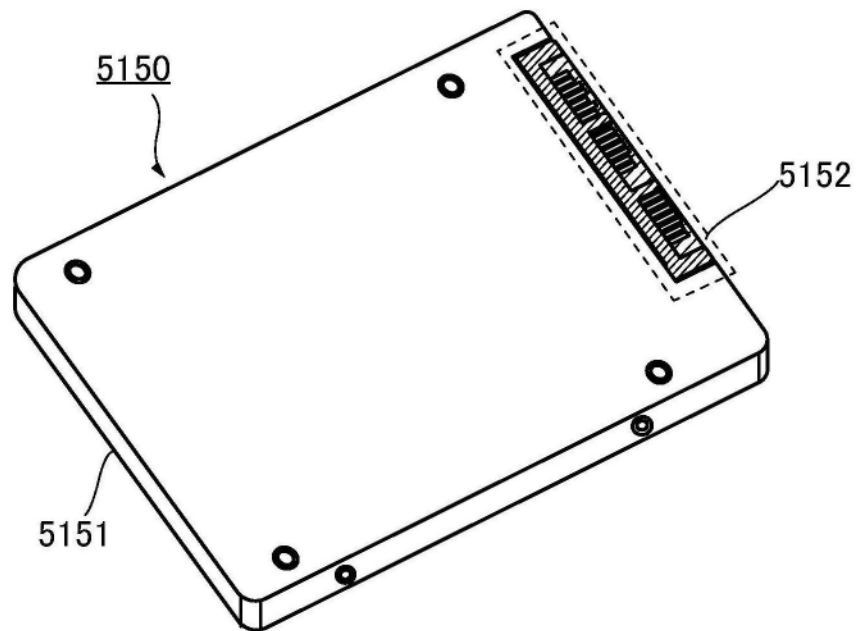


图39D

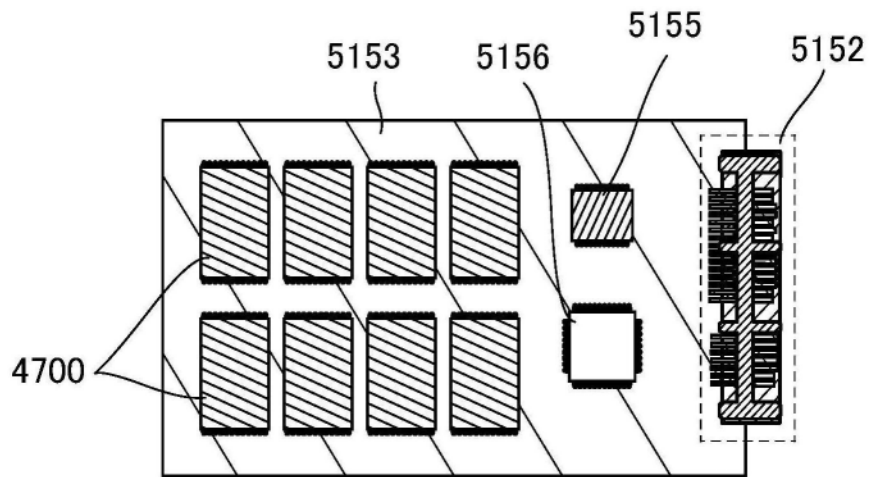


图39E