

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/115 (2006.01)

G11C 16/10 (2006.01)

G11C 16/26 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710101038.8

[43] 公开日 2008年1月16日

[11] 公开号 CN 101106135A

[22] 申请日 2007.4.23

[21] 申请号 200710101038.8

[30] 优先权

[32] 2006.7.12 [33] KR [31] 65469/06

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴允童 赵庆来 玄在雄 边成宰

[74] 专利代理机构 北京市柳沈律师事务所

代理人 张波

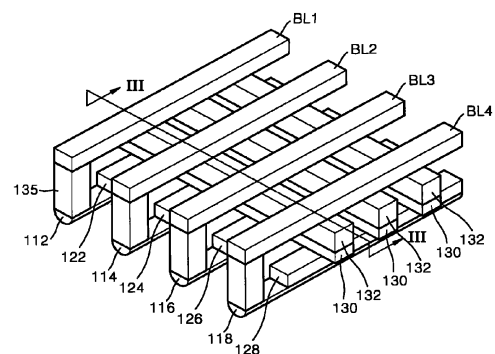
权利要求书 3 页 说明书 10 页 附图 5 页

[54] 发明名称

非易失性存储器件的操作方法

[57] 摘要

本发明提供一种以多位模式操作非易失性存储器件的方法，该非易失性存储器件可以以低操作电流操作并可以高度集成，其中第一掩埋电极用作第一位线，第二掩埋电极用作第二位线，栅电极用作字线。该方法包括编程 2 位数据到第一和第二电阻层；以及读取编程在该第一和第二电阻层中的该 2 位数据。



- 1、一种操作非易失性存储器件的方法，所述非易失性存储器件包括：
半导体基板；
第一和第二电阻层，形成在所述半导体基板的表面附近，其每个储存可变电阻状态；
第一掩埋电极，形成在该第一电阻层之下在该半导体基板中，且连接到该第一电阻层；
第二掩埋电极，形成在该第二电阻层之下在该半导体基板中，且连接到该第二电阻层；
栅电极，形成在该半导体基板上且延伸跨过该第一和第二电阻层；以及
栅极绝缘层，形成在该半导体基板与该栅电极之间，
其中所述第一掩埋电极用作第一位线，所述第二掩埋电极用作第二位线，所述栅电极用作字线，该方法包括：
编程 2 位数据到所述第一和第二电阻层；以及
读取编程在所述第一和第二电阻层中的所述 2 位数据。
- 2、根据权利要求 1 所述的方法，其中所述编程 2 位数据包括在两种状态之间改变该第一和第二电阻层每个的电阻。
- 3、根据权利要求 2 所述的方法，其中，在所述编程中，当编程电压施加到所述第一位线且导通电压施加到所述字线从而形成连接所述第二掩埋电极和所述第一电阻层的深沟道时，该第一电阻层的电阻被改变。
- 4、根据权利要求 2 所述的方法，其中，在所述编程中，当编程电压施加到所述第二位线且导通电压施加到所述字线从而形成连接所述第一掩埋电极和所述第二电阻层的深沟道时，该第二电阻层的电阻被改变。
- 5、根据权利要求 1 所述的方法，其中所述读取 2 位数据包括形成深沟道以连接所述掩埋电极之一和相邻的所述电阻层之一并顺序测量所述第一位线和所述第二位线之间的双向电流。
- 6、根据权利要求 1 所述的方法，其中所述读取 2 位数据包括形成浅沟道以连接所述第一电阻层和所述第二电阻层并测量所述第一位线和所述第二位线之间的至少单向电流。
- 7、根据权利要求 6 所述的方法，其中所述测量单向电流使用至少两水

平的读取电压重复。

8、根据权利要求 1 所述的方法，还包括同时擦除储存在所述第一电阻层和所述第二电阻层中的数据。

9、根据权利要求 8 所述的方法，其中所述同时擦除数据包括形成浅沟道以连接所述第一电阻层和所述第二电阻层且施加擦除电压在该第一位线和该第二位线之间。

10、根据权利要求 1 所述的方法，其中所述第一和第二电阻层包括从 Nb_2O_5 、Cr 掺杂 SrTiO_3 、 ZrO_x 、 GeSb_xTe_y 、 NiO 、 ZnO 、 TiO_2 和 HfO 构成的组中选择的至少一种。

11、一种操作非易失性存储器件的方法，所述非易失性存储器件包括：
半导体基板；

多个电阻层，形成在所述半导体基板表面附近，其每个储存可变电阻状态；

多个掩埋电极，形成在所述电阻层之下在所述半导体基板中，且分别连接所述电阻层；

栅电极，延伸跨过所述电阻层；以及

栅极绝缘层，在所述半导体基板和所述栅电极之间，

其中所述掩埋电极用作多个位线，所述栅电极用作字线，该方法包括：
编程 2 位数据到相邻的两个电阻层；以及

读取编程在所述相邻的电阻层中的该 2 位数据。

12、根据权利要求 11 所述的方法，其中所述编程 2 位数据包括在两状态之间改变所述两个相邻电阻层每个的电阻。

13、根据权利要求 12 所述的方法，其中，在所述编程中，所述两个相邻电阻层的一个电阻改变包括形成连接该两个相邻电阻层之一和所述掩埋电极中的相邻一个的深沟道，并施加编程电压到连接到所述两个相邻电阻层之一的位线。

14、根据权利要求 12 所述的方法，其中所述读取 2 位数据包括形成连接所述两个相邻电阻层之一和所述掩埋电极中的相邻一个的深沟道，并顺序测量连接到所述两个相邻电阻层的所述位线之间的双向电流。

15、根据权利要求 12 所述的方法，其中所述读取 2 位数据包括形成连接所述两个相邻电阻层的浅沟道，并测量连接到所述两个相邻电阻层的所述

位线之间的单向电流。

16、根据权利要求 15 所述的方法，其中所述测量单向电流使用至少两水平的读取电压重复。

17、根据权利要求 11 所述的方法，还包括同时擦除储存在所述多个电阻层的预定数目的连续电阻层中的数据。

18、根据权利要求 17 所述的方法，其中所述同时擦除数据包括形成连接所述预定数目的连续电阻层的浅沟道，并施加擦除电压到在所述预定数目的连续电阻层两端连接到所述电阻层的位线。

非易失性存储器件的操作方法

技术领域

本发明涉及一种半导体器件，更具体而言，涉及一种利用电阻节点的非易失性存储器件的操作方法。

背景技术

非易失性存储器件，例如相变存储器 (PRAM) 或电阻存储器 (RRAM)，利用电阻节点的可变电阻操作。由于管理大量数据的半导体产品近来已经增大容量，所以非易失性存储器件的集成度或操作位的数量需要提高。因此，需要能以多位模式操作的非易失性存储器件。

同时，随着非易失性存储器的容量增大，非易失性存储器具有较高的操作速度。换言之，要求快速的数据处理以管理大量数据。因此，需要提高非易失性存储器件的操作速度，例如闪存中的块擦除或闪擦除。

此外，由于非易失性存储器的集成度提高，已经尝试降低操作电流。然而，利用电阻节点的非易失性存储器件需要较高操作电流。操作电流的降低会影响电阻节点的可变电阻。因此，常规非易失性存储器件在降低操作电流方面受到限制。

例如，相变存储器件利用根据相变电阻元件的晶体状态改变的电阻变化存储数据。然而，为了改变相变存储器件的晶体状态，要求高电流密度，因此，提高了操作电流。操作电流的这种提高产生短沟道效应，其会阻碍相变存储器集成度的提高。因此，相变电阻元件中晶体状态改变的区域需要减少，从而以低操作电流获得高电流密度。

发明内容

本发明提供一种以多位模式操作非易失性存储器件的方法，其中该非易失性存储器件可以以低操作电流操作且可以高度集成。

根据本发明的一个方面，提供一种非易失性存储器件的操作方法，该非易失性存储器件包括：半导体基板；第一和第二电阻层，形成在该半导体基

板表面附近，其每个储存可变电阻状态；第一掩埋电极，形成在该第一电阻层之下在该半导体基板中，且连接到该第一电阻层；第二掩埋电极，形成在该第二电阻层之下在该半导体基板中，且连接到该第二电阻层；栅电极，形成在该半导体基板上且延伸跨过该第一和第二电阻层；以及栅极绝缘层，形成在该半导体基板和该栅电极之间，其中该第一掩埋电极用作第一位线，该第二掩埋电极用作第二位线，该栅电极用作字线，该方法包括：编程 2 位数据到该第一和第二电阻层；以及读取编程在该第一和第二电阻层中的所述 2 位数据。

所述编程 2 位数据可包括在两种状态之间改变该第一和第二电阻层每个的电阻。

所述编程 2 位数据可通过测量由于该第一电阻层和该第二电阻层的电阻值的变化引起的该第一位线和该第二位线之间的电流变化来进行。

所述读取 2 位数据可包括形成深沟道以连接掩埋电极之一和相邻电阻层之一，并顺序测量该第一位线和该第二位线之间的双向电流。

该方法还可包括同时擦除存储在所述第一电阻层和所述第二电阻层中的数据。

根据本发明的另一方面，提供一种非易失性存储器件的操作方法，该非易失性存储器件包括：半导体基板；多个电阻层，形成在该半导体基板的表面附近，其每个储存可变电阻状态；多个掩埋电极，形成在该电阻层之下在该半导体基板中，且分别连接该电阻层；栅电极，延伸跨过该电阻层；以及栅极绝缘层，在该半导体基板和该栅电极之间，其中该掩埋电极用作多个位线，该栅电极用作字线，该方法包括：编程 2 位数据到相邻的两个电阻层；以及读取编程在该相邻的电阻层中的该 2 位数据。

附图说明

通过参照附图详细描述其示范性实施例，本发明上述及其他特点和优点将变得更明显，附图中：

图 1 是根据本发明一实施例的非易失性存储器件的透视图；

图 2 是根据本发明一实施例的图 1 的非易失性存储器件沿线 III-III'所截的剖面图；

图 3 是示出根据本发明一实施例的非易失性存储器件的电阻层的电压-

电流特性的曲线图;

图 4 和 5 是用于说明根据本发明一实施例的图 1 的非易失性存储器件的编程操作的剖面图;

图 6 和 7 是用于说明根据本发明一实施例的图 1 的非易失性存储器件的读取操作的剖面图;

图 8 是用于说明根据本发明另一实施例的图 1 的非易失性存储器件的读取操作的剖面图;

图 9 是用于说明根据本发明一实施例的图 1 的非易失性存储器件的擦除操作的剖面图; 以及

图 10 是示出图 8 所示的图 1 的非易失性存储器件的读取操作的模拟结果的曲线图。

具体实施方式

现在将参考其中示出了本发明的示范性实施例的附图更充分地描述本发明。然而, 本发明可以实施为许多不同的形式且不应理解为局限于此处给出的示范性实施例。而是, 提供所公开的示范性实施例使得本公开充分和完整, 并将向本领域的技术人员充分传达本发明的概念。在附图中, 为了方便, 夸大了层和区域的厚度。

根据本发明一实施例的非易失性存储器件可以利用电阻节点或者电阻层存储数据。因此, 根据电阻节点和电阻层的类型, 根据本发明各种实施例的非易失性存储器件可以具有各种名称。例如, 非易失性存储器件可以是相变存储器 (PRAM) 或者电阻存储器 (RRAM), 但本发明的范围不限于此。

图 1 是根据本发明一实施例的非易失性存储器件的透视图; 图 2 是非易失性存储器件沿线 III-III' 所截的剖面图。

参照图 1 和 2, 非易失性存储器件包括半导体基板 102。然而, 为了示例的方便, 半导体基板 102 没有在图 1 中示出。半导体基板 102 可以包括硅 (Si) 晶片, 锗 (Ge) 晶片, 或金属绝缘体转变 (metal-insulator transition, MIT) 材料。MIT 材料可以包括过渡金属氧化物, 例如 V_2O_5 、 TiO_x 等。当施加大于预定临界电压的电压时, MIT 材料可变成绝缘体中的金属。MIT 材料可用于形成多层半导体器件。

多个电阻层 122、124、126 和 128 形成在半导体基板 102 表面附近。多

个掩埋电极 112、114、116 和 118 形成在电阻层 122、124、126 和 128 之下在半导体基板 102 中。栅电极 132 形成在半导体基板 102 上且形成得延伸跨过电阻层 122、124、126 和 128。栅极绝缘层 130 可以插入在半导体基板 102 和栅电极 132 之间。可选地，位线 BL1、BL2、BL3 和 BL4 可形成在半导体基板 102 上。

根据本发明的实施例，掩埋电极 112、114、116 和 118 可根据它们的功能或布置具有各种名称，本发明的范围不限于这些名称。例如，掩埋电极 112、114、116 和 118 可根据它们在布置中的位置顺序称为源 (S) 和漏 (D) 电极或下电极。

根据本发明一实施例，掩埋电极 112、114、116 和 118 可通过把杂质掺杂到半导体基板 102 来形成。在此情形，当半导体基板 102 掺杂有第一导电杂质时，掩埋电极 112、114、116 和 118 可掺杂有与第一导电杂质导电性相反的第二导电杂质。因此，掩埋电极 112、114、116 和 118 以及半导体基板 102 可以形成二极管结。第一和第二导电类型每种可选自 n 型和 p 型导电性。

根据本发明另一实施例，掩埋电极 112、114、116 和 118 可包括金属层或金属硅化物层。在此情形，掩埋电极 112、114、116 和 118 可以和半导体基板 102 形成肖特基结。由于肖特基结，在掩埋电极 112、114、116 和 118 与半导体基板 102 之间流动的电流可具有整流特性。

栅极绝缘层 130 将栅电极 132 与半导体基板 102 绝缘。此外，栅极绝缘层 130 延伸跨过电阻层 122、124、126 和 128 以进一步将电阻层 122、124、126 和 128 从栅电极 132 绝缘。栅极绝缘层 130 的厚度可以根据操作电压选择，并不限于图 1 和 2 所示的尺寸。栅电极 132 可包括诸如多晶硅层或金属层的导电材料。

通过插入层间绝缘层 160，位线 BL1、BL2、BL3 和 BL4 形成在栅电极 132 上。位线 BL1、BL2、BL3 和 BL4 通过插塞 135 分别连接到掩埋电极 112、114、116 和 118。位线 BL1、BL2、BL3 和 BL4 可以沿与栅电极 132 的延伸方向不同的方向延伸，例如在与掩埋电极 112、114、116 和 118 平行的方向上。位线 BL1、BL2、BL3 和 BL4 可包括金属层。

电阻层 122、124、126 和 128 每个可存储可变电阻状态，该可变电阻状态可对应于数据状态。例如，电阻层 122、124、126 和 128 可具有低电阻状态和高电阻状态，且低电阻状态或高电阻状态各自相应于数据状态“0”或

“1”。当结合至少两个电阻层时，可以产生 2 位或更多数据状态。例如，当结合两个电阻层时，可以产生 2 位数据状态 (0, 0), (0, 1), (1, 0) 或 (1, 1)。

电阻层 122、124、126 和 128 可以包括这样的材料，该材料的电阻根据施加到各个电阻层 122、124、126 和 128 两端的电压而改变，且可以包括从 Nb_2O_5 、Cr 掺杂 SrTiO_3 、 ZrO_x 、GST(GeSb_xTe_y)、NiO、ZnO、 TiO_2 和 HfO 构成的组中选择的至少一种。由于 GST 的电阻根据 GST 晶体状态的改变而改变，所以 GST 可以用在 PRAM 中。此外， Nb_2O_5 、Cr 掺杂 SrTiO_3 、NiO 或 ZnO 可以用在 RRAM 中，因为这些材料的电阻改变而其晶体状态不改变。

图 3 是示出根据本发明一实施例的 RRAM 的电阻层的电压-电流特性的曲线图。根据本发明，RRAM 的电阻层包括 NiO，但根据电阻层的材料也可以形成其他不同的曲线图。然而，不考虑材料，电阻层的电阻根据施加的电压改变。

参照图 3，当初始电压施加到电阻层时(P10)，直到设置电压(set voltage)例如在 NiO 的情况下 4.5V 电流几乎不流动。换言之，电阻层首先显示高电阻(重置状态(reset state))。然而，当电阻层的电压超出设置电压时，电流迅速提高。当施加大于设置电压的电压，且再次从 0 施加电压时(P20)，大电流流动。即，电阻层显示低阻态(设置状态)。然而，当电压增加到大于重置电压的电压时，电流迅速减小(P30)。即，电阻层的电阻减小到重置状态的高电阻。然后，当电压连续增加直到达到设置电压时(P40)，电阻层重复初始重置状态的循环。

换言之，电阻层的电阻率在临界电压例如设置电压或重置电压边界处改变，且在施加的电压消失之后，电阻率变化保持在预定电压范围。因此，电阻层可用作易失性存储器件的存储介质。

参考图 3 关于电阻层的描述涉及 RRAM, PRAM 中使用的电阻层可以经历不同的电阻变化。在 PRAM 中使用的电阻层称为相变电阻元件，相变电阻元件的电阻状态可以通过转变到非晶态和晶体态而改变。由于这样的相变电阻元件的电阻变化特性对本领域技术人员是公知的，其详细描述将省略。

在本发明的当前实施例中，电阻层 122、124、126 和 128 的任两个例如第一电阻层 122 和第二电阻层 124 可以形成单位单元结构。然后第一掩埋电极 112、第二掩埋电极 114、第一位线 BL1 和第二位线 BL2 可以是该单位单

元结构的一部分。

根据本发明当前实施例的非易失性存储器件不限于图 1 和 2 的布置。因此，非易失性存储器件可包括单位单元结构或多个单位单元结构。换言之，电阻层 122、124、126 和 128，掩埋电极 112、114、116 和 118 以及位线 BL1、BL2、BL3 和 BL4 成对设置，其数目不限制本发明的范围。

下文中，将描述根据本发明当前实施例的非易失存储器件的操作特性。

图 4 和 5 是用于说明根据本发明一实施例的图 1 的非易失存储器件的编程操作的剖面图。

参考图 4 和 5，根据本发明当前实施例，第一电阻层 122 和第二电阻层 124 形成单位单元，第三电阻层 126 和第四电阻层 128 形成另一单位单元。虽然图 4 和 5 示出在相同时间操作的两个单位单元，但是该两个单位单元也可以单独操作。此外，单位单元的布置可以不同。例如，第二电阻层 124 和第三电阻层 126 可以形成单位单元。栅电极 132 可以用作字线。

参考图 4，描述各自从两个单位单元中选出的两个电阻层例如第一电阻层 122 和第三电阻层 126 的编程操作作为示例。这里，数据可以存储在第一电阻层 122 的右部分和第三电阻层 126 的右部分中。数据编程可以通过在两个状态之间改变第一电阻层 122 和第三电阻层 126 每个的电阻来进行。

例如，编程电压施加到第一位线 BL1，导通电压施加到字线即栅电极 132，从而形成深沟道 104 以连接第二掩埋电极 114 和第一电阻层 122。深沟道 104 在第二位线 BL2 附近比在第一位线 BL1 附近更深。深沟道 104 的深度可以通过控制施加到栅电极 132 的导通电压或半导体基板 102 的杂质浓度来控制。

因此，编程电流 I_{p1} 从第一位线 BL1 通过第一掩埋电极 112、第一电阻层 122、深沟道 104 和第二掩埋电极 114 朝第二位线 BL2 流动。由于深沟道 104 连接第一电阻层 122 和第二掩埋电极 114，所以通过具有较小电阻的第二电阻层 124 的编程电流 I_{p1} 的量可以忽略。

类似地，编程电压施加到第三位线 BL3，导通电压施加到字线，即栅电极 132，以形成另一深沟道 104 从而连接第四掩埋电极 118 和第三电阻层 126。因此编程电流 I_{p2} 从第三位线 BL3 通过第三掩埋电极 116、第三电阻层 126、深沟道 104 和第四掩埋电极 118 朝第四位线 BL4 流动。

因此，编程电流流到第一电阻层 122 和第三电阻层 126，第一电阻层 122

和第三电阻层 126 的电阻可以变化。例如，当编程之前的低电阻状态是“0”时，第一电阻层 122 和第三电阻层 126 处于高电阻状态，即“1”。编程电压可以是使相变电阻元件非晶化的电压。但是，数据状态“0”和“1”可以相反地表示。

结果，通过图 4 的编程操作，两个单位单元可以分别从 (0, 0) 转变为 (1, 0)。例如，(0, 0) 表示单位单元中的两电阻层例如第一和第二电阻层 122 和 124 或者第三和第四电阻层 126 和 128 都处于低电阻状态。(1, 0) 表示单位单元中的左电阻层例如第一电阻层 122 或第三电阻层 126 处于高电阻状态，右电阻层即第二电阻层 124 或第四电阻层 128 处于低电阻状态。

参考图 5，描述了从两个单位单元选择的不同电阻层例如第二电阻层 124 和第四电阻层 128 的编程操作作为示例。这里，数据可以存储在第二电阻层 124 的左部分中和第四电阻层 128 的左部分中。图 5 的编程操作可以通过改变图 4 的编程操作中的电流方向来进行。

例如，编程电压施加到第二和第四位线 BL2 和 BL4，导通电压施加到字线即栅电极 132 从而形成深沟道 104 以连接第三掩埋电极 116 和第四电阻层 128。

因此，编程电流 I'_{p1} 从第二位线 BL2 朝第一位线 BL1 流动，编程电流 I'_{p2} 从第四位线 BL4 朝第三位线 BL3 流动。因此，编程电流流过第二电阻层 124 和第四电阻层 128，第二电阻层 124 和第四电阻层 128 的电阻可改变。

结果，通过图 5 的编程操作，两单位单元可分别从 (0, 0) 转变为 (0, 1)。(0, 1) 表示单位单元中的右电阻层例如第二电阻层 124 或第四电阻层 128 处于高电阻状态且左电阻层即第一电阻层 122 或第三电阻层 126 处于低电阻状态。

同时，当对两单位单元顺序进行图 4 和 5 的编程操作时，两单位单元可分别从 (0, 0) 转变到 (1, 0) 且然后到 (1, 1)。(1, 1) 表示单位单元中的两电阻层例如第一和第二电阻层 122 和 124 或者第三和第四电阻层 126 和 128 都处于高电阻状态。因此，使用图 4 和/或图 5 的编程操作，单位单元可以分别具有四个数据状态，即 (0, 0)、(1, 0)、(0, 1) 和 (1, 1)，且因此可存储 2 位数据。

在上述编程操作中，电阻层 122、124、126 和 128 的电阻变化区是接触深沟道 104 的部分。因此，可以仅使用低编程电流 I_{p1} 、 I_{p2} 、 I'_{p1} 或 I'_{p2} 进行编

程操作。

图6和7是用于说明根据本发明一实施例的图1的非易失性存储器件的读取操作的剖面图。

参考图6, 读电压分别施加到第一和第三位线BL1和BL3, 导通电压施加到字线, 即栅电极132, 从而形成深沟道104以连接第二掩埋电极114和第一电阻层122, 或者第四掩埋电极118和第三电阻层126。读电压可以是低电压从而不引起电阻变化, 且因此可以小于编程电压。

因此, 读电流 I_{R1} 从第一位线BL1通过第一掩埋电极112、第一电阻层122、深沟道104和第二掩埋电极114朝第二位线BL2流动。读电流 I_{R2} 从第三位线BL3通过第三掩埋电极116、第三电阻层126、深沟道104和第四掩埋电极118朝第四位线BL4流动。

因此, 可以从读电流 I_{R1} 和 I_{R2} 的水平计算第一电阻层122和第三电阻层126的电阻。如上所述, 读电流 I_{R1} 或 I_{R2} 几乎不流到第二电阻层124和第四电阻层128, 且因此可以计算第一电阻层122和第三电阻层126的电阻。因此, 可以读取第一电阻层122和第三电阻层126的数据状态即“0”或“1”。

参考图7, 读取电压分别施加到第二和第四位线BL2和BL4, 导通电压施加到字线, 即栅电极132, 从而形成深沟道104以连接第一掩埋电极112和第二电阻层124, 或者第三掩埋电极116和第四电阻层128。

因此, 读取电流 I'_{R1} 从第二位线BL2通过第二掩埋电极114、第二电阻层124、深沟道104和第一掩埋电极112朝第一位线BL1流动。读取电流 I'_{R2} 从第四位线BL4通过第四掩埋电极118、第四电阻层128、深沟道104和第三掩埋电极116朝第三位线BL3流动。因此, 可以从读电流 I'_{R1} 或 I'_{R2} 分别计算第二电阻层124和第四电阻层128的电阻。因此, 可以读取第二电阻层124和第四电阻层128每个的数据状态即“0”或“1”。

因此, 如图6和7所示, 可以通过形成深沟道104和测量第一位线BL1与第二位线BL2之间的双向电流来读取编程在单位单元的第一电阻层122和第二电阻层124中的2位数据。类似地, 可以通过形成深沟道104和测量第三位线BL3与第四位线BL4之间的双向电流 I_{R2} 和 I'_{R2} 来读取编程在第三电阻层126和第四电阻层128中的2位数据。

图8是用于说明根据本发明另一实施例的图1的非易失存储器件的读取操作的剖面图。

参考图 8, 读取电压施加到第一位线 BL1, 在半导体基板 102 中形成浅沟道 104' 从而连接第一电阻层 122 和第二电阻层 124。因此, 读取电流 I''_{R1} 从第一位线 BL1、第一掩埋电极 112、第一电阻层 122、浅沟道 104'、第二电阻层 124 和第二掩埋电极 114 朝第二位线 BL2 流动。浅沟道 104' 形成为小深度从而直接连接第一和第二电阻层 122 和 124 且不直接连接第一和第二掩埋电极 112 和 114。浅沟道 104' 可以通过提高施加到字线即栅电极 132 的导通电压来形成。

类似地, 读取电压施加到第三位线 BL3, 另一浅沟道 104' 形成在半导体基板 102 中以连接第三电阻层 126 和第四电阻层 128。因此, 读电流 I''_{R2} 从第三位线 BL3 通过第三掩埋电极 116、第三电阻层 126、浅沟道 104'、第四电阻层 128 和第四掩埋电极 118 朝第四位线 BL4 流动。

通过测量读取电流 I''_{R1} , 同时计算第一电阻层 122 和第二电阻 124 的电阻即数据状态, 通过测量读取电流 I''_{R2} , 可以同时计算第三电阻层 126 和第四电阻层 128 的电阻即数据状态。这是因为读取电流 I''_{R1} 根据第一电阻层 122 和第二电阻层 124 的电阻而改变, 且因为读取电流 I''_{R2} 根据第三电阻层 126 和第四电阻层 128 的电阻而改变。

读取电流 I''_{R1} 和 I''_{R2} 之间的不同是因为形成浅沟道 104' 的阈值电压取决于半导体基板 102 的源极电势而导致的。源极可以是第二掩埋电极 114 和/或第二电阻层 124 的端部, 或者第四掩埋电极 118 和/或第四电阻层 128 的端部。源极的电势可以根据第一电阻层 122 和第二电阻层 124 的电阻而变化, 或者根据第三电阻层 126 和第四电阻层 128 的电阻而变化。

图 10 是示出图 8 所示的图 1 的非易失性存储器件的读操作的模拟结果的曲线图。在此模拟中, 处于“0”的电阻层 122、124、126 和 128 的电阻是 $1k\Omega$, 处于“1”的电阻是 $1M\Omega$ 。

参考图 10, 当读取电压是 V_b 时, 数据状态 (1, 1)、(1, 0)、(0, 1) 和 (0, 0) 的读取电流依次增加。然而, 为了区分数据状态 (1, 0) 和 (1, 1), 读取电流可以与在 V_a 的读取电流比较。例如, V_a 可以为约 0.6V, V_b 可以为约 1V。因此, 通过比较一个或两个读取电流, 可以读取单位单元的电阻层的数据状态。例如, 可以通过比较测量的读取电流和先前已知数据状态的读取电流的值来确定数据状态。

图 9 是用于说明根据本发明一实施例的图 1 的非易失性存储器件的擦除

操作的剖面图。

参考图 9, 预定数目电阻层的数据例如第一至第四电阻层 122、124、126 和 128 的数据可以同时被擦除。这样的擦除操作称为块擦除 (block erasing) 或闪擦除 (flash erasing)。

例如, 浅沟道 104'形成为连接第一到第四电阻层 122、124、126 和 128, 擦除电压施加在第一到第四电阻层 122、124、126 和 128 的最外位线即第一和第四位线 BL1 和 BL4 之间。因此, 擦除电流从第一位线 BL1 通过第一到第四电阻层 122、124、126 和 128 流到第四位线 BL4。

第一到第四电阻层 122、124、126 和 128 的数据可以通过擦除电流被同时擦除。例如, 第一到第四电阻层 122、124、126 和 128 的电阻可以改变为低电阻, 所有数据状态可以变为“0”。擦除电压可以根据选择的第一到第四电阻层 122、124、126 和 128 的数目而变化。

在本发明的当前实施例中, 第一到第四电阻层 122、124、126 和 128 的数据可以被同时擦除, 因此获得非常高的擦除速度。

虽然参考本发明的示例性实施例具体示出并描述了本发明, 但本领域技术人员应该理解, 在不脱离由所附权利要求所限定的本发明的精神和范围内, 可以进行各种形式和细节的变化。

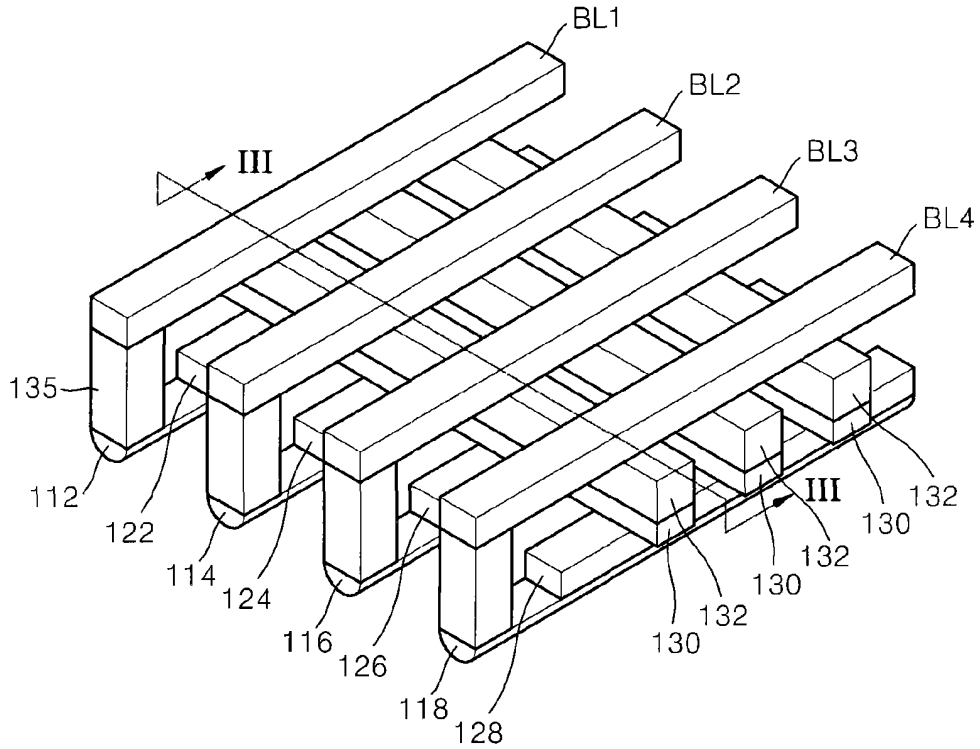


图 1

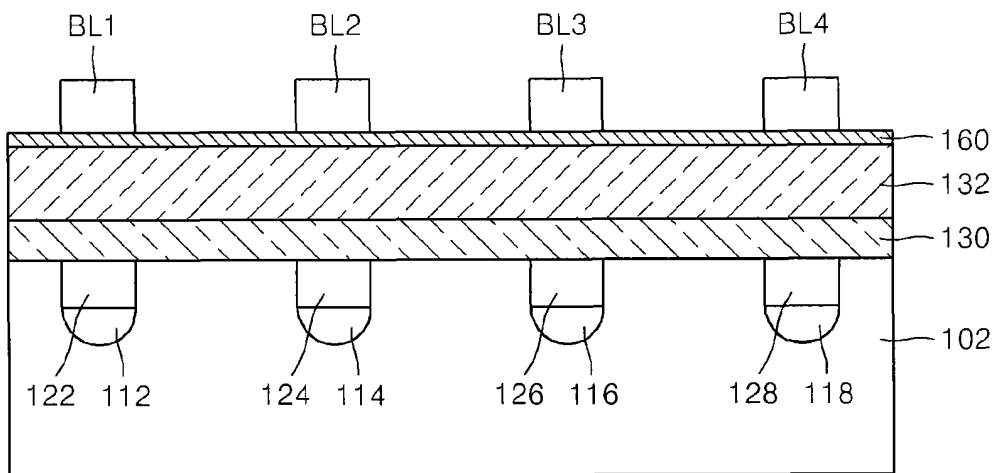


图 2

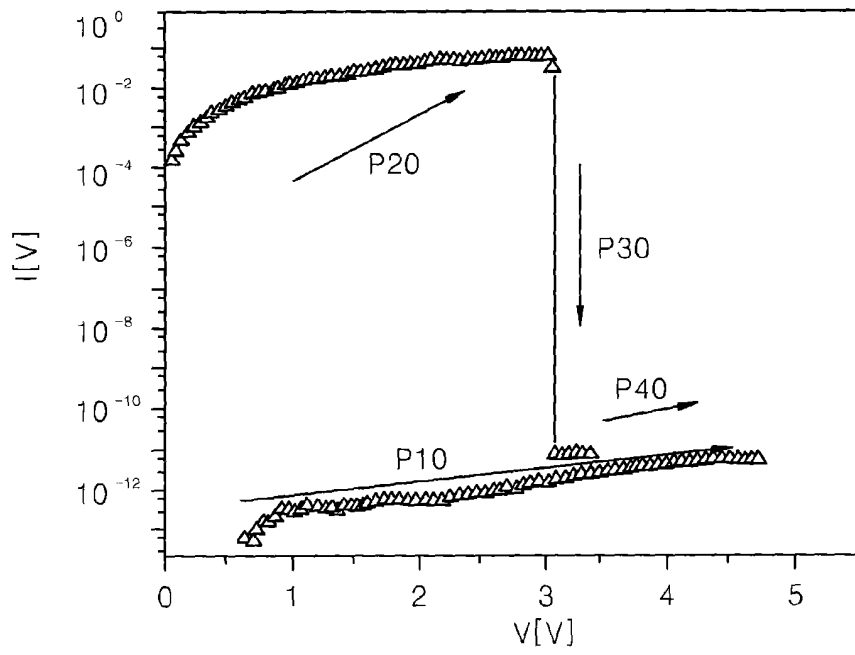


图 3

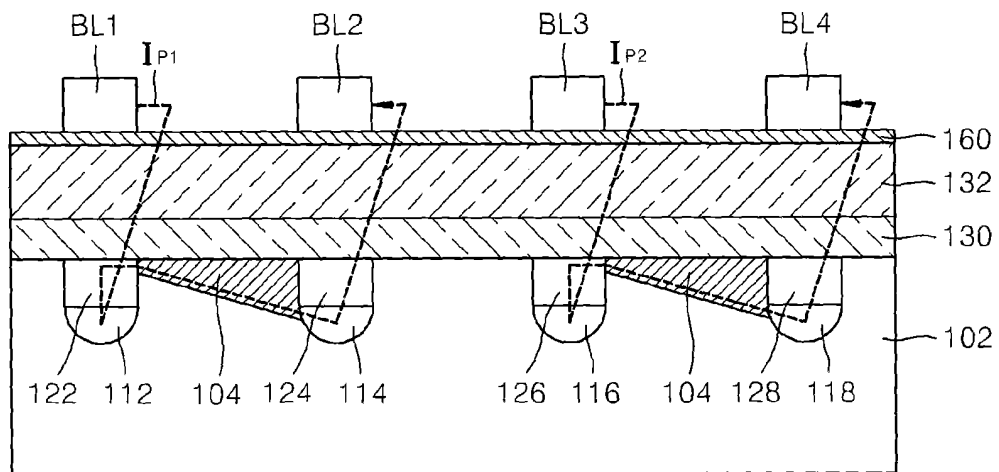


图 4

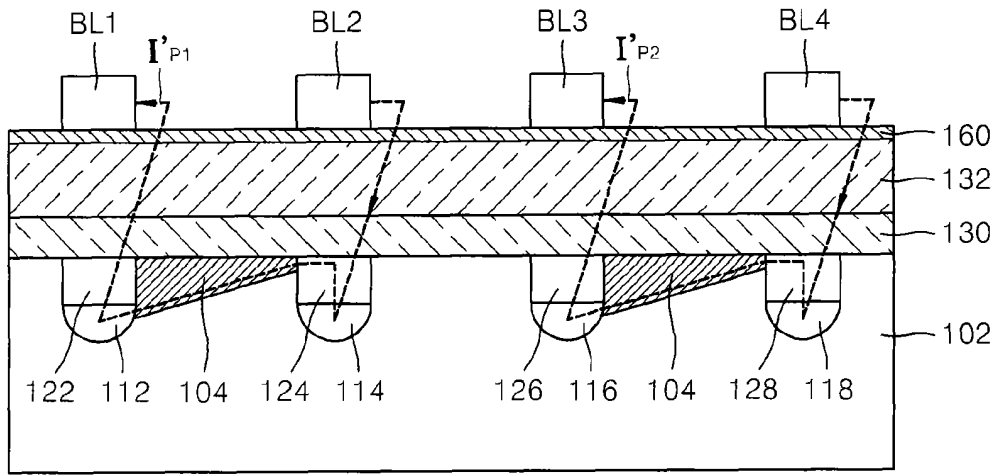


图 5

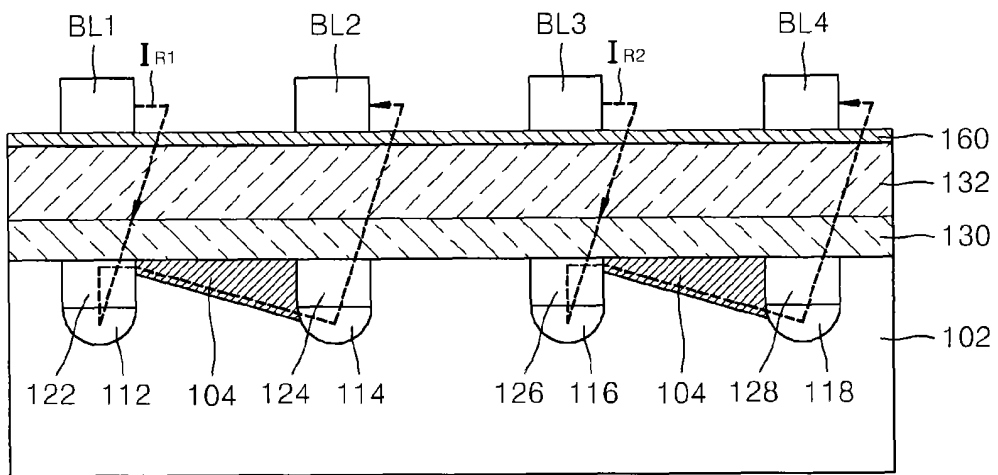


图 6

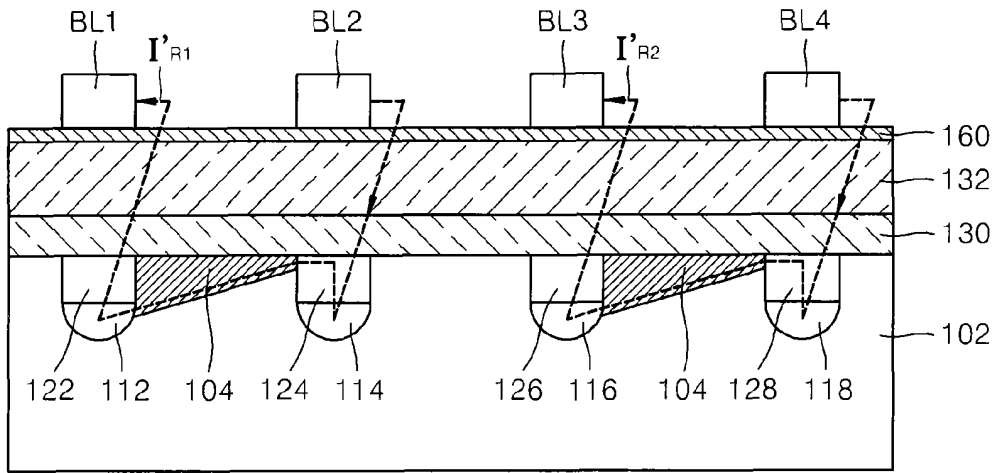


图 7

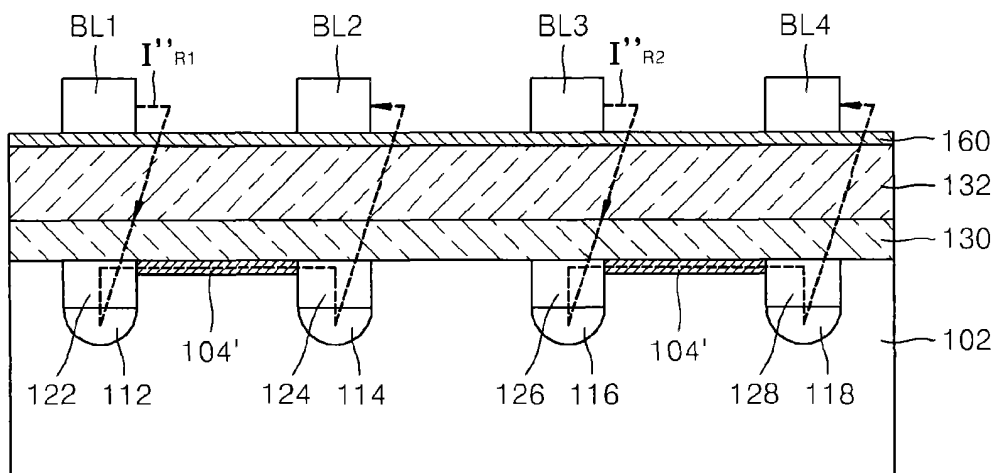


图 8

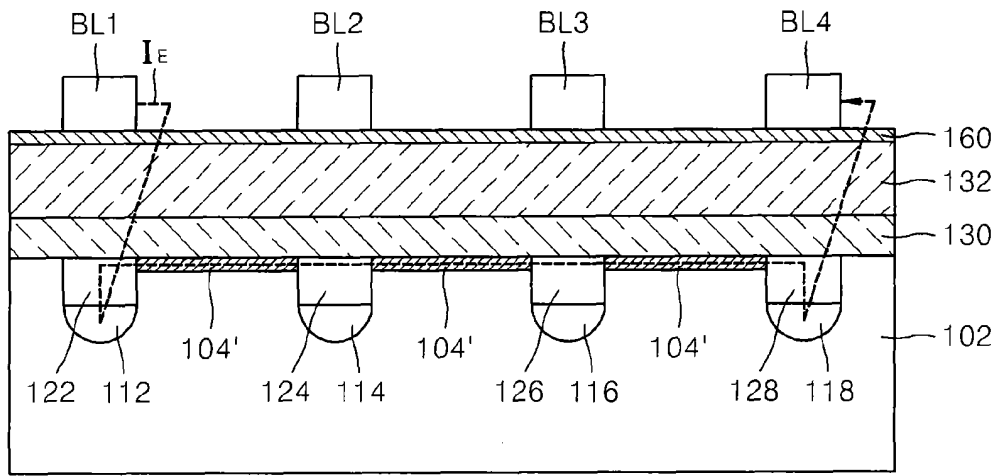


图 9

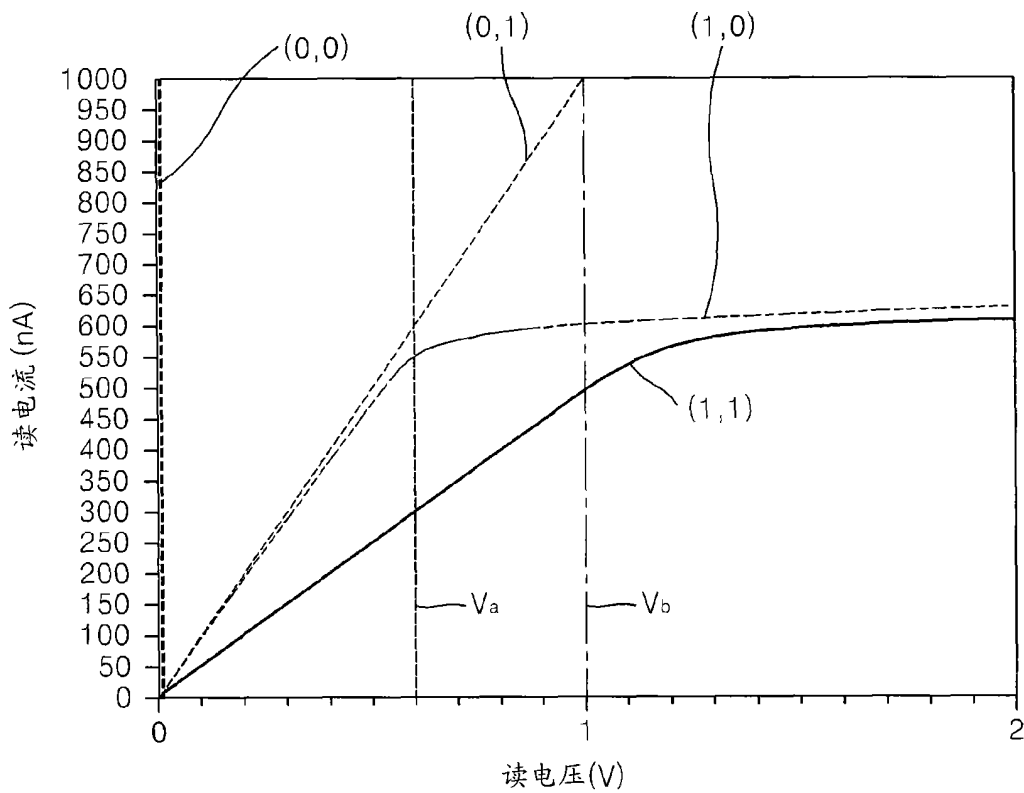


图 10