(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3601883号
(P3601883)
(45)発行日　平成16年12月15日(2004.12.15)　(24)登録日　平成16年10月1日(2004.10.1)

(51)Int.Cl.[7]　F I
G11C 11/41　G11C 11/34　K
G11C 11/401　G11C 11/34　371H

請求項の数 17　(全 18 頁)

(21)出願番号　特願平7-223207
(22)出願日　平成7年8月31日(1995.8.31)
(65)公開番号　特開平8-203276
(43)公開日　平成8年8月9日(1996.8.9)
審査請求日　平成13年11月12日(2001.11.12)
(31)優先権主張番号　特願平6-287660
(32)優先日　平成6年11月22日(1994.11.22)
(33)優先権主張国　日本国(JP)

前置審査

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100068504
弁理士　小川　勝男
(72)発明者　鮎川　一重
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　渡部　隆夫
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　中込　儀延
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所半導体事業部内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
複数のワード線と、複数のビット線と、複数のメモリセルとを含むメモリセルアレイと、演算回路と、
前記演算回路に接続されるリードパス及びライトパスと、
前記複数のビット線のうち少なくとも一つを前記リードパスに接続し、前記複数のビット線のうち少なくとも他の一つを前記ライトパスに接続するためのスイッチ回路と、
前記メモリセルアレイに接続され、Ｉ／Ｏポートを介してデータを入出力するためのシリアルアクセスメモリとを具備する半導体装置であって、
前記半導体装置は、前記メモリセルから前記リードパスを通してデータを前記演算回路へ転送するリード動作と、前記データを前記演算回路で処理する演算動作と、前記演算回路から前記ライトパスを通して前記演算動作の出力データを前記メモリセルへ転送するライト動作と、を実行することが可能であり、
前記リード動作は、前記複数のワード線のうちの１つのワード線によって選択されたメモリセルから前記複数のビット線のうちの一部を前記スイッチ回路を介して前記リードパスに接続することによって、データを読み出す動作であり、
前記ライト動作は、前記リード動作と同一の前記１つのワード線によって選択されたメモリセルに、前記複数のビット線のうちの別の一部を、前記スイッチ回路を介して前記ライトパスに接続することによって、データを書き込む動作であり、
前記半導体装置は、前記リード動作と前記ライト動作を前記１つのワード線によって選択

された期間内に並列に行うものであり、
前記半導体装置は、前記リード動作と、前記演算動作と、前記ライト動作をパイプラインで順次行い、
前記リード動作によって前記メモリセルから読み出された読み出しデータを、前記演算動作によって処理し、前記演算動作の結果を前記ライト動作によって書き込む前記メモリセルが、前記リード動作によって前記読み出しデータが格納されていたのと同一のメモリセルであることを特徴とする半導体装置。
【請求項２】
請求項１において、
前記メモリセルアレイと前記演算回路は、同一半導体チップに形成されることを特徴とする半導体装置。
【請求項３】
請求項１または２において、
前記複数のメモリセルの夫々は、ダイナミック型のメモリセルであることを特徴とする半導体装置。
【請求項４】
データを記憶するためのメモリと、
前記メモリから前記データを受け取り、演算を行い、演算結果を前記メモリに出力するための演算回路と、
前記データをＩ／Ｏポートを介して入出力するためのシリアルアクセスメモリとを具備し、
前記演算回路は、第１データを受け取る第１受取動作と、その後に第２データを受け取る第２受取動作とを有し、
前記第２受取動作後に第３データを受け取る第３受取動作と、前記第１データの演算結果を前記メモリに出力する第１出力動作とを有し、
前記第１データの演算は、前記第２受取動作と並列に実行され、前記第２データの演算は、前記第３受取動作と前記第１出力動作と並列に実行され、
前記第１出力動作は、メモリ内の前記第１データが格納されていた位置に出力するものであり、
前記第１受取動作と前記第１出力動作は、同一のワード線選択期間中に行われるものであり、
前記第３受取動作と前記第１出力動作は、前記同一のワード線で選択された複数のメモリセルのうちの互いに異なるメモリセルに対して並列に行われることを特徴とする半導体装置。
【請求項５】
請求項４において、
前記メモリは複数のダイナミック型メモリセルを含むことを特徴とする半導体装置。
【請求項６】
複数のワード線と、第１、第２及び第３ビット線と、複数のメモリセルとを有するメモリセルアレイを有する半導体装置において、
前記第１ビット線に接続される第１ノードと、前記第２ビット線に接続される第２ノードと、前記第３ビット線に接続される第３ノードと、第４及び第５ノードと、前記第１ノードを前記第４ノード又は第５ノードに接続するための第１スイッチ回路と、前記第２ノードを前記第４ノード又は第５ノードに接続するための第２スイッチ回路と、前記第３ノードを前記第４ノード又は第５ノードに接続するための第３スイッチ回路とを含む転送回路と、
前記第４ノードに接続されデータが入力される第６ノードと、前記第５ノードに接続されデータが出力される第７ノードとを含む演算回路と、
前記メモリセルアレイに接続され、Ｉ／Ｏポートを介してデータを入出力するためのシリアルアクセスメモリとを具備し、

前記半導体装置は、前記演算回路が前記第６ノードを介して、前記第１ビット線から第１データを受け取り前記第２ビット線から第２データを受け取り前記第３ビット線から第３データを受け取り、前記第１、第２及び第３データの演算結果を前記第７ノードを介して出力することを前記複数のワード線の一つが活性化されている期間内に順次行う第１動作を有し、
前記第１動作において、前記第６ノードへの前記第３データの転送と前記演算回路から前記第１ビット線への演算結果の転送は並列に行われることを特徴とする半導体装置。
【請求項７】
請求項６において、
前記第１動作において、前記第１、第２及び第３データは、前記第１、第２及び第３スイッチ回路の夫々の接続状態により前記第４ノードから前記第６ノードに転送され、前記演算結果は、前記第１スイッチ回路により前記第１ビット線に転送され、
前記第１スイッチ回路と、前記第２スイッチ回路と、前記第３スイッチ回路は、それぞれ独立な２本の信号線により制御されていることを特徴とする半導体装置。
【請求項８】
請求項６又は７において、
前記第１動作は、前記メモリセルアレイに記憶された画像のフィルタ処理であることを特徴とする半導体装置。
【請求項９】
請求項６から８の何れか一つにおいて、
前記半導体装置は、一つの半導体チップに形成されることを特徴とする半導体装置。
【請求項１０】
請求項６から９の何れか一つにおいて、
前記メモリセルアレイは、４辺形の領域を形成し、
前記演算回路は、前記４辺形の１辺に沿って配置され、
前記転送回路は、前記メモリセルアレイと前記演算回路の間に配置されることを特徴とする半導体装置。
【請求項１１】
請求項６から１０の何れか一つにおいて、
前記第１動作において、前記第３スイッチ回路が前記第３ノードと前記第４ノードを接続する際に、前記第１スイッチ回路は、前記第１ノードと前記第５ノードを接続することが可能であることを特徴とする半導体装置。
【請求項１２】
請求項６から１１の何れか一つにおいて、
前記第１ビット線と前記第２ビット線は、隣りあって配置され、前記第２ビット線と前記第３ビット線は隣りあって配置されることを特徴とする半導体装置。
【請求項１３】
請求項６から１１の何れか一つにおいて、
前記半導体装置は、第２動作を更に有し、
前記第２動作において、前記第１、第２及び第３ノードは、共通に前記第５ノードに接続され、同じ演算結果が前記演算回路から前記第１、第２及び第３ビット線に転送されることを特徴とする半導体装置。
【請求項１４】
請求項１３において、
前記第２動作において、前記複数のワード線のうち１つ又は複数が活性化されることを特徴とする半導体装置。
【請求項１５】
請求項１４において、
前記第２動作は、前記メモリセルアレイに記憶された画像データをクリアするための動作であることを特徴とする半導体装置。

【請求項１６】
複数のワード線と、複数のビット線と、複数のメモリセルを含むメモリセルアレイと、
演算回路と、
前記演算回路に接続される複数のリードパス及び複数のライトパスと、
前記複数のビット線のうち少なくとも一つを前記複数のリードパスの一つに接続し、前記複数のビット線のうち少なくとも他の一つを前記複数のライトパスの一つに接続するためのスイッチ回路とを具備し、
前記演算回路は、順次前記複数のリードパスからデータを受け取り、演算を行い、演算結果を前記複数のライトパスに出力し、
前記データの受け取りの期間に演算された前記演算結果の前記ライトパスへの出力が行われ、
前記半導体装置は、前記データの受け取りと、前記演算結果の出力とを、前記複数のうちの一つのワード線によって選択された期間内に、パイプラインで順次行い、
前記受け取り動作によって読み出された読み出しデータを、前記演算動作によって処理し、前記演算動作の結果を書き込む前記メモリセルが、前記受け取り動作によって前記読み出しデータが格納されていたのと同一のメモリセルであり、
前記複数のメモリセルは、ダイナミック型のメモリセルであることを特徴とする半導体装置。
【請求項１７】
請求項１６において、
前記メモリセルアレイと前記演算回路は、同一の半導体チップに形成されることを特徴とする半導体装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
この発明は半導体装置に係り、特に高集積メモリと複数の演算回路を１チップ上に実現したデータ処理に好適な半導体装置に関する。
【０００２】
【従来の技術】
従来、画像処理のような大量のデータを処理するためにプロセッサとメモリを１ボードに搭載し、専用の処理システムとして用いることによって高速に処理を行う半導体装置が知られている。この従来例では、メモリとプロセッサがバスを介して接続されるためバスアビトレーションが必要で、更に大量のデータにリード／演算／ライトを繰り返すと図３Ｃに示したように、リード／ライト及びその切り替えに多くの時間がかかり、データ処理の効率が上がらなかった。
【０００３】
また、更に進んだ従来例として、複数の演算回路とメモリセルアレイとを同一のチップ上に搭載し、メモリセルアレイ内の１本のワード線上のメモリセルのデータを並列に読み出して、この読み出されたデータの演算処理を並列に実行する半導体装置が知られている。この種の半導体装置としては、例えば、「相本、他”メモリ集積型プロセッサＩＭＡＰ　ＬＳＩのメモリ部回路方式”　１９９４年電子情報通信学会　春季大会講演論文集５－２６１　Ｃ－６９３」に記載されたものがある。
【０００４】
上記従来例では、２ＭｂのＳＲＡＭと６４個の並列演算回路を集積し、ＳＩＭＤ（Ｓｉｎｇｌｅ　Ｉｎｓｔｒｕｃｔｉｏｎ　ｓｔｒｅａｍ　Ｍｕｌｔｉｐｌｅ　Ｄａｔａ　ｓｔｒｅａｍ）方式により演算回路を並列に動作させている。このような半導体装置においては、メモリセルアレイと同一のチップ上に搭載した複数の演算回路を１つの命令で並列に動作させ、これを繰返し実行することにより、様々な画像データ処理を行うことができる。この画像データ処理を行う場合、データ処理に必要な演算自体はさほど難しくないが、処理すべきデータ量が膨大なため同じ計算を何回も繰り返す必要がある。

【０００５】
上記複数の演算回路とメモリセルアレイとを搭載した従来の半導体装置を用いて画像データを処理する場合、まず、メモリセルに書き込まれているデータを読み出し、次にＳＩＭＤ型演算回路を用いて必要な演算を行い、最後に、演算結果をメモリセルに書き込むという動作が繰り返し実行される。ここで、読み出しに必要な時間をｔｒ、演算に必要な時間をｔｃ、書き込みに必要な時間をｔｗとする。上記従来の半導体装置では、読み出し、演算、書き込みの一連の動作を逐次行なうとすると、所要時間は合計で（ｔｒ＋ｔｃ＋ｔｗ）となり、これをｍ回繰り返し行なった場合に必要な時間はｍ×（ｔｒ＋ｔｃ＋ｔｗ）となる。
今後、半導体製造技術の進展により微細化が進んで演算回路の高速動作が期待できるので、演算内容が同じなら演算に必要な時間ｔｃの短縮は可能である。
【０００６】
【発明が解決しようとする課題】
しかしながら、前述した複数の演算回路とメモリセルアレイを同一チップ上に集積した従来の半導体装置によれば、半導体製造技術の進展により微細化が進んだとしても、メモリセルアレイに関しては、演算回路の場合とは逆に微細になればなるほど、メモリセルからの信号量を大きくとることが困難となるため、読み出し、書き込みに要する時間ｔｒ及びｔｗをあまり短縮することができない。このため、メモリセルから読み出したデータに演算処理を加え、同じメモリセルに書き戻す動作を繰返す画像データ処理の場合には、読み出し時間ｔｒ、書き込み時間ｔｗによってデータ処理の動作が律速されてしまうという問題点がある。
【０００７】
そこで、本発明の目的は、画像データ処理のように繰り返し同じ演算をする場合のデータ処理時間の高速化を図ることができると共に、消費電力の低減も可能な半導体装置を提供することにある。
【０００８】
また、本発明の他の目的は、画像データ処理専用のみならず通常のメモリとして主記憶にも使用できたり、或いは画像データ処理部分と通常のメモリ部分との分割使用もできる多用途に使用可能な半導体装置を提供することにある。
【０００９】
【課題を解決するための手段】
前述した課題を解決するため、本発明に係る半導体装置は、複数のデータ線と複数のワード線の交差部に配置された複数のメモリセルを有するメモリセルアレイと、該メモリセルアレイ内の異なる複数のメモリセルに記憶されている情報をワード線に交差する異なる複数のデータ線に読み出すためにワード線の少なくとも１本を選択するデコーダと、少なくとも１つの演算回路と、該演算回路とメモリセルアレイとの間のデータ転送を行なうデータ転送回路と、少なくともデータ転送回路とデコーダと演算回路を制御する制御回路とを１チップに集積した半導体装置において、前記データ転送回路が、前記デコーダにより選択されたワード線と交差する複数のデータ線の内の一部のデータ線への書き込みと他の一部のデータ線からの読み出しとを少なくとも一部同一時間内に行なうことができるように、リードパスとライトパスをそれぞれ独立して有することを特徴とするものである。
【００１０】
前記半導体装置において、前記データ転送回路は、複数のデータ線の内の所要本数のデータ線を選んで、該データ線上に読み出された各データを演算回路へ読出す機能と、該読み出し機能とは独立に、前記複数のデータ線の内の所要本数のデータ線を選んで、該データ線を介して演算回路からメモリセルへ書き込む機能とを有することができる。
【００１１】
また、前記データ線上に読み出された各データを演算回路へ読出す機能は、リードパスと各データ線との間にそれぞれ設けた前記制御回路からの信号により制御されるスイッチからなり、前記データ線を介して演算回路からメモリセルへ演算結果を書き込む機能は、ラ

イトパスと各データ線との間にそれぞれ設けた前記制御回路からの信号により制御されるスイッチから構成することができる。

【００１２】

更に、前記データ転送回路は、複数のデータ線を所要本数ずつに分割して構成した複数のブロックと、各ブロックに対し設けられた１本もしくは１対のリードパス及び１本もしくは１対のライトパスと、各ブロック内のそれぞれのデータ線と各ブロックのリードパス及びライトパスとの間にそれぞれ設けたリードパスへの接続、ライトパスへの接続、オープンのいずれかの接続状態に前記制御回路により制御されるスイッチとから構成すれば好適である。

【００１３】

また更に、前記データ転送回路は、前記各ブロックがそれぞれ更に少ない本数ずつのデータ線に分割した小ブロックに分割されると共に、各小ブロック内のそれぞれのデータ線と各小ブロックのリードパス側及びライトパス側にそれぞれ設けたリードパス接続線への接続、ライトパス接続線への接続、オープンのいずれかの接続状態に前記制御回路により制御されるスイッチと、各小ブロックの前記各リードパス接続線とリードパスとの間にそれぞれ設けた前記制御回路によりオン／オフするスイッチと、各小ブロックの前記各ライトパス接続線とライトパスとの間にそれぞれ設けた前記制御回路によりオン／オフするスイッチとから構成してもよい。

【００１４】

また、前記半導体装置のいずれにおいても、前記メモリセルアレイに記憶したデータを外部から直接アクセスする機能を備えるように構成することもできる。

【００１５】

更に、本発明に係る半導体装置は、ワード線と、該ワード線に交差する第１及び第２のデータ線と、前記ワード線と第１及び第２のデータ線との交点にそれぞれ設けられた第１及び第２のメモリセルと、演算回路と、該演算回路の入力端子に接続されたリードパスと、前記演算回路の出力端子に接続されたライトパスと、前記第１のデータ線と前記リードパス又はライトパスとの接続を行う第１のスイッチ手段と、前記第２のデータ線と前記リードパス又はライトパスとの接続を行う第２のスイッチ手段とを具備し、前記ワード線が活性化されている間に、前記第１のスイッチ手段は前記第１のデータ線と前記リードパスとの接続を行い、前記第２のスイッチ手段は前記第２のデータ線と前記ライトパスとの接続を行うことを特徴とするものである。

【００１６】

【作用】

本発明に係る半導体装置によれば、データを保持しておくメモリセルアレイとデータを受取り演算を行う演算回路との間で、データ転送回路はメモリセルのデータを演算回路へ送るリードパスと演算回路からメモリセルへデータを送るライトパスを別々に持つことによって、メモリセルアレイの出力を演算回路に転送すると同時に演算回路の出力をメモリセルアレイへ転送することを可能とする。すなわち、リードパスとライトパスが独立していることにより、メモリセルアレイと演算回路間で別々のデータ線を選択して読み出し動作と書き込み動作を一部同一時間内に重なりあってそれぞれ実行することができる。従って、メモリセルからデータを読み出し、演算を行い、結果をメモリセルに書き戻すという処理を繰返し行う場合において、リードパスとライトパスを別々に持っているのでデータの読み出しと書込みを同時に行うことができる。このため、一連の処理をｍ回繰り返す場合に従来必要であった処理時間ｍ×（ｔｒ＋ｔｃ＋ｔｗ）を、例えば読み出しと書き込みを演算時間ｔｃ内に行なうことによって見かけ上ｔｒ＋ｍ×ｔｃ＋ｔｗに短縮することが可能となる。

【００１７】

また、リードパスと各データ線との間にそれぞれ設けた前記制御回路からの信号により制御されるスイッチは、リードパスとデータ線とを接続することによって、前記複数のデータ線の内の選択された所要本数のデータ線上に読み出されたデータを演算回路へ読出すこ

とができ、ライトパスと各データ線との間にそれぞれ設けた前記制御回路からの信号により制御されるスイッチは、前記複数のデータ線の内の選択された所要本数のデータ線を介して演算回路からメモリセルへ演算結果を書き込むことができる。

【００１８】

更に、前記データ転送回路は、複数のデータ線を所要本数ずつに分割して構成した複数のブロックと、各ブロックに対し設けられた１本もしくは１対のリードパス及び１本もしくは１対のライトパスと、各ブロック内のそれぞれのデータ線と各ブロックのリードパス及びライトパスとの間にそれぞれ設けた制御回路によりリードパスへの接続、ライトパスへの接続、オープンのいずれかの接続状態に制御されるスイッチとから構成することにより、１つのブロックからのデータ線をリードパスに接続してメモリセルからデータを読み出すことができると同時に、同一ブロック内のデータ線をライトパスに接続して演算回路の演算結果をメモリセルに書き込むことができる。

【００１９】

また更に、前記データ転送回路は、前記各ブロックがそれぞれ更に少ない本数ずつのデータ線に分割した小ブロックに分割されると共に、各小ブロック内のそれぞれのデータ線と各小ブロックのリードパス側及びライトパス側にそれぞれ設けたリードパス接続線への接続、ライトパス接続線への接続、オープンのいずれかの接続状態に前記制御回路により制御されるスイッチと、各小ブロックの前記各リードパス接続線とリードパスとの間にそれぞれ設けた前記制御回路によりオン／オフするスイッチと、各小ブロックの前記各ライトパス接続線とライトパスとの間にそれぞれ設けた前記制御回路によりオン／オフするスイッチとから構成してリードパスとライトパスとが階層化され、スイッチを制御するための信号線の数を少なくすることができる。

【００２０】

また、前記メモリセルアレイに記憶したデータを外部から直接アクセスする機能を備えることにより、本発明に係る半導体装置を画像処理専用に用いると共に、必要に応じて通常のメモリとしても使用でき、或いはメモリセルアレイのうち画像処理に必要な数のメモリセルだけを演算回路専用に用い、残りの部分を通常のメモリに使用するなどの多用途に１チップで対応することができる。

【００２１】

【実施例】

次に本発明に係る半導体装置の実施例について、添付図面を参照しながら以下詳細に説明する。

【００２２】

＜実施例１＞

図１は、本発明に係る半導体装置の一実施例を示す基本的な回路構成のブロック図である。図１において参照符号１０はメモリセルアレイを示し、このメモリセルアレイ１０はｎ本のワード線ＷＬｉ（ｉ＝１～ｎ）とｍ本のデータ線ＤＬｊ（ｊ＝１～ｍ）の各交点に配置されたｉ行ｊ列のメモリセルC_{ij}から構成されるＤＲＡＭセルアレイであり、各ワード線ＷＬｉはメモリセルアレイ１０内のアクティブとなるメモリセルC_{ij}を選択するためのデコーダ７０に接続される。また、デコーダ７０には、外部からアドレス指定が可能なように入力ポート７１が接続される。各データ線ＤＬｊは、Ｉ／Ｏポート６１を介して外部とのデータ転送を行うシリアルアクセスメモリ６０に接続されると共に、メモリセルアレイ１０から読出した信号を増幅および保持するセンスアンプ２０を介して複数のブロックに分割され、そして各ブロックに対応した複数のデータ転送回路３０に接続される。各データ転送回路３０は、対応する各演算回路４０に接続されて、メモリセルアレイ１０から読み出したデータをそれぞれの演算回路４０に転送する。各演算回路４０は、Ｉ／Ｏポート５１を介して外部とのデータの転送を行うシリアルアクセスメモリ５０に接続される。さらに、全体を制御する制御回路８０がＩ／Ｏポート８１を介して外部と接続されると共に上記各回路２０，３０，４０，５０，６０，７０に接続される。そして、上記各回路やＩ／Ｏポート等が１つのシリコンチップ９０上に集積化されている。

【００２３】
このように構成される本発明に係る半導体装置の動作を、以下に説明する。
この半導体装置は、チップ９０の外部からＩ／Ｏポート５１及びシリアルアクセスメモリ５０を介して入力されたデータと、メモリセルアレイ１０内のデータに対して、演算回路４０を用いてデータ処理を行うことができる。Ｉ／Ｏポート８１を通して外部から命令とクロックを受けた制御回路８０は、クロックに従ってデコーダ７０、センスアンプ２０、データ転送回路３０、演算回路４０、シリアルアクセスメモリ５０、シリアルアクセスメモリ６０の動作を制御する。制御回路８０から命令を受けたデコーダ７０は、入力ポート７１又は制御回路８０により指定されたアドレスに従って選択されたワード線ＷＬｉを立ち上げて、メモリセルアレイ１０内のｉ行のメモリセル列C_{i1}，C_{i2}，C_{i3}，……C_{im}をアクティブにする。アクティブとなったメモリセルの内容は、各メモリセルと接続されたそれぞれのデータ線ＤＬ１～ＤＬｍを介して取り出され、センスアンプ２０によって増幅されると共に保持される。各データ転送回路３０は、制御回路８０によって選択された信号線ＳＳ１，ＳＳ２，ＳＳ３，……ＳＳｑに従ってｉ行のメモリセル列C_{i1}，C_{i2}，C_{i3}，……C_{im}の内容を演算回路４０に送る。
【００２４】
ここで、データ転送回路３０の詳細な構成を図２に示す。尚、図１における複数のデータ転送回路３０の１つ分だけを示した。データ転送回路３０は、リードパスとライトパスを各１本ずつとｑ本のデータ線とを１ブロックとして、全体でｐブロックから構成される。各ブロックは、ブロック内のｑ本のデータ線の中からリードパスとライトパスにそれぞれ１本ずつ接続できる。
【００２５】
１本のワード線ＷＬｉが立ち上げられてｉ行のメモリセル列C_{i1}～C_{im}の内容がデータ線ＤＬ１～ＤＬｍにより取り出され、センスアンプ２０によって増幅されると共に保持されると、センスアンプ２０を介して各データ転送回路３０に接続された各データ線ＤＬ１～ＤＬｍ上にデータが現れる。図２に示したデータ転送回路３０には、データ線ＤＬ１～ＤＬｐｑのｐ×ｑ本が接続されているので、データ線ＤＬ１～ＤＬｐｑ上にデータが現れる。
【００２６】
例えば、制御回路８０から出力された信号線ＳＳ１の信号に従って第１ブロック～第ｐブロック内の各スイッチ$S_1$１，$S_2$１，$S_3$１，……S_p１が、それぞれリードパスＲ１，Ｒ２，Ｒ３，……Ｒｐ側に接続されるとする。これにより、データ線ＤＬ１，ＤＬｑ＋１，ＤＬ２ｑ＋１，……ＤＬ（ｐ－１）ｑ＋１上のデータがリードパスＲ１，Ｒ２，Ｒ３，……Ｒｐを通して演算回路４０に転送される。演算回路４０は、データ転送回路３０から送られてきたデータと、チップ９０の外部からＩ／Ｏポート５１を介してシリアルアクセスメモリ５０へ入力されたデータとを用いて所要の演算を行い、演算結果をそれぞれのライトパスＷ１，Ｗ２，Ｗ３，……Ｗｐに出力する。
【００２７】
演算結果のデータを、読み出してきた各メモリセルにデータを書き戻す場合は、その演算に対して予め決められた所定の演算時間が経過したら、制御回路８０は信号線ＳＳ１に信号を送り、上記各スイッチ$S_1$１，$S_2$１，$S_3$１，……S_p１をそれぞれライトパスＷ１，Ｗ２，Ｗ３，……Ｗｐ側に接続する。これにより、演算回路４０はデータ転送回路３０を通して各メモリセルC_{i1}，$C_{i(q+1)}$，$C_{i(2q+1)}$，……$C_{i((p-1)q+1)}$に演算結果の書き込みを行う。
【００２８】
尚、各スイッチ$S_1$１，$S_2$１，$S_3$１，……S_p１は、制御回路８０からの信号に応じてリードパス側、ライトパス側、及びオープンのいずれかの接続状態をとるスイッチであり、通常はオープン状態である。また、所定の演算時間が経過した時に制御回路８０が信号線ＳＳ１～ＳＳｑに信号を送る代わりに、演算が終了したことを示す信号を制御回路８０へ送るように演算回路４０を構成してもよい。その場合、この演算終了信号によって制

御回路８０による信号線ＳＳ１～ＳＳｑの制御が容易になるため、制御回路８０の設計が簡略化できる。すなわち、演算回路４０に複雑な演算を行えるように変更した場合でも、予めその複雑な演算の所要時間を見積り、設計し直すという必要が無くなり、制御回路８０をそのまま変更せずに使用することができる。

【００２９】

ここでは、読み出しを行なったメモリセルにデータを書き戻す場合について説明したが、他のメモリセルに書き込むことも容易である。その場合は、信号線ＳＳ１，ＳＳ２，……ＳＳｑによって所要のデータ線に接続するスイッチを選択すればよい。さらに、複数のメモリセルに同じデータを書き込む場合は、複数の信号線ＳＳ１，ＳＳ２，……ＳＳｑによって複数のスイッチを１つのライトパスに接続すればよい。

【００３０】

このように、本実施例の半導体装置によれば、演算回路がライトパスを介してメモリセルに書き込みを行っている最中に、リードパスを用いて別のメモリセルから必要なデータを読み出して来ることができる。例えば、各データ転送回路３０は、それぞれのライトパスＷ１，Ｗ２，Ｗ３，……Ｗｐを通してメモリセルC_{i1}，$C_{i(q+1)}$，$C_{i(2q+1)}$，……$C_{i((p-1)q+1)}$にデータの書き込みを行うための経路を、制御回路８０からの信号線ＳＳ１の信号により、各スイッチ$S_1 1$，$S_2 1$，$S_3 1$，……$S_p 1$をそれぞれのライトパス側に接続すると同時に、信号線ＳＳ２の信号により各スイッチ$S_1 2$，$S_2 2$，$S_3 2$，……$S_p 2$をそれぞれのリードパス側に接続し、データ線ＤＬ２，ＤＬｑ＋２，ＤＬ２ｑ＋２，……ＤＬ（ｐ－１）ｑ＋２をリードパスＲ１，Ｒ２，Ｒ３，……Ｒｐに接続する。これにより、メモリセルC_{i2}，$C_{i(q+2)}$，$C_{i(2q+2)}$，……$C_{i((p-1)q+2)}$のデータを読み出し演算回路４０に転送することができる。必要に応じて、このような書き込み及び読み出し動作を順次繰り返して、デコーダ７０により選択されたワード線ＷＬｉによってアクティブとなっているｉ行のメモリセル列C_{i1}，C_{i2}，C_{i3}，……C_{im}にあるデータの処理を行えばよい。更に、他のワード線を立ち上げて他の行のメモリセル列についても同様に処理を行うことにより、メモリセルアレイ１０内の全てのデータについて処理を行うことができる。

【００３１】

１本のワード線を立ち上げることにより、アクティブとなった各メモリセル内にあるデータが、前述したように順次処理されて行く様子の一例を、図３Ａに模式的に示す。同図において、横軸は時間の経過を表し、上段にはリードパスＲ１に接続されるデータ線名と読み出しにかかる時間、中段には演算回路４０によるデータ処理時間、および下段にはライトパスＷ１に接続されるデータ線名と書き込みにかかる時間がそれぞれ示されている。

【００３２】

データの流れは破線の矢印で示されていて、例えばリードパスＲ１に接続されたデータ線ＤＬ１からｔｒ時間かけてメモリセルから読み出されたデータは、演算回路４０でｔｃ時間の間に処理され、ライトパスＷ１及びデータ線ＤＬ１を通してｔｗ時間かかって再びメモリセルに書き込まれる。図３Ａを縦方向にデータの流れで見ると、例えば、リードパスＲ１にデータ線ＤＬ３が接続されているときに、演算回路４０ではデータ線ＤＬ２から転送されたデータを処理しており、ライトパスＷ１ではデータ線ＤＬ１から転送されて演算回路４０で処理されたデータをデータ線ＤＬ１に転送している。すなわち、メモリセルからの読み出し、データの演算、メモリセルへの書き込みの一連の動作が一度に行われており、見かけ上データ処理に要する時間が短縮されている。

【００３３】

メモリセルからの読み出し時間ｔｒ、データの演算時間ｔｃ、メモリセルへの書き込み時間ｔｗのうち、データの演算時間ｔｃが最も長いとすれば、１ブロック分のｑ本のデータ線ＤＬ１，ＤＬ２，……ＤＬｑ上に現れているｑ個のデータを全て処理するのにかかる時間は、（ｔｒ＋ｑ×ｔｃ＋ｔｗ）となり、高速なデータ処理が可能である。また、読み出し時間ｔｒ、演算時間ｔｃ、書き込み時間ｔｗのうち、読み出し時間ｔｒあるいは書き込み時間ｔｗが最も長い場合の処理時間は、それぞれ（ｑ×ｔｒ＋ｔｃ＋ｔｗ）、（ｔｒ＋

ｔｃ＋ｑ×ｔｗ）となり、いずれにしても前述した従来例の半導体装置の場合には処理時間が、ｑ×（ｔｒ＋ｔｃ＋ｔｗ）となるのに比べて高速なデータ処理が可能である。

【００３４】

図３Ｂには、上記処理を行った場合のタイミングチャートを示した。１本のワード線が立ち上がっている間に、リードパス／ライトパスを通して読出し／書込みが一部同時に行われている。例えば、データ線ＤＬ３からのデータが演算回路のリードパスＲ１に伝達されているのと同時に演算回路のライトパスＷ１からデータ線ＤＬ１に演算結果のデータが伝達されている。なお、この動作は先にデータ線ＤＬ２から読みだしたデータを演算回路で処理する動作と並行して行われている。

【００３５】

一方、従来例の図３Ｃを見ると、ワード線を立ち上げてデータ線ＤＬ１’からのデータをリードし、ワード線を立ち下げ、プロセッサがデータ処理をした後、再度ワード線を立ち上げてライトを行い、ワード線を立ち下げて、またワード線を立ち上げて次のデータ線ＤＬ２’からのデータをリードするという作業を行っている。このような作業は、バスアビトレーションにより行われるものであり、通常のメモリチップとプロセッサチップがバスで接続されている場合には避けられないものである。

【００３６】

従って、本発明における動作を従来例と比べると、本発明ではバスアビトレーションの必要がなく、リード／ライトの切り替え時間が必要ないこと、ワード線の再立ち上げの必要がないこと等の利点があげられる。従って、本発明は高速なデータ処理が可能であることがわかる。

【００３７】

更に、データ転送回路３０では読み出しと書き込みを独立に行うことができるので、目的に合わせてここで説明した以外のタイミングで動作させることも容易である。例えば、データ線ＤＬ１，ＤＬ２，ＤＬ３から連続してデータを読み出し、３つのデータを用いて演算を行った後にデータ線ＤＬ１に書き込むと言ったタイミングでの動作も可能であり、これは画像のフィルタ処理の場合に適している。

【００３８】

また、画像用メモリには、画面をクリアするために高速にメモリセルに一定のデータを書き込みたいという要求があるが、この要求を満足するためにもデータ転送回路３０は有効である。この場合は、予め書き込みたいデータをライトパスに出力しておき、複数のデータ線を同時にライトパスに接続させればよい。これによって、一度に複数のメモリセルに同時にデータを書き込むことができる。必要ならば複数のワード線を同時に立ち上げることによって、さらに多くのメモリセルに同時に一度にデータを書き込むことも可能となるので、画面のクリアを高速化することができる。

【００３９】

本実施例のデータ転送回路３０によれば、一旦立ち上げたワード線によってアクティブとなったメモリセル列内のデータを、ワード線を立ち上げたまま順次処理することができるので、ワード線の立上げ回数とセンスアンプの動作回数を減らすことになり、データ処理の高速化と消費電力の低減に効果がある。また、例えば、信号線ＳＳ１により接続される一連のデータ線ＤＬ１，ＤＬｑ＋１，ＤＬ２ｑ＋１，……ＤＬ（ｐ－１）ｑ＋１で選択されたメモリセル群からデータを読み出すと同時に、別の信号線ＳＳ２により接続される一連のデータ線ＤＬ２，ＤＬｑ＋２，ＤＬ２ｑ＋２，……ＤＬ（ｐ－１）ｑ＋２で選択されたメモリセル群に対して書き込みを行うことができるため、演算回路４０に読み出し／書き込みのための時間待ちをさせる必要がなく、高速なデータ処理ができる。

【００４０】

更に、チップ９０のレイアウト上で、メモリセルアレイ１０のデータ線のピッチと、１つの演算回路４０の幅とに大きな隔たりがある場合は、実際にチップ９０を設計する上で、データ線のピッチを演算回路４０の幅に合わせる必要が生ずるが、本実施例の半導体装置によれば、データ転送回路３０によってデータ線ピッチがｑ対２に緩和できる。したがっ

て、この比をピッチの隔たりに合わせて設定することにより、演算回路４０とメモリセルアレイ１０を高密度にレイアウトすることができる。

【００４１】

また、本実施例の半導体装置は通常のメモリとして用いることも可能である。その場合、制御回路８０がＩ／Ｏポート８１を通して外部から制御信号とクロックを受け取り、クロックに従ってセンスアンプ２０、デコーダ７０、シリアルアクセスメモリ５０及び６０を制御する。アドレスは入力ポート７１より入力され、データの入出力はシリアルアクセスメモリ５０及び６０によってＩ／Ｏポート５１及び６１を通して行われる。従って、本実施例の半導体装置を普段は画像処理専用にしておいて、必要が生じたときには通常のメモリとしてシステムの主記憶に用いる等といった時分割で用途を変える使い方も可能であり、この半導体装置を用いることによってより小さなシステム構成が可能である。

【００４２】

さらに、メモリセルアレイ１０の領域を通常のメモリとして用いる部分と演算回路４０で専用に用いる部分とに分けて使用することもできる。例えば、画像処理に応用した場合は処理する画像の性質、画面のサイズ、表示するスピード等に対応するために、演算回路４０で専用に用いるメモリサイズをシステムによって変更したいことがある。そのような場合は全体のメモリサイズの内、画像処理に必要なメモリだけを演算回路専用に用いて画像処理を行ない、残りの部分を通常のメモリとしてシステムの主記憶に用いればよい。

【００４３】

このように、１チップで多様な用途に対応できるため、チップ設計にかかる労力、時間を節約できる。しかも、不要なメモリをシステムの主記憶用に使えるため、より小さなシステム構成が可能な他、画像処理を本実施例の半導体装置と他のプロセッサとで並列に行うことができ、より高速な処理が可能である。

【００４４】

また、画像をディスプレイに表示する場合や、メモリに格納されている画像データを逐次処理していくような場合には、メモリセルアレイ１０全体に対してデータ処理が行なわれる。通常はメモリセルにＤＲＡＭを用いるとリフレッシュが必要となるが、上記のような場合でメモリセルの情報保持時間よりメモリセルアレイ全体をアクセスする時間が短い場合にはリフレッシュを行なう必要がない。従って、この様な場合にはメモリセルにＤＲＡＭを用いてもリフレッシュサイクルが不要なため、より高速な動作が期待できる上に、リフレッシュのための回路が必要なくなるため、リフレッシュ回路を省略してチップサイズを低減することもできる。

【００４５】

ここで、図２に示したデータ転送回路３０で使用するスイッチ$S_{j}k$（ｊ＝１～ｐ，ｋ＝１～ｑ）をＭＯＳトランジスタを用いて構成した場合について、スイッチ$S_{1}1$を例として図６に示す。図６においてスイッチ$S_{1}1$は、２つのＭＯＳトランジスタＴｒＲとＴｒＷから構成される。この構成例では、スイッチ$S_{1}1$を制御する信号線ＳＳ１は、各ＭＯＳトランジスタのゲートに入力される必要があるので、リードパス接続用の信号線ＳＳ１Ｒとライトパス接続用の信号線ＳＳ１Ｗの２本となる。信号線ＳＳ１ＲによってＭＯＳトランジスタＴｒＲがオンになるとデータ線ＤＬ１がリードパスＲ１に接続され、信号線ＳＳ１ＷによってＭＯＳトランジスタＴｒＷがオンになるとデータ線ＤＬ１がライトパスＷ１に接続される。

【００４６】

また、本実施例の半導体装置において、センスアンプ２０に差動増幅器を用いて、データ線ＤＬ１，ＤＬ２，……ＤＬｑを、それぞれ２本１組としたデータ線対ＤＬ１Ｔ，ＤＬ１Ｂ，ＤＬ２Ｔ，ＤＬ２Ｂ，……ＤＬｑＴ，ＤＬｑＢにして、相異なった信号を転送する構成としたい場合がある。このような場合には、データ転送回路３０で使用するスイッチ$S_{j}k$（ｊ＝１～ｐ，ｋ＝１～ｑ）として、図７に示す構成とすることができる。尚、図７はスイッチ$S_{1}1$を例として示してある。この場合スイッチ$S_{1}1$は、４つのＭＯＳトランジスタＴｒＲＴ，ＴｒＷＴ，ＴｒＲＢ，ＴｒＷＢから構成される。データ線対ＤＬ１Ｔ

，ＤＬ１Ｂに対応して、リードパスＲ１及びライトパスＷ１も、それぞれリードパス対Ｒ１Ｔ，Ｒ１Ｂ及びライトパス対Ｗ１Ｔ，Ｗ１Ｂの２本ずつとなる。信号線ＳＳ１は、図６と同様にリードパス接続用の信号線ＳＳ１Ｒとライトパス接続用の信号線ＳＳ１Ｗの２本となる。ＭＯＳトランジスタＴｒＲＴとＴｒＲＢが共に信号線ＳＳ１Ｒによってオンとなると、データ線対ＤＬ１ＴとＤＬ１Ｂがそれぞれ対応するリードパス対Ｒ１Ｔ，Ｒ１Ｂに接続される。データ線対ＤＬ１ＴとＤＬ１Ｂをそれぞれ対応するライトパス対Ｗ１Ｔ，Ｗ１Ｂに接続するには、信号線ＳＳ１ＷによってＭＯＳトランジスタＴｒＷＴ，ＴｒＷＢを共にオンさせれば良い。

【００４７】

また、リードパスとライトパスの両方共対にする必要がない場合には、スイッチ$S_1$１は図８に示した構成にしても良い。図８の構成は、データ線対のピッチが狭く、図７の構成例ではトランジスタを配線配置しにくい場合に好適である。ここでは、リードパスを対に、ライトパスを１本の場合を示したが、必要に応じてリードパスを１本、ライトパスを対にしても良いことは勿論である。

【００４８】

以上、図６～図８を用いて、ｎＭＯＳトランジスタを用いてスイッチS_jｋ（ｊ＝１～ｐ，ｋ＝１～ｑ）を構成した場合を例に示したが、必要に応じてｐＭＯＳトランジスタを用いても良いし、ＣＭＯＳトランジスタによる構成にしても良いことは言うまでもない。

【００４９】

＜実施例２＞

図４は、本発明に係る半導体装置の別の実施例を示す基本的な回路構成のブロック図である。なお、実施例１の図１に示した構成部分と同一の構成部分には、説明の便宜上、同一の参照符号を付してその詳細な説明は省略する。すなわち、本実施例では、データ転送回路の構成と、これを制御する制御回路にｐ本の信号線ＳＳＲ１～ＳＳＲｐとｐ本の信号線ＳＳＷ１～ＳＳＷｐとを追加して、リードパスとライトパスを階層化している点が相違する。

【００５０】

ここで、本実施例のデータ転送回路３２の詳細な構成を図５に示す。尚、図５に示した転送回路３２は、図４における複数のデータ転送回路３２の１つ分のうちの一部だけであり、実施例１の図２に示したデータ転送回路３０のブロック１つ分（一例として、図２の第１ブロックを示す。）に相当する。このデータ転送回路３２は、ｑ本のデータ線を更にｙ本ずつの小ブロックとして全体でｘ個の小ブロックから構成し、各小ブロックのｙ本のデータ線は、制御回路８２からの信号線ＳＳＲ１～ＳＳＲｘの信号により、接続又は開放の２状態をとるそれぞれの小ブロックに対応する各１個のスイッチＳＲ１～ＳＲｘを介して１本のリードパスＲ１に接続され、信号線ＳＳＷ１～ＳＳＷｘの信号により同様の動作をするそれぞれ各１個のスイッチＳＷ１～ＳＷｘを介して１本のライトパスＷ１に接続される。従って、各小ブロックは、制御回路８２の信号線ＳＳ１～ＳＳｙの信号によって各小ブロック内のｘｙ（＝ｑ）本のデータ線の中から所要のデータ線が選択されてそれぞれに対応するスイッチ$S_1$１～S_Xｙのリードパス側接続線又はライトパス側接続線に接続され、選択されたデータ線は信号線ＳＳＲ１～ＳＳＲｘ又はＳＳＷ１～ＳＳＷｘの信号により、スイッチＳＲ１～ＳＲｘ又はスイッチＳＷ１～ＳＷｘが閉じて、対応するリードパスＲ１又はライトパスＷ１に接続することができる。

【００５１】

このようにリードパスおよびライトパスを階層化することにより、本実施例の制御回路８２は新たに全部で２ｘ本の信号線ＳＳＲ１～ＳＳＲｘおよびＳＳＷ１～ＳＳＷｘの制御が必要となるが、次のような利点がある。

すなわち、図２に示したデータ転送回路３０の構成では１本のリードパス又はライトパスに接続されるデータ線の数はｑ本であるが、図５に示した本実施例のデータ転送回路３２は１つのリードパスまたはライトパスに接続されるデータ線の数をｑ本より少なくすることもできる。このデータ線の数があまり多いと信号線ＳＳ１～ＳＳｑの数も増えてリード

パス、ライトパス上に現れる容量が増加して動作速度が遅くなるけれども、そのような場合に、データ転送回路３２は階層化に伴って必要となった信号線ＳＳＲ１～ＳＳＲｘおよびＳＳＷ１～ＳＳＷｘを制御回路８２によって制御し、接続不要の小ブロックに対応するスイッチＳＲ１～ＳＲｘ又はスイッチＳＷ１～ＳＷｘを開くことにより、１つのリードパス、ライトパス上に現れる負荷容量を増やすことなく、より多くのデータ線を１つのリードパス、ライトパスに接続することができるので、読み出し、書き込み動作の高速化が可能である。

【００５２】

階層化された構成のデータ転送回路３２が、図２のデータ転送回路３０に比べて負荷容量が軽くなることを簡単に説明する。ここでは各スイッチ$S_1$１～S_xｙ，$S_1$１～S_pｑをそれぞれＭＯＳトランジスタ２個で構成し、各スイッチＳＲ１～ＳＲｘ，ＳＷ１～ＳＷｘをそれぞれＭＯＳトランジスタ１個で構成した場合を例に説明する。

【００５３】

リードパスＲ１に、データ線ＤＬ１を接続する場合のおおよその負荷容量を、それぞれのデータ転送回路３０，３２に対して見積もる。

ＭＯＳトランジスタのソース／ドレイン容量をＣｄとすると、リードパスＲ１から見た負荷容量は図２のデータ転送回路３０の場合、スイッチ$S_1$１がオフの状態ではＣｄ×ｑである。なお、Ｃｄにはゲートとの寄生容量も含むものとする。スイッチ$S_1$１がオン状態になると、更にＣｄが加わるので、合計の容量C_{FIG2}はＣｄ×（ｑ＋１）となる。これに対して、図５のデータ転送回路３２の場合、リードパスＲ１から見た負荷容量は、スイッチＳＲ１～ＳＲｘがオフの状態ではＣｄ×ｘである。スイッチＳＲ１がオン状態になると、更にＣｄ×（ｙ＋１）が加わり、スイッチ$S_1$１がオン状態になって更にＣｄが加わるので、合計の容量C_{FIG5}はＣｄ×（ｘ＋ｙ＋２）となる。

【００５４】

ここで、容量C_{FIG2}と容量C_{FIG5}の比をとり、C_{FIG2}／C_{FIG5}＝Ｋが１より小さくなる条件、すなわち、容量C_{FIG5}が容量C_{FIG2}より大きくなる場合を考えると、ｘ，ｙは共に正の整数であるから次式が得られる。

【００５５】

【数１】

$$(x\times y+1)/(x+y+2)<1$$

$$(x\times y+1)-(x+y+2)<0$$

$$\therefore (x-1)\times(y-1)<2 \qquad \cdots(1)$$

従って、（１）式より（ｘ，ｙ）＝（２，３）または（３，２）のときだけ、容量C_{FIG5}が容量C_{FIG2}より大きくなる。言い替えると、ｘ，ｙがそれぞれ３以上になれば、データ転送回路３２の負荷容量C_{FIG5}の方が小さくなる。しかも、ｘ，ｙが大きくなればなるほどＫの値は大きくなるため、データ転送回路３２の負荷容量はデータ転送回路３０に比べて小さくなることが分かる。

【００５６】

また、本実施例のデータ転送回路３２では、図２のデータ転送回路３０においてｑ本のデータ線を１ブロックとする構成を、ｘ本からなるｙ個の小ブロックに分けた構成とするので、データ転送回路３０では制御回路８０からのスイッチを制御する信号線の数がｘ×ｙ（＝ｑ）本であるのに対して、データ転送回路３２では制御回路８２からの信号線はｙ＋２ｘ本である。このため、本実施例のデータ転送回路３２の構成を用いることにより、データ線の数が増加した場合に信号線の数の増加を抑えることができるのでチップ面積の縮小に役立つほか、１本のライトパス、リードパスに接続できるデータ線数の選択の幅が広がるので設計の自由度が向上する。なお、各スイッチ$S_1$１～S_xｙ，$S_1$１～S_pｑをそれぞれＭＯＳトランジスタ２個で構成した場合には、各ゲートに信号線が入力される必要があるので、上述した制御回路８０，８２からの各信号線ＳＳ１～ＳＳｙ，ＳＳ１～Ｓ

Ｓｑの数は２倍の数となる。

【００５７】

前記実施例１と同様に本実施例の半導体装置も、通常のメモリとして用いることも可能であり、普段は画像処理専用として用い、必要が生じたときには通常のメモリとしてシステムの主記憶に用いる等といった時分割で用途を変える使い方も可能である。また、メモリセルアレイの領域を通常のメモリとして用いる部分と演算回路で専用に用いる部分と分けて使用することもできる等、実施例１と同様の効果を有することは言うまでもない。

【００５８】

また、図５に示したデータ転送回路３２で使用する各スイッチ$Ｓ_{1}$１～$Ｓ_{x}$ｙのＭＯＳトランジスタによる具体的な構成は、実施例１と同様に、図６～図８に示したいずれかの構成を必要に応じて使用すれば良い。

【００５９】

以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【００６０】

【発明の効果】

前述した実施例から明らかなように、本発明の半導体装置によれば、メモリセルアレイと演算回路との間に設けたデータ転送回路に、メモリセルからのデータ読み出し、メモリセルへの書き込みのパスをそれぞれ独立して設けて、読み出し／書き込み動作を同時に行なえるように構成したことにより、データ処理にかかる時間ｍ×（ｔｒ＋ｔｃ＋ｔｗ）を、（ｍ×ｔｒ＋ｔｃ＋ｔｗ）、又は（ｔｒ＋ｍ×ｔｃ＋ｔｗ）、又は（ｔｒ＋ｔｃ＋ｍ×ｔｗ）等に短縮でき、大幅な高速化が可能となると共に一旦立ち上げたワード線上にあるメモリセル内のデータ処理を順次行うことによってワード線の立ち上げ回数を減らして消費電力の低減を図ることができる。

【図面の簡単な説明】

【図１】本発明に係る半導体装置の一実施例を示す基本構成のブロック図である。

【図２】図１の半導体装置に使用するデータ転送回路の一例を示す詳細な回路構成図である。

【図３】本発明に係る半導体装置の動作および従来の動作を比較説明する図であり、図３Ａおよび図３Ｂは図１の半導体装置の動作例、図３Ｃは従来の動作例を示すタイミング図である。

【図４】本発明に係る半導体装置の別の実施例を示す基本構成のブロック図である。

【図５】図４の半導体装置に使用するデータ転送回路の一例を示す詳細な回路構成図である。

【図６】本発明に係る半導体装置のデータ転送回路で使用する$Ｓ_{1}$１の具体的構成例の一例を示す回路構成図である。

【図７】本発明に係る半導体装置のデータ転送回路で使用する$Ｓ_{1}$１の具体的構成例の別の例を示す回路構成図である。

【図８】本発明に係る半導体装置のデータ転送回路で使用する$Ｓ_{1}$１の具体的構成例のまた別の例を示す回路構成図である。

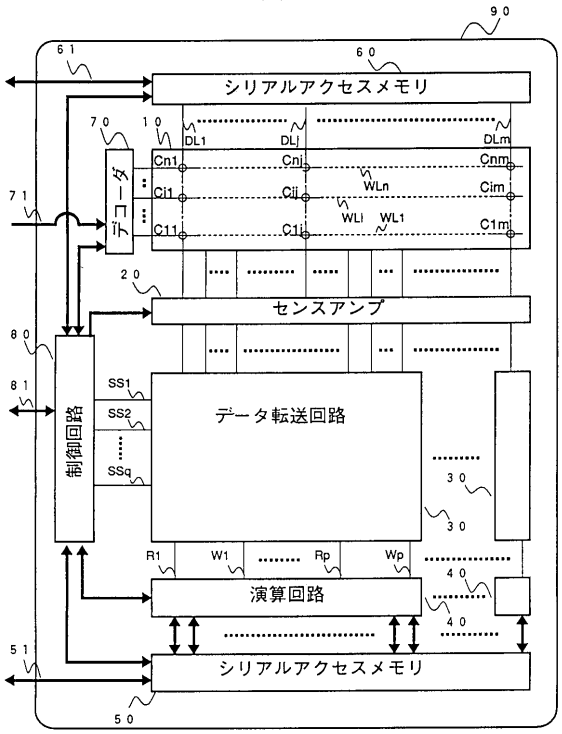
【符号の説明】

１０…メモリセルアレイ、
２０…センスアンプ、
３０…データ転送回路、
３２…データ転送回路、
４０…演算回路、
５０…シリアルアクセスメモリ、
５１…Ｉ／Ｏポート、
６０…シリアルアクセスメモリ、

６１…Ｉ／Ｏポート、
７０…デコーダ、
７１…入力ポート、
８０…制御回路、
８１…Ｉ／Ｏポート、
８２…制御回路、
９０…シリコンチップ、
C_{ij}（ｉ＝１～ｎ，ｊ＝０～ｍ）…メモリセル、
ＤＬｊ，ＤＬｊ’（ｊ＝１～ｍ）…データ線、
ＤＬ１Ｂ，ＤＬ１Ｔ…データ線、
ＷＬｉ（ｉ＝１～ｎ）…ワード線、
$S_j k$（ｊ＝１～ｐ，ｋ＝１～ｑ）…スイッチ、
ＳＲ１～ＳＲｘ…スイッチ、
ＳＷ１～ＳＷｙ…スイッチ、
ＳＳｊ（ｊ＝１～ｑ），ＳＳ１Ｒ，ＳＳ１Ｗ…信号線、
ＳＳＲ１～ＳＳＲｙ…信号線、
ＳＳＷ１～ＳＳＷｘ…信号線、
ＴｒＲ，ＴｒＲＢ，ＴｒＲＴ…トランジスタ、
ＴｒＷ，ＴｒＷＢ，ＴｒＷＴ…トランジスタ、
Ｒｊ（ｊ＝１～ｐ），Ｒ１Ｂ，Ｒ１Ｔ…リードパス、
Ｗｊ（ｊ＝１～ｐ），Ｗ１Ｂ，Ｗ１Ｔ…ライトパス。

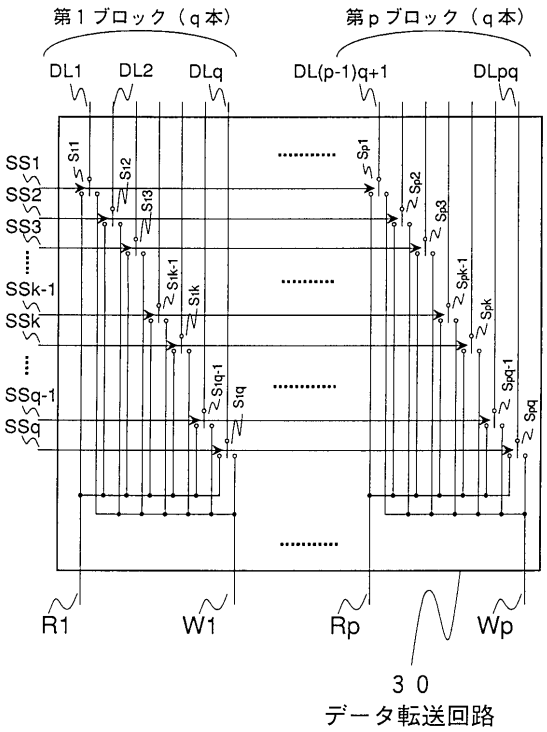
【図１】

図１



【図２】

図２



【図３】

図３Ａ

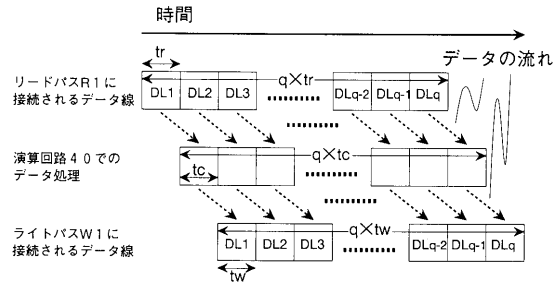


図３Ｂ

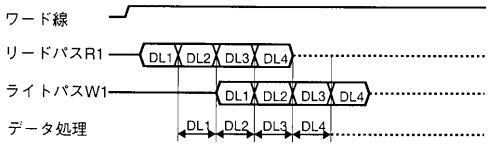
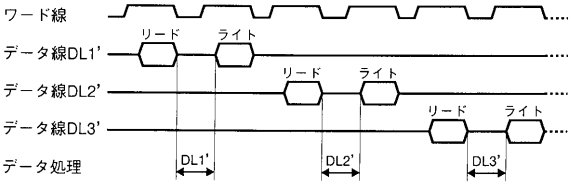
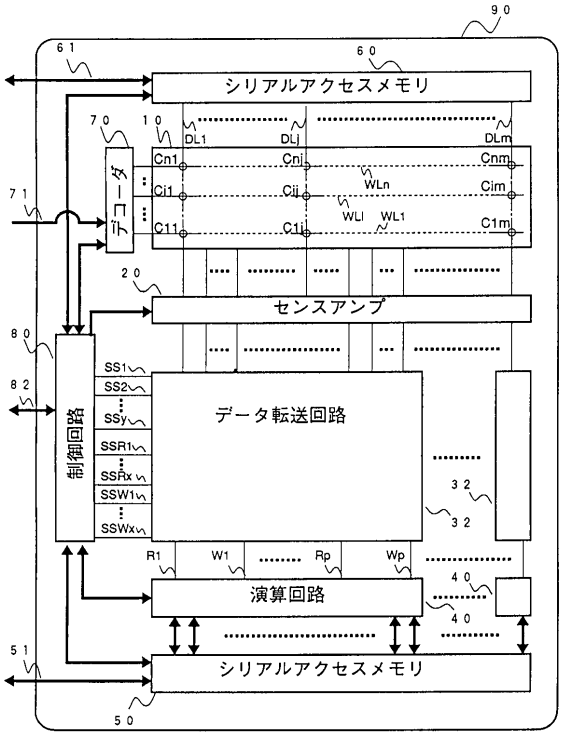


図３Ｃ



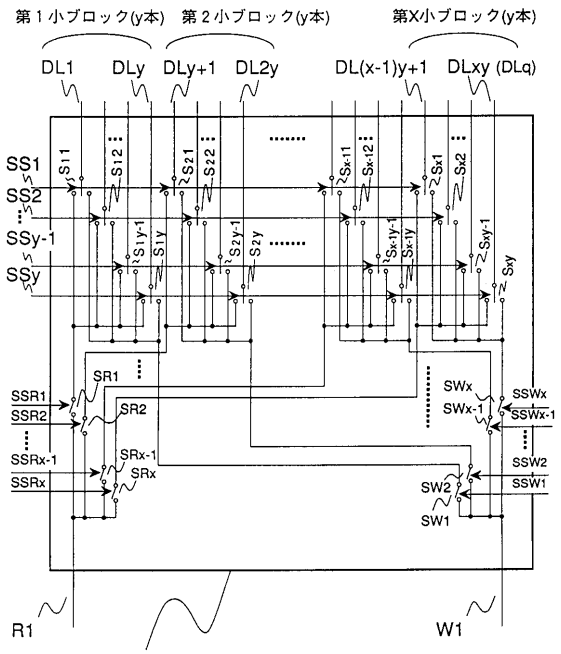
【図４】

図4



【図５】

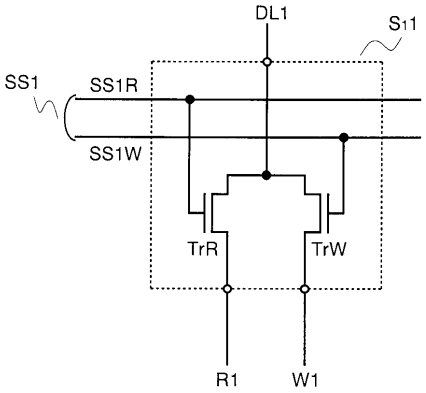
図5



32：データ転送回路

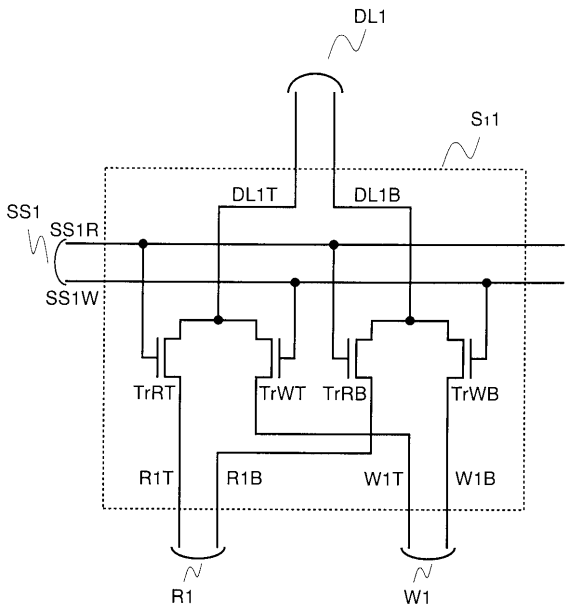
【図６】

図６



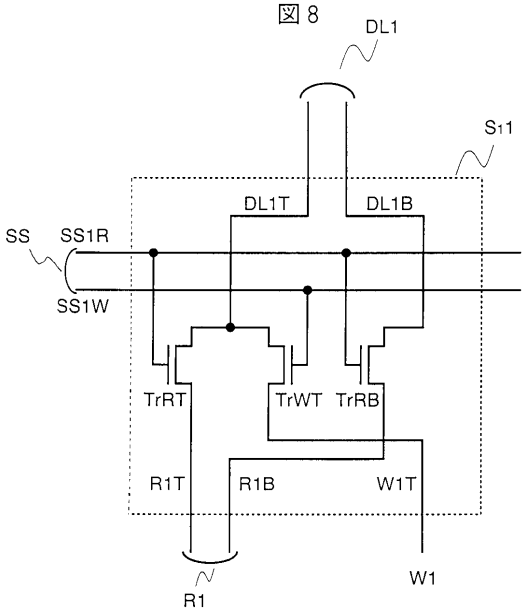
【図７】

図７


DL1
S11
DL1T
DL1B
SS1
SS1R
SS1W
TrRT
TrWT
TrRB
TrWB
R1T
R1B
W1T
W1B
R1
W1

【図８】

図８


DL1
S11
DL1T
DL1B
SS
SS1R
SS1W
TrRT
TrWT
TrRB
R1T
R1B
W1T
R1
W1

フロントページの続き

審査官　長島　孝志

(56)参考文献　特開平０６－２１５５６０（ＪＰ，Ａ）
特開平０２－０７８０９１（ＪＰ，Ａ）
特開平０３－００３１９５（ＪＰ，Ａ）
特開平０５－０７４１４６（ＪＰ，Ａ）
特開平０６－３４９２８１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/401-11/419