

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/31	(45) 공고일자 (11) 등록번호 (24) 등록일자	2000년04월 15일 10-0253696 2000년01월26일
(21) 출원번호 (22) 출원일자 (30) 우선권 주장	10-1993-0701632 1993년05월31일 91-253472 1991년10월01일 일본(JP)	(65) 공개번호 (43) 공개일자 특1993-0702784 1993년09월09일
(73) 특허권자	히타치 쏘오 엘.에스.아이.엔지니어링 가부시카가이사 스즈키 진이치로 일본국 도오쿄오토 코다이라시 조우스이혼쑤 오 5쑤 오메 20반 1고오가부시 끼가이샤 히다치 세이사꾸쇼 가나이 쓰도무 일본국 도쿄도 지요다구 간다 스루가다이 4-6	
(72) 발명자	하시모토 나오타카 일본국 도오쿄오토 고쿠분지시 니시 코이가쿠보 3-8-1 히타치 코이가쿠보료 오 야마나카 도시아키 일본국 사이타마켄 이루마시 카수가쵸오 2-12-2-301 하시모토 다카시 일본국 도오쿄오토 하치오우지시 아카쓰키쵸오 1-47-2 오와다 아파트 E402 시미즈 아키히로 일본국 도오쿄오토 아키시마시 미호리쵸오 5-5-7 오오키 나가토시 일본국 도오쿄오토 아키시마시 미호리쵸오 5-5-7 이시다 히로시 일본국 도오쿄오토 훗사시 쿠마가와 1658-1	
(74) 대리인	강용복, 임석재	

심사관 : 김동원

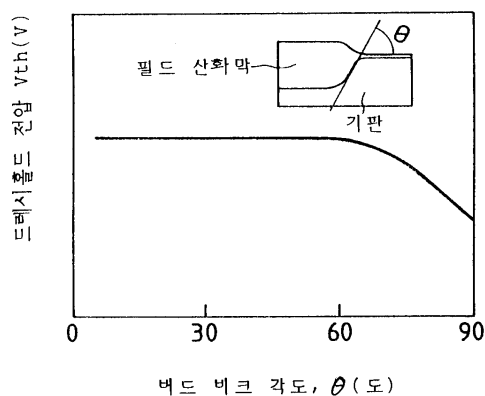
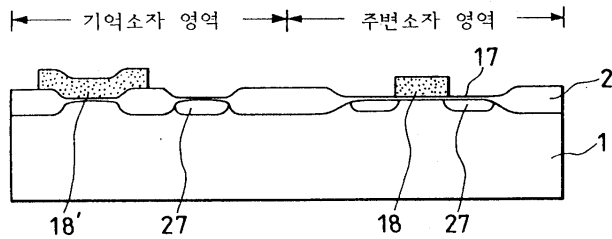
(54) 반도체 집적회로 장치 및 그 제조방법

요약

본 발명은 복수의 미세한 기억소자를 가지는 반도체 집적회로 장치 및 그의 제조방법에 관한 것으로, 특히 확산층의 접합특성을 저하시킴이 없이 MOS트랜지스터의 킹크(kink) 전류를 효과적으로 제어하는 것이 가능한 반도체 집적회로 장치 및 그의 제조방법에 관한 것이다.

본 발명에서는, 주변소자영역에 형성된 필드산화막(2)의 단부의 하면과 반도체 기판(1)의 주표면 사이의 각도가 기억소자영역으로 형성된 필드산화막(2)의 단부의 하면과 반도체 기판(1)의 주표면 사이의 각도보다 적다. 또, 주변소자영역에서 필드산화막(2)의 단부의 반도체기판(1)의 주표면 방향에의 연장이 회로소자영역에서 필드산화막(2)의 단부의 반도체 기판(1)의 주표면 방향에의 연장보다도 크다.

대표도



명세서

[발명의 명칭]

반도체 집적회로 장치 및 그 제조방법

[발명의 상세한 설명]

[기술분야]

본 발명은 미세한 반도체 소자를 가지는 반도체 집적회로 장치 및 그의 제조방법에 관한 특히 MOS트랜지스터의 킹크(kink) 전류를 효과적으로 제어하는 것이 가능한 반도체 집적회로 장치 및 그의 제조방법에 관한 것이다.

[배경기술]

종래의 반도체 집적회로 장치에 있어서는 복수의 기억소자를 가지는 기억소자영역 및 그 주변에 설치된 복수의 소자를 가지는 주변소자영역에 설치된 소자분리용 산화막(소자분리용 절연막)은 어느쪽도 같은 선택산화기술을 이용해서 형성되어 있다. 그 때문에, 극히 미세한 기억소자영역을 실현하기 위해서 선택산화에 의해 생기는 산화막의 횡방향에의 연장(버즈비크)을 어떻게 해서 적게하는가가 큰 문제로 되어 있다.

그러나, 버즈비크(birds beak)를 적게하고 또 소자를 미세화하기 위하여 반도체 기판의 불순물 농도를 높게한 결과, 소자영역과 소자분리영역의 경계에 기생적으로 형성된 채널에 흐르는 리이크(leak)가 원인으로 MOS트랜지스터의 서브드레시홀드 특성에 킹크가 나타나왔다. 이것은 외관상 드레시홀드치 전압의 낮은 MOS트랜지스터를 병렬로 접속되도록 한 특성이 있다. 이 킹크라는 현상은 채널폭이 넓은 소자에서도 관찰되고, 채널폭이 좁은 소자에서는 드레시홀드치 전압의 저하라 하는 형태로 나타나게 된다. 이 킹크의 발생을 억제하기 위해, 예를 들면 특허명 2-237158에 기재되어 있는 바와 같이, 킹크전압(상기 킹크현상에 의해 흐르는 전류)가 흐르는 소자단부의 불순물농도를 국소적으로 높이고, 킹크전류의 발생을 억제하는 방법이 제안되어져 있다.

이 방법을 제10도를 이용해서 설명한다. 여기에서는 홑형 소자분리가 이용되어 있고, 소자분리영역에 형성된 홈내에는 필드산화막 2가 매입되어져 있다. 또, 소자영역상에는 얇은 산화막 3을 통해서 두꺼운 다결정 실리콘막 19이 형성되어 있고, 이것이 붕소(B) 이온주입의 마스크로 되어 있다. 붕소이온은 반도체 기판 1에 대해 수직으로, 소정의 깊이 이온주입되어 그때의 횡방향 산란에 의해 반도체 기판 1 보다 고농도의 p형층 15가 소자의 단부로 형성된다. 또, 필드산화막 2 아래에는 p형의 소자분리용 펀치스루스톱퍼

층 200이 형성되어 있다.

다른 키크의 대책으로해서 예를들면 특개평 2-303049에 기재된 바와 같이 게이트 전극이 교차하는 소자영역의 단부에 설치된 소자분리층의 측면을 경사시키는 방법이 제안되어져 있다. 이 방법을 제11도를 이용해서 설명한다. 이 경우는 드라이에칭을 이용해서 반도체 기판의 표면에 소자분리층을 형성하는 때에 여기용 에너지 빔을 일정방향으로 주사하는 것에 의해 그 방향의 소자분리층의 측면 23을 반도체 기판의 표면 21에 대해서 수직으로해서 다른 소자분리층 측면 22에는 경사를 갖게한다. 이 경사를 가진면에 게이트 전극 18을 교차시키는 것에 의해 키크의 발생을 제어하고 있다. 여기에서 부호 24는 소자분리층의 저면을 나타낸다. 소자분리층내에는 절연막이 매입되어져 있다.

한편, 키크가 발생하지 않을때 까지도 버즈비크의 짧은 소자분리절연막을 가진다. 채널폭이 좁은 소자에서는 키크가 발생하지 않을때 까지도 소자전역이 키크전류 발생영역으로 되고 역좁은(inverse narrow) 채널효과라고 칭하는 드레시홀드치 전압의 저하라는 문제가 있다.

상기 종래의 기술중 전자는 제10도에 나타난 바와 같이 국소적으로 소자단부의 p형층 15의 불순물농도가 높게되기 때문에 키크전류는 억제되나, 소스 드레인 확산층과 반도체 기판 1 사이의 접합특성이 열화해서 접합내압의 저하와 확산층 리이크전류의 증가를 초래, 그것에 의해 기억장치의 기입보지특성의 열화와 소비전류의 증가라는 문제가 생긴다.

반도체 집적회로를 고집적화하기 위해서는 반도체 기판 1의 불순물농도를 올릴필요가 있으나 이것에 수반하는 소자단부의 p형층 15의 불순물농도도 올리지 않으면 안된다. 그 때문에, 상기 접합특성은 더 열화해 버린다.

또, 상기 종래 기술의 후자는 소자분리층의 측면의 경사를 여기용 에너지 빔을 일정방향으로 주사하는 것에 의해 제어하고 있다. 그 때문에, 홈의 측면의 일정방향의 측면 23은 반드시 기판 표면 21에 대해서 수직으로 되어, 완전한 키크대책을 행할 수 없다. 왜냐하면 많은 경우, 반도체 집적회로 장치를 복수의 소자로 되고 각각이 게이트 전극 18의 방향이 반드시 일정하지 않으므로서 수직인 측면 23에 대해서 게이트 전극 18이 교차하고 일부의 소자에서는 키크가 발생해버린다. 게이트 전극 방향을 일정하게 하면, 이 문제는 해결되나, 레이 아웃상의 제약에서 칩 치수가 증가해버려 실현은 곤란하다.

또, 상기 역좁은 채널효과가 생기는 채널폭이 좁은 소자는 주로 기억소자영역에 설치되어져 있기 때문에 드레시홀드치 전압저하에 수반하는 MOS트랜지스터의 오프전류(게이트 전압을 인가하지 않을 때에 흐르는 전류)가 증가하고, 기억보지특성의 열화와 소비전류의 증가라고 하는 문제가 생긴다.

[발명의 개시]

본 발명의 제1의 목적은 종래의 기술이 가지는 상기문제를 해결하고, 확산층의 접합특성을 열화시키지 않고서, MOS트랜지스터의 키크전류를 억제하는 것이 가능한 반도체 집적회로 장치 및 그 제조방법을 제공하는 것이다.

본 발명의 제2의 목적은 드레시홀드치 전압의 저하를 방지하는 것이 가능한 채널폭의 좁은 반도체 소자를 가지는 반도체 집적회로 장치 및 그 제조방법을 제공하는 것이다.

상기 제1의 목적을 달성하기 위해서 본 발명은 복수의 기억소자가 설치되어 있는 기억소자영역과, 복수의 주변소자가 설치된 주변소자영역들을 가지는 반도체 집적회로 장치에 있어서, 상기 주변소자영역에 설치된 각 소자간의 분리용 절연막의 단부하면의 기판표면에 대해서 이론 각도를 상기 기억소자영역에 형성된 각 소자간의 분리용 절연막의 단부하면의 기판표면에 대해서 이론 각도보다 적게한다.

또, 본 발명에 있어서는 상기 기억소자영역과 상기 주변소자영역들을 가지는 반도체 집적회로장치에 있어서, 상기 주변소자영역에 설치된 각 소자간의 분리용 절연막의 단부하면의 기판표면에 대해서 이론 각도를 60° 이하로 된다.

상기 제2의 목적을 달성하기 위해서 본 발명에서는 상기 기억소자영역과 상기 주변소자영역들을 가지는 집적회로 장치에 있어서, 상기 기억소자영역에서 반도체 기판 표면 불순물농도를 주변소자영역의 그것 보다도 높게한다. 또, 본 발명에 있어서는 상기 기억소자영역과 상기 주변소자영역들을 가지는 반도체 집적회로 장치에 있어서, 상기 기억소자영역에 설치된 게이트절연막의 막두께는 주변소자영역의 그것보다 두 겹다. 이 경우도, 기억소자영역내 및 주변소자영역내에 각각 설치된 각 소자간의 분리용 절연막을 상기와 같이 형성하는 것이 바람직하다.

상기 제1의 목적을 달성하기 위해서는 본 발명의 반도체 집적회로 장치의 제조방법에서는 소망의 형상을 가지는 내산화성 절연막을 마스크를 이용해서 반도체 기판의 노출부분을 선택적으로 산화해서 소자간의 분리용 절연막을 형성할때에, 상기 주변소자영역에 형성된 분리용 절연막의 단부의 기판의 주표면과 실질적으로 병행한 방향의 연장이 상기 기억소자영역의 그것보다 길게되도록 산화한다.

또, 본 발명의 반도체 집적회로 장치의 제조방법은 소망의 형상의 내산화성 절연막을 마스크로해서 반도체 기판의 노출부를 선택적으로 산화하고, 소자간의 분리용 절연막을 형성하는 때에, 상기 주변소자영역에 형성되는 분리용 절연막의 단부하면의 기판표면에 대해서 이론 각도가 상기 기억소자영역의 그것보다 적게되도록 산화한다.

이들의 반도체 집적회로 장치의 제조방법을 보다 상세히 설명하면, 예를들면 내산화성 절연막의 아래에 산화막을 형성해서 열산화를 행하는 경우, 주변소자영역으로 형성된 이 산화막의 막두께를 기억소자영역의 그것보다 두 겹게해서, 상기 열산화를 행할 수 있다. 또, 상기 주변소자영역에만 내산화성 절연막의 아래로 산화막을 형성하고, 상기 기억소자영역에서는 내산화성 절연막의 아래로 산화막을 형성하지 않고서 산화를 행하여도 좋다. 또한 주변소자영역의 내산화성 절연막의 막두께를 기억소자영역의 그것보다 얇게 해서 산화를 행하여도 좋다.

또, 상기 주변소자영역과, 상기 기억소자영역에 각각 다른 방법을 사용하고 또 소망의 순으로 소자간의 분리용 절연막을 형성하는 것에 의해서도 상기 제1의 목적을 달성할 수 있다. 이 방법으로 해서는, 예를

들면 주변소자영역이 분리용 절연막의 형성은 소망의 형상을 가지는 내산화성 절연막을 마스크로해서 반도체 기판의 노출부를 선택적으로 열산화해서 행하고, 기억소자영역의 분리용 절연막은 반도체의 소망의 위치에 구멍을 설치하고, 이 구멍내를 절연물로 메우는 것에 의해 형성해도 좋다.

주변소자영역의 분리용 절연막은 이 분리용 절연막의 단부하면의 기판표면에 대해서 이론 각도가 60° 이하로 되도록 산화해서 형성되는 것이 바람직하다. 이들의 어느쪽의 경우에도 선택적인 산화전에 미리 그 부분의 반도체 기판 표면에 길이가 0.2 μ m 이하의 홈을 설치해서 선택산화하면, 소자분리가 양호하게 된다. 이 홈의 길이가 0.05 μ m에서 0.2 μ m의 범위내이면, 극히 바람직한 결과가 얻어진다.

또, 상기 제2의 목적을 달성하기 위하여, 본 발명의 반도체 집적회로 장치의 제조방법은, 상기 주변소자영역 및 상기 기억소자영역의 양 영역에 불순물을 도입하는 공정과, 기억소자영역에만 불순물을 도입하는 공정들을 소망의 순으로 행하는가, 혹은 상기 주변소자영역에 소망의 량의 불순물을 도입하는 공정과, 상기 기억소자영역에 그 소망의 량보다도 많은 량의 불순물을 도입하는 공정들을 소망의 순으로 행하고, 기억소자영역의 반도체기판 표면 불순물 농도를 주변소자영역의 반도체 기판 표면 불순물 농도보다 높게 한다.

상기 제2의 목적을 달성하기 위해서는 본 발명의 반도체집적회로 장치의 제조방법은, 상기 주변소자영역 및 기억소자영역에 제1의 게이트절연막을 형성하는 공정과, 주변소자영역의 제1게이트절연막을 제거하는 공정과, 주변소자영역 및 기억소자영역으로 제2의 게이트절연막을 형성하는 공정에 의해, 기억소자영역에 형성된 게이트절연막의 막두께를 주변소자영역에 형성된 게이트절연막의 막두께보다 두껍게한다.

제12a도, 12b도에 나타난 바와 같이, MOS트랜지스터의 게이트 전극 18에 의해 유기된 포텐셜의 등전위선 16은 필드산화막 2의 가운데에서는 길이가 분포하고, 반도체 기판 1의 가운데에서는 표면에 분포한다. 소자단부에서는 이 양자중의 분포가 서로 영향을 주어 포텐셜의 등전위선 16은 왜곡된 분포로 된다. 특히 제12a도에 나타난 바와 같은 버즈비크를 짚고 경사가 큰 경우에 있어서는 소자단부에서 전위분포 16의 곡률반경이 적고, 국소적으로 전위가 상승해서 키크전류의 발생원인으로 된다. 이것에 대해서, 본 발명과 같은 버즈비크를 연장한 제12b도의 구조에 있어서는 소자단부에서 전위분포 16은 완만하고 국소적인 전위의 상승이 없게되고, 키크전류가 억제된다. 여기에서 버즈비크를 연장한다는것은 버즈비크의 형상(경사)을 완만하게 하는 것을 의미한다.

또, 본 발명에서는 상기와 같은 기억소자영역에서 버즈비크는 주변소자영역에서 버즈비크보다도 경사가 완만하다. 넓은 소자분리영역에 의해서 주변이 포위되어서 소자가 독립해서 존재한 경우, 제13a도에 나타난 바와 같이 그 소자의 드레시홀드치 전압은 채널폭이 좁은 만큼 키크에 의해 저하한다. 그러나 제13b도에 나타난 바와 같이 주변의 소자분리 길이가 짧게되면, 키크에 의해 발생된 드레시홀드치 전압의 저하는 적게된다.

따라서, 최소간격으로 소자영역과 소자분리영역이 배치된 기억소자영역은 이들 양자의 특성을 함쳐 갖추어져 있으나, 소자분리 길이의 영향이 크기 때문에 소자분리절연막의 측면이 기판표면에 대해 수직이어도, 소자분리 길이를 짧게하면 키크가 억제되어 드레시홀드치 전압의 저하가 적게된다. 따라서 키크 대책은 주변소자영역에 대해서 주로 행해지는 것이 효과적이고, 기억소자영역에 있어서는 기판표면 농도를 올리던가 혹은 게이트절연막 막두께를 두껍게하는 정도에도 드레시홀드치 전압의 저하가 방지할 수 있다.

[도면의 간단한 설명]

제1도는 본 발명의 필드산화막 단면 구조도 및 그의 특성도의 일례를 나타내는 도면.

제2도는 본 발명의 제1의 실시예의 제조공정을 나타내는 단면도.

제3도는 본 발명의 제2의 실시예의 제조공정을 나타내는 단면도.

제4도는 본 발명의 제3의 실시예의 제조공정을 나타내는 단면도.

제5도는 본 발명의 제4의 실시예의 제조공정을 나타내는 단면도.

제6도는 본 발명의 제5의 실시예의 제조공정을 나타내는 단면도.

제7도는 본 발명의 제6의 실시예의 제조공정을 나타내는 단면도.

제8도는 본 발명의 제7의 실시예의 제조공정을 나타내는 단면도.

제9도는 본 발명의 제8의 실시예의 제조공정을 나타내는 단면도.

제10도는 제1의 종래의 키크 대책예를 나타내는 단면도.

제11도는 제2의 종래의 키크 대책예를 나타내는 조감도.

제12도는 포텐셜 분포에의 필드산화막 형상의 영향을 설명하기 위한 도면.

제13도는 드레시홀드 전압의 소자분리 첫수의존성을 나타내는 도면.

제14도는 본 발명의 제9의 실시예의 제조공정을 나타내는 단면도.

제15도는 본 발명의 제10의 실시예의 제조공정을 나타내는 단면도.

제16도는 본 발명의 제11의 실시예의 제조공정을 나타내는 단면도이다.

[발명을 실시하기 위한 최량의 형태]

이하에서는 도면을 이용해서 본 발명의 실시예를 상세하게 설명한다. 제1a도는 본 발명의 의한 반도체 집적회로 장치에서, 게이트전극 18, 18' 및 소스 드레인 확산층 27을 형성할 때의 단면구조를 나타내고, 제1도중 우측이 주변소자영역을 나타내고, 좌측에 나타난 기억소자영역보다도 반도체 기판 1의 주면상에 형

성된 필드산화막 2의 단부, 즉 버즈비크의 부분의 형상(경사)가 완만하다. 이 형상의 효과를 제1b도를 이용해서 설명한다.

제1b도는 필드산화막 2의 버즈비크하면과 기판 1 표면사이의 각도는 MOS트랜지스터의 드레시홀드치 전압의 변화의 관계를 나타낸다. 버즈비크의 각도가 60° 를 넘으면 킹크가 발생하고 드레시홀드치 전압을 저하하게 된다. 따라서, 버즈비크를 연장해서(경사를완만하게 해서), 이 각도를 60° 이하로 하면 킹크를 방지해서, 드레시홀드치 전압을 높게 유지할 수 있다. 이 구조를 실현하기 위한 방법에 대해서 아래에 설명한다.

[실시예]

[실시예 1]

우선, 선택 산화시의 마스크로해서 이용되는 내산화의 아래에 형성되는 산화막의 막두께를 바꾸는 경우에 대해서 설명한다.

제2a-2d도는 반 발명의 제1의 실시예의 제조공정을 나타내는 단면도이다. 우선, 제2a도에 나타난 바와 같이 불순물농도 $10^{17}/\text{cm}^3$ 정도의 반도체 기판 1의 주표면상에 열산화법에 의해 두께 10nm 정도의 산화막 3을 형성한다. 다음에 주변소자영역을 덮는포도레지스트래턴 4를 형성하고, 이것을 마스크로해서 기억소자영역으로 형성되어 있는 산화막 3을 제거한다. 상기 포도레지스트래턴 4를 제거한 후, 제2b도에 나타난 바와 같이 재차 열산화를 행해서, 기억소자영역에 두께 10nm 정도의 산화막을 형성한다. 이것에 의해, 반도체 기판 1의 주표면상에 형성된 산화막 3의 막두께를 기억소자영역에 두께 10nm, 주변소자영역에서는 약 14nm로 된다. 화학기상 성장법을 이용해서, 내산화성 절연막으로써 두께 약 150nm의 질화실리콘막 5를 형성해서, 이것을 주지의 리소그래피와 드라이에칭을 이용해서 패턴닝하고, 소자분리영역의 상기 질화실리콘막 5를 제거한다. 이것에 의해, 선택산화막을 형성하는 때의 마스크로 되는 질화실리콘막 5의 아래에 형성된 산화막 3은 주변소자영역에 형성된 부분의 막두께가 기억소자영역에 형성된 부분의 막두께 보다도 크게된다.

다음에, 제2c도에 나타난 바와 같이, 질화실리콘막 마스크로해서 선택산화를 행하고, 소자분리영역에 두께 400nm 정도의 필드산화막 2를 형성하면, 주변소자영역에서 필드산화막 2의 버즈비크의 길이를 기억소자영역에서 버즈비크의 길이보다도 크게할 수 있다. 이것은 주변소자영역에서 질화실리콘막 5의 아래에 형성된 산화막 3의 막두께가 두껍고, 산화제(산소)의 통로가 넓기 때문에, 산화제가 속깊이까지 확산하기 쉽게 되기 때문이다. 종래의 MIS형 전계 효과 트랜지스터의 제조방법에 따라서 질화실리콘막 5를 열인산으로 선택적으로 제거한 후, 제2d도에나타난 바와 같이, 반도체 기판 1의 주표면상에 게이트절연막 17를 형성하고 이어서 게이트전극 18, 18' 및 소스 드레인의 확산층 27을 형성한다. 이후는 증간막 및 배선전극등을 형성하나, 본 발명에서는 직접 관계가 없기 때문에 설명은 생략한다. 반도체 기판 1의 주표면상에 형성된 산화막 3은 화학기상 성장법에 의해 형성된 산화막이어도 좋다. 본 실시예에 의하면, 기억소자영역측에서 필드산화막 2의 횡 방향에서의 연장은 편측 약 $0.1\mu\text{m}$ 이고, 그 단부하면이 기판 1이 주표면에 대해서 이론 각도(이하, 간단히 하면의 각도라고 한다)는 약 70° , 주변소자영역에서 상기 횡방향의 연장은 편측 약 $0.3\mu\text{m}$, 하면의 각도는 약 50° 이다.

[실시예 2]

제3a-3c도는 본 발명의 제2실시예의 제조공정을 나타내는 단면도이다.

본 실시예는 제1의 실시예를 나타낸 제2도와 거의 같은 모양이다. 단, 본 실시예와 제1의 실시예와의 다른 것은 제2b도에 나타나 있는 기억소자영역에서 질화실리콘막 5의 아래의 산화막 형성을 행하는 점이다. 그 때문에, 제3b도에 나타난 바와 같이 기억소자영역에서 질화실리콘막 5의 아래에는 산화막 3은 존재하지 않는다.

본 실시예에서는 제3c도에 나타난 바와 같이, 필드산화막 2의 횡방향에서의 연장(버즈비크의 길이)은 산화막 3의 막두께가 10nm때는, 기억소자영역에서 한쪽은 거의 $0\mu\text{m}$, 주변소자영역에서의 한쪽은 약 $0.1\mu\text{m}$ 로 된다. 즉, 양 영역에서 필드산화막 2의 횡방향에서의 연장을 제1의 실시예보다도 짧게할 수 있다. 단, 이 경우는 주변소자영역에서 버즈비크의 하면과 기판의 주표면의 사이의 각도가 약 70° 로 되기 때문에 킹크는 제어할 수 없다. 그러나, 제3a도에서 형성된 산화막 3의 막두께를 14nm정도로 하면 기억소자영역에서의 필드산화막 2의 횡방향의 연장은 한쪽은 거의 $0\mu\text{m}$ 이고 하면과 기판의 주표면 사이의 각도는 거의 90° 주변소자영역에서의 연장은 한쪽의 약 $0.3\mu\text{m}$, 각도는 약 50° 로 되어 킹크를 제어할 수 있다. 이후의 제조공정은 제1의 실시예와 같은 모양이기 때문에 설명은 생략한다.

[실시예 3]

제4a-4c도는 본 발명의 제3의 실시예를 나타내는 제조공정 단면도이다.

우선 제4a도에 나타난 바와 같이 불순물농도 $10^{17}/\text{cm}^3$ 정도의 반도체 기판 1의 주표면상에 열산화법에 의해 두께 15nm 정도의 산화막 3을 주지의 열산화법에 의해 형성한다. 이어서 내산화성 절연막으로써, 두께가 150nm의 질화실리콘막 5를 화학기상 성장법에 의해 형성하고, 이것을 주지의 리소그래피와 드라이 에칭을 의해 패턴닝해서 소자분리영역으로 되어 있는 질화실리콘막 5를 제거한다.

주변소자영역을 포토레지스트막(도시되지 않음)으로 덮고, 기억소자영역의 소자분리영역에서 노출된 산화막 3을 희석한 불산수용액으로 에치해서 제거한다. 이때, 기억소자영역에 형성된 질화실리콘막 5의 주변부의 아래의 산화막 3도 제거된다. 상기 포토레지스트막을 제거해서 막두께가 상기 제거된 산화막 3의 막두께 1/2이상인 20nm이다. 얇은 질화실리콘막 6을 형성해서 제4b도에 나타난 바와 같은 구조를 얻는다.

이때, 얇은 질화실리콘막 6의 막두께가 산화막 3의 막두께 1/2보다 얇으면, 질화실리콘막 5와 반도체 기판 1과의 사이에 틈이 생기기 때문에 바람직하지 않다. 다음에 얇은 질화실리콘막 6을 이방성 드라이 에칭에 의해서 제거하고, 제4도에 나타난 바와 같이 선택 산화의 마스크로 되는 질화실리콘막 5의 측벽상에만 상기 얇은 질화규소막 6을 잔존시켰다. 이것에 의해 기억소자영역에서는 질화실리콘막 6은 반도체 기

판 1과 직접 접하고, 주변소자영역에서는 질화실리콘막 6의 아래에는 산화막 3이 존재한다. 이것에 의해, 선택 산화를 행할때의 기억소자영역에서 필드산화막의 횡방향에의 연장은 상기 실시예 2로 나타난 바와 같이, 거의 $0\mu\text{m}$ 이고, 하면과 기판의 주표면의 사이의 각도는 거의 90° 이다. 주변소자영역에서는 상기 횡방향에의 연장은 약 $0.3\mu\text{m}$ 이고, 하면과 기판의 주표면사이의 각도는 약 50° 이다. 이후의 제조공정은 상기 실시예 1과 같은 모양이기 때문에 생략한다.

본 실시예와 실시예 2와 다른 것은 기억소자영역의 질화실리콘막 5가 얇은 질화실리콘막 6을 통해서 주변만이 반도체 기판 1과 직접 접하고 있는 것이다. 일반적으로 필드산화막 형성후의 질화실리콘막의 제거에는 끓는 인산이 이용되어 있고, 실리콘 기판 1과의 선택성이 대단히 낮기 때문에 질화실리콘막과 실리콘 기판이 접하고 있는 영역에서는 실리콘 기판이 에칭되어 버린다.

그러나 본 실시예에서는 질화규소막 5, 6을 제거한 후에, 노출된 반도체 기판의 표면은 기억소자영역에서 질화실리콘막 5의 주변만이고, 인산에 의해 실리콘 기판 1이 에칭되는 것을 최소한으로 억제할 수 있다.

또 본 실시예에서 제4b도에 나타난 얇은 질화실리콘막 6을 형성하기 전에 예를들면 암모니아등과 같은 질소를 포함하는 분위기 중에서 예를들면 900°C 로 20분 정도의 열처리를 행하는 것에의해서 노출된 반도체 기판 1의 표면에 형성되어 있던 자연산화막을 열질화실리콘막으로 변환한다. 이와 같이하면, 얇은 질화실리콘막 6과 반도체 기판 1과의 계면에 자연산화막이 개재하는 것이 방지되어, 기억소자영역에서 필드산화막의 횡방향에의 연장을 더 저감할 수 있다. 또, 자연산화막을 열산화막으로 변환하는 때에, 주변소자영역의 소자분리영역에서 산화막 3은 자연산화막보다 충분히 두껍기 때문에 이 산화막 3이 전부 열산화막으로 변환되는 것도 아니다.

[실시예 4]

실시예 3에 나타난 얇은 질화실리콘막 6의 횡방향에의 돌출을 설치하는 것이 가능하다는 것을 제5도를 이용하여 설명한다.

본 실시예에서는 제4b도에 나타난 공정에서, 질화실리콘막 6을 이방성 에칭하기전에 제5a도에 나타난 바와 같이, 화학기상 성장법을 이용하여 두께 150nm 정도의 산화막 7을 형성한다.

이어서 제5b도에 나타난 바와 같이, 산화막 7을 이방성 에칭하고 또한 질화실리콘막 5의 측벽상에 잔존한 산화막 8을 마스크로해서 얇은 질화실리콘막 6을 에칭하고, 질화실리콘막 5의 측벽상에 약 $0.1\mu\text{m}$ 의 얇은 질화규소막 6의 돌출을 설치한다. 필드산화를 행할때에는 질화규소막 5측벽의 산화막 8을 희석한 불산수용액등으로 제거한다.

이때, 주변소자영역에서는 얇은 질화실리콘막 6의 아래의 노출된 산화막 3도 에칭되나, 화학기상 형성된 산화막 8의 편이 열산화에 의해 형성된 산화막 3보다도 에칭속도가 수배 빠르기 때문에 산화막 3은 별로 에칭되지 않고 남는다.

본 실시예에 있어서도, 상기한 바와 같이, 얇은 질화실리콘막 6을 형성하기전에 반도체 기판 1의 표면에 형성되어 있던 자연산화막은 열산화막으로 변환된다. 이것은 기억소자영역에서 필드산화막의 횡방향에의 연장을 저감하는 것이므로 유효하다. 본 실시예에 의하면 기억소자영역에서 필드산화막의 횡방향에의 연장을 $0\mu\text{m}$ 로 할 수 있다. 한편, 주변소자영역에서는 질화실리콘 6의 상기 돌출이 있기 때문에 연장은 약 $0.2\mu\text{m}$ 로 되고 하면의 각도는 약 50° 이다.

또, 선택산화에 의해 필드산화막을 형성하기 전에 적어도 기억소자영역에서 소자분리영역의 노출된 반도체 기판 1에 질화실리콘막 5 등을 마스크로 이용하여 길이 $0.1\mu\text{m}$ 정도의 홈을 선택적으로 형성하는 것에 의해, 소자분리능력을 향상시킬 수 있다. 이것은 본 발명의 다른 실시예에서도 같은 모양이다. 상기 홈의 길이가 $0.2\mu\text{m}$ 이상으로 되면 필드산화막 형성의 경우에 결정결함이 발생하기 쉽게 되므로서, 길이를 $0.2\mu\text{m}$ 이상으로 하는 것은 피하는 편이 좋다.

상기 실시예 1~4에 나타난 바와 같이, 필드산화막의 횡방향에의 연장(버즈비크의 각도)은 질화실리콘막 5 및 그 아래에 형성되어 있는 산화막 3의 막두께 혹은 필드산화막 2의 막두께 및 이 필드산화막 2를 형성하는 때의 열산화의 온도등에 의해서 소망의 값으로 제어할 수 있다.

[실시예 5]

본 실시예는 선택산화의 경우에 마스크로해서 이용되는 내산화성 절연막의 막두께를 바꾸었던 경우를 나타낸다.

제6a도에 나타난 바와 같이, 불순물농도가 $10^{17}/\text{cm}^3$ 정도의 반도체 기판 1의 주표면에 열산화법에 의해 두께 10nm 정도의 산화막 3을 형성하고 이어서 화학기상 성장법에 의해 두께 10nm 정도의 질화실리콘막 5'를 형성했다. 다음에 기억소자영역을 덮는 포토레지스트패턴 9를 형성하고 이것을 마스크로해서 주변소자영역의 질화실리콘막 5'를 제거했다.

제6b도에 나타난 바와같이 막두께 100nm 정도의 질화실리콘막을 더 형성하고, 그 결과, 질화실리콘막 5의 막두께를 기억소자영역에서는 200nm , 주변소자영역에서는 100nm 로 각각 된다. 포토레지스트패턴 10을 상기 질화실리콘막 5의 위에 형성하고, 이것을 마스크로해서 소자분리영역의 질화규소막 5의 노출된 부분을 에칭해서 제거했다.

상기 포토레지스트패턴 10을 제거한 후, 제6c도에 나타난 바와 같이 반도체 기판 1의 소정 부분을 선택적으로 열산화해서 소자분리영역으로 필드산화막 2를 형성한다. 이때 주변소자영역에서는 선택산화의 마스크로 되는 질화실리콘 5의 막두께가 100nm 로 얇기 때문에 필드산화막의 횡방향에의 연장을 억제하는 효과가 적고, 한쪽에서 연장은 약 $0.3\mu\text{m}$, 하면과 기판표면과의 각도는 약 50° 이다. 이것에 대해서 기억소자영역에서는 선택산화의 마스크로 되는 질화실리콘막 5의 막두께가 200nm 로 두껍기 때문에 필드산화막의 횡방향에의 연장은 효과적으로 억제되고, 한쪽에서의 연장은 약 $0.1\mu\text{m}$, 하면과 기판표면과의 각도는 약 70° 이고, 주변소자영역에서 연장보다도 매우 적다. 이후의 제조공정은 실시예 1과 같기 때문에 설명은

생략한다.

[실시예 6]

제7a도에 나타난 질화실리콘막 5의 패턴닝까지의 공정은 상기 실시예 5에서 제6b도까지의 공정과 같다. 다음에, 소자분리영역에 형성되어 있는 산화막 3 노출된 부분을 희석한 불산수용액에 의해 제거된 후 제7b도에 나타난 바와 같이 막두께가 상기 산화막 3의 반이상의 20nm이다. 얇은 질화규소막 6을 형성하고, 이어서 화학기상 성장법에 의해, 두께 150nm 정도의 산화막 7을 형성했다. 제7c도에 나타난 바와 같이 상기 두께 산화막 7을 이방성 드라이 에칭해서 질화실리콘막 5의 측벽상에만 산화막 8을 잔존시킨다. 남겨진 산화막 8을 마스크로 이용해서 또 상기 얇은 질화실리콘막 6을 에칭했다. 이 공정은, 제15도에 나타난 실시예 4의 경우와 같다.

이때, 기억소자영역과 주변소자영역에서는 질화실리콘막 5의 막두께가 서로 다르기 때문에 얇은 질화실리콘막 6의 횡방향에의 돌출(질화실리콘막 6이 반도체 기판 1과 직접 접하는 부분)은 기억소자영역에 있는 편이 주변소자영역에서보다도 깊게 되고, 얇은 질화실리콘막 6이 반도체 기판 1과 직접 접하는 영역의 단면에서 길이는 제7d, 7e도에 나타난 바와 같이 주변소자영역에서는 L1인데 대해서 기억소자영역에서는 L2이다. 그 때문에, 선택열산화에 의해 필드산화막을 형성하는 때, 그의 횡방향에의 연장을 L1보다도 길게, 또 L2보다 짧게하면 기억소자영역에서 필드산화막의 횡방향에의 연장을 크게함이 없이, 주변소자영역에서 필드산화막의 횡방향에의 연장을 길게할 수 있다. 이것은 얇은 질화실리콘막 6과 반도체 기판 1이 직접 접하는 영역을 넘어서 산화막 3과 접하는 것에 의해 버즈비크의 단부가 연장하기 쉽기 때문이다. 주변소자영역에서는 선택산화의 마스크로해서 이용되는 질화실리콘막 5의 막두께가 얇기 때문에 필드산화막의 횡방향에의 연장은 더 일어나기 쉽게 되어 있다. 필드산화막을 형성한 이후의 공정은 실시예 1과 같이 때문에 설명은 생략한다.

본 실시예에 의하면, 선택산화의 마스크로해서 이용되는 질화실리콘막 5의 막두께 뿐만 아니라, 얇은 질화규소막 6의 돌출의 길이도 바꿀 수 있으므로 다른 형상을 가지는 버즈비크를 효과적으로 형성할 수 있다.

[실시예 7]

우선, 제8a도에 나타난 바와 같이, 불순물농도가 $10^{17}/\text{cm}^3$ 정도의 반도체 기판 1의 주표면상에 열산화법에 의해 두께 10nm 정도의 산화막 3을 형성하고 이어서 화학기상 성장법에 의해 두께 200nm 정도의 질화실리콘막 5를 퇴적했다. 다음에 포토레지스트막 10을 마스크로해서 이용한 드라이 에칭에 의해, 소자분리영역상의 질화실리콘막 5를 제거했다.

제8b도에 나타난 바와 같이, 포토레지스트막 4에 의해 주변소자영역을 덮고 희석된 불산수용액등을 이용해서 기억소자영역에서 노출된 산화막 3을 제거했다. 포토레지스트막 4을 제거하고 또 희석된 불산수용액 등에 의해 전면을 에칭해서, 주변소자영역에서 노출된 산화막 3을 제거했다. 이때, 기억소자영역에서는 산화막 3의 에칭이 주변소자영역에 비해서 질화실리콘막 5의 아래로 깊이까지 진행된다. 이것은 불산수용액 등에 의한 에칭이 등가적으로, 기억소자영역에서 에칭시간이 길기 때문이다. 여기에서, 기억소자영역만의 산화막 3의 에칭과 산화막 3의 전면 에칭은 순번을 역으로 해서도 같은 결과가 얻어진다.

제8c도에 나타난 바와 같이, 얇은 질화실리콘막 6을 형성한 후, 이방성 드라이 에칭을 행해서 소자분리영역의 얇은 질화실리콘막 6을 제거하나, 잔존한 질화실리콘막 6과 반도체 기판 1이 직접 접하는 영역의 길이는 기억소자영역에서는 $0.1\mu\text{m}$ 이고, 주변소자영역에서 $0.05\mu\text{m}$ 보다도 길게된다. 이 길이는 상기 희석된 불산수용액을 이용한 에칭의 조건을 바꾸는 것에 의해 제어 가능하다. 질화실리콘막 5의 측벽에, 얇은 질화실리콘막 6의 돌출이 설치된 구조를 형성하기 위해서는 상기 실시예 6에서 제7도에 나타난 방법을 이용하면 좋으나, 이 경우는 질화실리콘막 5의 막두께가 기억소자영역과 주변소자영역에서 서로 같기 때문에 양영역에서 돌출의 길이도 서로 같게된다.

제8d도에 나타난 바로, 질화실리콘막 5를 마스크로해서 선택산화를 행하고, 소자분리영역에 필드산화막 2를 형성한다. 얇은 질화실리콘막 6이 반도체 기판 1과 직접 접하고 있는 영역은 기억소자영역에서는 $0.1\mu\text{m}$ 이고, 주변소자영역에서 $0.05\mu\text{m}$ 인데 비해서 약 $0.05\mu\text{m}$ 길게되어 있다. 그 때문에, 실시예 6의 경우와 같이 필드산화의 조건을 조정하고, 예를들면 기억소자영역에서의 버즈비크의 연장을 $0.07\mu\text{m}$ 로 하는 것에 의해서, 기억소자영역에서 필드산화막의 횡방향에의 연장을 억제한 그대로, 주변소자영역에서 필드산화막의 횡방향에의 연장을 길게할 수 있다.

[실시예 8]

상기 실시예는 전부 기억소자영역, 주변소자영역과 함께 필드산화막을 선택산화에의해서 형성했으나, 본 실시예에서는 기억소자영역과 주변소자영역에서 소자분리의 형성법을 바꾸었던 경우를 나타낸다. 우선 제9a도에 나타난 바와 같이, 불순물농도가 $10^{17}/\text{cm}^3$ 정도의 반도체 기판 1의 주표면상에 열산화법에 의해 두께 15nm 정도의 산화막 3을 형성하고, 이어서 화학기상 성장법에 의해 두께 200nm 정도의 질화실리콘막 5를 형성했다. 포토레지스트막 10을 마스크로해서 이용한 드라이 에칭에 의해 소자분리영역상의 노출된 질화실리콘막 5를 제거했다.

제9b도에 나타난 바와 같이, 주변소자영역을 포토레지스트막 4로 덮고, 이 포토레지스트막 4 및 기억소자영역에 형성된 질화실리콘막 5를 마스크로해서, 노출된 기억소자영역의 산화막 3을 제거해서, 반도체 기판 1의 표면을 노출시키고, 또 노출된 반도체 기판 1을 에칭해서, 소자분리영역의 깊이 $0.5\mu\text{m}$ 정도의 홈 11를 형성했다.

상기 포토레지스트막 4를 제거한 후, 제9c도에 나타난 바와 같이, 온도 1000°C 정도에서의 열산화를 행해서 상기 홈 11 내에 두께 20nm 정도의 열산화막 12를 형성하고 또 화학기상 성장법에 의해, 두께 50nm 정도의 질화실리콘막 13을 전면으로 형성했다.

제9d도에 나타난 바와 같이, 두께 $1.0\mu\text{m}$ 정도의 열유동성을 가지는 인글라스로 된 절연막 14를 형성한 후,

후의 공정으로 이용하는 최고 온도보다도 높은 온도로 열처리를 행하고, 먼저 형성된 절연막 14를 플로워시켜 표면을 평탄하게 한다. 다음에 전면을 에칭해서, 주변소자영역의 소자분리영역으로 형성된 상기 질화실리콘막 13이 노출하기 까지, 상기 절연막 14를 에칭한다. 또한, 에칭액은 주지한 방법이므로써 그의 상세한 설명은 생략한다.

이것에 의해 제9e도에 나타난 바와 같이, 절연막 14는 기억소자영역내의 소자분리영역에 형성된 홈의 내부에만 남는다. 이후, 이방성 드라이 에칭을 행해서 질화실리콘막 13을 에칭하고 주변소자영역내의 소자분리영역에 형성되어 있는 얇은 질화실리콘막 13을 제거해서 산화막 3을 노출시켜 질화실리콘막 5를 마스크로해서 이용한 선택산화를 행해서 필드산화막을 형성했다. 이때 필드산화막은 주변소자영역내의 산화막 3이 노출된 소자분리영역에는 형성되나, 기억소자영역은 내산화성 절연막인 질화막 5와 얇은 질화막 13에 의해서 덮혀져 있기 때문에 선택산화에 의한 필드산화막은 형성되지 않는다. 이 이후의 공정은 상기 다른 실시예와 같이 때문에 설명을 생략한다.

본 실시예의 의하면 필드산화막을 주변소자영역에만 형성할 수 있어, 필드산화막의 횡방향에의 연장도 주변소자영역에만 존재한다. 이것에 의해 주변소자영역의 필드산화막의 하면의 각도는 상기 다른 실시예와 같이 약 50° 로 되고, 기억소자영역에서는 홈의 형상에 의해서 필드산화막의 하면의 각도(경사)가 결정된다.

상기 실시예는 키크의 발생하는 주변소자영역의 버즈비크를 연장하는것이다. 한편 기억소자영역에서는 키크는 발생하지 않는 것의 역점은 채널효과에 의해 드레시홀드치 전압이 저하한다 하는 문제가 생긴다. 이하로, 기억소자영역과 같이 채널폭이 좁은 소자의 드레시홀드치 전압의 저하를 방지하는 방법의 실시예를 나타낸다.

[실시예 9]

우선 제14a도에 나타난 바와 같이, 불순물농도가 $10^{15}/\text{cm}^2$ 정도의 반도체 기판 1의 주표면상에, 열산화법에 의해 두께 15nm 정도의 산화막 3을 형성하고, 전면에 예를들면 $1 \times 10^3/\text{cm}^2$ 정도의 붕소를 주입에너지 20keV 정도로 주입한다. 다음에, 주변소자영역을 두께 $1\mu\text{m}$ 정도의 포토레지스트막 4로 덮은 후 $2 \times 10^3/\text{cm}^2$ 정도의 붕소를 주입에너지 20keV 정도로 기억소자영역으로 주입한다. 이것에 의해, 반도체 기판 1의 표면에서 불순물 25의 주입량은 기억소자영역의 주입량이 주변소자영역의 주입량보다 $2 \times 10^3/\text{cm}^2$ 많게 된다. 이 이온 주입공정은 순서를 역으로 해도 좋다.

다음에 제14b도에 나타난 바와 같이 상기 포토레지스트막 4를 제거하고, 1200°C , 4시간중도의 열처리를 행하고 불순물 25를 반도체 기판 1내로 확산시켜 불순물층 26을 형성한다. 그 때문에, 반도체 기판 1의 표면 불순물농도는 기억소자영역이 주변소자영역보다도 약 2.5배 정도 높게된다. 또한 두께 $1\mu\text{m}$ 정도의 포토레지스트막 4에 의해 주변소자영역을 재차 덮은 후 기억소자영역내의 산화막 3을 제거한다.

제14c도에 나타난 바와 같이, 두께 150nm 정도의 질화실리콘막 5를 전면에 형성한 후 주지의 리소그래피와 드라이 에칭에 의해서, 소자분리영역의 상기 질화실리콘막 5의 소정부분을 제거한다. 그 후, 실시예 2와 같이, 질화실리콘막 5를 마스크로 된 선택산화를 행해서 소자분리영역에 필드산화막을 형성했다.

본 실시예에서는 소자분리영역의 필드산화막을형성하기 전에 불순물 26을 형성했으니, 이것을 역으로해서 필드산화막을 형성한 후에, 단단의 이온주입을 주변소자영역과 기억소자영역들로서 개별로 행하고, 필드산화막을 형성하는 것도 가능하다. 또, 본 실시예에서는 필드산화막의 형성방법으로해서 상기 실시예 2와 같은 방법을 이용했으나, 다른 실시예에서 방법을 조합시켜도 좋고, 같은 효과가 얻어진다. 따라서, 이하의 공정의 설명은 생략한다.

[실시예 10]

제15도에 나타난 바와 같이, 불순물농도가 똑 같은($10^{17}/\text{cm}^2$) 반도체 기판 1상에, 소자분리를 위한 필드산화막 2를 실시예 2와 같은 방법에 의해 형성한 후, 소자영역의 질화실리콘막을 제거했다. 다음에 주변소자영역의 MOS트랜지스터의 드레시홀드치 전압을 설정하기 위한 반도체 기판 1의 표면의 전면에 제1회째의 붕소를 $1 \times 10^{12}/\text{cm}^2$ 정도 주입한 후, 주변소자영역을 두께 $1\mu\text{m}$ 정도의 포토레지스트막 4로 덮고, 또 기억소자영역에 제2회째의 붕소를 $5 \times 10^{11}/\text{cm}^2$ 정도 주입하고, 제1회째의 붕소이온주입의 부족분을 보충한다. 이것에 의해 기억소자영역의 반도체 기판 1 표면농도를 주변소자영역보다 높게 할 수 있다.

이 이온주입공정은 순서를 역으로 해도 좋다. 또, 기억소자영역을 덮는 이온주입의 마스크를 별도 작성하고 우선 기억소자영역을 포토레지스트막으로 덮어서, 주변소자영역에 $1 \times 10^{12}/\text{cm}^2$ 정도 붕소를 주입한 후, 이어서 역으로 주변소자영역을 포토레지스트막으로 덮고, 기억소자영역에 $1.5 \times 10^{12}/\text{cm}^2$ 정도 붕소를 주입한다 하고, 양 영역에 각각 개별로 이온주입을 행하여도 좋다. 또 이 개별의 이온주입공정은 순서를 역으로 해도 좋다. 또, 필드산화막 2의 형성은 실시예 1 또는 3-8에 기재되어 있는 어느 방법에 의해 행하여도 좋다. 상기 실시예 8 및 10에서 이온주입이 조건은 어디까지나 일예이고, 적용하는 제품과 필드산화막의 형상등에 의해서 다른 조건을 이용해서 얻을수 있다.

[실시예 11]

본 실시예는 주변소자영역과 기억소자영역에서 게이트절연막의 막두께를 바꾸는 예이다.

우선 제16a도에 나타난 바와 같이, 상기 실시예 2와 같은 방법에 의해 반도체 기판 1의 표면에 소자분리용의 필드산화막 2를 형성한 후, 기억소자영역에 두께 10nm 정도의 게이트산화막 17'를 열산화법을 이용해서 형성했다. 다음에 기억소자영역을 포토레지스트막 9로 덮은 후, 희석된 불산수용액등을 이용해서, 노출된 주변소자영역에 형성되어 있는 게이트절연막을 제거했다. 상기 포토레지스트막 9를 제거한 후, 재차 열산화를 행해서 주변소자영역의 소자영역에 두께 10nm정도의 게이트절연막 17을 형성했다. 그 결과, 상기 제16a도에 나타난 공정으로 기억소자영역에 게이트절연막 17'를 남아있기 때문에 제16b도에 나타난

바와 같이 기억소자영역의 게이트절연막 17'는 주변소자영역의 게이트절연막 17보다도 두꺼워, 약 14nm로 된다.

다음에, 제16c도에 나타난 바와 같이, 종래의 NIS형 전계효과 트랜지스터의 제조방법에 따라서 게이트전극 18, 18' 및 확산층 27등을 형성했다. 이후의 배선형성등의 공정은 본 발명과 관계없으므로 설명은 생략한다.

또한, 필드산화막의 형성을 실시에 1 혹은 3-8의 어느 방법에 의해서도 좋다. 또, 본 실시예에서는 게이트절연막을 열산화에 의해 형성했으나, 다른 방법 예를들면 화학기상 성장법에 의해 형성하는 것도 가능하다. 또, 산화실리콘 이외의 절연물질을 사용하는 것도 가능하다. 또한, 상기 실시예 9 및 10과 조합시키는 것도 가능하다. 이 경우는 기억소자영역의 기판 1 표면농도가 높기 때문에 게이트절연막의 막두께를 기억소자영역으로 약 12nm로 할 필요가 있고, 이 경우는 1회째의 게이트절연막 17'의 막두께를 5nm정도로 한다.

상기 실시예 9-11에 의하면, 기억소자영역에서 MOS 트랜지스터의 드레시홀르치 전압의 저하를 방지하고, 기억보지특성의 열화를 회피할 수 있다.

상기 실시예에 있어서, 반도체 기판 1의 불순물농도가 $10^{17}/\text{cm}^3$ 정도로 했으나, 이 농도는 적용하는 반도체 집적회로 장치의 종류와 제조방법에 의해 다른 것은 당연하고 막두께의 불순물등 다른 조건도 같다. 필드산화막을 형성하는 산화온도는 고온일수록 버즈비크를 연장하지 않는 기억소자영역에서의 결정결함의 발생이 억제되므로서 1100°C 정도의 고온으로 산화를 행하는것이 바람직하다.

또한, 상기 실시예에서는 설명을 간단하게 하기 위해, 반도체 기판상에 형성된 MOS트랜지스터를 1도전형으로 되도록 했으나, 본 발명은 상보형의 반도체 장치에도 적용가능하고 이 경우 제1도전형의 반도체 기판의 표면영역에 제1도전형 영역과 제2도전형 영역으로 구획하면 좋다.

상기와 같이, 본 발명에 의하면, 채널폭이 넓은 주변의 소자영역에서, 필드산화막의 횡방향에의 연장(버즈비크)을 길게하는 것에 의해, 소자단부에서 필드산화막내와, 반도체 기판내에서 포텐셜의 분포차에 의해 유기되는 포텐셜분포의 왜곡을 적게할 수 있고, 킹크의 발생을 제어할 수 있다. 이것에 의해 소자단부에서 기판의 불순물농도를 높게할 필요가 없게되고, 확산층의 접합특성의 열화를 억제할 수 있다.

또, 필드산화막의 횡방향에의 연장을 길게할 수 없는 채널폭이 짧은 기억소자영역은 킹크가 발생하지 않는 형상을 가지고 있으나, 인접하는 소자분리영역의 폭이 짧기 때문에, 포텐셜이 상기 필드산화막중의 깊이로 같이 분포하지 않기 때문에 상기 주변의 소자영역과 같이, 소자단부에서 포텐셜분포의 왜곡이 적고, 킹크가 발생하기 어렵다.

또한, 역잡음 채널효과에 의해서드레시홀드치 전압이 저하하는 기억소자영역으로 이용되는 채널폭이 좁은 소자에서는 기판표면농도가 높게하는가 혹은 게이트절연막 두께를 두껍게 하는 것에 의해서, 드레시홀드치 전압의 저하가 방지되고 기억소자의 보지특성의 열화와 소비전류의 증가를 방지할 수 있다.

또한, 본 발명에서, 상기 기억소자로 해서는 하나의 MOS트랜지스터와 하나의 용량에서 메모리셀이 형성된 다이내믹·랜덤·엑세스·메모리를 비롯 SRAM, EPROM, 후레쉬 메모리, 바이폴라·메모리등 많은 종류의 메모리를 사용할 수 있다. 또한, 상기 주변소자로해서는 이들 각종 기억소자를 동작시키기 위한 각종 주변소자를 사용할 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판의 주표면 영역에 형성된 복수의 기억소자를 포함하는 기억소자 영역과, 상기 반도체 기판의 주표면 영역에 형성된 복수의 주변 소자를 포함하는 주변소자 영역과 상기 기억소자 영역 및 상기 주변 소자 영역 사이에 형성되어, 여기서 인접하여 위치한 상기 주변 소자로부터 상기 기억 소자를 분리하기 위한 제1필드 분리용 절연막과, 상기 기억소자 영역에 형성되어 상기 기억소자들을 서로 분리하기 위한 제2필드 분리용 절연막과 상기 주변소자 영역상에 형성되어 상기 주변소자를 서로 분리하기 위한 제3필드 분리용절연막을 포함하는 필드 분리용 절연막을 구비하는 반도체 집적회로 장치에 있어서, 상기 제3필드 분리용 절연막의 각 단부의 하면의 실질적인 직선부(linear part) 및 상기 반도체 기판의 주표면 사이의 각도는 상기 제2필드 분리용 절연막의 각 단부의 하면의 실질적인 직선부 및 상기 반도체 기판의 주표면 사이의 각도보다 작으며, 상기 기억소자 영역에 위치하는 개개의 MOS트랜지스터 소자의 소스지역 및 드레인지역 사이에 개재된 상기 반도체 기판 표면상의 불순물 농도는 상기 주변소자 영역에 위치하는 개개의 MOS트랜지스터 소자의 상기 소스 지역 및 상기 드레인 지역 사이에 개재된 상기 반도체 기판 표면상의 불순물 농도보다 높은 것을 특징으로 하는 반도체 직접회로장치.

청구항 2

제1항에 있어서, 상기 제3필드 분리용 절연막 의 각 단부의 하면의 실질적인 직선부 및 상기 반도체 기판의 주표면 사이의 상기 각도는 60° 또는 그 이하인 것을 특징으로 하는 반도체 직접회로장치.

청구항 3

제2항에 있어서, 상기 기억소자 영역내에 배치된 상기 MOS트랜지스터 소자용 게이트 절연막의 두께는 상기 주변소자 영역내에 형성된 상기 MOS트랜지스터 소자용 게이트 절연막의 두께보다 큰 것을 특징으로 하는 반도체 직접회로장치.

청구항 4

제3항에 있어서, 상기 복수의 기억소자 및 상기 복수의 주변소자는 각각 MOS트랜지스터로 구성되는 것을 특징으로 하는 반도체 직접회로장치.

청구항 5

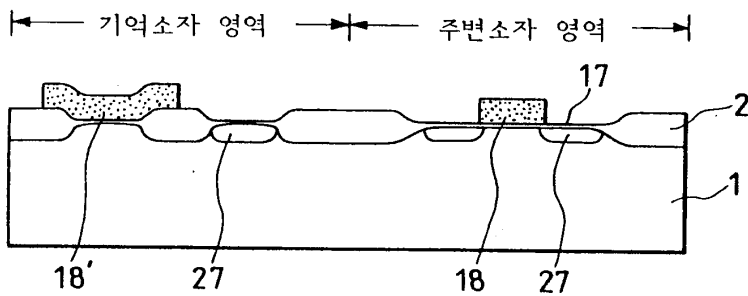
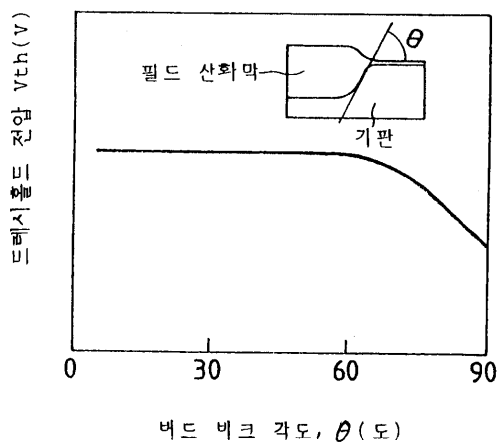
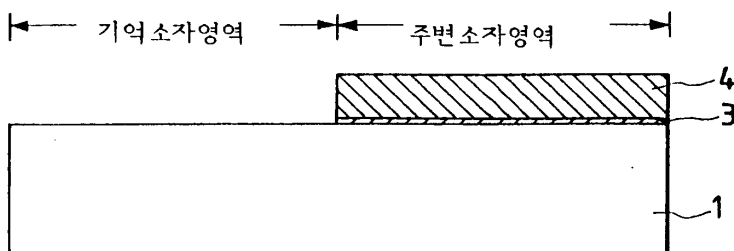
제1항에 있어서, 상기 기억소자 영역내에 배치된 상기 MOS트랜지스터 소자용 게이트 절연막의 두께는 상기 주변소자 영역내에 형성된 상기 MOS트랜지스터 소자용 게이트 절연막의 두께보다 큰 것을 특징으로 하는 반도체 직접회로장치.

청구항 6

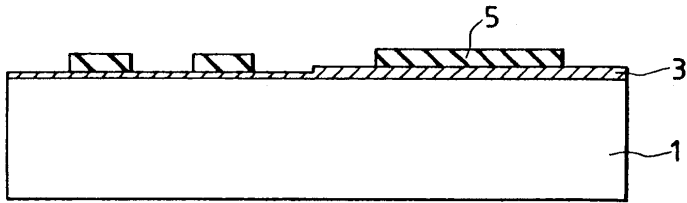
제1항에 있어서, 상기 복수의 기억소자 및 상기 복수의 주변소자는 각각 MOS트랜지스터로 구성되는 것을 특징으로 하는 반도체 직접회로장치.

청구항 7

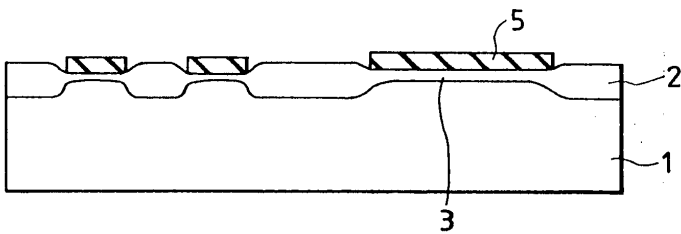
제1항에 있어서, 상기 복수의 기억소자 및 상기 복수의 주변소자는 각각 MOS트랜지스터로 구성되는 것을 특징으로 하는 반도체 직접회로장치.

도면**도면 1a****도면 1b****도면 2a**

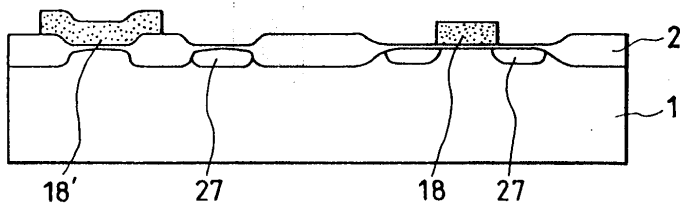
도면2b



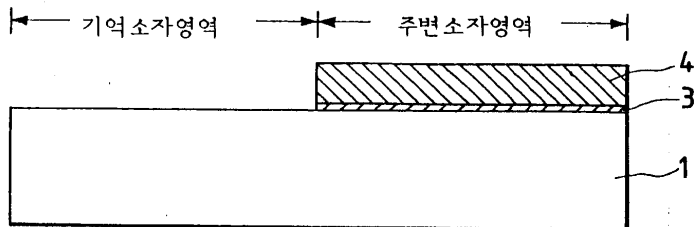
도면2c



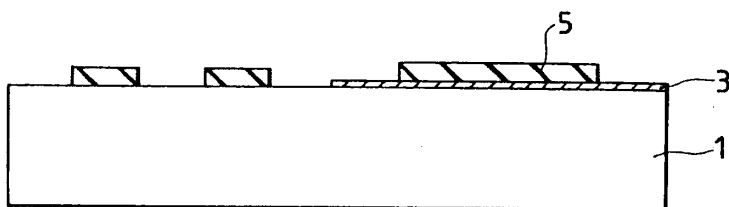
도면2d



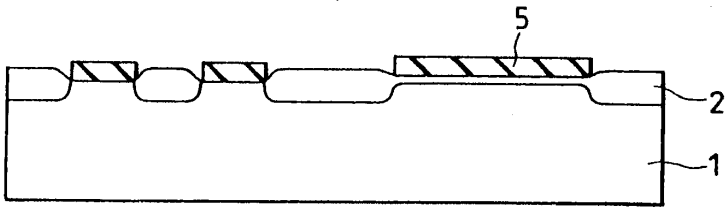
도면3a



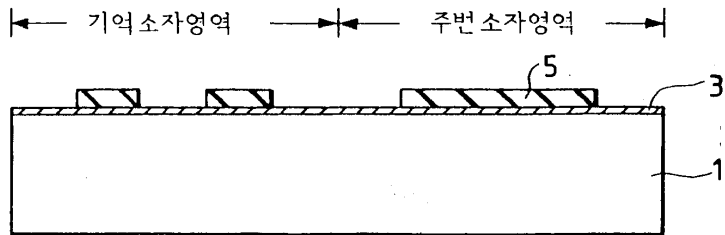
도면3b



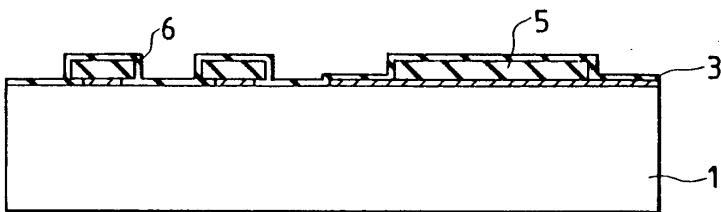
도면3c



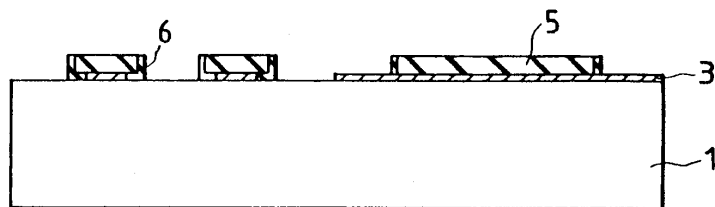
도면4a



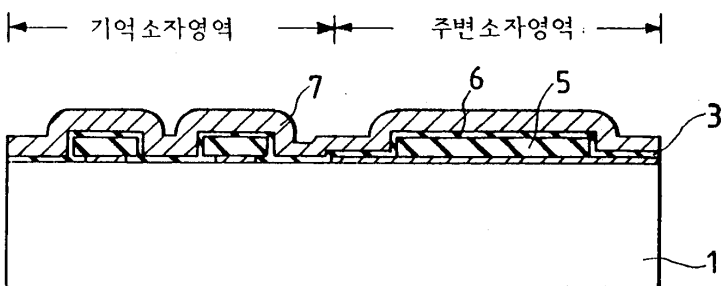
도면4b



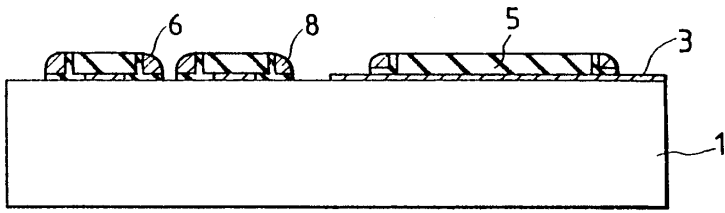
도면4c



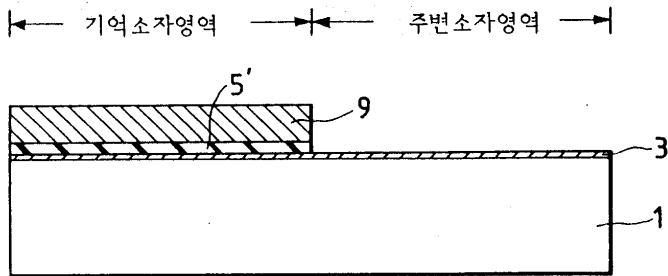
도면5a



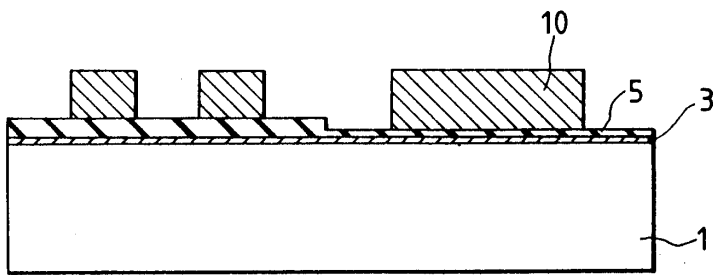
도면5b



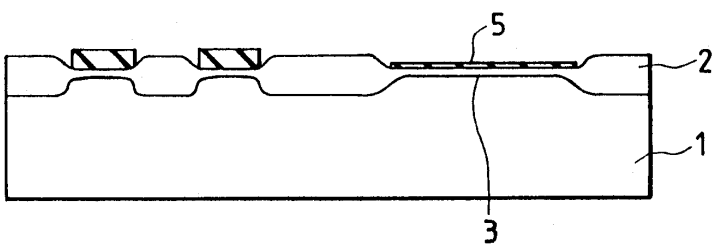
도면6a



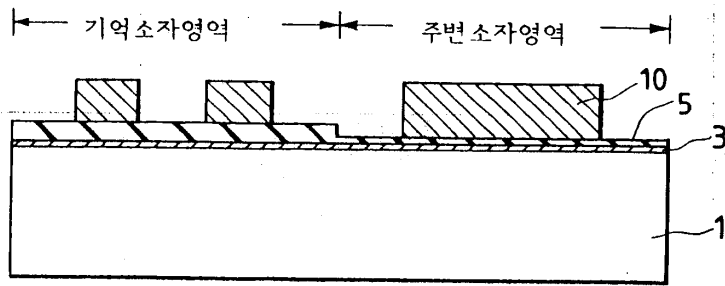
도면6b



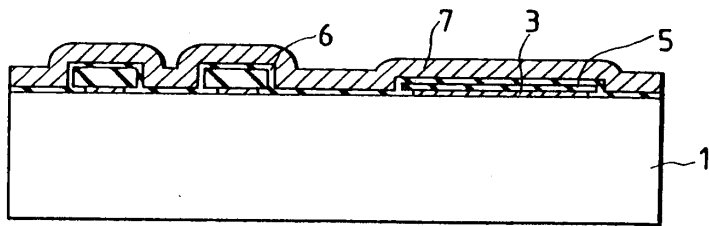
도면6c



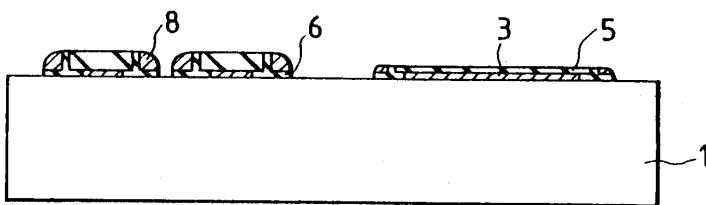
도면7a



도면7b

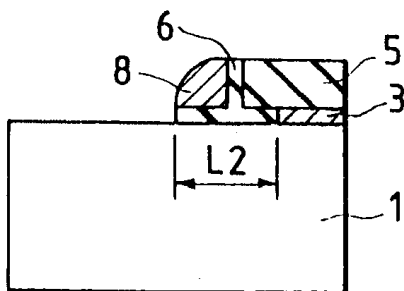


도면7c



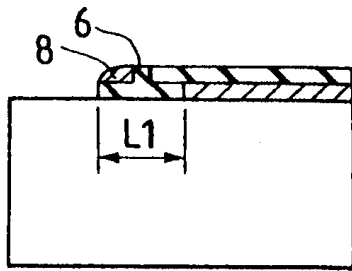
도면7d

기억소자영역

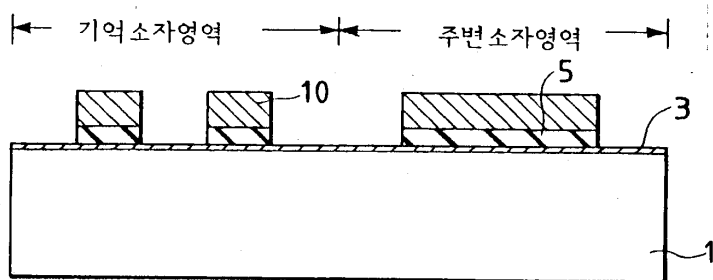


도면7e

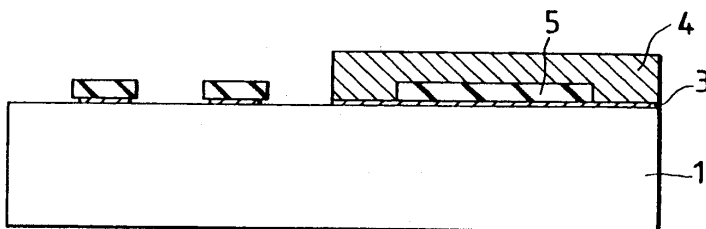
주변소자영역



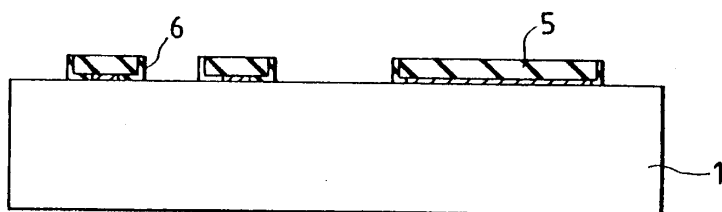
도면8a



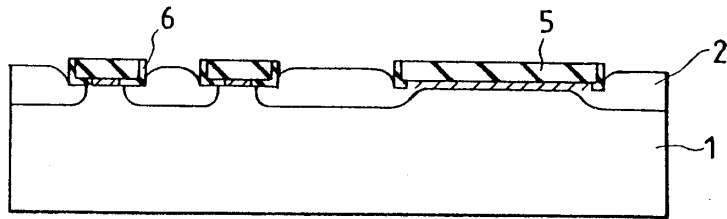
도면8b



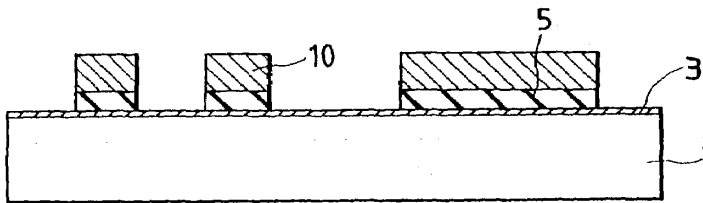
도면8c



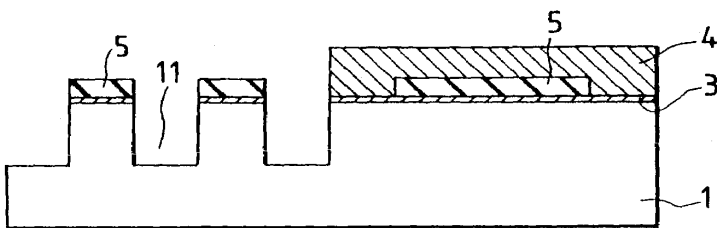
도면8d



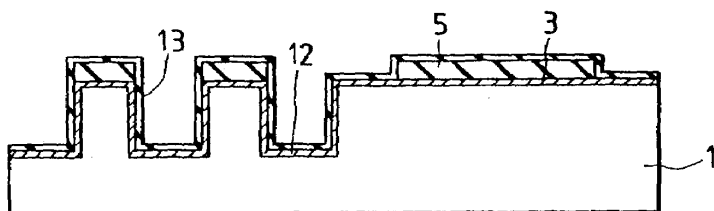
도면9a



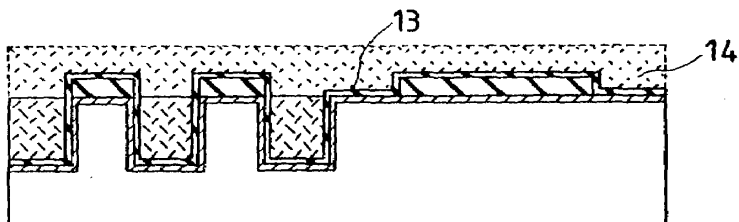
도면9b



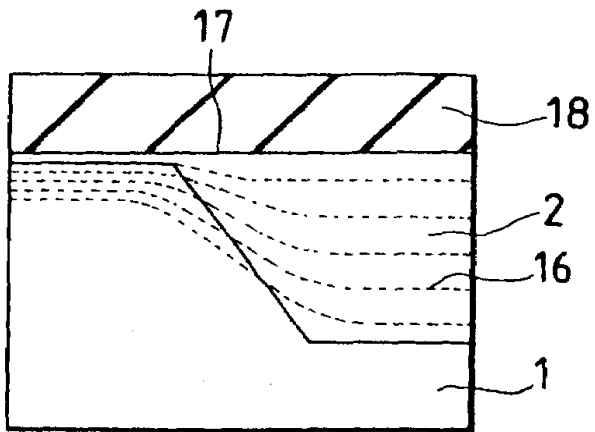
도면9c



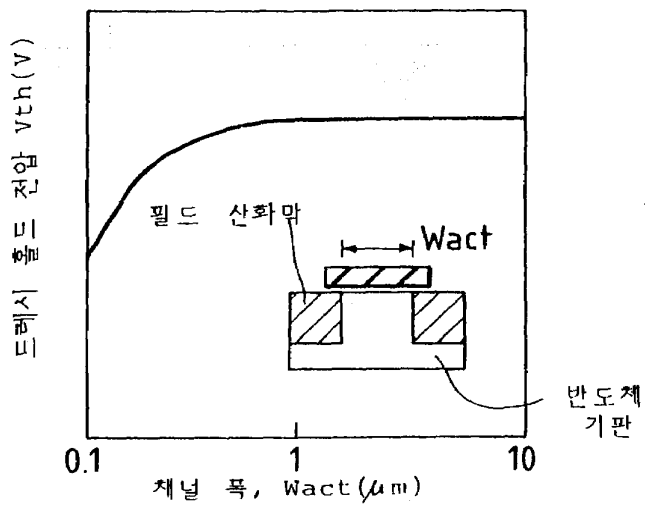
도면9d



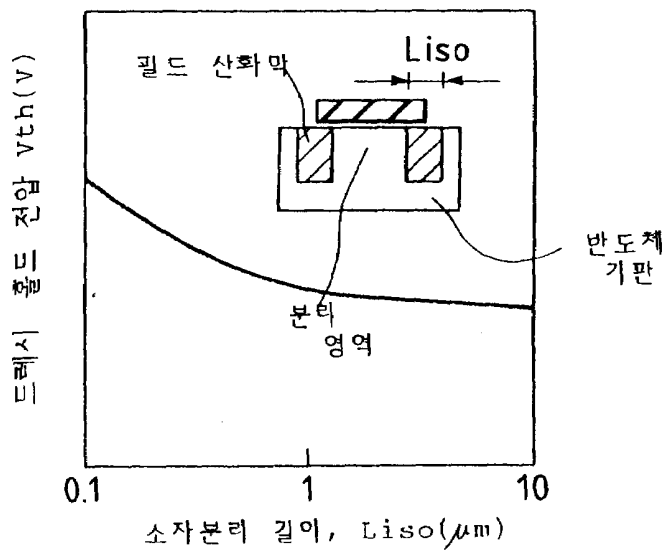
도면 12b



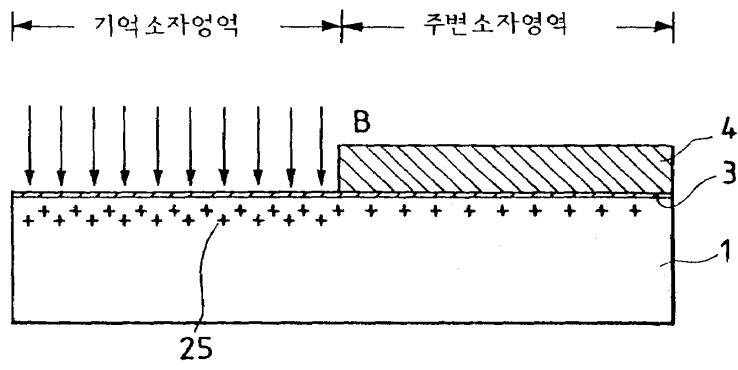
도면 13a



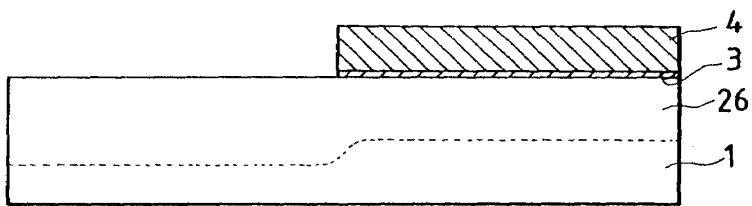
도면 13b



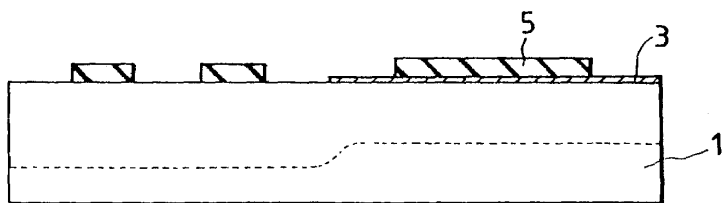
도면 14a



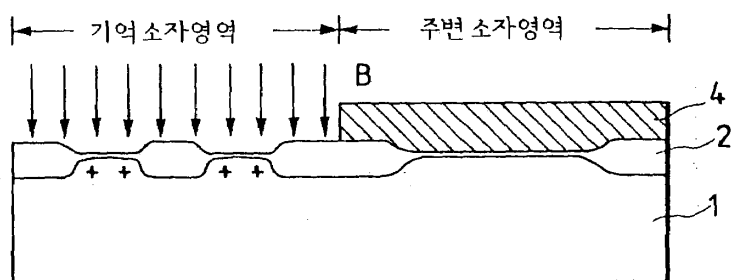
도면 14b



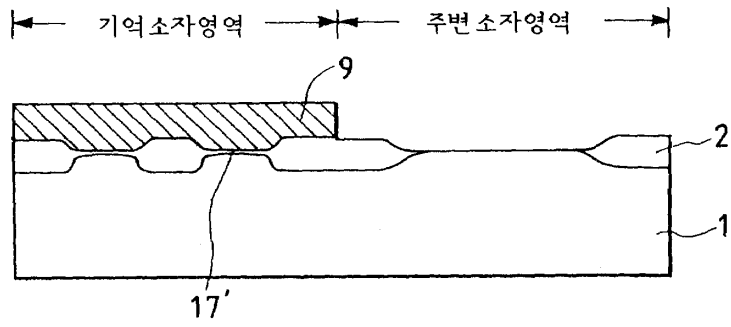
도면 14c



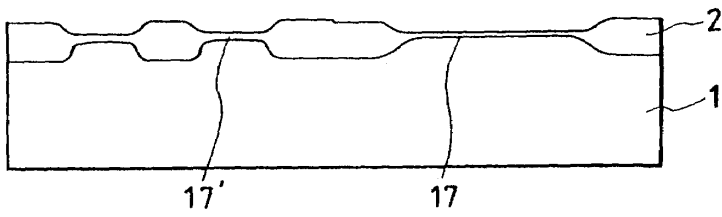
도면 15



도면 16a



도면 16b



도면 16c

