



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I442558 B

(45) 公告日：中華民國 103 (2014) 年 06 月 21 日

(21) 申請案號：099130963

(22) 申請日：中華民國 99 (2010) 年 09 月 13 日

(51) Int. Cl. : **H01L27/146 (2006.01)**

(30) 優先權：2009/10/20 美國 12/582,585

(71) 申請人：豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)  
美國(72) 發明人：凡尼賈 文生 VENEZIA, VINCENT (US) ; 戴幸志 TAI, HSIN CHIH (TW) ; 賀伊  
都力 MAO, DULI (US) ; 羅狄絲 霍華 E RHODES, HOWARD E. (US)

(74) 代理人：陳長文

(56) 參考文獻：

US 5223726

US 2006/0124976A

US 2008/0153193A1

審查人員：吳尚樺

申請專利範圍項數：17 項 圖式數：20 共 0 頁

(54) 名稱

用於增加之像素填充因子之溝槽傳輸閘

TRENCH TRANSFER GATE FOR INCREASED PIXEL FILL FACTOR

(57) 摘要

一種影像感測器提供高可擴縮性及減小之影像延遲殘留。該感測器包括一第一成像像素，該第一成像像素具有形成於該影像感測器之一基板中之一第一光電二極體區域。該感測器亦包括耦接至該第一光電二極體區域之一第一垂直傳輸電晶體。該第一垂直傳輸電晶體可用以建立一作用通道。該作用通道通常沿著該第一垂直傳輸電晶體之長度延伸且將該第一光電二極體區域耦接至一浮動擴散。

An image sensor provides high scalability and reduced image lag. The sensor includes a first imaging pixel that has a first photodiode region formed in a substrate of the image sensor. The sensor also includes a first vertical transfer transistor coupled to the first photodiode region. The first vertical transfer transistor can be used to establish an active channel. The active channel typically extends along the length of the first vertical transfer transistor and couples the first photodiode region to a floating diffusion.

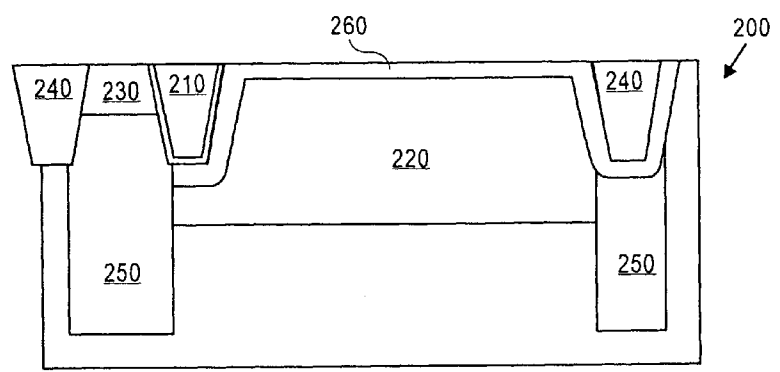


圖2A

- 200 . . . 像素
- 210 . . . 垂直傳輸閘
- 220 . . . 光電二極體區域
- 230 . . . 浮動汲極
- 240 . . . 淺溝槽隔離區域
- 250 . . . P 摻雜井區域/P 型井區域
- 260 . . . 表面 P 型釘紮區域

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：99130963

※申請日：99.9.13

※IPC 分類：H01L 27/46 (2006.01)

### 一、發明名稱：(中文/英文)

用於增加之像素填充因子之溝槽傳輸閘

TRENCH TRANSFER GATE FOR INCREASED PIXEL FILL FACTOR

### 二、中文發明摘要：

一種影像感測器提供高可擴縮性及減小之影像延遲殘留。該感測器包括一第一成像像素，該第一成像像素具有形成於該影像感測器之一基板中之一第一光電二極體區域。該感測器亦包括耦接至該第一光電二極體區域之一第一垂直傳輸電晶體。該第一垂直傳輸電晶體可用以建立一作用通道。該作用通道通常沿著該第一垂直傳輸電晶體之長度延伸且將該第一光電二極體區域耦接至一浮動擴散。

### 三、英文發明摘要：

An image sensor provides high scalability and reduced image lag. The sensor includes a first imaging pixel that has a first photodiode region formed in a substrate of the image sensor. The sensor also includes a first vertical transfer transistor coupled to the first photodiode region. The first vertical transfer transistor can be used to establish an active channel. The active channel typically extends along the length of the first vertical transfer transistor and couples the first photodiode region to a floating diffusion.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(2A)圖。

(二)本代表圖之元件符號簡單說明：

200	像素
210	垂直傳輸閘
220	光電二極體區域
230	浮動汲極
240	淺溝槽隔離區域
250	P摻雜井區域/P型井區域
260	表面P型釘紮區域

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本發明大體上係關於積體電路，且更特定而言(而非獨占式地)，係關於用於成像之積體電路。

### 【先前技術】

已開發積體電路來減小用以實施電路之組件之大小。舉例而言，積體電路已使用愈來愈小之設計特徵，此情形減小用以實施電路之區域，使得設計特徵現充分地低於可見光之波長。隨著為感測陣列之部分的影像感測器及個別成像像素的大小日益縮減，重要的係更有效地俘獲照明感測陣列之入射光。因此，更有效地俘獲入射光有助於維持或改良藉由大小日益縮減之感測陣列俘獲之電子影像之品質。可(例如)藉由減小影像延遲殘留(image lag)來改良電子影像之品質。影像延遲殘留可由尚未自對前一影像之曝光移除的一像素之光電二極體區域中之電荷引起。

### 【實施方式】

參看以下諸圖來描述本發明之非限制性且非窮舉之實施例，其中相同參考數字貫穿各種視圖指代相同部分，除非另有規定。

本文中描述全局重設影像感測器像素之實施例。在以下描述中，闡述眾多特定細節，以提供對該等實施例之透徹理解。然而，熟習相關技術者應認識到，可在無該等特定細節中之一或多者的情況下實踐本文中所描述之技術，或可以其他方法、組件、材料等等來實踐本文中所描述之技

術。在其他情況下，未詳細地展示或描述熟知之結構、材料或操作以避免混淆特定態樣。

貫穿本說明書而對「一實施例」之參考意謂結合該實施例所描述之特定特徵、結構或特性包括於本發明之至少一實施例中。因此，在貫穿本說明書之各種位置中片語「在一實施例中」之出現未必均指代同一實施例。此外，特定特徵、結構或特性可以任何適當方式組合於一或多個實施例中。如本文中所使用之術語「或」通常意謂涵蓋具有包括性功能之含義，諸如「及/或」。

一般而言，積體電路包含針對多種應用所使用之電路。該等應用使用多種裝置，諸如邏輯裝置、成像器(包括CMOS成像器及CCD成像器)，及記憶體(諸如DRAM，以及NOR式快閃記憶體裝置及NAND式快閃記憶體裝置)。此等裝置通常針對各種功能(包括信號之切換及放大)使用電晶體。

電晶體通常係藉由在矽基板上所執行之光微影程序而形成於積體電路中。該等程序包括諸如以下各者之步驟：將感光抗蝕劑層施加至基板；使用光(包括深紫外線波長)將抗蝕劑層曝光至圖案；藉由蝕刻來移除光阻之經曝光部分(或未經曝光部分)；及(例如)藉由沈積或植入額外材料來修改經曝光結構以形成用於電子組件(包括電晶體)之各種結構。

術語「基板」包括使用基於矽、矽鍺、鍺、砷化鎵及其類似者之半導體所形成的基板。術語「基板」亦可指代已

在基板上執行以在基板中形成區域及/或接面的先前程序步驟。術語「基板」亦可包括各種技術，諸如經摻雜及未經摻雜之半導體、磊晶矽層，及形成於基板上之其他半導體結構。

可執行化學機械平坦化(CMP)以致使經修改基板之表面適於形成額外結構。可藉由執行額外處理步驟(諸如上文所列出之處理步驟)將額外結構添加至基板。

當設計用於CMOS影像感測器之成像像素時，通常極大地關注最大化成像像素之填充因子(例如，光電二極體區域對總像素區域之比率)，及維持感測器中之每一像素之對稱性(相對於感測器中之其他像素)。較大填充因子有助於最大化所收集之光之量，而像素對稱性有助於減小固定圖案雜訊及色差(color shading)。固定圖案雜訊可由影像感測器之像素陣列中像素之間的每一像素之設計及/或程序變化引起。色差可由具有不同設計幾何形狀之像素之不同頻率回應引起。填充因子及(在一些狀況下)像素對稱性兩者可使用所揭示之溝槽傳輸閘(TX)設計加以改良。

圖1A為習知影像像素之橫截面圖。通常在基板190中形成像素100。可使用(例如)離子植入或擴散來形成P井150。隔離區域140可為淺溝槽隔離結構或藉由使用矽局部氧化所形成之氧化物。可(例如)藉由使用N型植入來形成光電二極體區域120。區域160為可視情況形成於光電二極體區域120上方之釘紮層。可使用N型植入來形成浮動汲極130。可藉由使用形成於氧化物層上方之N型材料來形成閘

110，使得形成CMOS電晶體之閘極。

在操作中，將習知影像感測器100曝光至入射光。經由光電效應在光電二極體(PD)區域120中將入射光轉換成電子。將電子暫時儲存於光電二極體區域120中。使用傳輸閘(TX)110以將經儲存電子自光電二極體區域120傳輸至浮動汲極(FD)130，其中經傳輸電子修改預設電壓。傳輸閘110通常為平坦場效電晶體(FET)。當接通傳輸閘110時，在該傳輸閘下方產生一作用通道，其允許電子自光電二極體區域120流動至浮動汲極130。

電子流動通過重疊區域180及藉由傳輸閘110產生之作用通道(在傳輸閘110下方)。傳輸閘與光電二極體區域120之間的重疊區域促進電子之輸送。若重疊區域過小，或不存在重疊，則難以自光電二極體區域120移除實質上所有電子；此情形導致如上文所論述之影像延遲殘留。

傳輸閘110之重疊減小光電二極體120之表面區域，此情形又減小光電二極體區域120之光收集區域。圖1B說明習知像素之重疊誘發性限制。如圖1B所示，隨著像素大小(及伴隨之光電二極體區域)由於進階技術變得可用而日益減小，重疊誘發性限制通常變得日益嚴重。舉例而言，與像素對102之經曝光光電二極體區域120對閘110之百分比相比較，像素對101中之成像像素具有經曝光光電二極體區域120對閘110之實質上較大百分比。另外，由於指定相鄰傳輸閘之間的最小空間的設計規則，自傳輸閘至光電二極體之最近邊緣之距離及傳輸閘觸點(其用以向傳輸閘施

加電壓)之置放亦減小像素中之填充因子。

圖 1C 說明共用像素架構中之習知傳輸閘設計。(在共用像素架構中，兩個像素通常係使用耦接至該兩個像素中之每一者之傳輸閘的浮動汲極加以取樣)。儘管傳輸閘 110 具有明顯的鏡像對稱性，但底部列之傳輸閘不具有與頂部列之傳輸閘之定向相同的定向。(舉例而言，紅色像素及上部綠色像素之閘 110 之對角邊緣具有正斜率，而藍色像素及下部綠色像素之閘 110 之對角邊緣具有負斜率)。

在顏色處理期間，來自綠色光電二極體、紅色光電二極體及藍色光電二極體之每一集合的取樣值疊對(例如，以產生一影像之每一像素的 RGB 像素值)。然而，該實例中之光電二極體中之不同傳輸閘定向通常導致具有扭斜顏色之影像。因此，使顏色疊對可導致色差、固定圖案雜訊，及/或影像中之其他不平衡。

本發明揭示一種用於像素之垂直溝槽傳輸閘，其允許像素之增加之填充因子及增加之對稱性。圖 2A 說明具有樣本垂直傳輸閘之像素之橫截面。像素 200 包括垂直傳輸閘 210、光電二極體區域 220、浮動汲極 230、淺溝槽隔離區域 240、P 摻雜井區域 250，及表面 P 型釘紮區域 260。垂直傳輸閘 210 為用作在成像像素陣列中耦接於光電二極體區域 220 與浮動汲極 230 之間的傳輸閘的垂直場效裝置。當啟動垂直傳輸閘 210 時，在 P 型井區域 250 之一部分中建立一作用通道，該部分係在光電二極體區域 220 與浮動汲極 230 之間。

圖2B為具有樣本垂直傳輸閘之像素之俯視圖。該圖說明(例如)使用較大設計規則所繪製之兩個共用像素架構之佈局222, 及使用較小設計規則所繪製之兩個共用像素架構之佈局224。該圖示範不存在有害縮放效應(與上文之圖1B相比較), 及傳輸閘重疊減小(若存在)(與上文之圖1C相比較), 其不導致佈局222及/或佈局224之共用像素之上部列與下部列之間的傳輸閘之不同定向。

圖2C為具有樣本垂直傳輸閘之像素之另一俯視圖。該圖說明(例如)所繪製之兩個共用像素架構之兩個行的佈局226。該架構示範成像像素對稱性、不存在傳輸閘重疊, 及適於縮放之設計規則性。由於無需表面傳輸閘, 故可形成對稱光電二極體區域, 使得等化來自不同成像像素之紅色資訊、綠色資訊及藍色資訊。相反地, 習知設計通常具有不相等的光電二極體區域, 其可導致諸如固定圖案雜訊及色差之問題。

圖3A說明具有垂直傳輸閘之像素之俯視圖。如該圖所說明, 光電二極體區域320對稱地配置為列及行, 其中行係藉由垂直(或「溝槽」)傳輸閘310分離。浮動擴散330安置於相鄰傳輸閘310之間。

一浮動擴散330區域可藉由一行中之相鄰像素共用。舉例而言, 可啟動第一垂直傳輸閘以使電子能夠自第一像素流動至第一對兩個浮動擴散區域。隨後, 可啟動第二垂直傳輸閘以使電子能夠自第一像素流動至第二對兩個浮動擴散區域, 其中第一對浮動擴散區域中之一浮動擴散區域為

第二對浮動擴散區域中之該等浮動擴散區域中之一者。

因為垂直傳輸閘310之相對末端可施加至同一光電二極體以清空自光電二極體區域320至一或多個浮動擴散330之電荷，所以像素陣列300具有增加之電子傳輸效率。因此，可減小影像延遲殘留，因為在光電二極體區域中所產生之電荷得以更有效地傳輸。在具有較大全井容量之光電二極體區域及/或較深光電二極體區域中，該效率尤其增加。

如圖3A進一步所說明，垂直傳輸閘310具有不為1的縱橫比。因此，垂直傳輸閘310具有相對於其縱向軸線加以量測之長度，其中沿著縱向軸線之長度長於垂直傳輸閘310之寬度(其中寬度係沿著垂直於縱向軸線且相交於垂直傳輸閘310之相對側上之兩個光電二極體區域320中的每一者的軸線加以量測)。縱向軸線實質上平行於第一光電二極體區域之相鄰側；實質上平行可意謂(例如)：此時，縱向軸線相交於浮動擴散區域。

因此，在一實施例中，電子沿著垂直傳輸閘310之長度之一部分流入至垂直傳輸閘310之相對末端。在另一實施例中，電子可沿著垂直傳輸閘310之長度之一部分流動至垂直傳輸閘310之第一末端，其中沿著垂直傳輸閘310之長度之一部分至垂直傳輸閘310之相對末端的流入具有可安置有隔離區域之第二末端(如下文進一步所論述)。

圖3B及圖3C說明具有垂直傳輸閘之像素之(對角)橫截面。圖3B及圖3C表示(例如)圖3A所說明之電子路徑中之每

一者。光電二極體區域320形成於基板390內。提供P型井350以最小化暗電流且提供與浮動擴散330之電連續性。淺溝槽隔離區域340增加相鄰成像像素之間的隔離。釘紮層360通常具有與基板390之導電型相同的導電型，且可經由P型井350而耦接至基板。

在操作中，電子(「 $e^-$ 」)流動通過藉由垂直傳輸閘310及P型井350形成之通道區域。在傳輸閘310與光電二極體區域320之間具有共同邊界之區域促進電子之輸送。若共同邊界過小，或不存在，則難以自光電二極體區域320移除實質上所有電子；此情形導致如上文所論述之影像延遲殘留。如圖3B及圖3C所示，提供兩個路徑(例如，圖1所說明之上部電子路徑及下部電子路徑)以更多地移除實質量之電子。(舉例而言，待移除之電子的實質量可為大於原本藉由僅使用一個電子路徑所移除之電子之量的量)。

增加之填充因子允許增加之量子效率，此係由於具有較大的經曝光光電二極體區域(針對與習知像素之像素大小相同的像素大小，此係由於重疊區域減小)。因為存在減小之傳輸閘重疊，所以光電二極體較大，此情形允許全井電容相應地較大。

圖4A說明如下像素之俯視圖：其中每一像素具有單一垂直傳輸閘及一共用浮動擴散。結構400說明具有光電二極體區域320之第一像素，光電二極體區域320具有沿著第一光電二極體區域320之三個側的隔離區域340，而第一垂直傳輸閘310係沿著第一光電二極體區域320之第四側配置。

第一垂直傳輸閘具有至少一關聯浮動擴散330，但兩個關聯浮動擴散予以說明。浮動擴散330區域安置於相鄰傳輸閘310之間，且可如上文關於圖3A所論述被共用。在下文所論述之圖4B中說明視圖線A-A。

結構400說明具有光電二極體區域320之第二像素，光電二極體區域320具有沿著第一光電二極體區域320之三個側的隔離區域340，而第二垂直傳輸閘310係沿著第二光電二極體區域320之第四側配置。在下文所論述之圖4C中說明視圖線B-B。

圖4B說明圖4A之第一橫截面圖(視圖A-A)。如所說明，第一光電二極體區域320具有在第一垂直傳輸閘310下方延伸之部分。當啟動第一垂直傳輸閘310時，沿著該垂直傳輸閘之長度形成一作用通道，使得電子可自第一光電二極體區域流動至任一浮動擴散330區域。因此，該等電子沿著垂直傳輸閘310之一部分在遠離垂直傳輸閘310之下方部分的方向上流動。

圖4C說明圖4A之第二橫截面圖(視圖B-B)。如所說明，第二光電二極體區域320具有在第二垂直傳輸閘310下方延伸且水平地延伸跨越至P型井350之部分。當啟動第二垂直傳輸閘310時，沿著該垂直傳輸閘之長度所形成之經形成作用通道中的電子沿著垂直傳輸閘310之長度流動，垂直傳輸閘310之長度在該說明中垂直於所表示橫截面之平面。

圖4D說明圖4A之另一實施例之橫截面圖。如所說明，

第二光電二極體區域320A具有僅延伸至在第二垂直傳輸閘310下方之區域的部分，使得第二光電二極體區域320A不完全水平地延伸跨越至諸如P型井350之另一結構。當啟動第二垂直傳輸閘310時，沿著該垂直傳輸閘之長度所形成之經形成作用通道中的電子沿著垂直傳輸閘310之長度流動，垂直傳輸閘310之長度在該說明中大體上垂直於所表示橫截面之平面。

圖5A說明如下像素之俯視圖：其中每一像素具有單一垂直傳輸閘及單一浮動擴散。結構500說明具有光電二極體區域320之第一像素，光電二極體區域320具有沿著第一光電二極體區域320之三個側的隔離區域340，而第一垂直傳輸閘310係沿著第一光電二極體區域320之第四側配置。第一垂直傳輸閘具有一關聯浮動擴散330。與第一光電二極體區域320及第二光電二極體區域320中之每一者相關聯的浮動擴散330區域經安置成相鄰於各別光電二極體區域320之垂直傳輸閘310。在下文所論述之圖5B中說明視圖線A-A。在下文所論述之圖5C中說明視圖線B-B。

圖5B說明圖5A之第一橫截面圖(視圖A-A)。如所說明，第一光電二極體區域320具有在第一垂直傳輸閘310下方延伸之部分。當啟動第一垂直傳輸閘310時，沿著該垂直傳輸閘之長度形成一作用通道，使得電子可自第一光電二極體區域流動至浮動擴散330區域。因此，該等電子沿著垂直傳輸閘310之一部分在遠離垂直傳輸閘310之下方部分的方向上流動。

圖 5C 說明圖 5A 之第二橫截面圖(視圖 B-B)。如所說明，第二光電二極體區域 320 具有在第二垂直傳輸閘 310 下方延伸且水平地延伸跨越至 P 型井 350 之部分。當啟動第二垂直傳輸閘 310 時，經形成作用通道(沿著該垂直傳輸閘之長度形成)中的電子沿著垂直傳輸閘 310 之長度流動，垂直傳輸閘 310 之長度在該說明中垂直於所表示橫截面之平面。

圖 6A 說明每一像素具有一共用垂直傳輸閘及一共用浮動擴散之像素。結構 600 說明具有光電二極體區域 320 之第一像素，光電二極體區域 320 具有沿著第一光電二極體區域 320 之三個側的隔離區域 340，而第一垂直傳輸閘 310 係沿著第一光電二極體區域 320 之第四側配置。第一垂直傳輸閘具有至少一關聯浮動擴散 330，但兩個關聯浮動擴散予以說明。浮動擴散區域 330(當兩者均存在時)安置於沿著垂直傳輸閘 310 之長度的相對末端處且與第二像素共用。在下文所論述之圖 6B 中說明視圖線 A-A。

第二像素被說明為具有第二光電二極體區域 320，第二光電二極體區域 320 具有沿著第二光電二極體區域 320 之三個側的隔離區域，而第一垂直傳輸閘 310 係沿著第二光電二極體區域 320 之第四側配置。因此，當啟動第一垂直傳輸閘 310 時，電子自每一光電二極體區域 320 沿著第一垂直傳輸閘 310 之長度流動。在下文所論述之圖 6C 中說明視圖線 B-B。

第三像素被說明為具有第三光電二極體區域 320，第三光電二極體區域 320 具有沿著第三光電二極體區域 320 之三

個側的隔離區域340，其中隔離區域340配置於第二光電二極體區域320與第三光電二極體區域320之間。

圖6B說明圖6A之第一橫截面圖(視圖A-A)。如所說明，第一光電二極體區域320具有在第一垂直傳輸閘310下方延伸之部分。當啟動第一垂直傳輸閘310時，沿著該垂直傳輸閘之長度形成一作用通道，使得電子可自第一光電二極體區域流動至任一浮動擴散330區域。因此，該等電子沿著垂直傳輸閘310之一部分在遠離垂直傳輸閘310之下方部分的方向上流動。

圖6C說明圖6A之第二橫截面圖(視圖B-B)。如所說明，第一光電二極體區域320及第二光電二極體區域320各自具有在第一垂直傳輸閘310下方延伸且水平地延伸跨越至P型井350之部分。當啟動第一垂直傳輸閘310時，經形成作用通道(沿著該垂直傳輸閘之長度形成)中的電子沿著垂直傳輸閘310之長度流動，垂直傳輸閘310之長度在該說明中垂直於所表示橫截面之平面。

圖7為說明根據本發明之一實施例的在一成像陣列內兩個四電晶體(「4T」)像素之像素電路700的電路圖。像素電路700僅僅為用於實施圖3之像素陣列300內之像素之一可能像素電路架構。然而，應瞭解，本發明之實施例不限於4T像素架構；而是可使用5T設計，及各種其他像素架構。

在圖7中，像素Pa及Pb配置為兩個列及一個行。(包含像素Pa及Pb之成像陣列通常含有數百個列及行)。每一成像

像素電路700之所說明實施例包括光電二極體PD、傳輸電晶體T1、重設電晶體T2、源極隨耦器(「SF」)電晶體T3，及選擇電晶體T4。在操作期間，傳輸電晶體T1接收傳輸信號TX，其將積聚於光電二極體PD中之電荷傳輸至浮動擴散節點FD。

重設電晶體T2耦接於電力軌VDD與浮動擴散節點FD之間以在重設信號RST之控制下進行重設(例如，將FD放電或充電至預設電壓)。浮動擴散節點FD耦接至SF電晶體T3之閘極。SF電晶體T3耦接於電力軌VDD與選擇電晶體T4之間。SF電晶體T3作為源極隨耦器進行操作，從而提供來自浮動擴散節點FD之高阻抗輸出。最後，選擇電晶體T4在選擇信號SEL之控制下選擇性地將成像像素電路700之輸出耦接至讀出行線。在一實施例中，藉由控制電路120產生TX信號、RST信號及SEL信號。可藉由金屬互連層M1及M2將TX信號、RST信號、SEL信號、VDD及接地導引於成像像素電路700中。在一實施例中，如圖7所示，可藉由金屬互連層M1及M2連接電晶體T1、T2、T3及T4、光電二極體PD以及浮動擴散節點FD。

本發明之所說明實施例之以上描述(包括在[中文發明摘要]中所描述之內容)不意欲為窮舉的或將本發明限於所揭示之精確形式。熟習相關技術者應認識到，雖然本文中出於說明性目的而描述本發明之特定實施例及其實例，但在本發明之範疇內各種修改係可能的。

可根據上文之[實施方式]而對本發明進行此等修改。不

應將以下申請專利範圍中所使用之術語解釋為將本發明限於本說明書中所揭示之特定實施例。相反地，本發明之範疇將完全藉由以下申請專利範圍確定，申請專利範圍將根據申請專利範圍解譯之已建立準則加以解釋。

### 【圖式簡單說明】

圖 1A 為習知影像像素之橫截面圖；

圖 1B 說明習知像素之重疊誘發性限制；

圖 1C 說明共用像素架構中之習知傳輸閘設計；

圖 2A 說明具有樣本垂直傳輸閘之像素之橫截面；

圖 2B 為具有樣本垂直傳輸閘之像素之俯視圖；

圖 2C 為具有樣本垂直傳輸閘之像素之另一俯視圖；

圖 3A、圖 3B 及圖 3C 說明具有垂直傳輸閘之像素陣列；

圖 4A、圖 4B、圖 4C 及圖 4D 說明如下像素：其中每一像素具有單一垂直傳輸閘及一共用浮動擴散；

圖 5A、圖 5B 及圖 5C 說明如下像素：其中每一像素具有單一垂直傳輸閘及單一浮動擴散；

圖 6A、圖 6B 及圖 6C 說明每一像素具有一共用垂直傳輸閘及一共用浮動擴散之像素；及

圖 7 為說明根據本發明之一實施例的在一成像陣列內兩個四電晶體(「4T」)像素之像素電路的電路圖。

### 【主要元件符號說明】

100 像素/影像感測器

101 像素對

102 像素對

- 110 傳輸閘 (TX)
- 120 光電二極體區域
- 130 浮動汲極
- 140 隔離區域
- 150 P井
- 160 區域
- 180 重疊區域
- 190 基板
- 200 像素
- 210 垂直傳輸閘
- 220 光電二極體區域
- 222 佈局
- 224 佈局
- 226 佈局
- 230 浮動汲極
- 240 淺溝槽隔離區域
- 250 P摻雜井區域/P型井區域
- 260 表面P型釘紮區域
- 300 像素陣列
- 310 垂直傳輸閘
- 320 光電二極體區域
- 320A 第二光電二極體區域
- 330 浮動擴散/浮動擴散區域
- 340 淺溝槽隔離區域

ε	350	P型井
	360	釘紮層
	390	基板
	400	結構
	500	結構
	600	結構
	700	成像像素電路
	e <sup>-</sup>	電子
	FD	浮動擴散節點
	Pa	像素
	Pb	像素
	PD	光電二極體
	RST	重設信號
	SEL	選擇信號
	TX	傳輸信號
	T1	傳輸電晶體
	T2	重設電晶體
	T3	源極隨耦器(「SF」)電晶體
	T4	選擇電晶體
	VDD	電力軌

## 七、申請專利範圍：

103年3月7日修正  
封條(本)

P.1-5

## 1. 一種影像感測器，其包含：

一第一成像像素，其具有安置於該影像感測器之一基板內之一第一光電二極體區域；

一垂直傳輸電晶體，其係沿著該第一光電二極體區域之一第一側安置，該垂直傳輸電晶體具有實質上平行於該第一光電二極體區域之該第一側之一縱向軸線；

一第一浮動擴散區域，其係沿著該縱向軸線安置於該垂直傳輸電晶體之一第一末端處，其中該傳輸電晶體經配置以在被啟動時沿著該垂直傳輸電晶體形成一第一作用通道，其中該第一作用通道平行於該縱向軸線，且其中該第一作用通道將該第一光電二極體區域耦接至該第一浮動擴散區域；及

一第二浮動擴散區域，該第二浮動擴散區域係沿著該縱向軸線安置於該垂直傳輸電晶體之一第二末端處，該第二末端係相對於該第一末端，其中一第二作用通道係沿著該垂直傳輸電晶體平行於該縱向軸線所形成且當啟動該垂直傳輸電晶體時，將該第一光電二極體區域耦接至該第二浮動擴散區域，其中電荷載子係在該第一作用通道及該第二作用通道中以相反方向流動，

其中該垂直傳輸電晶體之該縱向軸線於該垂直傳輸電晶體之該第一末端及該第二末端處相交該第一浮動擴散區域及該第二浮動擴散區域。

## 2. 如請求項 1 之影像感測器，其中該第一光電二極體區域

包含藉由一P型基板中之一N井形成的一個二極體。

3. 如請求項1之影像感測器，其進一步包含一第二成像像素，該第二成像像素具有安置於該影像感測器之該基板內的一第二光電二極體區域。
4. 如請求項3之影像感測器，其進一步包含一隔離結構，該隔離結構安置於該第二光電二極體區域與該垂直傳輸電晶體之間。
5. 如請求項4之影像感測器，其中該第一光電二極體區域僅延伸至在該垂直傳輸電晶體下方之一區域。
6. 如請求項4之影像感測器，其中該第一光電二極體區域在該垂直傳輸電晶體下方延伸。
7. 如請求項4之影像感測器，其中該第二成像像素係沿著該隔離結構之一側安置。
8. 如請求項3之影像感測器，其中第一光電二極體區域係沿著該垂直傳輸電晶體之一第一側安置，且該第二光電二極體區域係沿著該垂直傳輸電晶體之相對於該第一側之一第二側安置。
9. 如請求項8之影像感測器，其進一步包含一第二浮動擴散區域，該第二浮動擴散區域係沿著該縱向軸線安置於該垂直傳輸電晶體之一第二末端處，其中該第一成像像素及該第二成像像素共用該垂直傳輸電晶體且經由該垂直傳輸電晶體而共用該第一浮動擴散區域及該第二浮動擴散區域。
10. 一種用於成像之方法，其包含：

將一成像像素之一第一光電二極體區域曝光至光以在該光電二極體區域中產生電子；

啟動沿著該第一光電二極體區域之一第一側安置之一傳輸電晶體之一閘極以使所產生之電子自該第一光電二極體區域流動，其中該傳輸電晶體具有實質上平行於該第一光電二極體區域之該第一側的一縱向軸線，其中該等電子流動通過實質上平行於該傳輸電晶體之該縱向軸線的一作用通道，且流動至設置於該傳輸電晶體之第一及第二末端之第一及第二浮動擴散區域，其中該等所產生之電子以相反方向沿著該作用通道流至該等第一及第二浮動擴散區域，其中該傳輸電晶體之該縱向軸線於該傳輸電晶體之該第一及該第二末端處相交該第一及第二浮動擴散區域；

將該第一浮動擴散區域耦接至一源極隨耦器電晶體之閘極；及

在一選擇信號之控制下將該源極隨耦器電晶體之輸出耦接至一讀出行線。

11. 如請求項10之方法，其中啟動該傳輸電晶體之該閘極使電子同時地流動至該第一浮動擴散區域及該第二浮動擴散區域。
12. 如請求項11之方法，其中啟動該傳輸電晶體之該閘極使電子與自該第一光電二極體區域流動之該等電子同時地自一第二光電二極體區域經由該傳輸電晶體而流動至該第一浮動擴散區域及該第二浮動擴散區域中。

13. 如請求項10之方法，其中該成像像素係在一像素陣列中。

14. 一種用於成像之電裝置，其包含：

一第一光電二極體區域，其安置於一影像感測器之一基板內；

一第一垂直傳輸電晶體，其具有耦接至該第一光電二極體區域之一輸入，其中該第一垂直傳輸電晶體具有實質上平行於該第一光電二極體區域之第一側的一縱向軸線；

一第一浮動擴散區域，其係沿著該縱向軸線安置於該第一垂直傳輸電晶體之一第一末端處，其中該傳輸電晶體經配置以在被啟動時沿著該第一垂直傳輸電晶體之該縱向軸線形成一作用通道；

一第二浮動擴散區域，該第二浮動擴散區域係沿著該縱向軸線安置於該垂直傳輸電晶體之一第二末端處，該第二末端係相對於該第一末端，其中一第二作用通道係沿著該垂直傳輸電晶體平行於該縱向軸線所形成且當啟動該垂直傳輸電晶體時，將該第一光電二極體區域耦接至該第二浮動擴散區域，其中電荷載子係在該第一作用通道及該第二作用通道中以相反方向流動；及

一隔離結構，其安置於該影像感測器之該基板內之該第一垂直傳輸電晶體與一第二光電二極體區域之間，

其中該垂直傳輸電晶體之該縱向軸線於該垂直傳輸電晶體之該第一末端及該第二末端處相交該第一浮動擴散

區域及該第二浮動擴散區域。

15. 如請求項14之電裝置，其中該裝置為一邏輯裝置、CMOS成像器或CCD成像器。
16. 如請求項14之電裝置，其進一步包含一源極隨耦器電晶體，該源極隨耦器電晶體具有耦接至浮動擴散之一閘極。
17. 如請求項14之電裝置，其進一步包含一隔離區域，該隔離區域安置於該第一垂直傳輸電晶體之一第二末端處。

八、圖式：

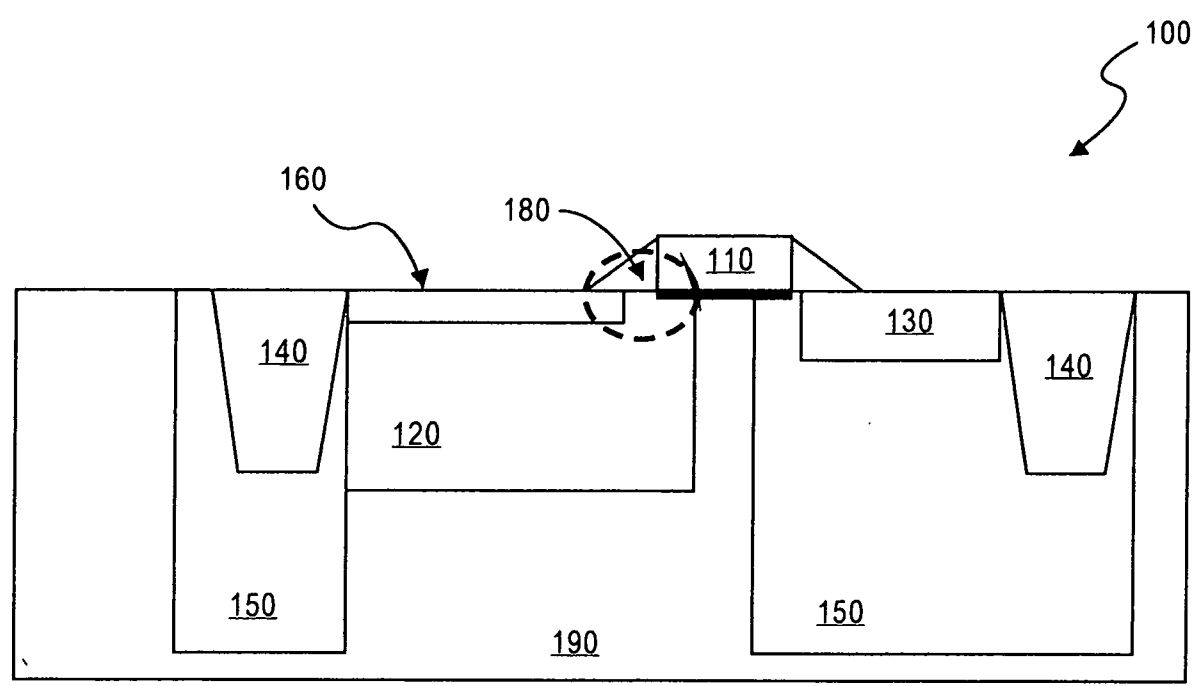


圖1A

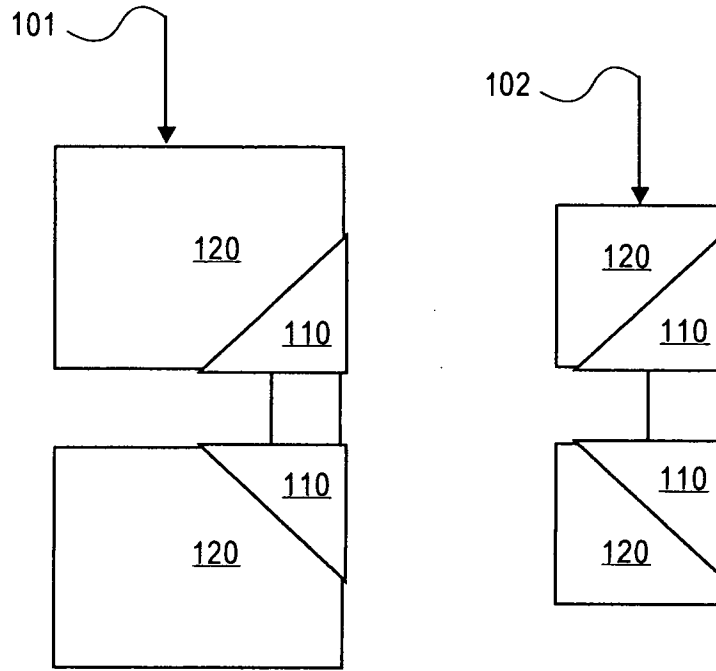


圖1B

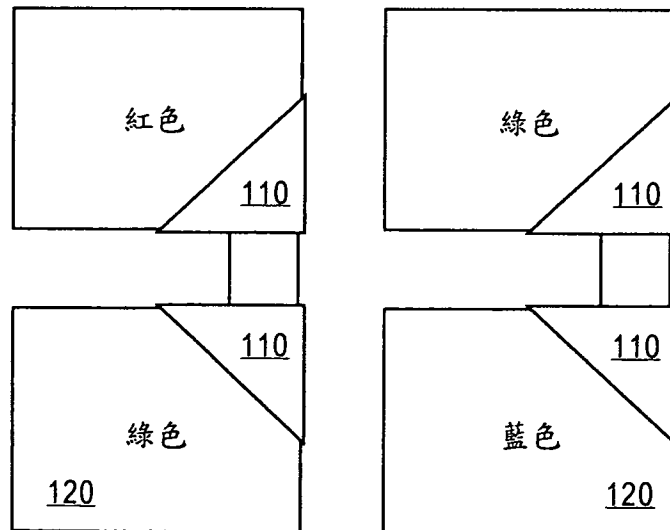


圖1C

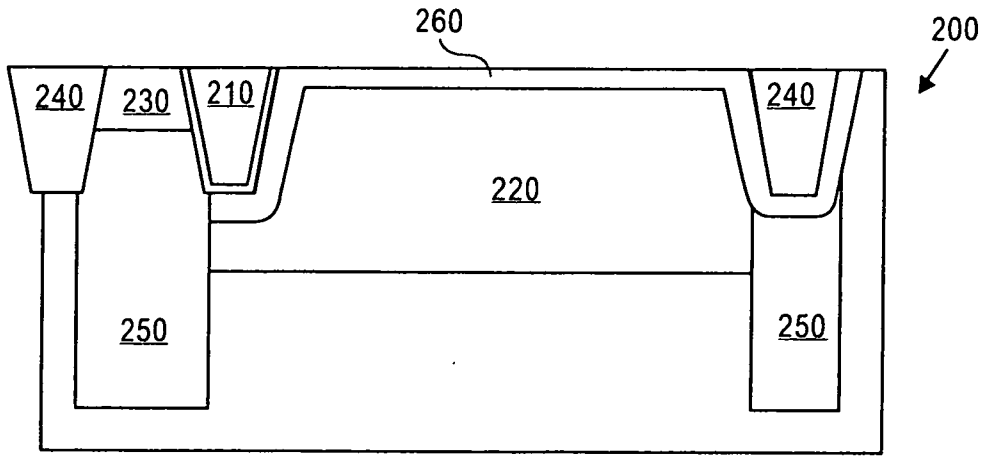


圖 2A

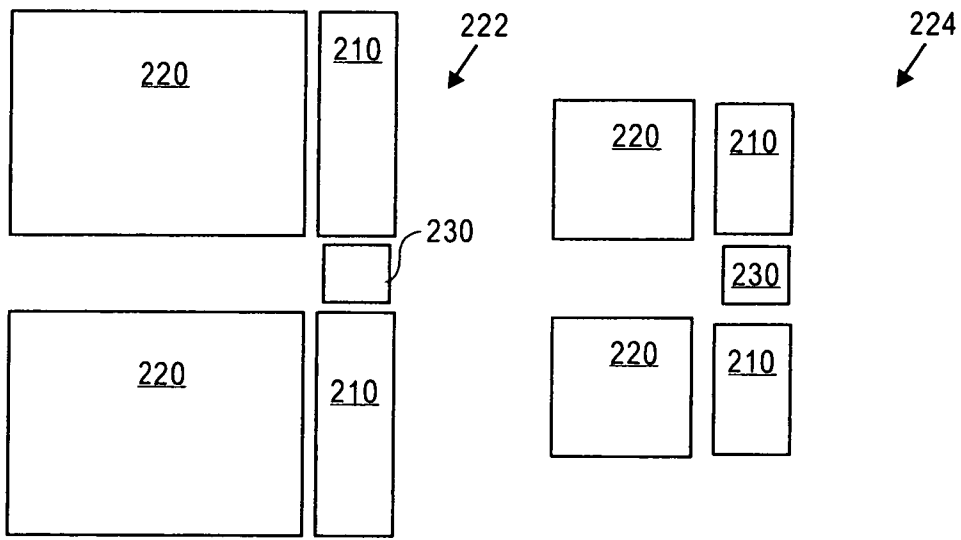


圖 2B

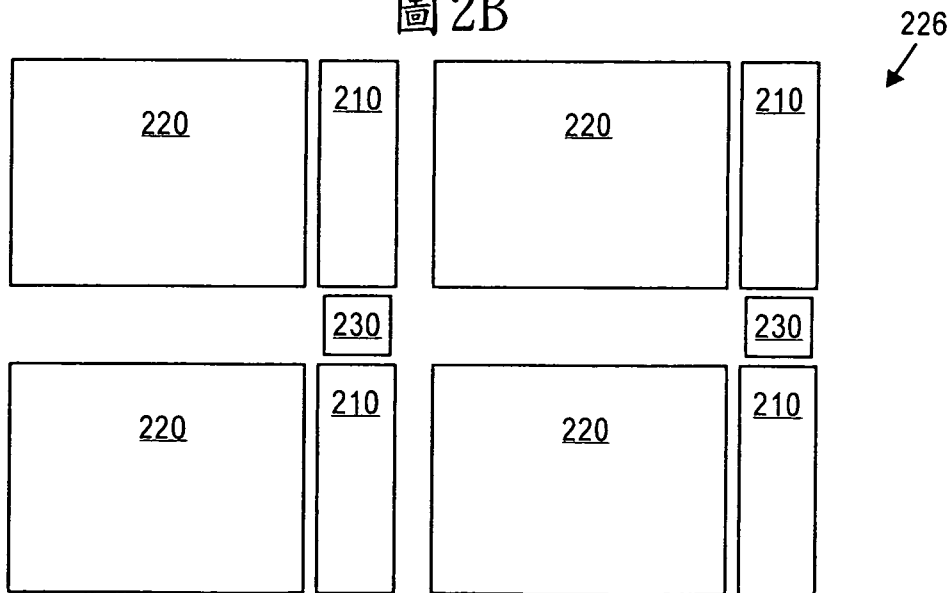


圖 2C

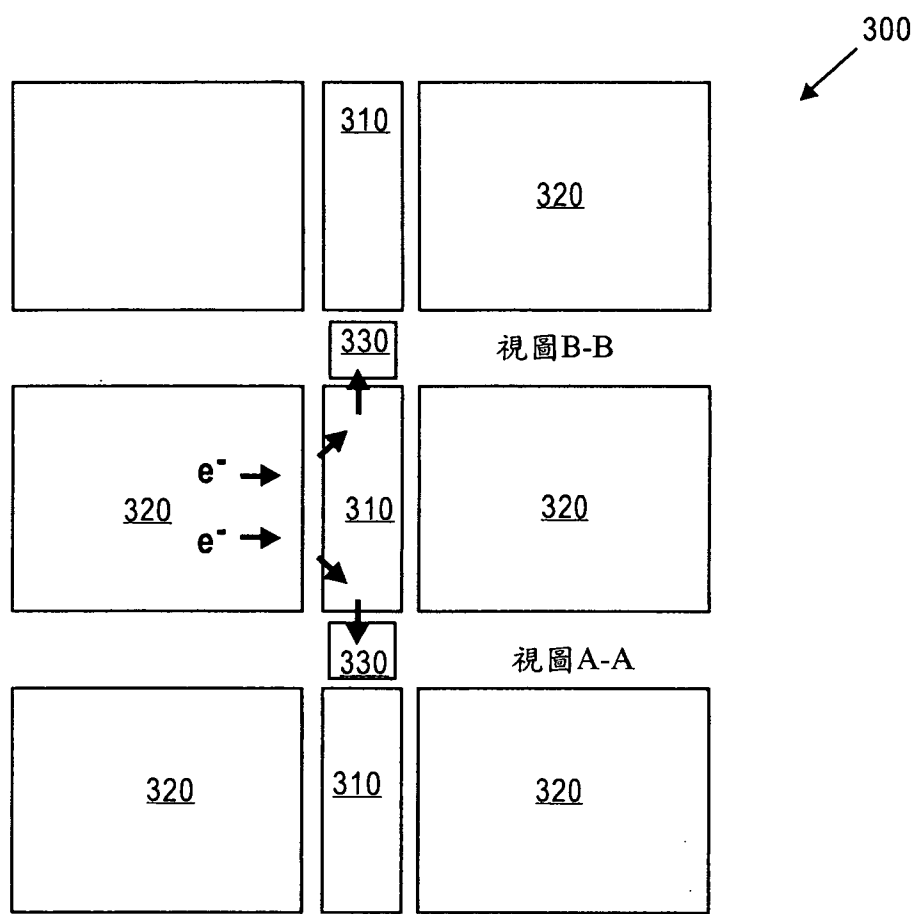


圖3A

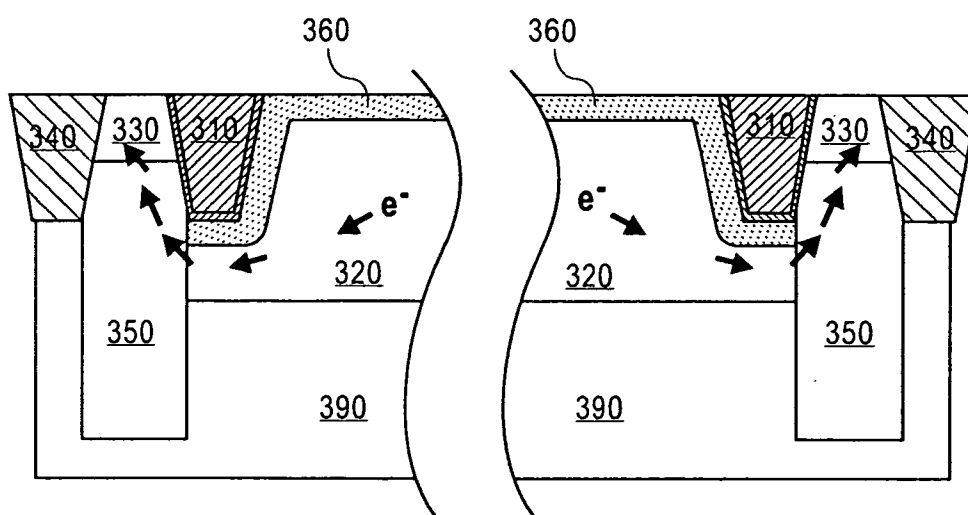


圖3B

圖3C

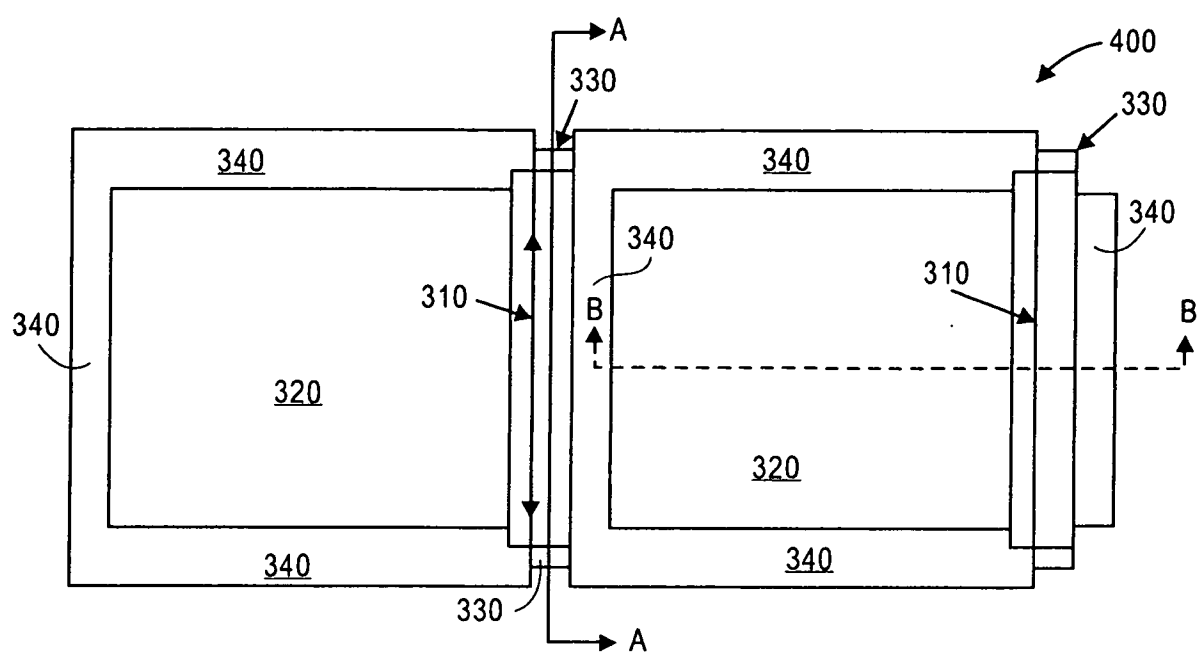
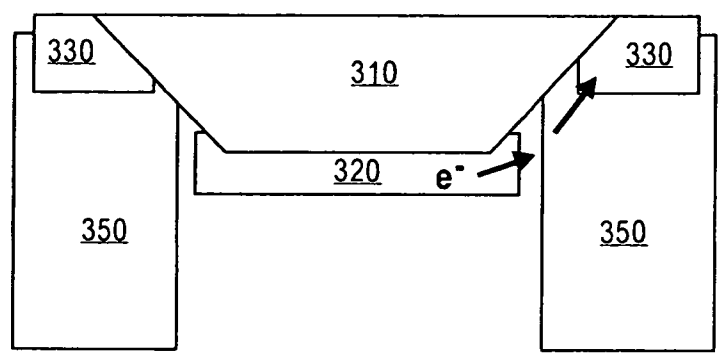
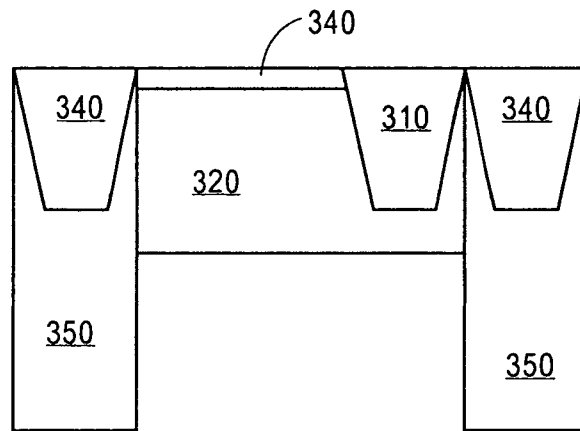


圖4A



(視圖AA)

圖4B



(視圖BB)  
圖4C

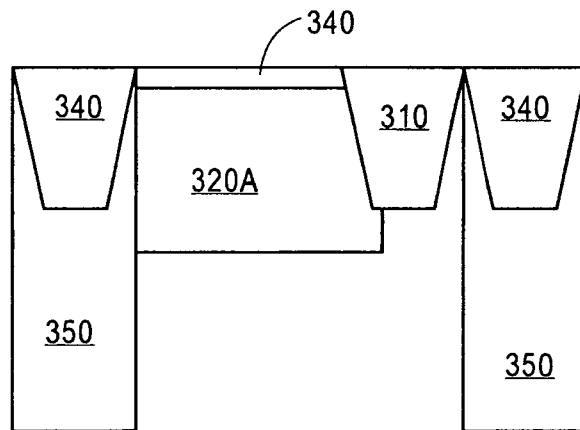


圖4D

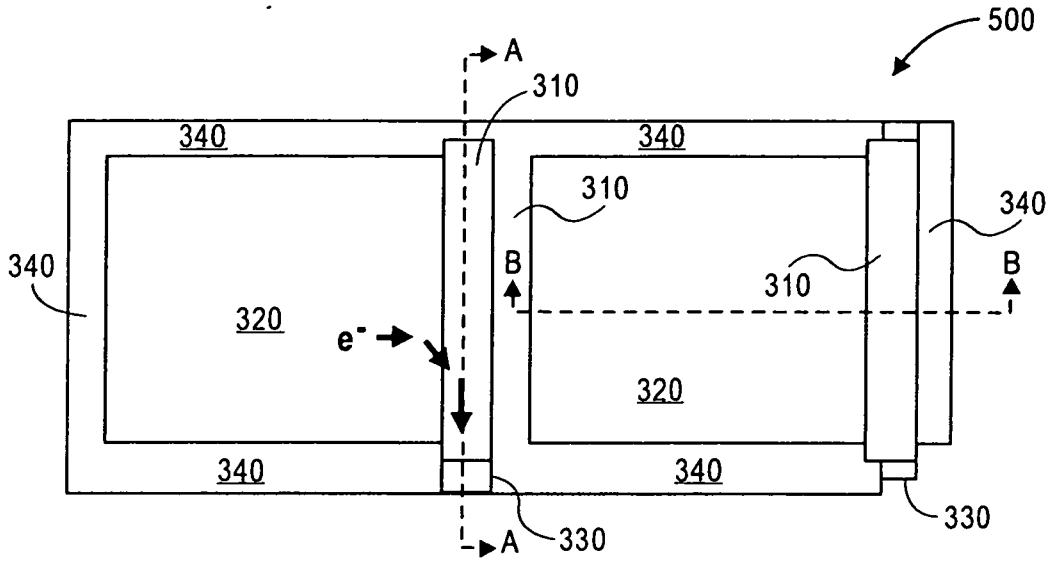
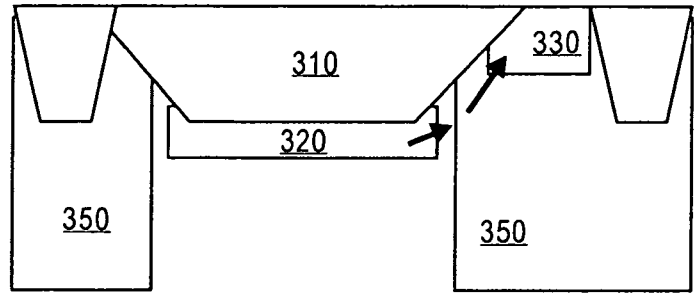
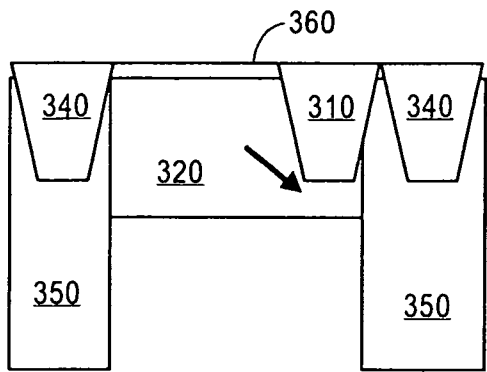


圖 5A



(視圖A-A)

圖 5B



(視圖B-B)

圖 5C

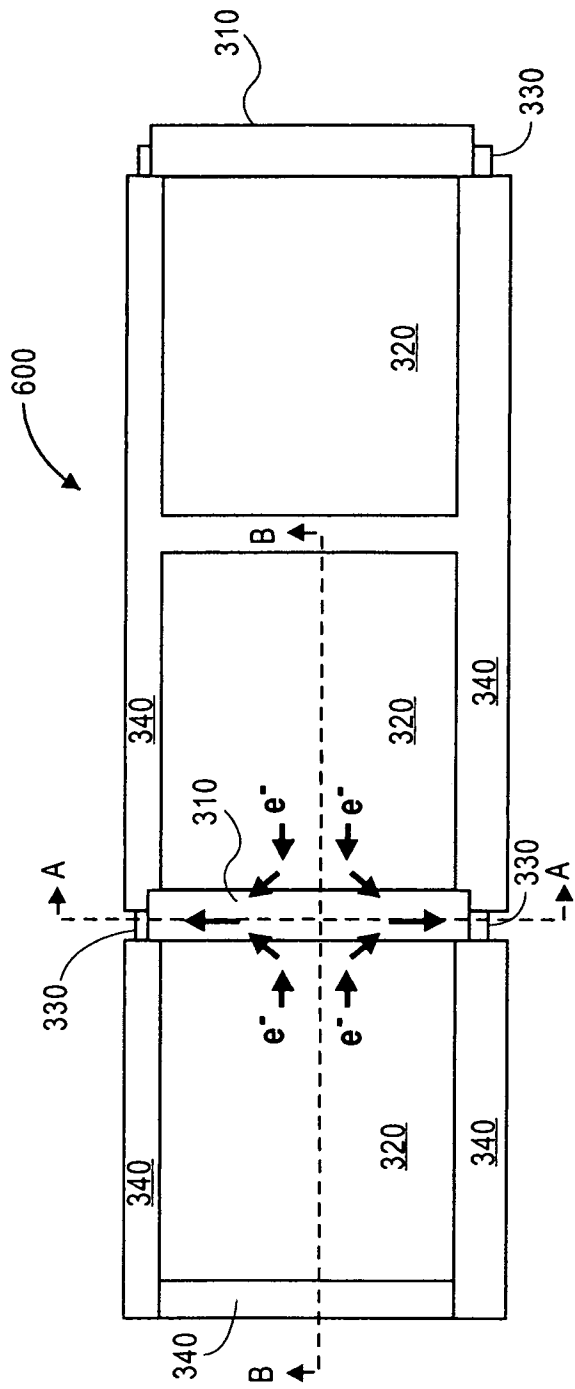
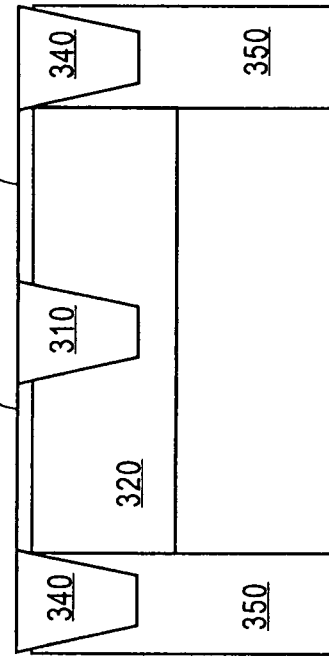
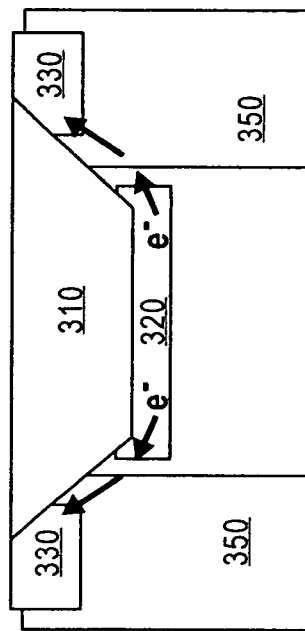


圖6A



(視圖B-B)  
圖6C



(視圖A-A)  
圖6B

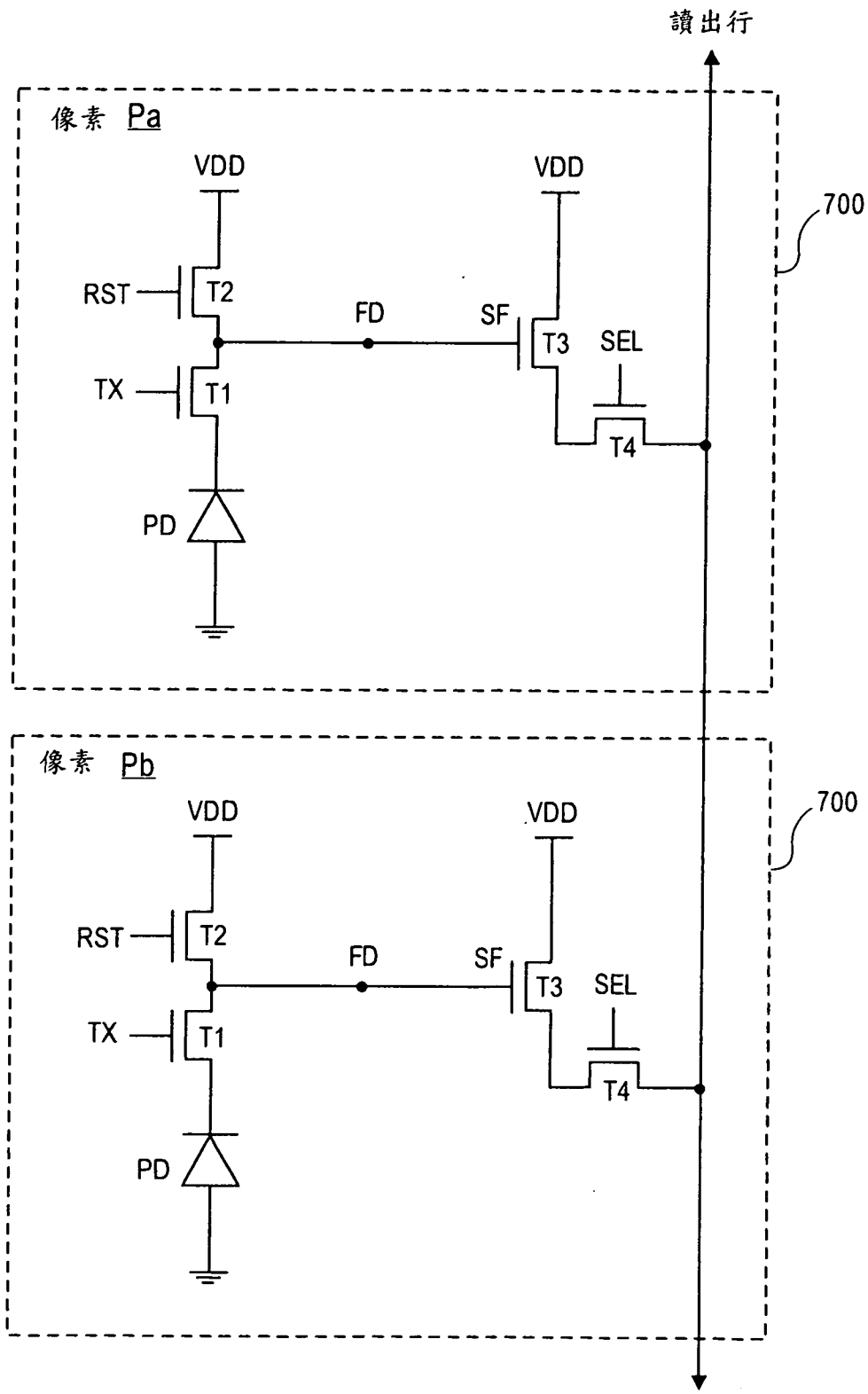


圖7