公告本

736370

申請日期	89 年 3 月 10 日
案號	89104437
類別	H01L 21/00

（以上各欄由本局填註）

A4
C4

468201

發明 新型 專利說明書

一、發明 新型 名稱	中文	使用乾式蝕刻法之半導體裝置的製造方法
	英文	
二、發明 創作 人	姓名	(1) 瀨田涉二 (2) 關根誠 (3) 中村直文
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國神奈川縣橫浜市南區高砂町一一一〇一一 克雷阿雷東芝吉野町八〇五號室 (2) 日本國橫浜市神奈川區西寺尾二一一八一一一二〇四 (3) 日本國神奈川縣橫浜市港北區日吉本町四一一四一一 東芝日吉寮
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人 姓名	(1) 西室泰三

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

468201

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1999 年 3 月 12 日	11-066293	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

背景技術

本發明係有關使用乾式蝕刻之半導體裝置之製造方法，特別是有關使用聚矽烷等之有機氧化矽膜之雙重溝配線（dual trench metallization）之層間絕緣膜（interlayer insulating film），連接孔（contact hole），溝之形成方法，深溝掩模形成方法，反射防止膜之除去方法等。

具有多層配線之半導體裝置之製造步驟中，常使用例如由有氧化矽膜，氮化矽膜等所構成之多層絕緣膜上以抗蝕劑爲掩模，形成連接孔等之圖型的步驟。

以往，使用ＲＩＥ（Reactive Ion Etching之簡稱）等之乾式蝕刻進行這種氧化矽膜，及氮化矽膜等之選擇蝕刻時，因抗蝕劑與氧化矽膜之蝕刻選擇比（蝕刻速度比）可提高，故氧化矽膜之蝕刻選擇容易，但抗蝕劑與氮化矽膜之間蝕刻選擇比無法提高，故很難以抗蝕劑爲掩模，選擇性蝕刻氮化矽膜。

近年製造大規模之半導體記憶裝置時，必須高密度集成極多數之微細的溝電容（trench capacitor），因此，使用各向異性乾式蝕刻在半導體基板上形成比開口部更深（以下稱爲高縱橫比）的溝爲重要的技術之一。

半導體基板上形成高縱橫比的溝時，各向異性乾式蝕刻之絕緣膜掩模上也必須形成高縱橫比的開口部。前述絕緣膜掩模上形成開口部時，以往使用抗蝕劑掩模，爲了形成高縱橫比的開口部而必須藉由高功率之高頻所激發之氣體電漿長時間照射抗蝕劑。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（2 ）

因此，抗蝕劑之開口部會產生凹凸狀之變形，半導體基板上不易形成高良率之內面平滑，且精度高之多數的溝。

隨著微細加工技術之發展，提高蝕刻之解像度，故抗蝕劑之膜厚必須薄，但是乾式蝕刻時會產生所謂的膜減少（ film thinning ），更難形成前述的溝。

通常半導體裝置之製造方法係使用以半導體基板上形成圖型之氮化矽膜作爲蝕刻掩模（ mask ），形成元件分離用之分離溝，形成元件分離用之厚的氧化矽膜將此分離溝埋入，以氮化矽膜爲抑制層進行表面研磨，平坦化使分離溝被氧化膜填滿之元件領域平坦化的步驟。

藉由表面研磨之元件領域平坦化的步驟中，元件領域較密的部分含有較多之氮化矽膜抑制層，故形成分離溝恰好被氧化膜填滿之良好的表面平坦化，但元件領域較稀疏的部分氮化矽膜抑制層較少，故平坦化步驟中，氧化矽膜被過度研磨形成凹狀，晶圓（ wafer ）全面無法均勻進行元件領域之平坦化。

因此，其對策是全面堆積多晶矽膜進行平坦化加工，使稀疏部殘留多晶矽膜作爲蝕刻掩模。但是此平坦化步驟中，稀疏部份之氧化矽膜有時會產生龜裂，然後在除去元件領域之氮化矽膜抑制層及前述多晶矽膜掩模時，在矽基板上留下深的凹洞。

以往形成閘電極時，採用形成閘電極用之金屬膜上形成氮化矽膜，氮化矽膜上之閘電極形成領域形成抗蝕劑圖

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（3 ）

型，以此抗蝕劑爲掩模形成氮化膜圖型，以抗蝕劑掩模剝離後形成圖型之氮化膜爲掩模，使前述金屬膜成爲閘電極的加工方法。

此時晶圓面內有凹凸時，使氮化矽膜掩模形成圖型時，晶圓表面之凸部形成圖型之蝕刻過度，底部之金屬膜也被蝕刻，及無法形成良好的閘電極。

形成自行整合型觸點（ self-aligned contact ）（以下簡稱ＳＡＣ）之蝕刻步驟係在埋入閘電極間之層間絕緣膜上開設連接孔，此時連接孔開口部之下部有閘電極之上面與側面相交之稜線露出。

由氧化矽膜所構成之層間絕緣膜上開設連接孔之蝕刻步驟中，爲了防止閘電極被蝕刻，因此通常以與氧化矽膜之蝕刻選擇比較大的氮化矽膜（蝕刻抑制層）被覆閘電極。但是對於氮化矽膜之氧化膜之蝕刻選擇比在平坦部可得到較高的選擇比，但稜線部則爲平坦部之約１／３以下。

因此，以往ＳＡＣ形成步驟中，開設連接孔時，閘電極之稜線部被蝕刻，閘極金屬露出，將配線用之金屬埋入連接孔時，造成閘電極短路的原因。特別是在閘電極之縱橫比（閘極長與閘極高的比）較大之E^2 ＰＲＯＭ之製造步驟時，不易形成ＳＡＣ已爲人知。

近年隨著微細加工技術之發展，常要求層間絕緣膜之高縱橫比的蝕刻，此時與氧化矽膜之間以該蝕刻選擇比的條件進行氧化矽膜之高縱橫比之乾式蝕刻時，蝕刻進行中，氟碳等之殘渣會殘留在開口部，蝕刻在半途中停止。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

五、發明說明（4 ）

多層配線之形成技術大多使用雙重溝配線（此領域稱爲 dual-damascene strmcture ），但雙重溝配線之層間絕緣膜加工時，需要組合形成掩埋2層之金屬配線之溝及形成連接2層之金屬配線之連接孔之高縱橫比，且需要微細之乾式蝕刻製程技術。

以往，層間絕緣膜之溝形成時，晶圓面內之溝的深度控制在一定值內是極困難的，爲了達到此目的而採用在由氧化矽膜所構成之層間絕緣膜中插入氮化矽膜，以此氮化矽膜作爲乾式蝕刻之抑制層的方法。特別是形狀複雜之雙重溝配線在形成連接孔後，控制上層之溝配線之深度時，也需要氮化矽膜之抑制層。

但是如上述，在配線附近含有介電率大於氧化矽膜之氮化矽膜，故配線容量增加，半導體裝置之工作速度降低。又溝形成時，由氧化矽膜所構成之層間絕緣膜產生部分蝕刻，離子集中在溝底部之角落部分，溝之角落產生溝道的形狀。因此，配線金屬不易埋入溝中。

以往，ＤＲＡＭ（ Dynamic Random Access Memory ）與邏輯（ logic ）混載於1晶片之ＬＳＩ中，ＤＲＡＭ部與邏輯部之設計規則不同，因此邏輯部對準寬度（ alignment margin ）爲ＤＲＡＭ部之對準寬度的１／４。

雙重溝配線之層間絕緣膜上形成之連接孔時，使用對於下部溝配線上之氮化矽膜蝕刻抑制層具有高選擇性之乾式蝕刻條件，在由氧化矽膜所構成之層間絕緣膜上形成連接孔，除去氮化矽膜後，進行在連接孔及下部溝配線之溝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（5 ）

上埋入配線用之金屬的步驟。

此時特別是對準邊線（ alignment margin ）較小之邏輯部，其連接孔之開口之一部份有時會偏離覆蓋下部之溝配線之氮化矽膜抑制層的外部，因此，由掩埋下部之溝配線之側面之氧化矽膜所構成之層間絕緣膜，在連接孔形成步驟易產生被切削之無邊蝕刻，有配線金屬埋入不良或短路不良的缺點。

以往蝕刻步驟中，抗蝕劑之下使用聚矽烷之反射防止膜，但使用圖形形成後O_2灰化除去抗蝕劑時，聚矽烷氧化有不易除去的現象。

發明摘要

如上述，使用以往之乾式蝕刻之半導體裝置的製造方法有以下的問題，高縱橫比之蝕刻困難，元件領域有疏密時，晶圓全面之平坦化困難，微細之閘電極形成時，表面之凹凸造成加工不良的原因，ＳＡＣ之連接孔形成時，閘電極之稜線部易產生短路不良等。

此外層間絕緣膜之高縱橫比之蝕刻時有以下問題點，有因乾式蝕刻之殘渣使蝕刻中途停止的缺點，雙重溝配線之層間絕緣膜形成時，爲了溝形成之均一化或避免無邊蝕刻，因此需要層積蝕刻抑制層之氮化矽膜，此乃是造成半導體裝置之工作速度降低的原因，又溝形成時，產生溝道，造成配線金屬埋入不良的原因，製造記憶體・邏輯混載ＬＳＩ時，邏輯部對準寬度較小，故特別易產生無邊蝕刻，作爲抗蝕劑之反射防止膜之聚矽烷不易除去等。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（6 ）

本發明係解決上述問題者，藉由提供使用聚矽烷等之有機矽膜之半導體基板上之多層絕緣膜的形成方法，除去方法，及蝕刻掩膜的形成方法，幾決上述問題爲目的

本發明之使用乾式蝕刻之半導體裝置的製造方法係藉由塗佈可容易形成平坦面，且乾式蝕刻及平坦化容易之聚矽烷等之有機矽膜與氧化矽膜或氮化矽膜等之絕緣膜，用於配線之金屬膜等進行層積，或形成於半導體基板上成爲這些之構成要素之一部份，可作爲改善前述絕緣膜部分之加工形狀之蝕刻抑制層等，有機矽膜進行微細加工形成例如由結構複雜之雙重溝配線之層間絕緣膜所構成的部分，然後此有機矽膜中導入例如氧，使前述有機矽膜變成由有機矽膜等所構成之絕緣膜，提供所要之半導體裝置之構成要素。

例如前述有機矽膜中，以矽與矽之鍵結爲主鏈者具有反射防止性，這種狀態下不可作爲半導體裝置之絕緣膜使用，但如上述施予導入氧等之處理時，可將有機矽膜作爲半導體裝置之絕緣膜使用。

如此可提供一種改善以往之乾式蝕刻時很難形成之配線溝的形狀或深度控制，高縱橫比之連接孔之形成，避免無邊蝕刻，平坦化的問題點，作爲反射防止膜使用之聚矽烷之新穎的除去方法。

具體而言，本發明之使用乾式蝕刻之半導體裝置的製造方法係於半導體基板上形成有機矽膜，前述有機矽膜藉由乾式蝕刻，使應該以前述半導體裝置之絕緣膜形成的部

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

五、發明說明（7 ）

分，使用前述有機矽膜形成後，藉由使前述有機矽膜變成絕緣膜，形成由前述半導體裝置之絕緣膜所構成的部分。

理想之前述半導體裝置的製造方法係將有機矽膜進行乾式蝕刻後，將氧、氮、氫、及碳中之至少一種元素導入前述有機矽膜中，使前述有機矽膜變成有機氧化矽膜、無機氧化矽膜、氧化矽膜、及氮化矽膜中之一種。

前述將氧、氮、氫、及碳中之至少一種元素導入前述有機矽膜之步驟理想爲採用使用由這些元素或其混合物所構成之離子的ＲＩＥ法，灰化法，及離子注入法中之任一種方法。

前述將氧、氮、氫、及碳中之至少一種元素導入前述有機矽膜之步驟係在前述元素或由其混合物所構成之氣體氣氛中藉由熱處理來進行。

由前述半導體裝置之絕緣膜所構成的部分理想爲埋入前述半導體基板表面與雙重溝配線之下方的各配線層內所形成之配線金屬之間的層間絕緣膜；埋入前述雙重溝配線之各配線層內所形成之配線金屬之間的絕緣膜；及前述雙重溝配線之上下方的各配線層間之層間絕緣膜中之至少一種所構成者。

前述有機矽膜係層積於絕緣膜所形成，前述有機矽膜之乾式蝕刻中，前述絕緣膜可作爲前述乾式蝕刻之抑制層使用較理想。

由前述半導體裝置之絕緣膜所構成的部分理想爲含有前述半導體基板上所形成之雙重溝配線之連接孔，及前述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（8 ）

雙重溝配線之上下方的各配線層之溝的層間絕緣膜所構成。

形成前述連接孔之步驟理想爲含有將前述有機矽膜塗佈於前述下方之配線層之上部全面之步驟；藉由選擇性乾式蝕刻此有機矽膜在前述有機矽膜形成到達前述下方之配線層之配線金屬上面之連接孔的步驟；使前述連接孔形成後之有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氟化矽膜，及氮化矽膜中之任一種所構成之絕緣膜的步驟。

前述下方之配線層理想爲由被埋入於半導體基板上之絕緣膜之溝配線所構成，前述連接孔之形成時，前述絕緣膜上面爲抑制無邊蝕刻者。

形成前述溝之步驟理想爲含有將有機矽膜塗佈於半導體基板上之絕緣膜之上部全面之步驟；藉由選擇性乾式蝕刻前述有機矽膜除去前述有機矽膜之溝之形成部分得步驟；使前述除去步驟後之有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氟化矽膜，及氮化矽膜中之任一種所構成之絕緣膜的步驟。

形成前述層間絕緣膜之步驟理想爲含有在半導體基板上之絕緣膜上形成連接孔的步驟；將有機矽膜塗佈於前述絕緣膜之上部全面，掩埋前述連接孔之步驟；藉由選擇性乾式蝕刻前述有機矽膜除去含有前述連接孔之開口部之前述上方之配線層之溝形成部分，及前述連接孔內部之前述有機矽膜的步驟；使前述除去步驟後之有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氟化矽膜，及氮化矽膜中之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（9 ）

任一種所構成之絕緣膜的步驟。

前述半導體裝置之製造方法在除去前述有機矽膜之步驟中，前述半導體基板上之絕緣膜之上面理想爲藉由抑制前述乾式蝕刻，使前述有機矽膜被選擇性蝕刻。

形成前述層間絕緣膜之步驟理想爲含有：將前述有機矽膜塗佈於形成前述下方之配線層之半導體基板上之第1絕緣膜之上部全面的步驟；在前述有機矽膜形成到達前述下方之配線層之配線金屬上面之第1選擇性乾式蝕刻步驟；使具備前述連接孔之有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氧化矽膜，及氮化矽膜中之任一種所構成之第2絕緣膜的步驟；將有機矽膜塗佈於第2絕緣膜之上部全面，掩埋前述連接孔之步驟；藉由除去含有前述連接孔之開口部之前述上方之配線層之溝形成部分，及前述連接孔內部之前述有機矽膜形成與前述第2絕緣膜所形成之連接孔連接之上方之配線層之溝的第2選擇性乾式蝕刻步驟；使具備前述上方之配線層之溝之有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氧化矽膜，及氮化矽膜中之任一種所構成之第3絕緣膜的步驟。

前述半導體裝置之製造方法中，前述第1絕緣膜理想爲抑制前述第1乾式蝕刻步驟之前述下方之配線層周邊部分所產生之無邊蝕刻，前述第2絕緣膜理想爲抑制形成前述上方之配線層之溝的第2選擇性乾式蝕刻步驟者。

形成前述層間絕緣膜之步驟理想爲含有：形成前述下方之配線層之半導體基板上之絕緣膜上形成第1有機氧化

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

矽膜，或無機氧化矽膜，或氧化矽膜中之任一種的步驟；前述第1有機氧化矽膜，或無機氧化矽膜，或氧化矽膜中之任一種上形成由有機矽膜所構成之乾式蝕刻之抑制層的步驟；前述抑制層上設置形成到達前述下方之配線層之連接孔之開口部的步驟；形成前述第2有機氧化矽膜，或無機氧化矽膜，或氧化矽膜中之任一種，掩埋設置前述開口部之前述抑制層的步驟；配合前述開口部形成爲了形成上方之配線層之溝之蝕刻掩模的步驟；使用設置前述蝕刻掩模與前述開口部之前述抑制層，接著以選擇性乾式蝕刻前述第1，第2有機氧化矽膜，或無機氧化矽膜，或氧化矽膜中之任一種的步驟。

由前述有機矽膜所構成之乾式蝕刻之抑制層理想爲含有：接著以選擇性乾式蝕刻前述第1，第2有機氧化矽膜，或無機氧化矽膜，或氧化矽膜中之任一種的步驟；然後變成有機氧化矽膜，作爲前述層間絕緣膜之一部份被一體化的步驟。

本發明之使用乾式蝕刻之半導體裝置的製造方法係含有：半導體基板上形成主鏈上至少具有矽與矽之鍵結之有機矽膜，前述有機矽膜之表面至少選擇性導入氧，氮，氫及碳中任一種元素的步驟；以前述有機矽膜之表面爲掩模進行選擇性乾式蝕刻，形成由前述半導體裝置之絕緣物所構成之部分的步驟；前述有機矽膜進行乾式蝕刻後，至少將氧，氮，氫及碳中任一種的元素導入前述有機矽膜的內部，使前述有機矽膜之表面與前述有機矽膜的內部皆以有

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（11）

機氧化矽膜，無機氧化矽膜，氧化矽膜及氮化矽膜中之任一種的形態進行一體化的步驟。

前述半導體裝置的製造方法理想爲以前述有機矽膜之表面爲掩模選擇性進行乾式蝕刻，使前述掩模之開口部周邊之邊緣被加工成圓形。

本發明之使用乾式蝕刻之半導體裝置的製造方法係含有：在半導體基板上形成主鏈上至少具有矽與矽之鍵結之有機矽膜，前述有機矽膜之表面至少選擇性導入氧，氮，氫及碳中任一種元素的步驟；以前述有機矽膜之表面爲掩模進行選擇性乾式蝕刻，形成由前述半導體裝置之絕緣物所構成之部分的步驟；前述有機矽膜進行乾式蝕刻後，至少將氧，氮，氫及碳中任一種的元素導入前述有機矽膜的內部，使前述有機矽膜之表面與前述有機矽膜的內部形成不同之有機氧化矽膜，無機氧化矽膜，氧化矽膜及氮化矽膜中之任一種的的步驟；使用前述有機矽膜之表面與內部之選擇比蝕刻，除去前述掩模的步驟。

本發明之使用乾式蝕刻之半導體裝置的製造方法係使用有機矽膜，在半導體基板上之絕緣膜之上面形成光蝕刻步驟之反射防止膜，前述光蝕刻步驟之後，藉由將氧，氮，氫及碳中任一種的元素導入前述有機矽膜，使前述反射防止膜形成有機氧化矽膜，無機氧化矽膜，氧化矽膜及氮化矽膜中之任一種，將前述反射防止膜與前述絕緣膜進行一體化者。

本發明之使用乾式蝕刻之半導體裝置的製造方法係使

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

用有機矽膜，在半導體基板上之絕緣膜之上面形成光蝕刻步驟之反射防止膜，前述光蝕刻步驟之後，藉由將氧，氮，氫及碳中任一種的元素導入前述有機矽膜，使前述反射防止膜形成有機氧化矽膜，無機氧化矽膜，氧化矽膜及氮化矽膜中之任一種，使用前述步驟後之反射防止膜與前述絕緣膜選擇性蝕刻除去前述反射防止膜者。

本發明之使用乾式蝕刻之半導體裝置的製造方法係含有：半導體基板上形成熱氧化膜的步驟；前述熱氧化膜上塗佈有機矽膜，前述有機矽膜上形成氧化矽膜的步驟；由前述氧化矽膜與有機矽膜所構成之多層膜上形成到達前述半導體基板表面之開口部的步驟；將氮導入前述步驟後之前述有機矽膜，使前述有機矽膜變成氮化矽膜的步驟；以由前述氧化矽膜與前述氮化矽膜所構成之多層膜爲掩模，在前述半導體基板上形成溝的步驟。

本發明之使用乾式蝕刻之半導體裝置的製造方法係含有：半導體基板上塗佈有機矽膜，以抗蝕劑爲掩模，使前述有機矽膜形成圖型覆蓋前述半導體基板上之元件區域的步驟；以前述形成圖型後之有機矽膜與抗蝕劑爲掩模，在半導體基板上形成分離溝，將氮導入前述有機矽膜，使前述有機矽膜變成氮化矽膜的步驟。

前述半導體裝置的製造方法理想爲再於半導體基板上塗佈有機矽膜，使分離溝埋入形成前述分離溝之半導體基板之上部全面的步驟；以前述氮化矽膜爲抑制層，使前述有機矽膜之表面平坦化的步驟；將氧導入掩埋前述分離溝

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（13）

之前述有機矽膜，使前述有機矽膜變成氧化矽膜，有機氧化矽膜及無機氧化矽膜中之任一種膜的步驟。

本發明之使用乾式蝕刻之半導體裝置的製造方法係含有：半導體基板上形成閘極絕緣膜（gate insulating film），前述閘極絕緣膜上至少形成1層金屬膜的步驟；前述金屬膜上塗佈有機矽膜，以抗蝕劑爲掩模，以前述金屬膜覆蓋之半導體基板上之閘電極形成區域上形成前述有機矽膜圖型的步驟；以前述形成圖型之有機矽膜與前述抗蝕劑爲掩模，在前述形成閘電極區域上形成由前述金屬膜所構成之閘電極圖型的步驟；將氮導入前述有機矽膜，使前述形成圖型之有機矽膜成爲氮化膜的步驟。

本發明之使用乾式蝕刻之半導體裝置的製造方法係含有：半導體基板上形成閘極絕緣膜，前述閘極絕緣膜上至少形成1層金屬膜，在以前述金屬膜覆蓋之半導體基板上之形成閘電極區域上形成由前述金屬膜所構成之閘電極圖型的步驟；以氮化矽膜覆蓋前述閘電極，堆積第1絕緣膜，將前述閘電極埋入前述半導體基板之上部全面的步驟；使第1絕緣膜之表面平坦化，此平坦化之第1絕緣膜上塗佈有機矽膜的步驟；藉由使用以抗蝕劑爲掩模之乾式蝕刻，選擇性除去

覆蓋前述閘電極所鄰接之源極或漏極形成區域中之任一區域，及前述閘電極之前述源極或漏極側之一部份的前述有機矽膜，在前述有機矽膜上形成到達前述第1絕緣膜之連接孔的步驟；使用以前述抗蝕劑及前述有機矽膜爲掩

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

模之乾式蝕刻，更進一步蝕刻前述第1絕緣膜，使前述氮化矽膜露出於前述連接孔底部的步驟；前述蝕刻後，藉由除去前述氮化矽膜與閘極絕緣膜，使前述半導體基板上之源極或漏極形成區域中之任一區域表面以自行整合方式露出的步驟；使有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氧化矽膜，及氮化矽膜中之任一種所構成之第2絕緣膜，前述有機矽膜與前述第1絕緣膜一體化，將前述連接孔用於配線之連接的步驟者。

本發明之使用乾式蝕刻之半導體裝置的製造方法係含有：半導體基板上形成閘極絕緣膜，前述閘極絕緣膜上至少形成1層金屬膜，在以前述金屬膜覆蓋之半導體基板上之形成閘電極區域上形成由前述金屬膜所構成之閘電極圖型的步驟；以氮化矽膜覆蓋前述閘電極，層積於前述氮化矽膜上，再覆蓋第1氧化矽膜的步驟；將前述有機矽膜塗佈於前述半導體基板之上部全面，藉由使用以抗蝕劑爲掩模之乾式蝕刻，選擇性除去覆蓋前述閘電極所鄰接之源極或漏極形成區域，及前述閘電極之前述源極或漏極側之一部份的前述有機矽膜，在前述有機矽膜上形成到達前述第1氧化矽膜之連接孔的步驟；將氧導入前述有機矽膜，使前述有機矽膜變成第2氧化矽膜，以前述第2氧化矽膜爲掩模藉由乾式蝕刻，除去露出於前述連接孔底部之前述第1氧化矽膜的步驟；藉由除去前述第1氧化矽膜，更進一步除去露出之前述氮化矽膜與前述閘極絕緣膜，使前述半導體基板上之源極或漏極形成區域中之任一區域表面以自

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

行整合方式露出，將前述連接孔用於配線之連接的步驟者。

本發明之乾式蝕刻方法係在半導體基板形成主鏈上至少具有矽與矽之鍵結之有機矽膜，至少將前述有機矽膜藉由乾式蝕刻，形成由前述半導體裝置之絕緣膜所構成之部分的步驟；前述步驟後之有機矽膜藉由使用至少O_2或N_2或H_2中之熱處理，O_2或N_2或H_2電漿中之熱處理，O_2或N_2或H_2離子之注入與熱處理中之一種方法進行處理，將前述加工部分變成有機氧化矽膜，無機氧化矽膜，氧化矽膜及氮化矽膜中之任一種所構成之絕緣膜者。

發明之詳細說明

以下參考圖面詳細說明本發明之實施形態。使用圖1A－1F，圖2A－2C係說明本發明之第1實施形態。圖1A－1F係表示雙重溝配線之形成所需之含有連接孔之層間絕緣膜之結構圖。圖2A－2C係說明藉由乾式蝕刻之雙重溝配線之形成方法及其問題點的說明圖。

雙重溝配線之層間絕緣膜上實施形成第1溝配線之第1溝形成，形成第2溝配線之第2溝形成，及互相連接第1，2之溝形成部分之連接孔形成。

如圖1A所示，在矽基板1上形成絕緣膜2，形成以氮化矽膜4被覆周邊之配線金屬3，將絕緣膜2所設置之第1溝埋入。絕緣膜2材料通常可使用氧化矽膜。絕緣膜2之表面係以氮化矽膜4爲抑制層，藉由CMP（

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（16）

Chemical Mechanical Polish）進行平坦化。關於圖1A所示之第1層之溝配線之形成步驟係因無直接與第1實施形態相關，故詳細說明予以省略。

如圖1B所示，平坦化之絕緣膜2上再層積由相同材料所構成之絕緣膜，其表面平坦化後，使用RIE之各向異性之蝕刻形成連接孔5。此時氮化矽膜4成爲蝕刻抑制層（蝕刻之抑制層）。

如圖1C所示，全面塗佈聚矽烷6。此聚矽烷6之厚度係與第2溝之深度相等。聚矽烷6具有流動性，故以聚矽烷6掩埋連接孔5之內部，以塗佈步驟使聚矽烷6之表面充分平坦化，能使晶圓全面之第2溝之深度保持一定。

其次爲了聚矽烷6上形成第2溝而塗佈抗蝕劑7，設置形成第2溝之開口部。以此抗蝕劑7爲掩模，以聚矽烷6對絕緣膜2之蝕刻選擇比較大的條件，進行RIE之聚矽烷6之各向異性蝕刻時，如圖1D所示，以絕緣膜2及氮化矽膜4爲蝕刻抑制層，對於連接孔5之形狀不會有任何影響，可形成第2溝8。

此時使用之RIE之蝕刻條件爲箱內之壓力75mTorr，高頻電力300W，Cl_2／O_2混合氣體之流量比75／10sccm。此氧化矽膜（SiO_2）所構成之絕緣膜2與聚矽烷6之間可得到約100之蝕刻選擇比。

很容易且精密以RIE各向異性蝕刻聚矽烷6，又聚矽烷6與氮化矽膜4之間可取得約50之蝕刻選擇比，故

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（17）

留下氮化矽膜4，可完全除去掩埋連接孔5之內部的聚矽烷6。

接著使用O_2灰化步驟除去抗蝕劑7。此時基板1之溫度成爲250℃，藉由熱擴散將氧導入聚矽烷6，使聚矽烷6變成氧化矽膜，成爲絕緣膜2之一部份。此時由聚矽烷6變成之氧化矽膜當氧化越強時，越顯示接近SiO_2結晶結構，也可視爲由SiO_2所構成之絕緣膜。

如圖1E所示，聚矽烷6成爲絕緣膜2之一部份，可以高精度形成具備連接孔5與第2配線溝8之雙重溝配線之層間絕緣膜2。

如圖1F所示，以對於氮化矽膜之RIE蝕刻條件除去被覆金屬配線3之上部之氮化矽膜4，堆積配線金屬之材料掩埋連接孔5與第2配線溝8。配線金屬之材料可使用Al－Cu，及Cu。然後以絕緣膜2爲掩模，藉由CMP除去過剩堆積之金屬配線除去部3a時，可形成形狀被精密控制之良好的雙重溝配線。

使用圖2A－2C敘述上述雙重溝配線之層間絕緣膜形成方法之其他重要的優點。如圖2A所示，詳細說明形成絕緣膜2之連接孔5時，產生蝕刻掩模之對位偏離的情形。

以往，藉由CMP進行由SiO_2所構成之絕緣膜的表面時，例如蝕刻抑制層之面內分佈有鬆緊時，晶圓全面很難均勻之平坦化加工。

因此，圖2A爲止之連接孔5之形成加工中，連接孔

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（18）

形成前之絕緣膜2之厚度有某程度之偏差。

對於有厚度偏差之絕緣膜欲形成確實到達被覆配線金屬3之氮化膜4之連接孔5時，必須進行大於規定厚度20%～30%之過度各向異性ＲＩＥ。

如果產生蝕刻掩模之對位偏離的情形時，在偏離的部分氮化矽膜4不具有蝕刻抑制層的作用，故產生如圖2Ａ所示之過度之蝕刻，造成配線不良的原因。連接孔底部所產生之過度蝕刻稱爲無邊蝕刻。

以往，雙重溝配線之層間絕緣膜形成方法中，最初絕緣膜2之厚度如圖1Ｅ所示之厚度，氮化矽膜4露出爲止以各向異性ＲＩＥ形成連接孔5，再以各向異性ＲＩＥ形成第2溝8。

因此，連接孔5形成時之絕緣膜2之厚度增加，前述過度之各向異性ＲＩＥ的量也增加。再加上第2溝8形成時之各向異性ＲＩＥ，故無邊蝕刻接受2次之各向異性ＲＩＥ。因此前述無邊蝕刻之發生爲雙重溝配線之層間絕緣膜形成步驟之重要問題點之一。

上述第1形態中，第2溝8係使用聚矽烷6所形成的，故連接孔5形成時之絕緣膜2的厚度降低，因此如圖2Ａ所示之絕緣膜2之無邊蝕刻被控制。第2溝8係使用加工容易之聚矽烷，與絕緣膜2之間的蝕刻選擇比較大，故如圖2Ｂ所示，除去連接孔5之聚矽烷之各向異性ＲＩＥ步驟中，無邊蝕刻不會更進一步進行。

如圖2Ｃ所示，同時進行藉由O_2灰化除去抗蝕劑7及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（19）

聚矽烷6之氧化，掩埋配線金屬，實施平坦化時，可形成無邊蝕刻較少之雙重溝配線。

以矽與矽之鍵結爲主鏈之聚矽烷等之有機矽無法直接成爲良好層間絕緣膜的材料，但使用O_2灰化等方法將O_2導入材料中時，聚矽烷等之有機矽變成電氣，機械性接近SiO_2的絕緣材料，故使用此有機矽可形成良好層間絕緣膜。

本第1之實施形態可作爲DRAM部分與邏輯部分混載於1晶片之記憶體・邏輯混載LSI之製造方法。如前述，邏輯部分之對準邊線小於記憶體部，故在邏輯部易產生無邊蝕刻，但使用第1實施形態時，即使這種情形也能製得高良率之記憶體・邏輯混載LSI。

其次依據圖3A，3B及圖4A，4B說明本發明之第2實施形態。如圖3A所示，絕緣膜2上形成第1層之溝配線，以氮化矽膜4爲抑制層進行平坦化後，全面塗佈聚矽烷6。使用抗蝕劑7與各向異性RIE在聚矽烷6上形成連接孔5，藉由O_2灰化除去抗蝕劑7，同時使聚矽烷6變成由氧化矽膜所構成之絕緣膜2，成爲第1實施形態所說明之圖1B所示之絕緣膜2的形狀。使用此形態可進行圖1C以下之步驟。

第2實施形態中，形成連接孔5之抗蝕劑掩模7時，產生對位偏離之情況如圖4A，4B所示。第2實施形態中，即使產生如圖4A之對位偏離也能在聚矽烷6上形成連接孔5，故可與絕緣膜2之間取得充分的蝕刻選擇比。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（20）

因此，絕緣膜2成爲蝕刻抑制層提高各向異性RIE之控制性，避免無邊蝕刻。

其次如圖4B所示，以O_2灰化步驟除去抗蝕劑7，同時使聚矽烷6變成氧化矽膜，以此作爲絕緣膜2之一部份，然後除去覆蓋金屬配線3之上部的氮化矽膜4時，可繼續適用圖2C以下之第1實施形態之雙重溝配線之形成步驟。

圖4B具有完全不會產生如圖2C之無邊蝕刻的特徵。掩埋連接孔5之配線金屬與第1層配線金屬之接觸面積縮小，但可大幅降低無邊蝕刻之配線不良。

使用第2實施形態時，當然可大幅抑制記憶體・邏輯混載LSI因無邊蝕刻造成邏輯部的良率下降。

第2實施形態係以雙重溝配線之連接孔5之形成方法來說明，但不受此限。在通常之多層配線之連接孔形成時也可使用相同的方法。

其次使用圖5A－5D說明本發明之第3實施形態。第3實施形態其圖3A之絕緣膜2由聚矽烷6所構成，與第2實施形態不同。

如圖5A所示，矽基板1上塗佈聚矽烷6。此矽基板1係晶圓製程結束後者，且製作半導體裝置之各種構成要件，因此通常其表面形成複雜之段差（step）。

但是聚矽烷6具有流動性，故利用塗佈埋入段差，同時即使不進行表面研磨也具有晶圓全面均勻之乾式蝕刻加工之充分的表面平坦性。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（21）

其次以抗蝕劑（無圖示）爲掩模進行各向異性ＲＩＥ，聚矽烷6上形成第1溝。如前述，聚矽烷容易進行各向異性ＲＩＥ，且表面平坦，因此即使無特別之蝕刻抑制層，僅以單獨控制ＲＩＥ條件也能形成實用上均勻之深度的第1溝。

組合氮化矽膜3之被覆步驟，金屬配線4之埋入步驟及除去聚矽烷6上所殘留之多餘之配線金屬與氮化矽膜的步驟等，形成圖5Ａ所示之第1溝配線。

圖5Ａ中，聚矽烷6係在O_2灰化除去用於第1溝之圖型形成之抗蝕劑（無圖示）步驟中，變成氧化矽膜，但爲了顯示與第2實施形態之不同，而聚矽烷6以圖示來表示。

如圖5Ｂ所示，在由前述氧化矽膜所構成之絕緣膜2與被覆氮化膜4之金屬配線3之上塗佈聚矽烷6，對準連接孔之開口位置形成抗蝕劑7圖型。

其次如圖5Ｃ所示，以抗蝕劑7爲掩模，在聚矽烷6上形成到達氮化膜4之連接孔5。以O_2灰化除去抗蝕劑7，同時使聚矽烷6變成由氧化矽膜所構成之絕緣膜2，除去配線金屬3之上的氮化膜4時，如圖5Ｄ所示，全部可以聚矽烷6材料形成第2實施形態所說明之圖3Ｂ之絕緣膜2的結構。

變成絕緣膜2之聚矽烷6具有與整體之絕緣膜2相同之材料特性，故可繼續適用於圖1Ｃ以下之第1實施形態的製造方法。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（22）

第3實施形態中，以聚矽烷形成圖5A之第1溝配線的優點係在於即使矽基板1之表面具有段差也可得到聚矽烷之平坦的表面。如以往堆積絕緣膜2的方法若底層有段差時，絕緣膜2的表面也會產生段差，故無法形成寬度與深度均勻之第1溝。

深厚堆積絕緣膜2，以CMP進行平坦化時，可改善第1溝之形狀，但具有用於研磨之抑制層之鬆緊等之問題，通常不易使晶圓全面平坦化。塗佈聚矽烷6時，能夠很容易避免此問題。第3實施形態中，關於無邊蝕刻也可得到與第2實施形態相同的效果。

其次使用圖6A－6I說明本發明之第4實施形態。以往高縱橫比之連接孔之形成，或溝形成時，作爲各向異性RIE之掩模使用之抗蝕劑會產生膜厚減少，抗蝕劑之殘留膜（residual film）變薄，無法作爲掩模使用。

爲了迴避此問題，而使用抗蝕劑形成連接孔開口部之反圖型（reversed patter），藉由O_2RIE或O_2之離子注入使露出之開口外部之聚矽烷表面變成由氧化矽膜所構成之絕緣膜，以此絕緣膜爲掩模藉由將聚矽烷設置開口，可形成良好之連接孔或溝。

換言之，如圖6A所示，矽基板1上之絕緣膜2，及以氮化膜4覆蓋之配線金屬3所構成之第1溝配線上塗佈聚矽烷6，形成抗蝕劑7圖型以覆蓋連接孔之形成部。

其次以抗蝕劑7爲掩模，如圖6A之箭頭所示，使用O_2RIE將O_2離子導入聚矽烷6的表面。接著以O_2灰

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（23）

化除去抗蝕劑7時，如圖6B所示，在聚矽烷6的表面形成由氧化矽膜所構成之絕緣膜2。此抗蝕劑7之O_2灰化係除去抗蝕劑7之必要之最低限度，使抗蝕劑7下部所覆蓋之聚矽烷6之表面不會變成氧化矽膜。

如前述，可提高聚矽烷6對絕緣膜2的蝕刻選擇比，故除去抗蝕劑7後，如圖6C所示，進行以絕緣膜2爲掩模之各向異性RIE時，以氮化膜4爲蝕刻抑制層，可在聚矽烷6上形成連接孔5。

接著與RIE相同之箱內進行與O_2灰化相同的處理時，O_2由聚矽烷6所開設之連接孔5的內面被導入，聚矽烷6整體可變成由氧化矽膜所構成之絕緣膜。

因此，如圖6D所示，第1溝形成用之絕緣膜2，連接孔5之形成，及作爲蝕刻掩模用之絕緣膜全部皆可以由氧化矽膜所構成之整體之絕緣膜2的形態來形成。

此時作爲蝕刻掩模用之絕緣膜2a之開口部周邊之邊緣部分以各向異性RIE形成圓形。此圓形部分過多造成結構上的問題時，如圖6D所示，使用CMP研磨除去絕緣膜2a部分即可。

但是圖6D之絕緣膜2之連接孔爲高縱橫比時，配線金屬埋入連接孔時，必須注意開口部周邊之邊緣所產生之圓形的加工部分被掩埋，具有圓滑化的效果。

如圖6E所示，全面塗佈聚矽烷6掩埋連接孔，使用抗蝕劑7形成反圖型以覆蓋第2溝之開口部。以此抗蝕劑7爲掩模，使用O_2RIE裝置將氧導入聚矽烷6的表面。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（24）

如圖6F，6G所示重覆圖6B，6C的步驟，接著相同之箱內進行與O_2灰化相同的處理時，如圖6H所示所有由氧化矽膜所構成之雙重溝配線之層間絕緣膜2可在矽基板1上形成。

如圖6I所示，除去配線金屬3上部之氮化矽膜4，堆積配線金屬掩埋連接孔5與第2溝8。配線金屬可使用Al－Cu，及Cu。然後以絕緣膜2爲掩模，藉由CMP除去過剩堆積之金屬配線除去部3a時，可形成形狀被精密控制之良好的雙重溝配線。

此時因各向異性RIE在作爲蝕刻掩模用之絕緣膜2a之開口部周邊之邊緣之圓形部分過多造成結構上的問題時，使用CMP研磨除去絕緣膜2a部分即可。

但是圖6H所示之第2溝8爲高縱橫比時，配線金屬埋入第2溝8時，必須注意開口部周邊之邊緣所產生之圖6I之絕緣膜除去部2a具有使前述掩埋步驟圓滑化的效果。

使用圖7A－7C說明本發明之第5實施形態。圖7A中，全面塗佈聚矽烷6掩埋連接孔之步驟爲止係與圖6E之第4實施形態相同。

前述第4實施形態中，藉由反圖型形成抗蝕劑7以覆蓋聚矽烷6之第2溝8之開口部，但第5實施形態係全面塗佈聚矽烷6後使用抗蝕劑7進行第2溝8之形成位置設置開口之一般的圖型。

使用加工容易之聚矽烷6形成第2溝，因此各向異性

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（25）

ＲＩＥ之抗蝕掩模之膜減少。如圖７Ｂ所示，抗蝕劑７可作爲除去滿足第２溝８之形成及連接孔５之聚矽烷６時之蝕刻掩模使用。

如圖７Ｃ所示，藉由O_2灰化除去抗蝕劑７的步驟同時使聚矽烷６變成由氧化矽膜所構成之絕緣膜２時，矽基板１上之雙重溝配線之層間絕緣膜２可形成由整體之氧化矽膜所構成之絕緣膜。

各向異性ＲＩＥ中，一同除去抗蝕劑７之開口部周邊之邊緣之圓形部分及抗蝕劑７，因此圓形部分不適合作爲加工形狀時，可使用此方法。接著附加圖１Ｆ之金屬配線材料之埋入步驟時，可形成雙重溝配線。

前述第１～第５實施形態中，由氧化矽膜所構成之絕緣膜之形成方法係使用O_2電漿之ＲＩＥ，或O_2離子注入，但不受此限。

其他藉由O_2氣氛中之熱氧化，使用O_3電漿之研磨，紫外線照射，及浸漬於混合硫酸與過氧化氫之水溶液等能使聚矽烷變成由氧化矽膜所構成之絕緣膜。

聚矽烷等之有機矽膜係將藉由氧化程度使碳殘留在氧化膜中之有機氧化矽膜中之碳除去，但結晶結構具有相較於SiO_2之更不規則性，且由具有ＯＨ基之無機氧化矽膜進行熱處理，直到結晶結構形成與SiO_2相同程度之氧化矽膜爲止，可變成各階段的絕緣膜。

例如使用有機氧化矽膜形成第１層之溝配線，及連接孔後，塗佈有機矽形成第２溝，O_2單體氣體中進行研磨時

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（26）

，控制溫度藉由有機矽中殘留碳，或O_2與CO_2之混合氣體中進行熱處理，使形成第2溝之有機矽變成具有與有機氧化矽膜相同之介電率之有機膜系之氧化矽膜。

又對於聚矽烷等之有機矽膜藉由H_2之單體氣體，H_2與O_2之混合氣體之灰化，RIE，離子注入，或進行熱處理，可形成無機氧化矽膜。

又對於聚矽烷等之有機矽膜藉由H_2之單體氣體，N_2與O_2之混合氣體中進行熱處理，或使用這些氣體進行研磨，RIE，或離子注入可形成氧化矽氮化膜，氮化矽膜。

這些各種之有機膜系之氧化矽膜，氧化矽氮化膜，氮化矽膜皆可用於本發明之連接孔或溝之乾式蝕刻加工等。

其次使用圖8A－8C說明本發明之第6實施形態。第6實施形態如圖8A所示，雙重溝配線之層間絕緣膜形成時，第1層之溝配線及連接孔形成爲止係使用有機氧化矽膜。有機氧化矽膜2b之形成方法係使用圖5A－5D，以第3實施形態相同的方法，故省略詳細說明。

如圖8A所示，前述有機氧化矽膜2b上塗佈聚矽烷6掩埋連接孔，使用抗蝕劑7將第2溝之形成部分設置開口。其次如圖8B所示，以抗蝕劑7爲掩模，使用各向異性RIE在聚矽烷6上形成第2溝8，除去滿足連接孔5之聚矽烷6直到氮化膜4露出爲止。

接著如圖8所示，使用O_2與CO_2之混合氣體之研磨除去抗蝕劑7，同時使聚矽烷6變成有機氧化矽膜2b之一部份，具有相同之介電率。如此皆可形成由整體之有機

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（27）

氧化矽膜所構成之雙重溝配線之層間絕緣膜。

其次使用圖９Ａ－９Ｃ說明本發明之第７實施形態。第７實施形態中，雙重溝配線之層間絕緣膜整體使用有機氧化矽膜２ｂ來形成，以掩埋成爲第２溝形成之蝕刻抑制層之聚矽烷６ａ。

如圖９Ａ所示，由聚矽烷６ａ所構成之蝕刻抑制層上預先設置開口部，也可作爲連接孔形成之蝕刻掩模使用。更進一步，在有機氧化矽膜２ｂ上塗佈作爲反射防止膜之聚矽烷６，使用抗蝕劑７在第２溝之形成區域設置開口部。

如圖９Ｂ所示，使用ＲＩＥ除去由聚矽烷６所構成之反射防止膜，接著使用ＲＩＥ對有機氧化矽膜２ｂ之條件進行到達氮化膜４之各向異性蝕刻時，一次之ＲＩＥ步驟可形成連接孔５及第２溝８。

此時以C_4F_8／ＣＯ／Ａｒ／O_2混合氣體之流量比例爲１０／５０／２００／８ｓｃｃｍ，壓力４０ｍＴｏｒｒ，高頻電力１４００Ｗ外加之ＲＩＥ條件下，進行各向異性蝕刻時，聚矽烷６對有機氧化矽膜之蝕刻選擇比可爲１０以上，故以聚矽烷６爲連接孔５之蝕刻掩模，同時可作爲形成第２溝８之蝕刻抑制層使用。

如圖９Ｃ所示，除去被覆金屬配線３上部之氮化矽膜４後，使用O_2與CO_2之混合氣體進行研磨除去抗蝕劑７，同時使聚矽烷６，６ａ變成有機氧化矽膜２ｂ之一部份，具有相同之介電率。如此皆可形成由整體之有機氧化矽

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（28）

膜所構成之雙重溝配線之層間絕緣膜。

上述第7實施形態中，必須形成有機氧化矽膜2b掩埋聚矽烷6a。換言之，有機氧化矽膜2b之形成過程必須防止聚矽烷6a之氧化。爲了防止聚矽烷6a之氧化時，例如以薄的電漿SiO_2覆蓋聚矽烷6a的表面等之中間處理，形成防止O_2侵入之阻擋物即可。

薄的SiO_2膜係在圖9B之步驟中由聚矽烷6a的表面除去，故在圖9C之步驟中，不妨礙聚矽烷6a變成有機氧化矽膜之一部份。

第7實施形態係說明使用有機氧化矽膜作爲層間絕緣膜之材料的情形，但不限於有機氧化矽膜。層間絕緣膜之材料使用無機氧化矽膜，氧化矽膜時，同樣地聚矽烷6a可作爲有機氧化矽膜及蝕刻掩模使用。

此時反射防止膜6使用聚矽烷，但不限於聚矽烷，例如可使用有機膜系之反射防止膜。使用有機膜系之反射防止膜，藉由研磨除去抗蝕劑7時，可同時除去反射防止膜。

使用圖10A－10C說明本發明之第8實施形態。第8實施形態係將聚矽烷變成氮化矽膜，作爲形成高縱橫比之連接孔的掩模使用。

如圖10A所示，使用絕緣膜2形成第1配線溝，其上再堆積絕緣膜2，以厚的絕緣膜2掩埋第1配線溝，使其表面平坦。其次塗佈聚矽烷6，其上形成高縱橫比之連接孔開口用之抗蝕劑7圖型。聚矽烷6係將抗蝕劑7開口

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（29）

之蝕刻步驟之曝光之反射防止膜。

其次以抗蝕劑7爲蝕刻掩模，藉由各向異性ＲＩＥ在絕緣膜2上形成連接孔5，使被覆金屬配線3之氮化膜4露出。此時氮化膜4成爲各向異性ＲＩＥ之抑制層。

接著如圖１０Ｂ所示，藉由N_2灰化除去抗蝕劑掩模7，同時使由聚矽烷6所構成反射防止膜變成氮化矽膜4。此氮化矽膜4及被覆配線金屬3之氮化矽膜4藉由熱磷酸處理，或ＣＤＥ（Chemical Dry Etching）蝕刻除去時，如圖１０Ｃ所示，可得到達到第1層之配線金屬3之高縱橫比之連接孔5。

第8實施形態其特徵係使用以往O_2灰化除去抗蝕劑7時，使用N_2灰化除去抗蝕劑7，同時使殘留於表面不易除去之由聚矽烷6所構成之反射防止膜變成氮化矽膜，藉由濕式蝕刻，或ＣＤＥ容易除去。

其次使用使用圖１１Ａ－１１Ｃ說明本發明之第9實施形態。第9實施形態係第8實施形態之變形例，係表示形成高縱橫比之連接孔直接到達矽基板1的情形。

如圖１１Ａ所示，在矽基板1上形成厚的絕緣膜2，塗佈由聚矽烷6所構成反射防止膜，其上形成開設連接孔之開口部之抗蝕劑7圖形。

其次以抗蝕劑7爲蝕刻掩模，藉由各向異性ＲＩＥ在形成到達矽基板1表面之連接孔5，接著如圖１１Ｂ所示，使用N_2灰化除去抗蝕劑7，同時使由聚矽烷6所構成之反射防止膜變成氮化膜4。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（30）

以熱磷酸除去變成氮化膜4之反射防止膜，可形成到達矽基板表面之高縱橫比之連接孔。

使用圖12A，12B說明本發明之第10實施形態。第10實施形態係形成連接孔5後，使由聚矽烷6所構成之反射防止膜成爲絕緣膜2之一部份，此點與第8實施形態不同。

如圖12A所示，在矽基板1上直接形成厚的絕緣膜2，塗佈由聚矽烷6所構成反射防止膜，其上形成開設連接孔之開口部之抗蝕劑7圖形。

以此抗蝕劑7爲蝕刻掩模，使用各向異性RIE開設到達矽基板1表面之連接孔5，接著如圖12B所示，使用O_2灰化除去抗蝕劑7，同時使聚矽烷6變成氧化矽膜，可使反射防止膜成爲絕緣膜2的一部份。

第10實施形態中，首先在矽基板1上所形成之絕緣膜2使用聚矽烷氧化之絕緣膜時，到達圖12B之矽基板1之連接孔包括反射防止膜，可形成由整體之氧化矽膜所構成之絕緣膜。

矽基板1上所形成之絕緣膜2使用由聚矽烷所變成之氮化矽膜，使用N_2灰化除去抗蝕劑7時，作爲反射防止膜使用之聚矽烷6變成氮化矽膜，故前述連接孔包括反射防止膜，可以由整體之氮化矽膜所構成之絕緣膜來形成。

第10實施形態係說明到達矽基板1之連接孔的情形，同樣地可形成第1層溝配線之連接孔。

其次使用使用圖13A－13C說明本發明之第11

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（31）

實施形態。如圖１３Ａ所示，在矽基板１上形成厚的絕緣膜２，塗佈由聚矽烷６所構成反射防止膜，形成開設連接孔之開口部之抗蝕劑７圖形後，以抗蝕劑７爲掩模，藉由各向異性ＲＩＥ將聚矽烷６設置開口。接著如圖１３Ｂ所示，使用N_2灰化除去抗蝕劑７，同時使由聚矽烷６變成氮化矽膜。

如圖１３Ｃ所示，以氮化矽膜４爲掩模，藉由各向異性ＲＩＥ形成到達矽基板１之高縱橫比之連接孔。

直接使用抗蝕劑掩模進行藉由各向異性ＲＩＥ形成到達矽基板１之高縱橫比之連接孔。

直接使用抗蝕劑掩模進行藉由各向異性ＲＩＥ之高縱橫比之連接孔加工時，雖產生抗蝕劑掩模之膜減少，但如第１１實施形態所示，將氮化矽膜４作爲各向異性ＲＩＥ之掩模使用時，由SiO_2所構成之絕緣膜２之間可取得高蝕刻選擇比，因此可迴避前述膜減少的問題。

圖１３Ｃ中，絕緣膜２上之氮化矽膜４可用熱磷酸除去，也可將絕緣膜２以由聚矽烷所變成之氮化矽膜之形態形成絕緣膜２之一部份進行一體化。此時氮化矽膜４之開口部周邊所產生之圓形部分有助於將配線金屬圓滑埋入連接孔５。

其次使用使用圖１４Ａ－１４Ｃ說明本發明之第１２實施形態。如圖１４Ａ所示，在矽基板１上形成厚的由氧化矽膜所構成之絕緣膜２，其上塗佈由聚矽烷６所構成反射防止膜。使用抗蝕劑７形成抗蝕劑７之反圖型覆蓋連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（32）

孔開口部。接著藉由使用N_2之ＲＩＥ使聚矽烷４之露出的表面變成氮化矽膜４後，除去抗蝕劑７。

如圖１４Ｂ所示，使用氮化矽膜４爲掩模進行各向異性ＲＩＥ，再由聚矽烷６與氧化矽膜所構成之絕緣膜２上開設到達矽基板１之連接孔５。

接著進行與O_2相同之處理，使聚矽烷６變成氧化矽膜，如圖１４Ｃ所示，聚矽烷６成爲前述絕緣膜２之一部份形成一體化。

使用熱磷酸除去作爲掩模用之氮化矽膜４，在由氧化矽膜所構成之絕緣膜２可形成到達矽基板１之高縱橫比之連接孔。在第１２實施形態中，高縱橫比之連接孔之蝕刻掩模使用氮化矽膜，故也不會產生膜減少之問題。

其次使用使用圖１５Ａ－１５Ｃ說明本發明之第１３實施形態。如圖１５Ａ所示，在矽基板１上形成厚的有機氧化矽膜２ｂ，設置由聚矽烷６所構成反射防止膜與連接孔５之形成部開口之抗蝕劑７。接著以抗蝕劑７爲各向異性ＲＩＥ之掩模形成形成到達矽基板１之高縱橫比之連接孔後，如圖１５Ｂ所示，以O_2灰化除去抗蝕劑７。

此O_2灰化步驟中，聚矽烷６變成由氧化矽膜所構成之絕緣膜２。此時有機氧化矽膜２ｂ與由氧化矽膜所構成之絕緣膜２之間具有對於稀氟酸之蝕刻選擇性，故如圖１５Ｃ所示，使用稀氟酸可容易僅除去由聚矽烷６變成之由氧化矽膜所構成之絕緣膜２。

前述第１１～第１３實施形態係說明形成到達矽基板

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（33）

1之連接孔的情形，同樣地也可形成第1層之溝配線之連接孔。

以上第1～第13實施形態主要係說明在雙重溝配線之層間絕緣膜或連接孔之加工部分使用聚矽烷等之有機矽膜的方法，但不手此限。以下述之實施形態例說明聚矽烷等之有機矽膜可廣泛用於使用乾式蝕刻之半導體裝置之製造方法。

使用使用圖16A－16E說明本發明之第14實施形態。第14實施形態係將聚矽烷6用於元件分離區域與元件區域之平坦化的例子。

如圖16A所示，矽基板1上塗佈聚矽烷6，形成抗蝕劑7圖型以覆蓋形成MOS（Metal-Oxide-Semiconductor）電晶體等之元件區域。接著使用流量75sccm之Cl_2與流量10sccm之O_2之混合氣體，以壓力75mTorr，外加高頻電力300W的條件下，如圖16B所示，藉由以抗蝕劑7爲掩模之各向異性RIE，蝕刻聚矽烷6及矽基板1。

接著如圖16C所示，進行N_2灰化除去抗蝕劑7，同時使聚矽烷6變成氮化矽膜4。其次如圖16D所示，全面塗佈聚矽烷6掩埋矽基板1上所形成4之元件分離用之分離溝。

聚矽烷6具有流動性，故藉由塗佈使聚矽烷6之表面形成平坦化，但藉由CMP以氮化矽膜4爲抑制層除去氮化矽膜上之多餘的聚矽烷6，前述分離溝之開口部恰好被

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（34）

聚矽烷6平坦填滿。

如圖16E所示，使用與O_2灰化相同之處理時，可使填滿分離溝之聚矽烷6變成由氧化矽膜所構成之絕緣膜2。上述例中，分離溝之掩埋雖使用聚矽烷，但不限於聚矽烷。藉由塗佈所形成之有機及無機氧化矽膜同樣參可用於分離溝之掩埋。

如前述以往分離溝之形成步驟係堆積厚厚之由比聚矽烷加工更困難之SiO_2所構成之絕緣膜，以由Si_3N_4所構成之氧化矽膜爲抑制層，藉由CMP使沿著分離溝成爲較大凹凸面之絕緣膜之表面平坦化的方法。因此，因被抑制層覆蓋之元件區域之分佈的鬆密，例如在抑制層爲鬆分佈之區域過度研磨，在表面形成凹面狀的問題。

但第14實施形態係塗佈極易研磨之聚矽烷取代SiO_2，其表面從開始即能形成平坦，且藉由CMP進除去微量殘留於氮化矽膜上之薄膜狀之聚矽烷，因此，相較於以往的方法時，可大幅改善CMP後之表面平坦性。

其次使用圖17A－17D說明本發明之第15實施形態。第15實施形態係表示自行整合形成被設置於矽基板1上所形成之MOS電晶體之閘電極間之到達源極／漏極擴散層9之連接孔之SAC的乾式蝕刻加工部分，使用本發明之聚矽烷的方法。

如圖17A所示，形成MOS電晶體之源極／漏極擴散層9之矽基板1上形成閘極氧化膜10，此閘極氧化膜10上層積多晶矽11，鎢12及氮化矽膜4，藉由形成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（35）

圖型而形成ＭＯＳ電晶體之閘電極，以氮化矽膜４被覆此閘電極之周圍。

其次形成前述閘電極之矽基板１之全面堆積例如由SiO_2所構成之絕緣膜２，藉由ＣＭＰ使其表面平坦化。此平坦化之絕緣膜上再塗佈聚矽烷６，形成開設自行對位連接孔之形成部分之抗蝕劑７圖型。

其物如圖１７Ｂ所示，藉由各向異性ＲＩＥ以抗蝕劑７爲掩模，開設聚矽烷６。又如圖１７Ｃ所示，被覆閘電極周圍之由氮化矽膜４所構成之蝕刻抑制層爲止係藉由各向異性ＲＩＥ形成自行對位連接孔１３。

此時自行對位連接孔１３之內部所露出之閘電極之稜線部分係被覆前述閘電極周圍之氮化膜４對氧化矽膜２之蝕刻選擇比會降低，故以自行對位連接孔１３之各向異性ＲＩＥ如圖１７Ｃ所示，前述氮化膜４之稜線部分的角被切削。

藉由閘電極最上層之氮化矽膜抑制層４保護此閘電極之角切削，故加工困難之絕緣膜２之蝕刻深度比聚矽烷６淺時，不會造成問題。

換言之，第１５實施形態中，藉由使絕緣膜２變薄，其上層積聚矽烷６，使閘電極之稜線部分露出爲止之絕緣膜２的蝕刻深度降至最小。

第１５實施形態如圖１７Ｄ所示，藉由O_2灰化除去抗蝕劑７，同時使聚矽烷６以氧化矽膜的形態變成絕緣膜２的一部份，除去覆蓋源極／漏極擴散層９之氮化矽膜４及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（36）

閘氧化膜１０，將配線金屬埋入自行對位連接孔１３內，形成與源極／漏極擴散層９連接之ＳＡＣ。

圖１７Ａ之絕緣膜２的厚度如以往增加厚度成爲與聚矽烷６之合計時，蝕刻絕緣膜２需要比聚矽烷６更強力之各向異性ＲＩＥ，故閘電極之稜線部之切削量增加，閘電極之鎢１２露出時，以將配線金屬埋入自行對位連接孔１３內之步驟，使閘電極與源極／漏極擴散層９產生短路。

換言之，第１５實施形態中，層積絕緣膜２與聚矽烷６，然後使聚矽烷６變成絕緣膜２的一部份，實質上絕緣膜２之各向異性ＲＩＥ的加工量減少，迴避閘電極與源極／漏極擴散層９產生短路，提高半導體裝置之良率。

其次使用使用圖１８Ａ－１８Ｅ說明本發明之第１６實施形態。如圖１８Ａ所示，在具備源極／漏極擴散層９之矽基板１上形成閘氧化膜１０，形成層積多晶矽１１，鎢１２及氮化矽膜４之閘電極圖型後，以氮化矽膜４被覆閘電極的周圍。到此爲止的步驟與圖１７Ａ相同。

如圖１８Ｂ所示，在被覆閘電極之氮化矽膜４之上再被覆氧化矽膜１０ａ。此步驟後之矽基板１上部全面塗佈厚的聚矽烷６。此第１６實施形態其特徵係掩埋閘電極之絕緣膜幾乎由聚矽烷６所構成。

自行對位連接孔之形成位置上形成抗蝕劑７之開口部圖型，以抗蝕劑７爲掩模，在厚的聚矽烷膜６上開設自行對位連接孔１３。此時藉由各向異性ＲＩＥ容易除去聚矽

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（37）

烷６，故被覆閘電極之氧化矽膜１０ａ成爲抑制層，完全迴避閘電極之稜線部之切削，可提高半導體裝置之良率。

其次如圖１８Ｃ所示，藉由Ｏ２灰化除去抗蝕劑７，同時使聚矽烷６變成氧化矽膜。

其次如圖１８Ｄ所示，藉由蝕刻除去被覆閘電極之氧化矽膜１０ａ。此時盡可能抑制被覆閘電極之氮化矽膜４之稜線部之切削量，故以與氮化矽膜之選擇比較高的ＲＩＥ條件進行氧化矽膜蝕刻。由聚矽烷６所變成之絕緣膜２與被覆閘電極之氧化矽膜１０ａ之間可取得蝕刻選擇比，故可僅蝕刻除去前述氧化矽膜１０ａ。

如圖１８Ｄ所示，使用各向異性ＲＩＥ除去覆蓋源極／漏極擴散層９之氮化矽膜４及閘氧化膜１０。此時被覆閘電極之稜線部分多少會產生之切削，但乾式蝕刻量極少，故閘電極與源極／漏極擴散層９之間不會產生短路不良。

其次使用圖１９Ａ－１９Ｄ說明本發明之第１７實施形態。第１７實施形態係第１６實施形態的變形例。如圖１９Ａ所示，經過圖１８Ａ之步驟之矽基板１上之閘電極上被覆厚的氧化膜１０ｂ，如圖１９Ｂ所示，使用各向異性ＲＩＥ藉由背面蝕刻形成閘側牆（gate sidewall）之氧化膜１０ｂ。

如圖１９Ｃ所示，塗佈厚的聚矽烷６，形成開設自行對位連接孔形成部分之抗蝕劑７圖型。以抗蝕劑７爲掩模，使用各向異性ＲＩＥ在聚矽烷６上形成自行對位連接孔

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（38）

１３。此聚矽烷之各向異性ＲＩＥ中，閘側牆之氧化膜１０ｂ成爲蝕刻抑制層，故閘電極之稜線部不會產生切削。

藉由O_2灰化除去抗蝕劑７，同時聚矽烷６變成由氧化矽膜所構成之絕緣膜２。其後的步驟係與圖１８Ｃ以後相同，形成與源極／漏極擴散層９連接之ＳＡＣ。

上述說明係在圖１９Ｂ中，背面蝕刻覆蓋閘電極之厚的氧化矽膜１０ｂ，形成如圖１９Ｂ所示之閘側牆之氧化膜１０ｂ，但不一定要進行背面蝕刻，選擇最佳之蝕刻條件時，即使以厚的氧化矽膜１０ｂ的狀態也可得到相同的效果。

其次使用圖２０Ａ－２０Ｃ說明本發明之第１８實施形態。第１８實施形態係表示適合將聚矽烷形成溝的例子。如圖２０Ａ所示，在矽基板１上形成由氧化矽膜所構成之絕緣膜２，此絕緣膜２上塗佈聚矽烷６。

聚矽烷６上上之配線溝之形成位置開設抗蝕劑７，以此抗蝕劑７爲掩模如圖２０Ｂ所示，使用各向異性ＲＩＥ形成溝８。此時聚矽烷６對由氧化矽膜所構成之絕緣膜２之選擇蝕刻比非常高，絕緣膜２成爲各向異性ＲＩＥ之抑制層，形成一定深度的溝８。

如圖２０Ｃ所示，藉由O_2灰化除去抗蝕劑７，同時聚矽烷６變成由氧化矽膜所構成之絕緣膜２之一部份。如前述聚矽烷６藉由塗佈進行平坦化，控制各向異性ＲＩＥ的條件時，即使沒有由絕緣膜２所構成之蝕刻抑制層也能在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（39）

聚矽烷6上形成溝8。

但是第1層之溝配線要求更微細化，又需要一定以上之縱橫比（配線寬與高之比）時，如第18實施形態所示，使用絕緣膜2作爲蝕刻抑制層可得到較佳的結果。

如第18實施形態中，使用氧化矽膜之蝕刻抑制層，但使用有機氧化矽膜，無機氧化矽膜也可得到同樣的效果。此時配合基材選擇聚矽烷的種類時，可得到更佳的效果。

其次使用圖21A－21E說明本發明之第19實施形態。第19實施形態係表示在矽基板上形成深的矽溝用之高縱橫比之絕緣膜掩模的開口部形成方法。

如圖21A所示，矽基板1上形成熱氧化膜10之蝕刻抑制層，其上塗佈下層之聚矽烷6。下層之聚矽烷6上例如堆積由氧化矽膜所構成之絕緣膜2後，再塗佈上層之聚矽烷6a作爲反射防止膜，形成抗蝕劑7之反圖型覆蓋深溝之形成位置。以此抗蝕劑7爲掩模進行N_2RIE或N_2離子注入，使露出之上層之聚矽烷6a的表面變成氮化矽膜4a。

抗蝕劑7除去後，以氮化矽膜4a爲掩模，此時以聚矽烷對氮化矽膜之蝕刻選擇比高，Cl_2／O_2之流量比75／10sccm，壓力75mTorr，外加高頻電力300W的條件下，進行各向異性RIE，首先開設成爲反射防止膜之上層之聚矽烷6a。

接著由氧化矽膜所構成之絕緣膜2對氮化矽膜4a之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（40）

蝕刻選擇比高之C_4F_8／CO／Ar之流量比10／50／200sccm，壓力40mTorr，外加高頻電力1400W之條件下，進行各向異性RIE，如圖21B所示，形成下層之聚矽烷6爲止之溝14a。

此蝕刻條件下，可取得與聚矽烷6之蝕刻選擇比，故下層之聚矽烷6成爲蝕刻抑制層，可形成控制性良好之溝14a。

其次下層之聚矽烷6對氮化矽膜4a及氧化矽膜10之蝕刻選擇比高的條件下，如圖21C所示，以矽熱氧化膜10爲蝕刻抑制層形成溝14b。

接著使用矽熱氧化膜10對氮化矽膜之蝕刻選擇比高的條件，如圖21D所示，除去矽熱氧化膜10。此時矽基板1之表面成爲抑制層，可形成控制性良好之矽表面之溝14c。

最後如圖21E所示，藉由N_2氣氛中之熱處理使上層與下層之聚矽烷6a，6變成氮化矽膜4a，4。矽基板1上可形成介於熱氧化膜10，上下被氮化矽膜4a，4挾住之絕緣膜2上形成高縱橫比之溝的深溝掩模14。可在矽熱氧化膜10除去前進行最後之處理。也可除去上層之氮化矽膜4a。

第19實施形態所示之深溝掩模的形成方法，其特徵係在各向異性RIE途中，進行利用數次之蝕刻抑制層之加工控制。藉由此方法時，可到達以往所無法之深度，且以高精度在蝕刻掩模上實施溝加工。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（41）

取代N_2氣氛中之熱處理，將各向異性ＲＩＥ所用的條件改爲N_2流量１００ｓｃｃｍ，壓力１５０ｍＴｏｒｒ，外加高頻電力１００Ｗ，N_2游離基較多的條件，繼續處理時，聚矽烷６ａ，６變成氮化矽膜，有助於減少處理步驟。

其次使用圖２２Ａ－２２Ｃ說明本發明之第２０實施形態。如圖２２Ａ所示，矽基板１上形成熱氧化膜１０之蝕刻抑制層，塗佈下層之聚矽烷６，堆積由氧化矽膜所構成之絕緣膜２。再塗佈上層之聚矽烷６ａ作爲反射防止膜，形成開設溝形成部分之抗蝕劑７圖型。其次以此抗蝕劑７爲蝕刻掩模開設成爲反射防止膜之上層之聚矽烷６ａ。

接著如圖２２Ｂ所示，藉由N_2灰化除去抗蝕劑７，同時上層之聚矽烷６ａ變成氮化矽膜４ａ，以此氮化矽膜４ａ爲掩模，藉由各向異性ＲＩＥ形成到達下層之聚矽烷６的溝１４ａ。

如圖２２Ｃ所示，改變各向異性ＲＩＥ的條件，以熱氧化膜１０爲蝕刻抑制層，在下層之聚矽烷６上形成溝１４ｂ。接著進行與N_2相同的處理使下層之聚矽烷６變成氮化矽膜。最後除去矽熱氧化膜１０時，可形成到達矽基板１之表面的深溝。也可在除去矽熱氧化膜１０後進行N_2灰化。

第２０實施形態中，可依據第１９實施形態改變乾式蝕刻之條件。各層具有蝕刻抑制層的功能，與第１９實施形態相同，可形成高抑制性，且高縱橫比之蝕刻掩模。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（42）

其次使用圖２３Ａ－２３Ｃ說明本發明之第２１實施形態。第２１實施形態係半導體基板１上所形成之ＭＯＳ電晶體之閘電極圖型時，使用聚矽烷６之步驟。

如圖２３Ａ所示，矽基板１之表面上形成由熱氧化膜１０所構成之閘極絕緣膜２，其上形成多晶矽１１與鎢１２所構成膜作爲閘電極材料。其全面塗佈聚矽烷６，形成抗蝕劑７圖型覆蓋閘電極形成部分。

其次如圖２３Ｂ所示，其次以此抗蝕劑７爲蝕刻掩模，進行各向異性ＲＩＥ，以由多晶矽１１，鎢１２及聚矽烷６所構成之層積膜作爲閘電極形成圖型。

如圖２３Ｃ所示，藉由N_2研磨除去抗蝕劑７，同時使在閘電極之最上層形成圖型之聚矽烷６變成氮化矽膜４。以具有此氮化矽膜４之閘電極爲掩模，藉由離子注入與熱處理自行整合形成源極／漏極擴散層９，可得到矽基板上之ＭＯＳ電晶體。閘電極之多晶矽１１與鎢１２係藉由熱處理成爲矽化鎢。

以往以由多晶矽，鎢及氮化矽膜所構成之層積膜作爲閘電極形成圖型時需要首先以抗蝕劑爲掩模，形成氮化矽膜圖型，其次以此氮化矽膜爲掩模形成鎢與多晶矽圖型之２階段步驟。

第２１實施形態中，以Cl_2／O_2之流量比７５／１０ｓｃｃｍ，壓力７５ｍＴｏｒｒ，外加高頻電力３００Ｗ之對於聚矽烷６的蝕刻條件下，可同時形成鎢１２與多晶矽１１的圖型，故步驟減少，可以控制性佳進

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（43）

行閘電極之加工。此時先形成矽化鎢，也可同時形成多晶矽與矽化鎢的圖型。

圖２４係表示以上各實施形態之ＲＩＥ或研磨步驟所用之乾式蝕刻裝置之構成。此乾式蝕刻裝置係由真空箱１５，矽晶圓等之被處理物１６，此被處理物之載置台１７，對向電極１８，玻璃導入管１９，排氣口２０，高頻源２１及磁鐵２２所構成。

載置台１７具有溫度調節機構，可控制被處理物１６之溫度。形成對向電極１８之真空箱之最上部面板與玻璃導入管１９連接。氣體由玻璃導入管１９導入真空箱，由排氣口２０之控制閥調整壓力。

壓力安定後，由載置台１７之高頻源１７外加高頻，使真空箱內產生電漿（ plasma ）。又真空箱之外周部設置磁鐵２２，真空中製作高密度得磁場，同時對於電漿中之離子賦予各向異性，蝕刻被處理物１６。

圖２４之乾式蝕刻裝置係磁控管（ magnetron ）ＲＩＥ裝置，但也能使用ＥＣＲ（ Electron Cycrotron Resonance ），helicon，感應結合型電漿等之其他乾式蝕刻裝置。

最後詳細說明使用聚矽烷等之塗佈形成有機矽膜的方法。首先將以矽與矽之鍵結爲主鏈之有機矽化合物（申請專利範圍中統稱爲有機矽）溶解於有機溶劑製作溶液材料。

以矽與矽之鍵結爲主鏈之有機矽化合物例如有以一般式（ $SiR_{11}R_{12}$ ）表示之聚矽烷。R_{11}，R_{12}係表示

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（44 ）

氫原子或碳數１～２０之取代或非取代之脂肪族烴或芳香族烴等。

聚矽烷可爲單獨聚合物或共聚物。２種以上之聚矽烷可爲具有介於氧原子，氮原子，脂肪基，芳香基相互鍵結之結構者。有機矽化合物膜之具體例如化１～化１５所示。

（請先閱讀背面之注意事項再填寫本頁）

裝

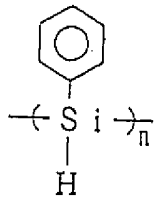
訂

線

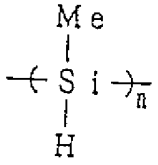
經濟部智慧財產局員工消費合作社印製

五、發明說明（45）

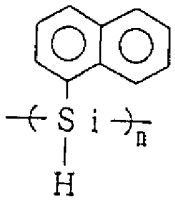
【化1】



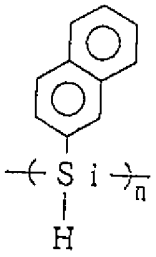
[1－1]



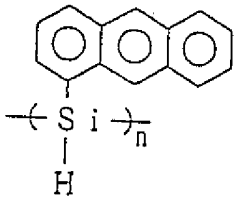
[1－2]



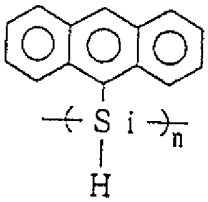
[1－3]



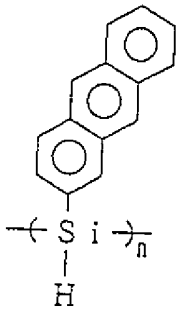
[1－4]



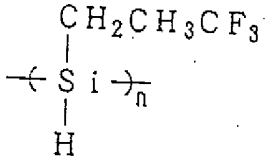
[1－5]



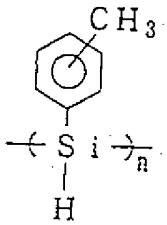
[1－6]



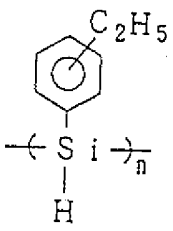
[1－7]



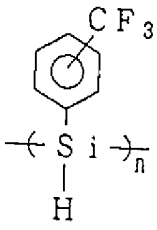
[1－8]



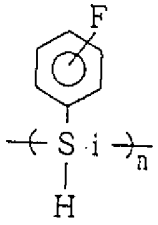
[1－9]



[1－10]



[1－11]



[1－12]

【0214】

（請先閱讀背面之注意事項再填寫本頁）

裝

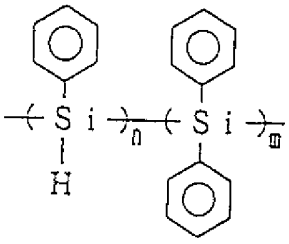
訂

線

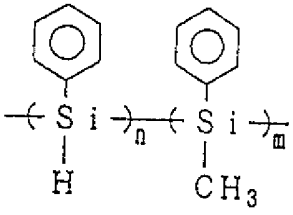
經濟部智慧財產局員工消費合作社印製

五、發明說明（46）

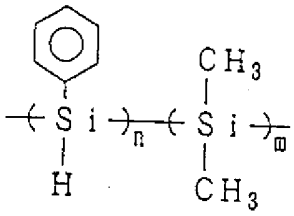
【化2】



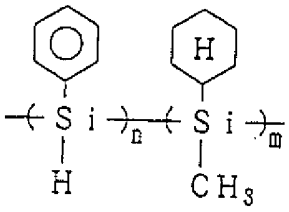
[1－13]



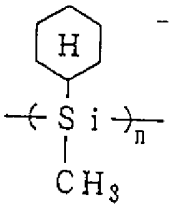
[1－14]



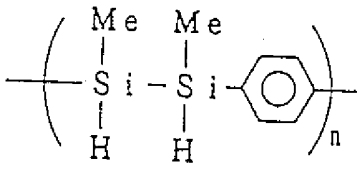
[1－15]



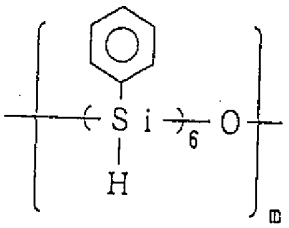
[1－16]



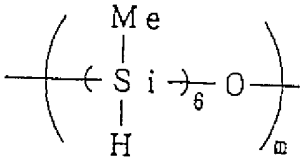
[1－17]



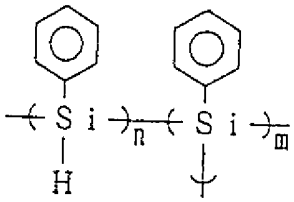
[1－18]



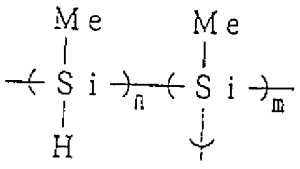
[1－19]



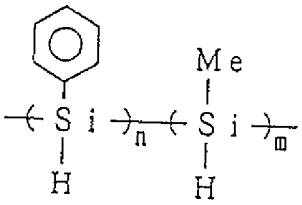
[1－20]



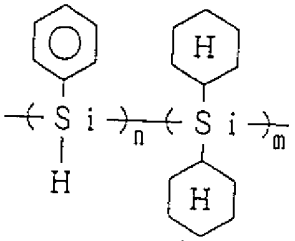
[1－21]



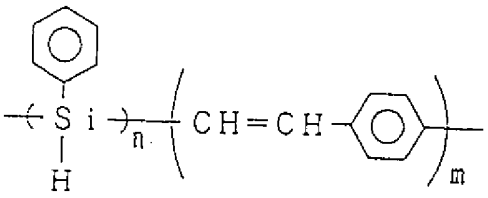
[1－22]



[1－23]



[1－24]



[1－25]

（請先閱讀背面之注意事項再填寫本頁）

裝

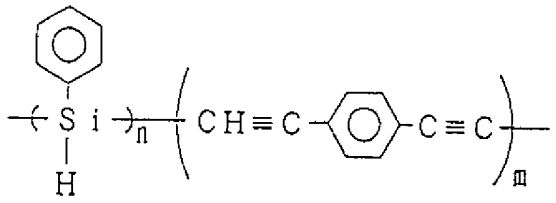
訂

線

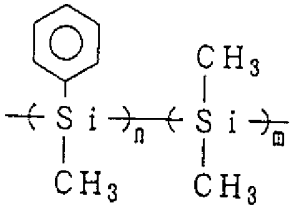
經濟部智慧財產局員工消費合作社印製

五、發明說明（47）

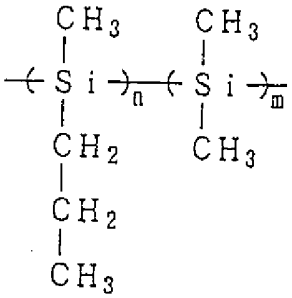
【化3】



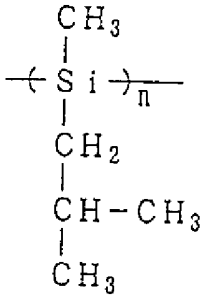
[1-26]



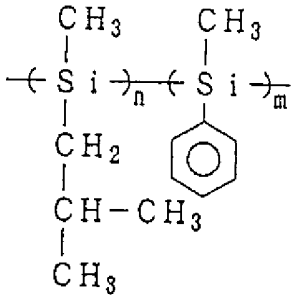
[1-27]



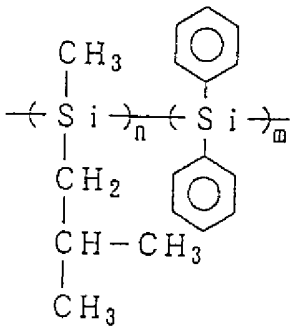
[1-28]



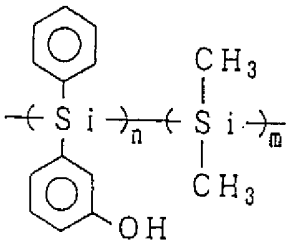
[1-29]



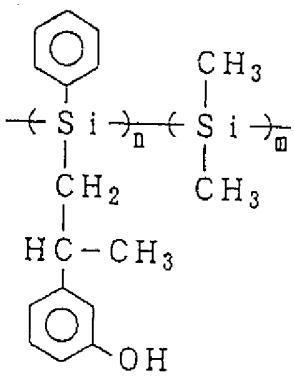
[1-30]



[1-31]



[1-32]



[1-33]

[0216]

（請先閱讀背面之注意事項再填寫本頁）

裝

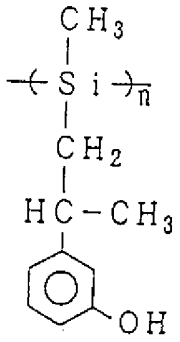
訂

線

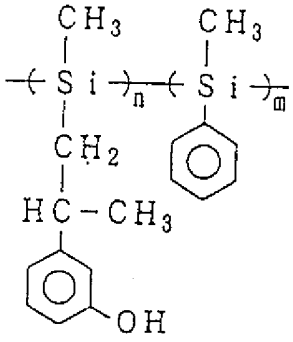
經濟部智慧財產局員工消費合作社印製

五、發明說明（48）

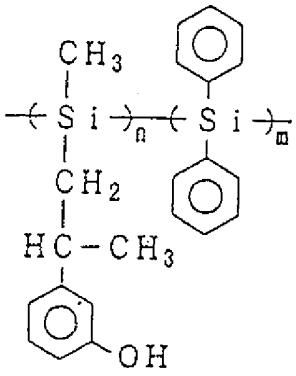
【化4】



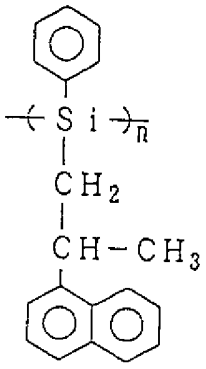
[1-34]



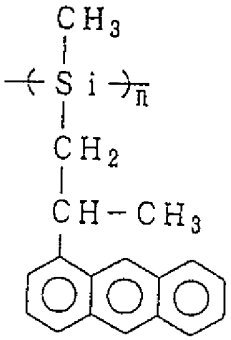
[1-35]



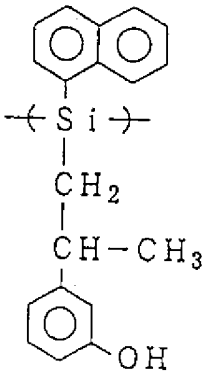
[1-36]



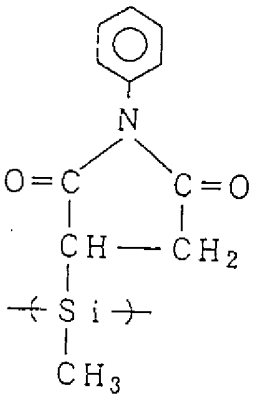
[1-37]



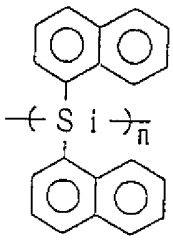
[1-38]



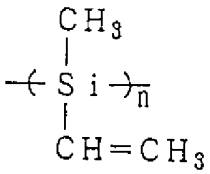
[1-39]



[1-40]



[1-41]



[1-42]

【0217】

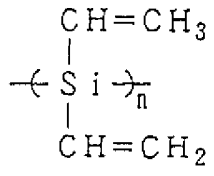
經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

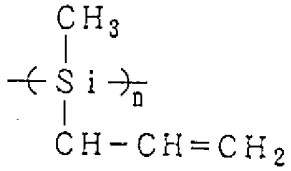
裝 訂

五、發明說明（49）

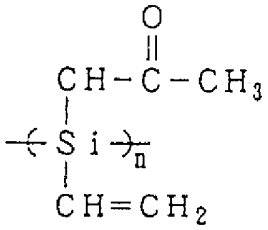
【化5】



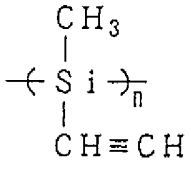
[1-43]



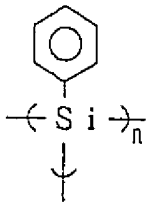
[1-44]



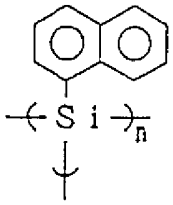
[1-45]



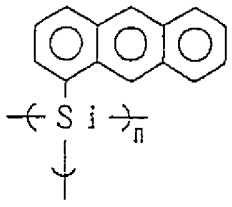
[1-46]



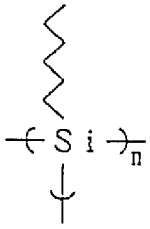
[1-47]



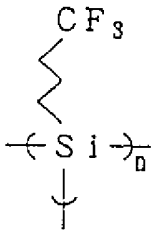
[1-48]



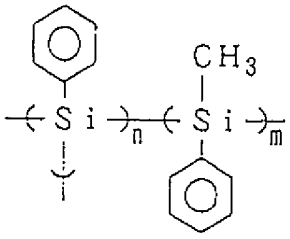
[1-49]



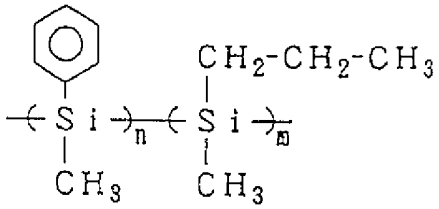
[1-50]



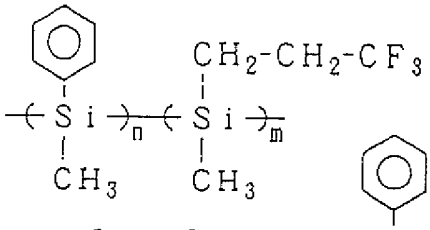
[1-51]



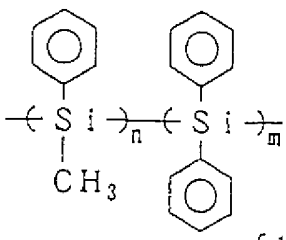
[1-52]



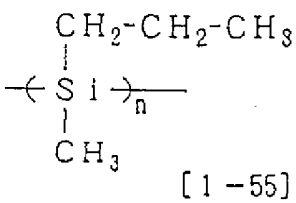
[1-53]



[1-54]



[1-56]



[1-55]

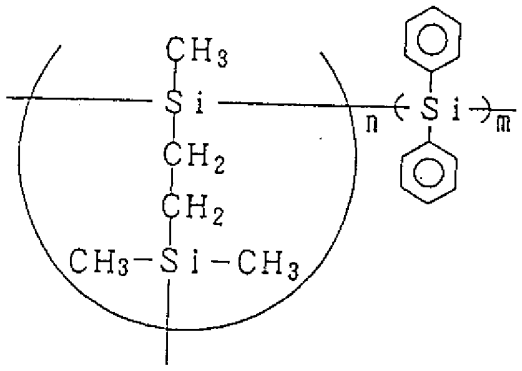
（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

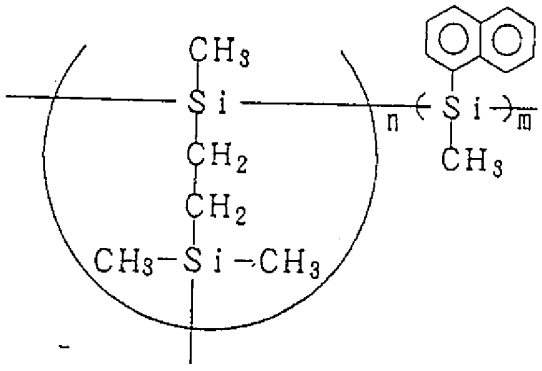
經濟部智慧財產局員工消費合作社印製

五、發明說明（50）

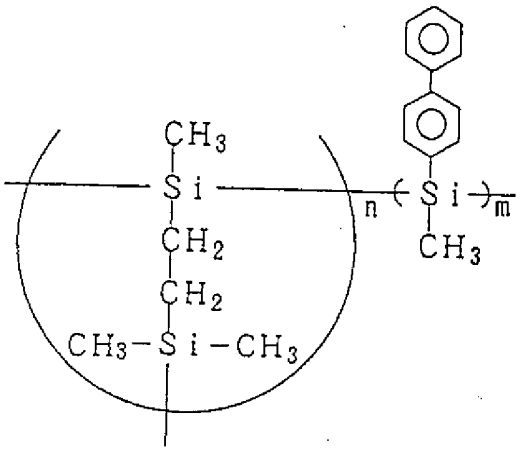
【化6】



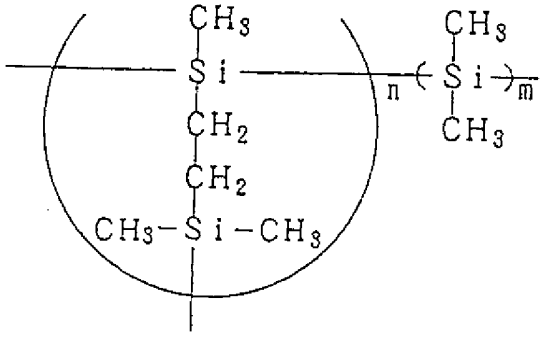
[1-57]



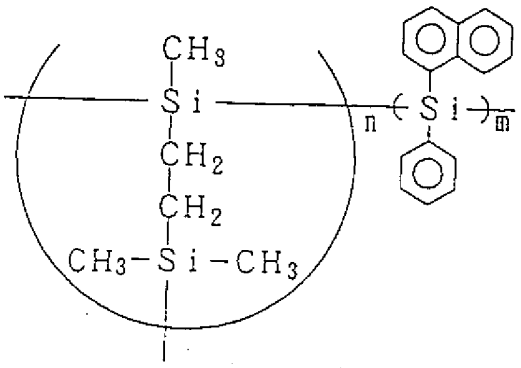
[1-58]



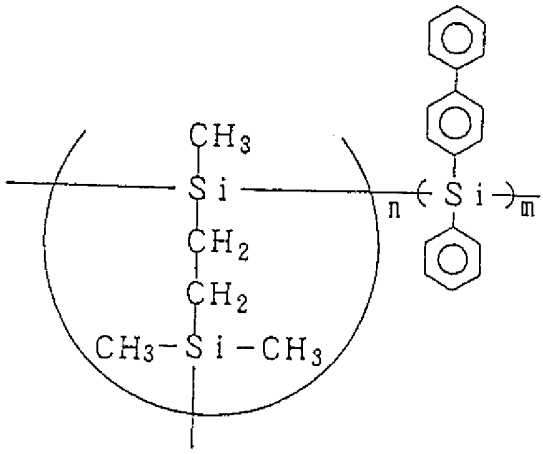
[1-59]



[1-60]



[1-61]



[1-62]

【0219】

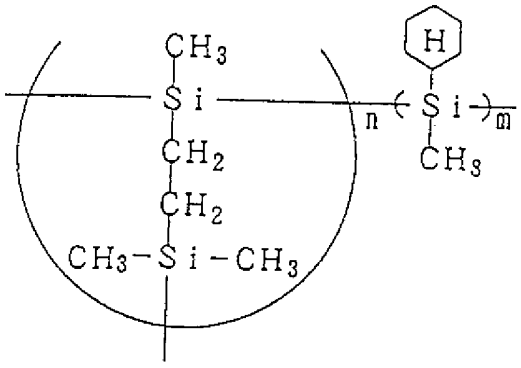
（請先閱讀背面之注意事項再填寫本頁）

裝 訂

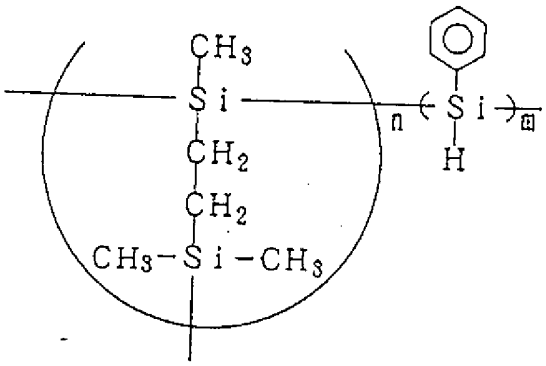
經濟部智慧財產局員工消費合作社印製

五、發明說明（51）

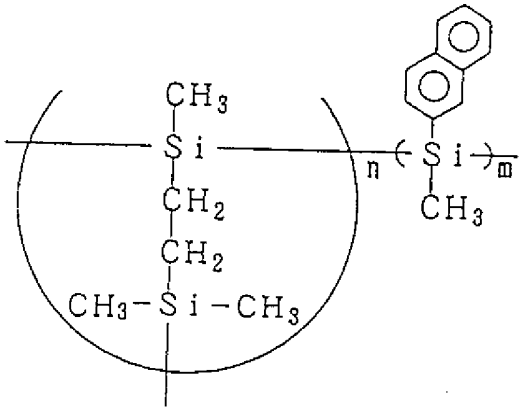
【化7】



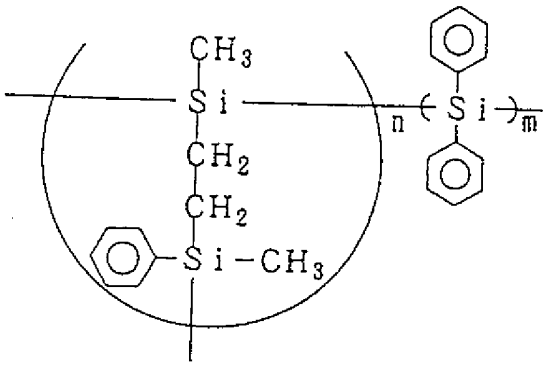
[1－63]



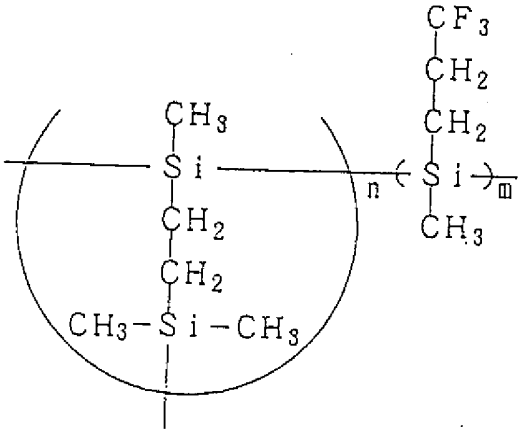
[1－64]



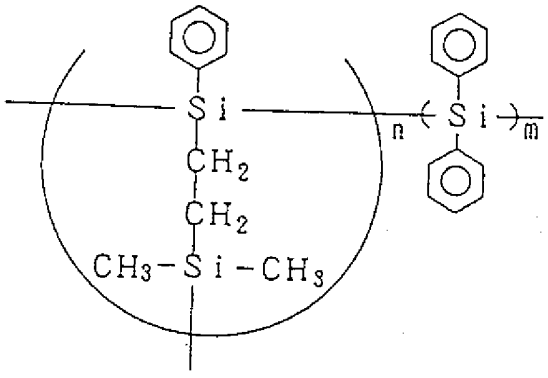
[1－65]



[1－66]



[1－67]



[1－68]

【0220】

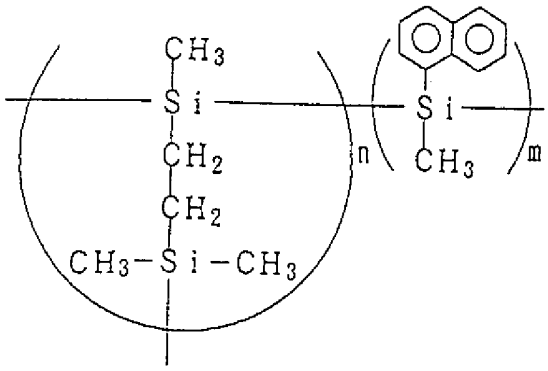
（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

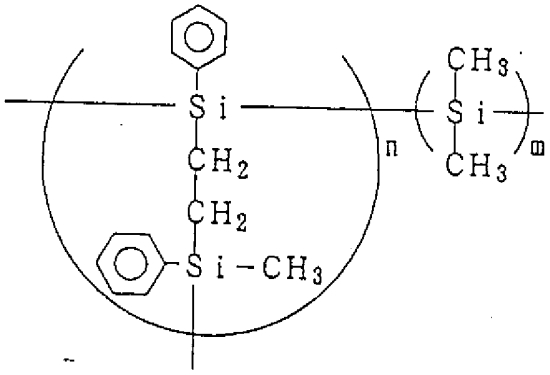
經濟部智慧財產局員工消費合作社印製

五、發明說明（52）

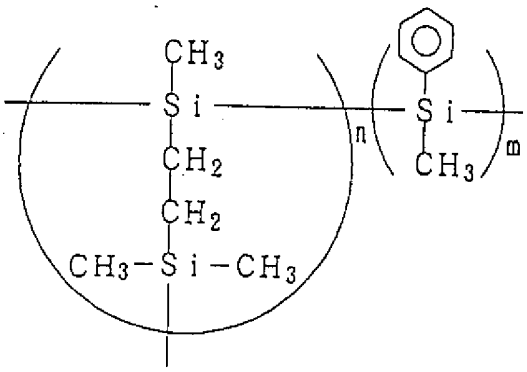
【化8】



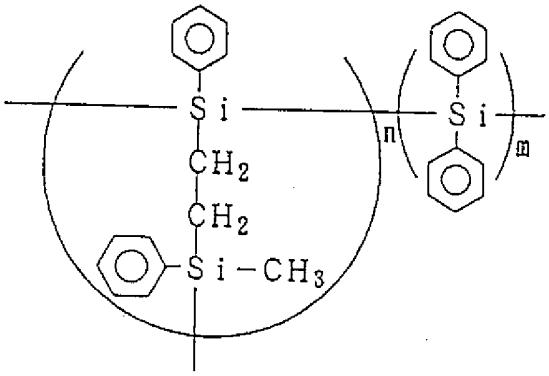
[1－69]



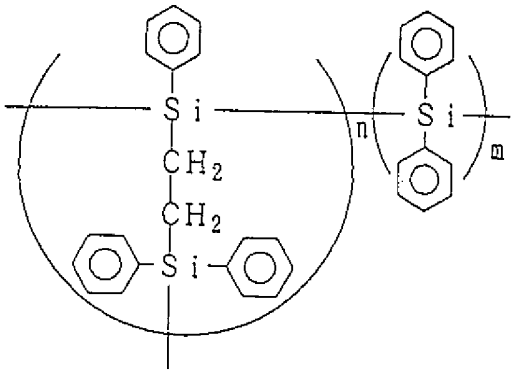
[1－70]



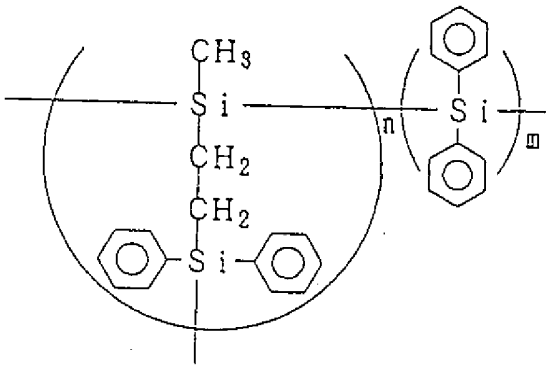
[1－71]



[1－72]



[1－73]



[1－74]

【0221】

（請先閱讀背面之注意事項再填寫本頁）

裝

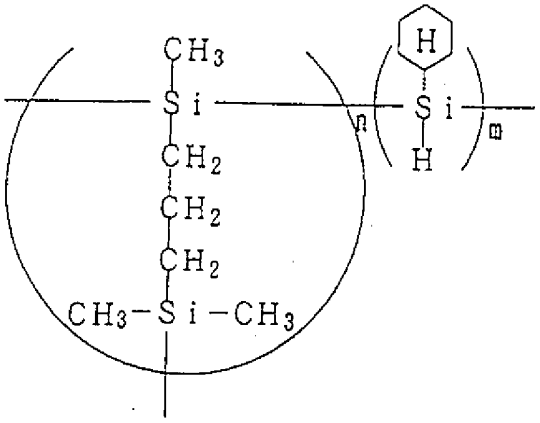
訂

線

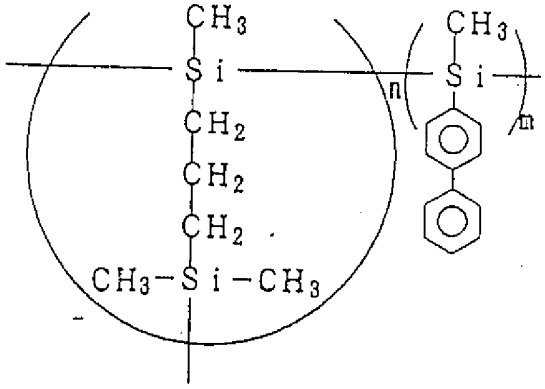
經濟部智慧財產局員工消費合作社印製

五、發明說明（53）

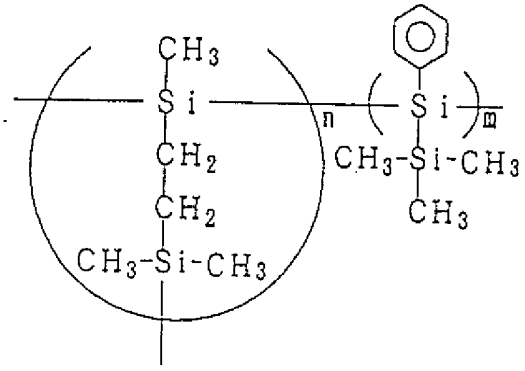
【化9】



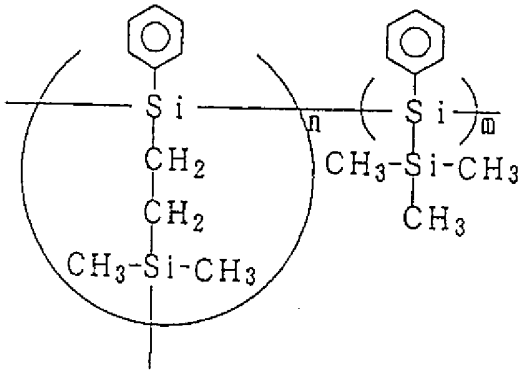
[1－75]



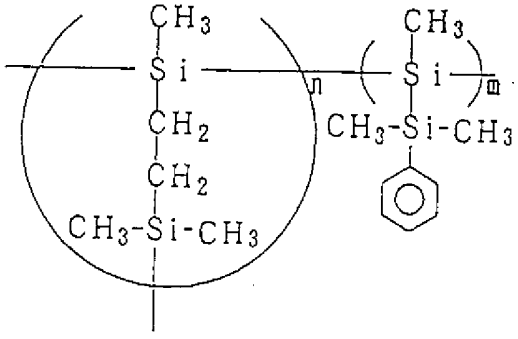
[1－76]



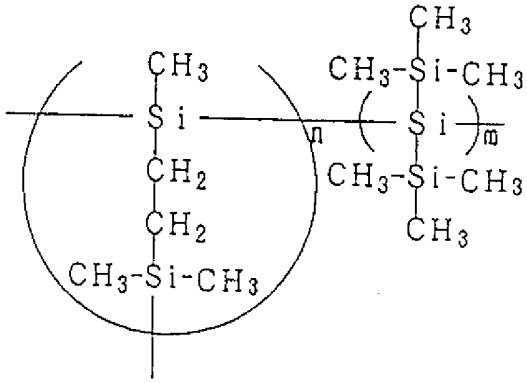
[1－77]



[1－78]



[1－79]



[1－80]

[0222]

（請先閱讀背面之注意事項再填寫本頁）

裝

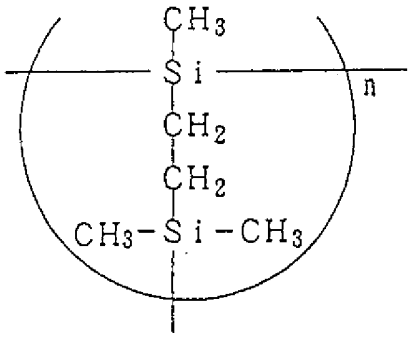
訂

線

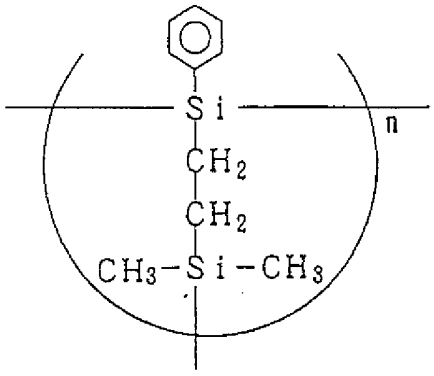
經濟部智慧財產局員工消費合作社印製

五、發明說明（54）

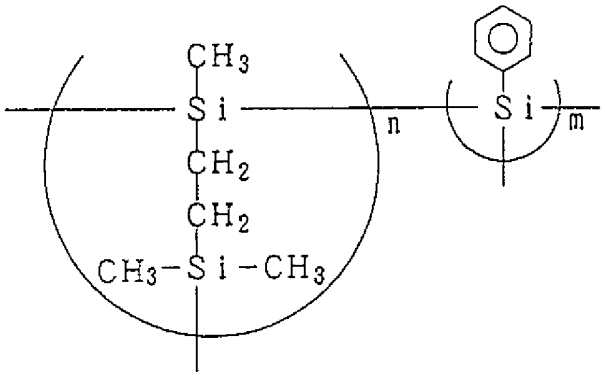
【化10】



[1-81]



[1-82]



[1-83]

【0223】

（請先閱讀背面之注意事項再填寫本頁）

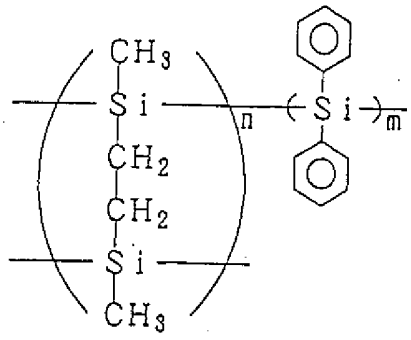
裝

訂

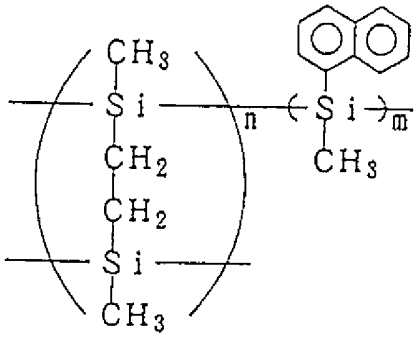
經濟部智慧財產局員工消費合作社印製

五、發明說明（55）

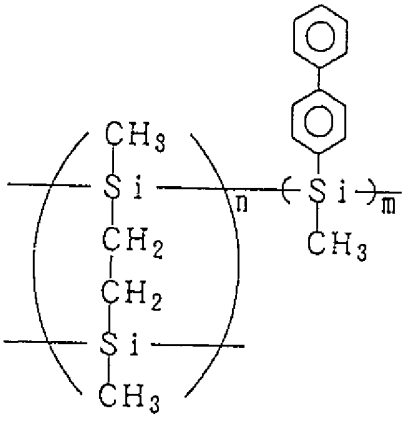
[化11]



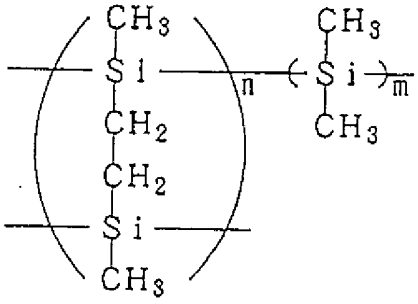
[1-84]



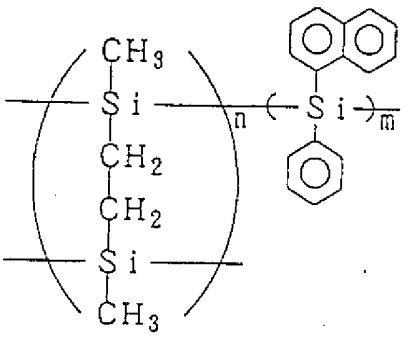
[1-85]



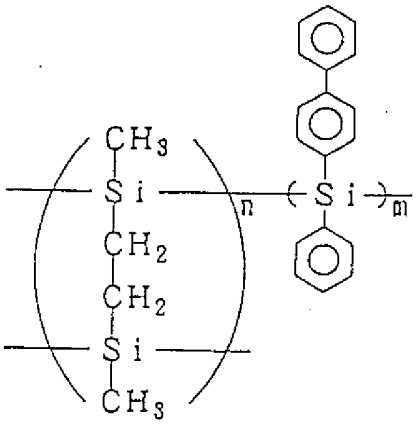
[1-86]



[1-87]



[1-88]



[1-89]

[0224]

（請先閱讀背面之注意事項再填寫本頁）

裝

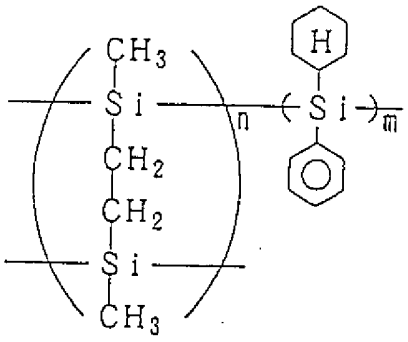
訂

線

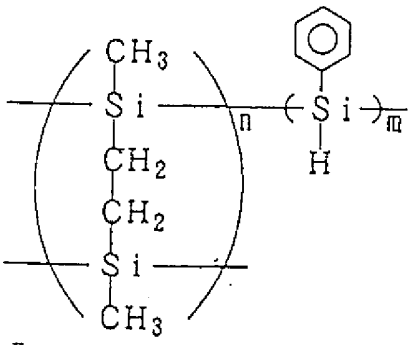
經濟部智慧財產局員工消費合作社印製

五、發明說明（56）

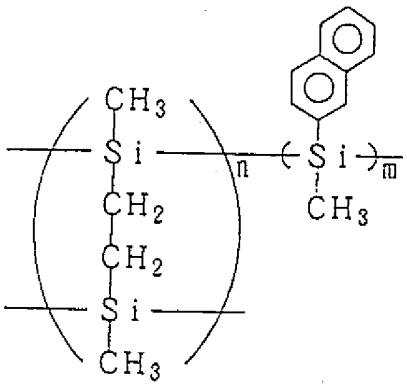
【化12】



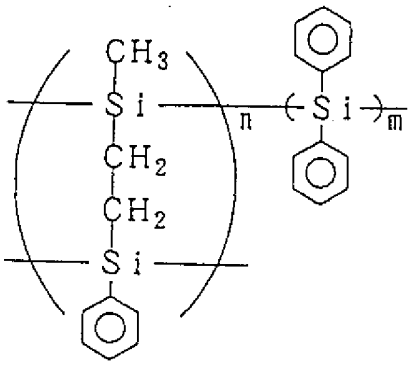
[1-90]



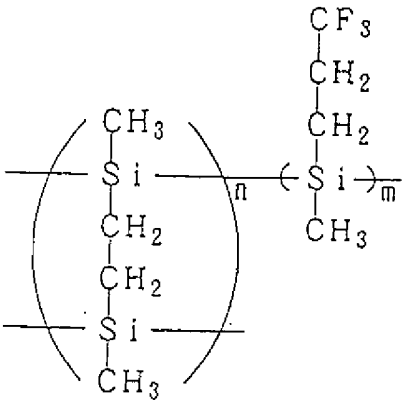
[1-91]



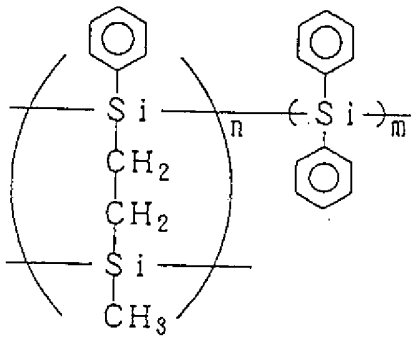
[1-92]



[1-93]



[1-94]



[1-95]

【0225】

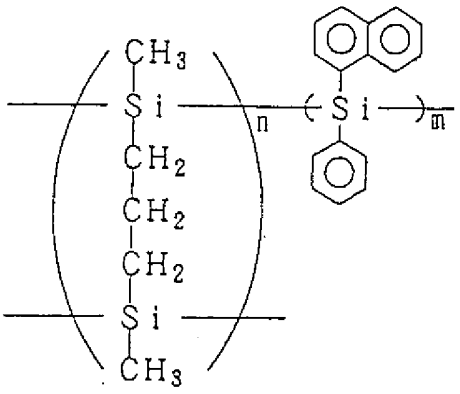
（請先閱讀背面之注意事項再填寫本頁）

裝 訂

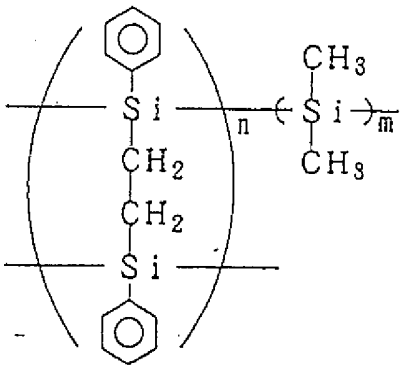
經濟部智慧財產局員工消費合作社印製

五、發明說明（57）

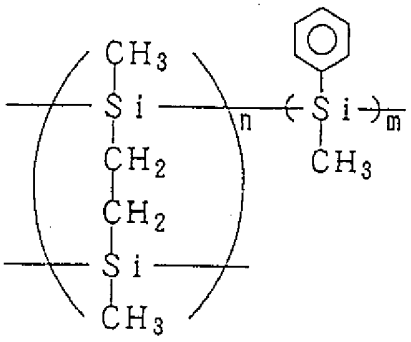
【化13】



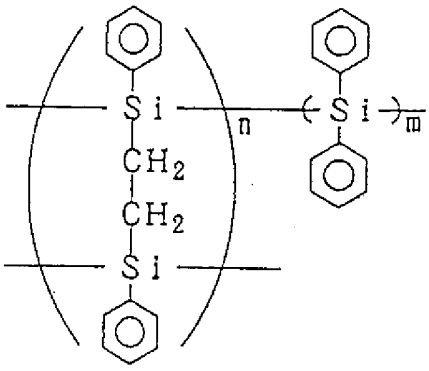
[1－96]



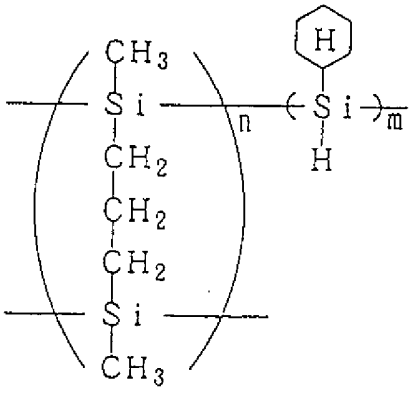
[1－97]



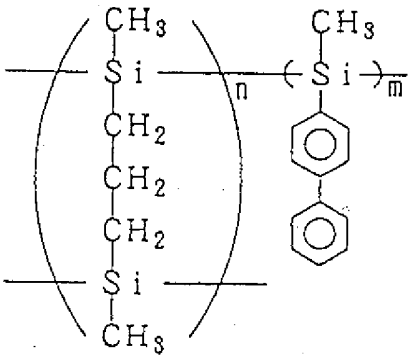
[1－98]



[1－99]



[1－100]



[1－101]

【0226】

（請先閱讀背面之注意事項再填寫本頁）

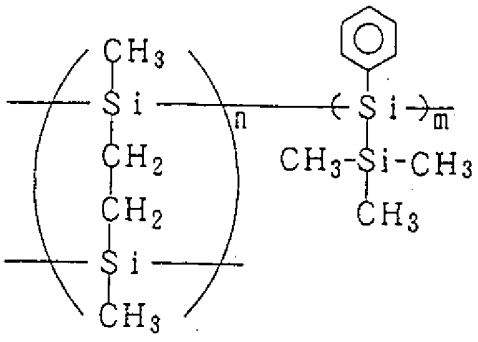
裝

訂

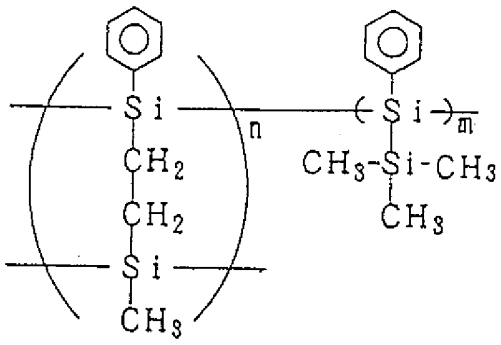
經濟部智慧財產局員工消費合作社印製

五、發明說明（58）

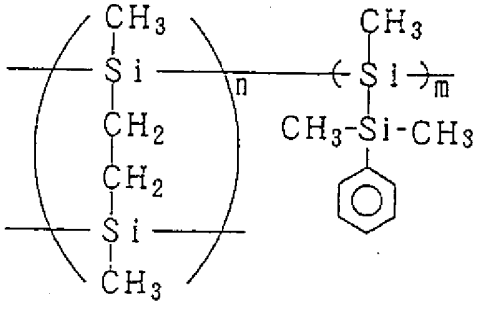
【化14】



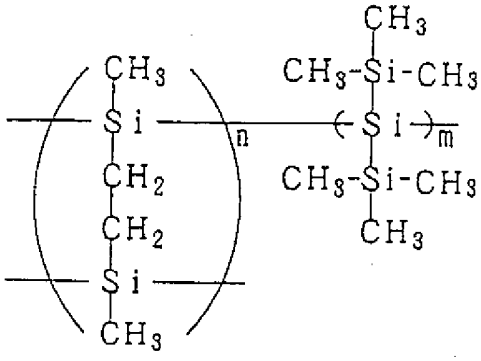
[1-102]



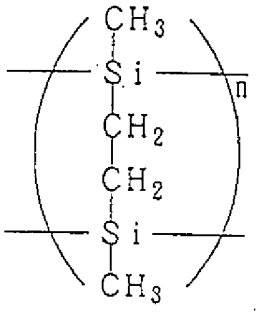
[1-103]



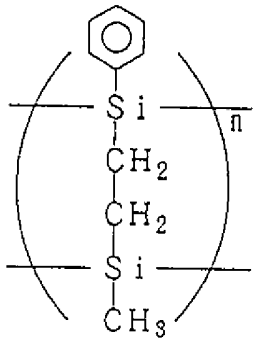
[1-104]



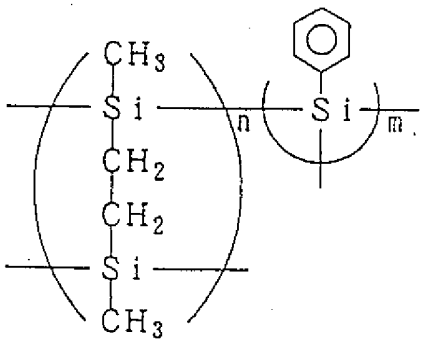
[1-105]



[1-106]



[1-107]



[1-108]

【0227】

（請先閱讀背面之注意事項再填寫本頁）

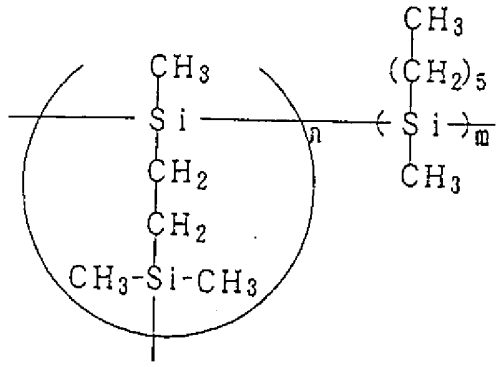
裝

訂

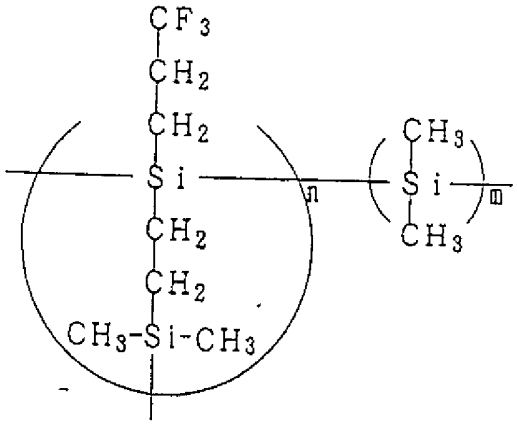
經濟部智慧財產局員工消費合作社印製

五、發明說明（59）

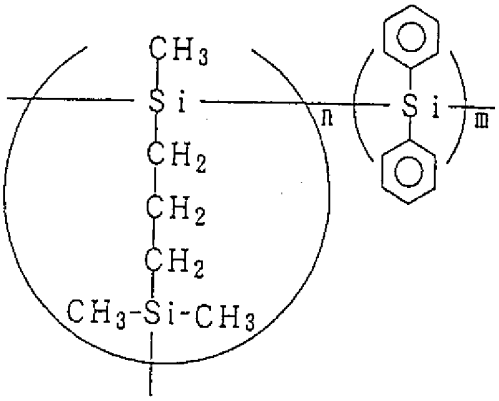
【化15】



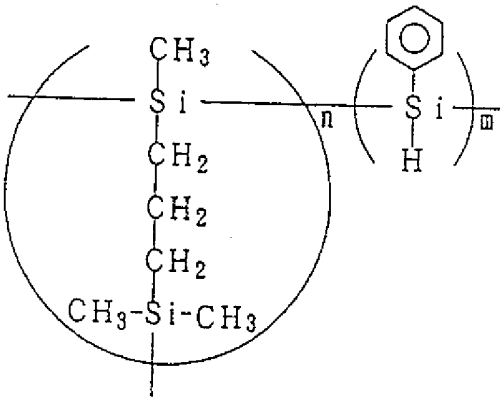
[1-109]



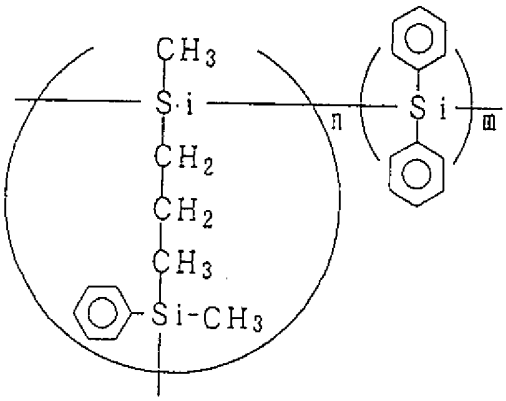
[1-110]



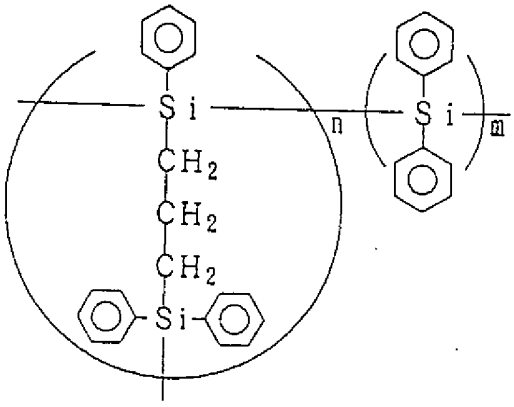
[1-111]



[1-112]



[1-113]



[1-114]

【0228】

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（60 ）

式中之m，n爲正整數。這些化合物之重量平均分子量無特別限定，理想爲２００～１００，０００的範圍內。其理由是分子量爲２００以下時，有機矽膜或溶解於抗蝕劑之溶劑中，而超過１００，０００時，不易溶解於有機溶劑，很難製作溶液材料。

有機矽化合物不限於一種，可混合多中的化合物。必要時爲了貯存安定性時，可添加熱聚合防止劑，提高對矽系絕緣膜之密著性之密著性增強劑，有助於由矽系絕緣膜防止抗蝕劑膜中之反射光之紫外線吸收染料，聚碸，聚苯並咪唑等之紫外線吸收聚合物，導電性物質，以光，熱產生導電性的物質，或使有機矽化合物之交聯劑。

導電性物質例如有基磺酸，有機羧酸，多元醇，多元硫（例如碘，溴），SbF_5，PF_5，BF_5，SnF_5等。

以光，熱之能量產生導電性的物質例如有碳族群（C_{60}，C_{70}），氰基蒽，二氰基蒽，三苯基吡啶嗡，四氟合硼酸鹽，四氰奎諾二甲烷，四氰基乙烯，酞醯亞胺三酞酸酯，全氯五環十二烷，二氰基苯，苯腈，三氯甲基三嗪，過氧化苯烯，二苯甲酮羧酸，過氧化第三丁基等。具體例如以下的化合物。

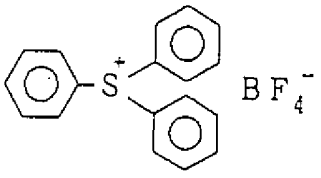
（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

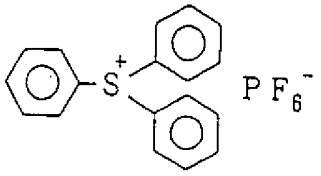
經濟部智慧財產局員工消費合作社印製

五、發明說明（61）

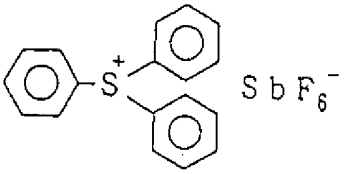
【化16】



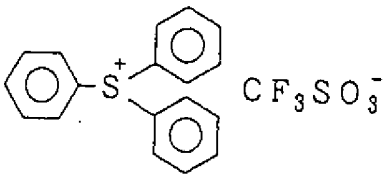
[2－1]



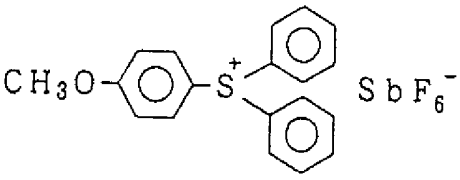
[2－2]



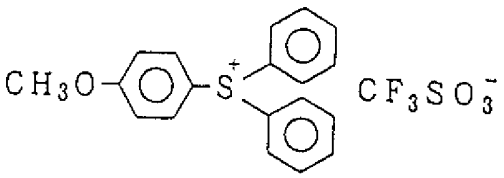
[2－3]



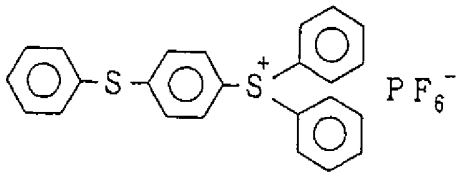
[2－4]



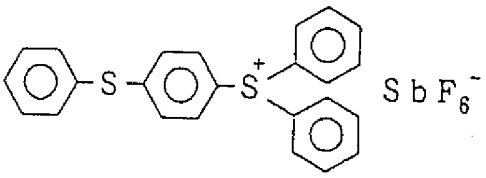
[2－5]



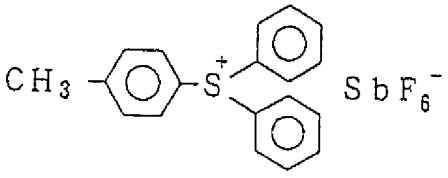
[2－6]



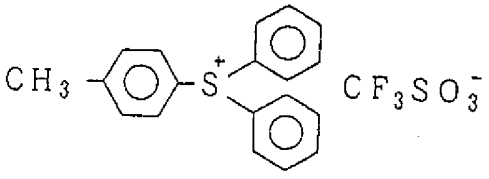
[2－7]



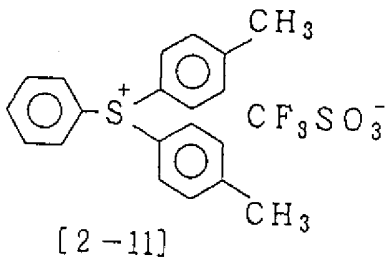
[2－8]



[2－9]



[2－10]



[2－11]

[0233]

（請先閱讀背面之注意事項再填寫本頁）

裝

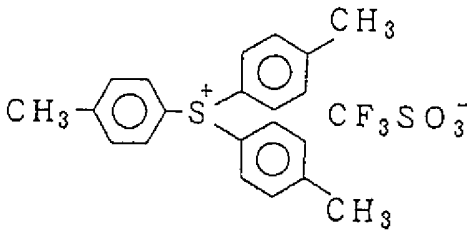
訂

線

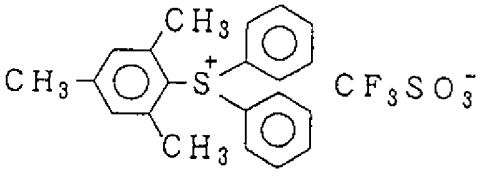
經濟部智慧財產局員工消費合作社印製

五、發明說明（62）

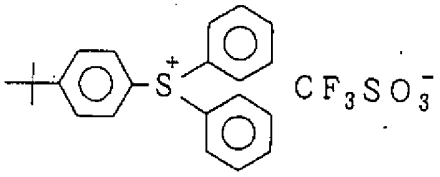
【化17】



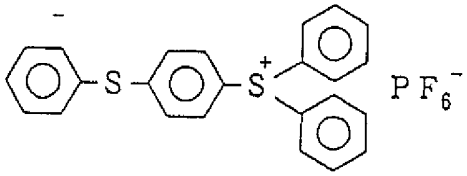
[2－12]



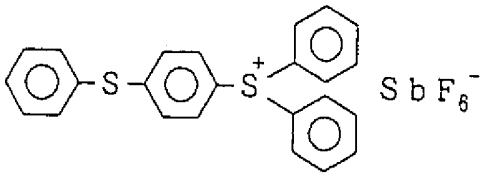
[2－13]



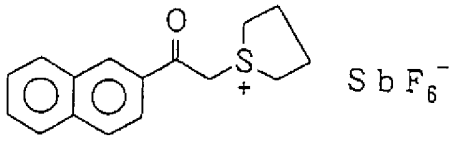
[2－14]



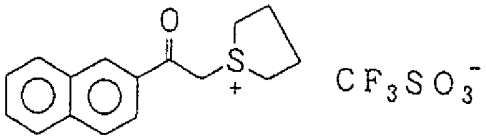
[2－15]



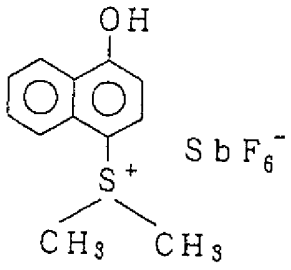
[2－16]



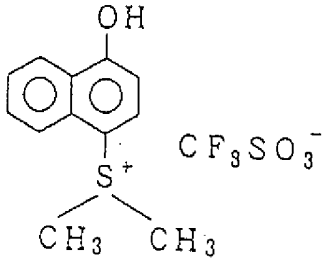
[2－17]



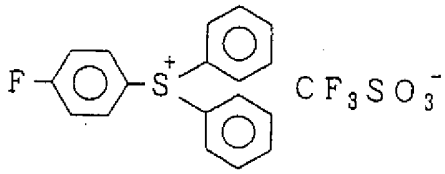
[2－18]



[2－19]



[2－20]



[2－21]

[0234]

（請先閱讀背面之注意事項再填寫本頁）

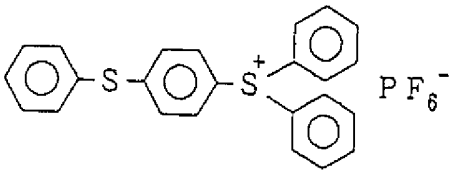
裝

訂

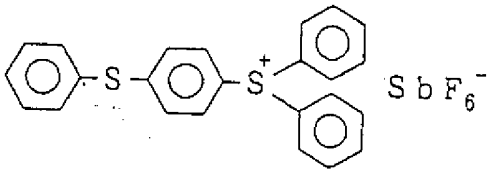
經濟部智慧財產局員工消費合作社印製

五、發明說明（63）

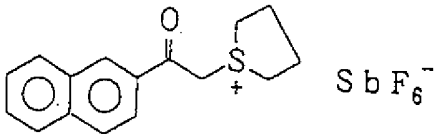
[化18]



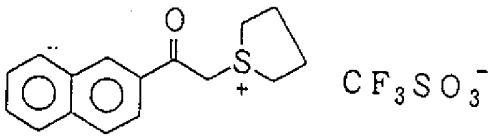
[2－22]



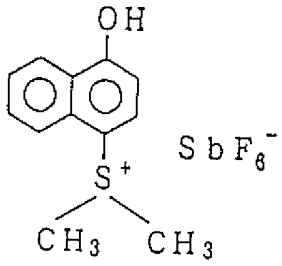
[2－23]



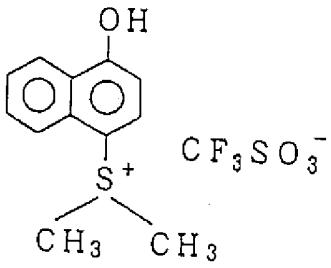
[2－24]



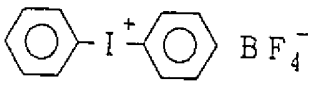
[2－25]



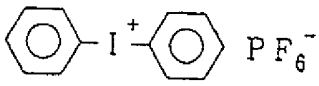
[2－26]



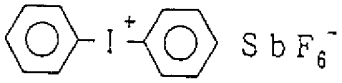
[2－27]



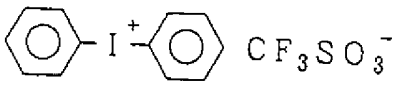
[2－28]



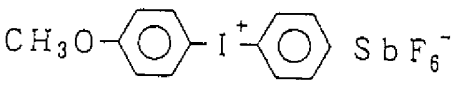
[2－29]



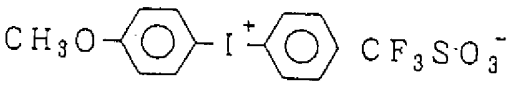
[2－30]



[2－31]



[2－32]



[2－33]

[0235]

（請先閱讀背面之注意事項再填寫本頁）

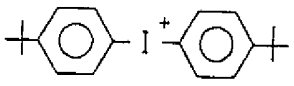
裝

訂

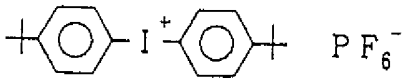
經濟部智慧財產局員工消費合作社印製

五、發明說明（64）

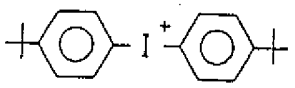
【化19】



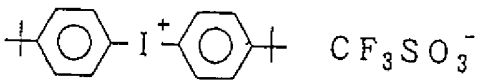
[2－34]



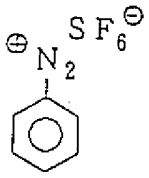
[2－35]



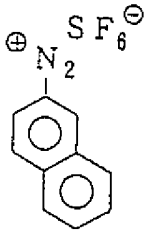
[2－36]



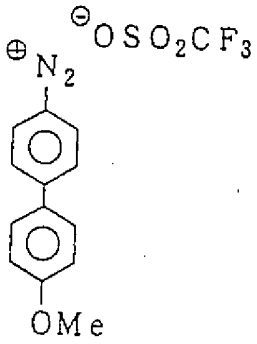
[2－37]



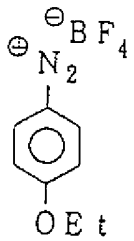
[2－38]



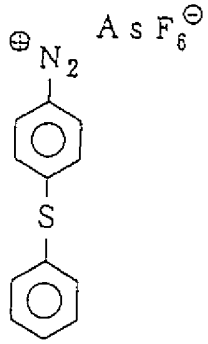
[2－39]



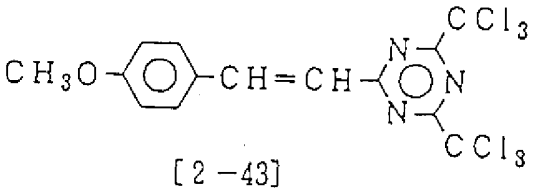
[2－40]



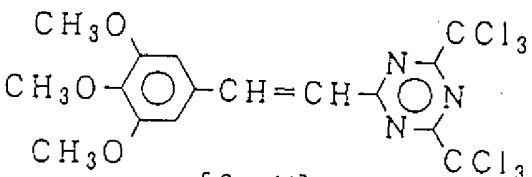
[2－41]



[2－42]



[2－43]



[2－44]

[0236]

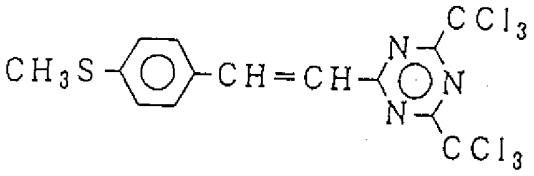
（請先閱讀背面之注意事項再填寫本頁）

裝

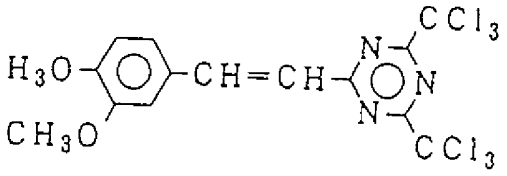
訂

五、發明說明（65）

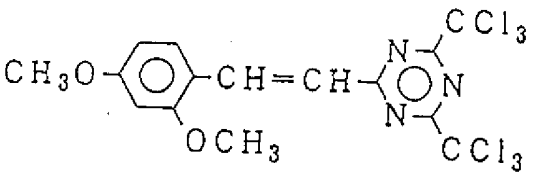
【化20】



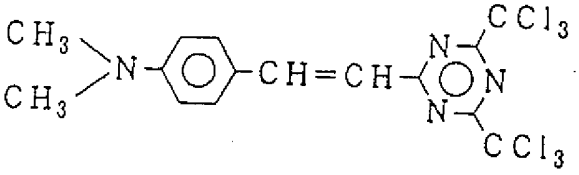
[2-45]



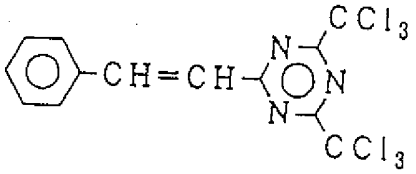
[2-46]



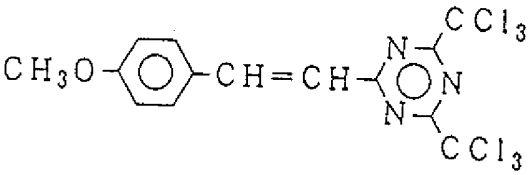
[2-47]



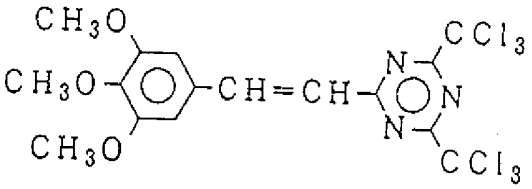
[2-48]



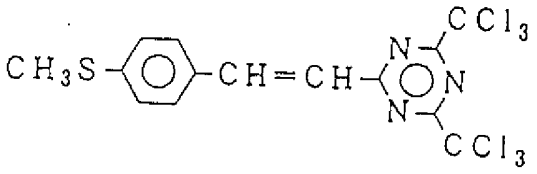
[2-49]



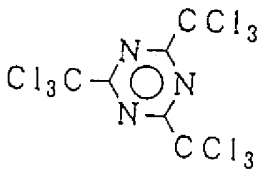
[2-50]



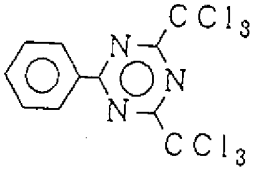
[2-51]



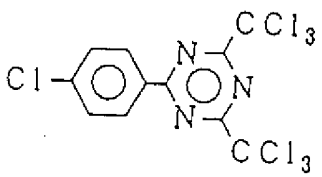
[2-52]



[2-53]



[2-54]



[2-55]

【0237】

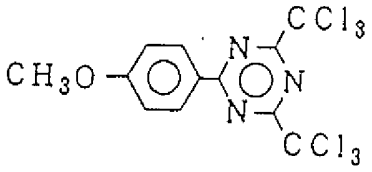
（請先閱讀背面之注意事項再填寫本頁）

裝

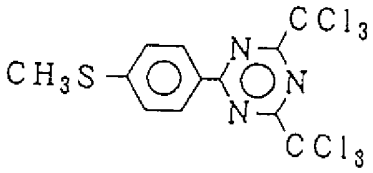
訂

五、發明說明（66）

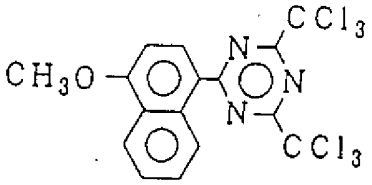
【化21】



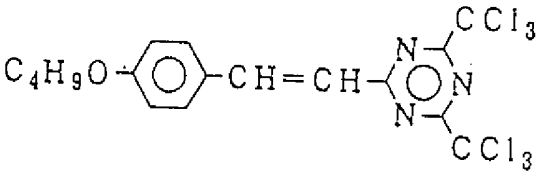
[2-56]



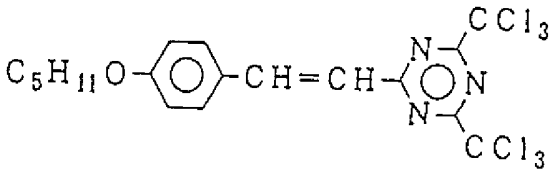
[2-57]



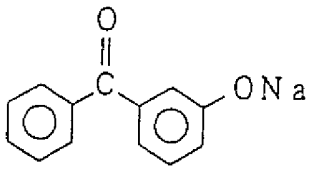
[2-58]



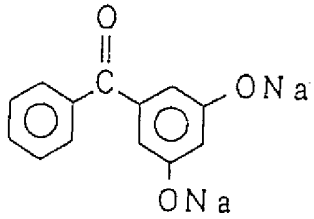
[2-59]



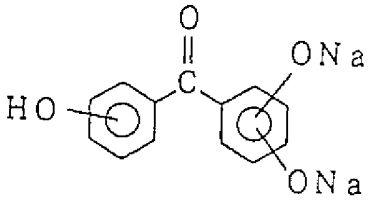
[2-60]



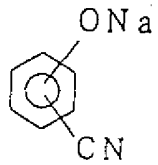
[2-61]



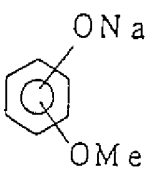
[2-62]



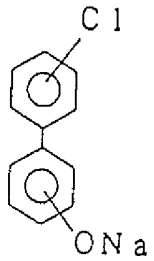
[2-63]



[2-64]



[2-65]



[2-66]

C_2H_5ONa

[2-67]

【0238】

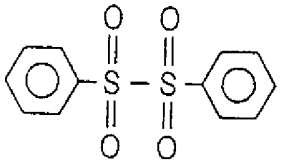
（請先閱讀背面之注意事項再填寫本頁）

裝

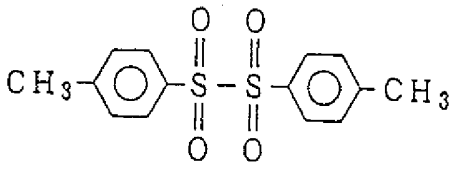
訂

五、發明說明（67）

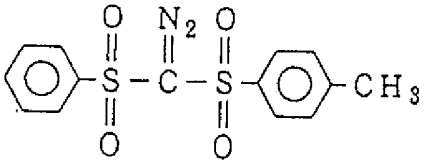
【化22】



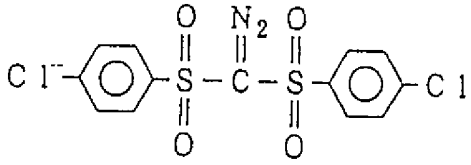
[2－68]



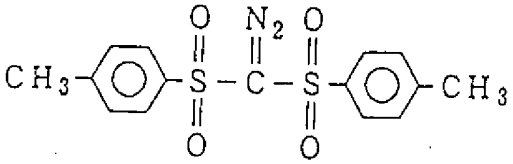
[2－69]



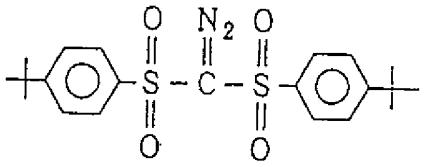
[2－70]



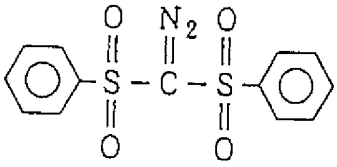
[2－71]



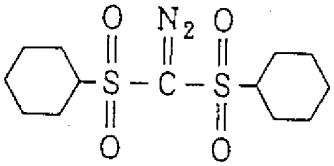
[2－72]



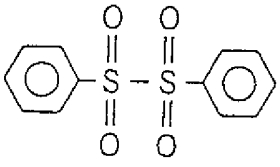
[2－73]



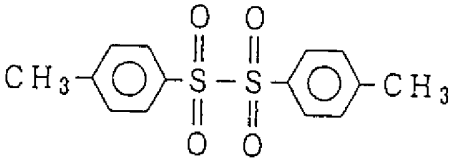
[2－74]



[2－75]



[2－76]



[2－77]

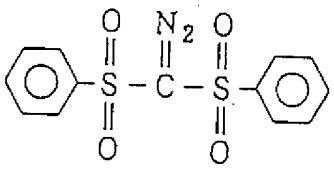
【0239】

（請先閱讀背面之注意事項再填寫本頁）

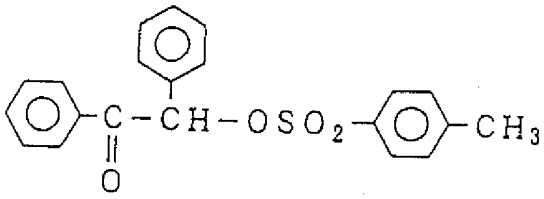
裝 訂 線

五、發明說明（68）

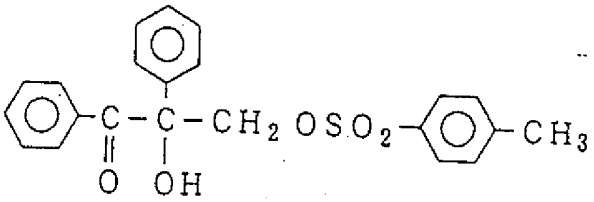
【化23】



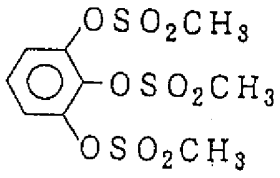
[2－78]



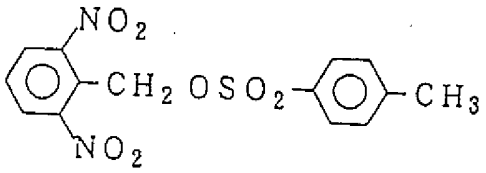
[2－79]



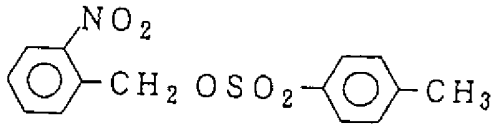
[2－80]



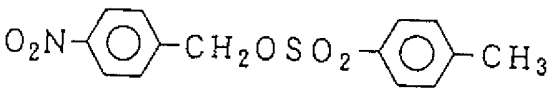
[2－81]



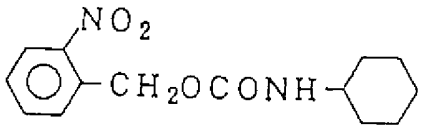
[2－82]



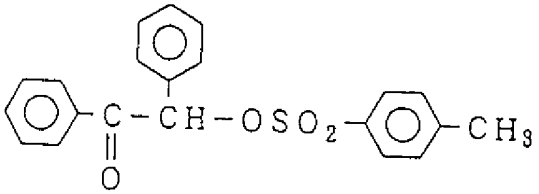
[2－83]



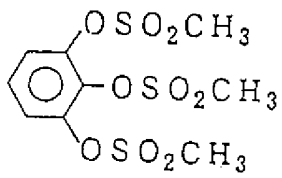
[2－84]



[2－85]



[2－86]



[2－87]

[0240]

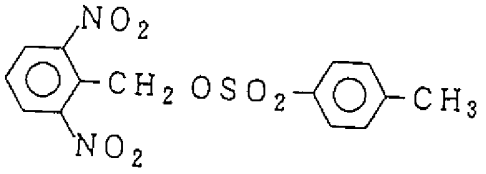
（請先閱讀背面之注意事項再填寫本頁）

裝

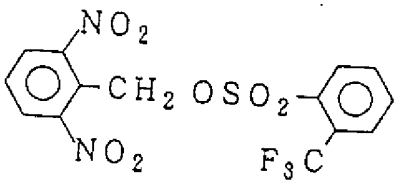
訂

五、發明說明（69）

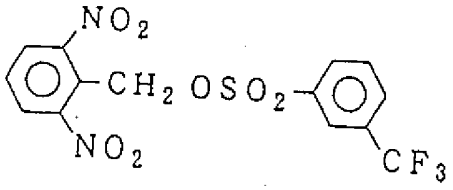
[化24]



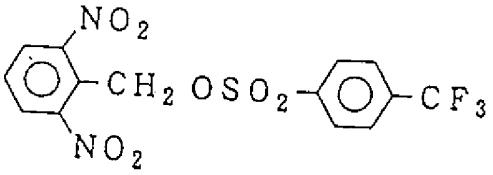
[2-88]



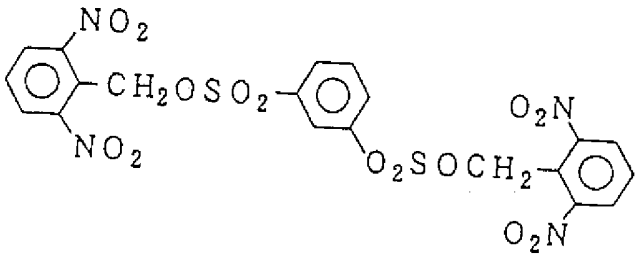
[2-89]



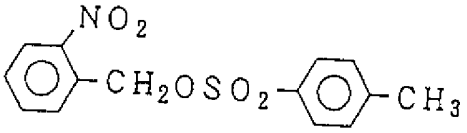
[2-90]



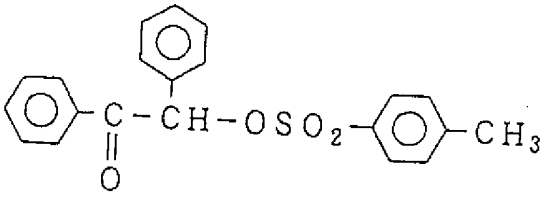
[2-91]



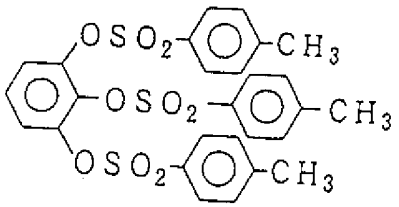
[2-92]



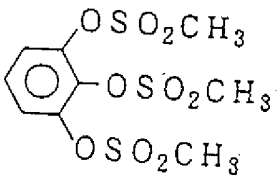
[2-93]



[2-94]



[2-95]



[2-96]

[0241]

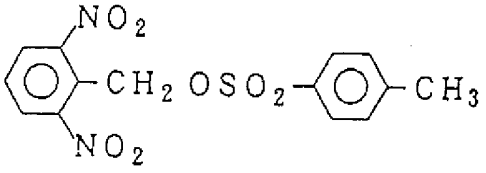
（請先閱讀背面之注意事項再填寫本頁）

裝

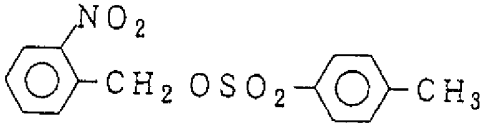
訂

五、發明說明（70）

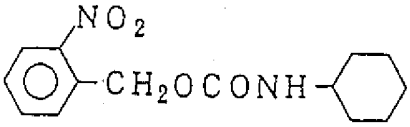
【化25】



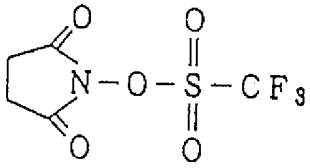
[2-97]



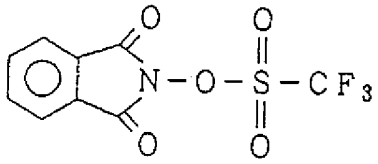
[2-98]



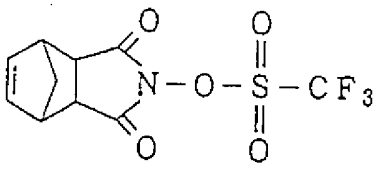
[2-99]



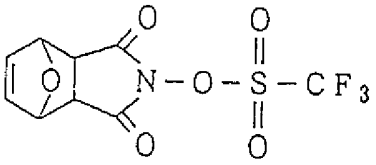
[2-100]



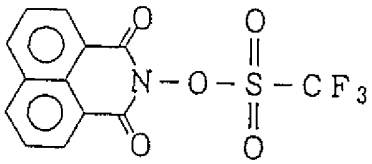
[2-101]



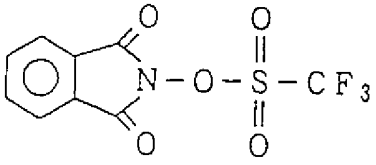
[2-102]



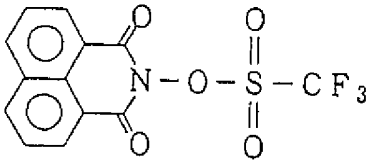
[2-103]



[2-104]



[2-105]



[2-106]

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（71）

交聯劑例如具有多重鍵之有機矽化合物，丙烯酸系之不飽和化合物。溶劑可爲極性之有機溶劑，或無極性之有機溶劑，具體而言例如有乳酸乙酯（ＥＬ），乙基－３－乙氧基丙酸酯（ＥＥＰ），丙二醇一甲醚乙酸酯（ＰＧＭＥＡ），丙二醇一甲醚（ＰＧＭＥ）等，或環己酮，２－庚酮，３－庚酮，乙醯丙酮，環戊酮等之酮類，丙二醇一乙醚乙酸酯，乙基乙氧基乙醇乙酸酯，甲基乙氧基乙醇乙酸酯，甲基－３－甲氧基丙酸酯，乙基－３－甲氧基丙酸酯，甲基－３－乙氧基丙酸酯，丙酮酸甲酯，丙酮酸乙酯等之酯類，二乙二醇二甲醚，丙二醇二甲醚等之醚類，乳酸甲酯，乙二醇酸乙酯等之乙二醇酸酯衍生物等，但不受此限。

使用上述方法製作塗佈材料，矽系絕緣膜上例如使用旋轉塗佈法等塗佈溶液材料後，藉由加熱使溶劑氣化形成有機矽膜。此階段只要是對於抗蝕劑可得到充分之蝕刻選擇比之玻璃化溫度即可，但對於抗蝕劑無法得到充分之蝕刻選擇比時，對於塗膜再進行加熱或照射能量光線，使塗膜交聯。

能量光線例如有紫外線，Ｘ光，電子射線，離子射線等。特別是同時加熱與照射能量光線加速交聯反應，在實用處理時間的範圍內可明顯提高玻璃化溫度。

以加熱與能量光線之照射使以矽與矽之鍵結爲主鏈之有機矽化合物中之溝成主鏈之矽與矽之鍵結產生斷裂，藉由與氧鍵結易產生氧化，有時產生抗蝕劑與有機矽膜之蝕

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（72）

刻選擇比降低的情形。這種情況時，以低氧濃度之氣氛中進行加熱與能量光線之照射優於空氣氣氛中。

本發明不限於上述之實施形態。例如以上說明中，主要是層積由氧化矽膜所構成之絕緣膜與聚矽烷，例如針對聚矽烷變成氧化矽膜或氮化矽膜的例子來說明，組合相同的方法時，層積由氧化矽膜所構成之絕緣膜與聚矽烷，藉由使聚矽烷變成氧化矽膜或氮化矽膜，可形成由氧化矽膜所構成之絕緣膜的一部份，或藉由使聚矽烷變成氧化矽膜，可由氧化矽膜所構成之絕緣膜中除去。

此時層積絕緣膜與聚矽烷等之有機矽膜，有機矽膜上導入氧，氮或氫等使與下層之絕緣膜相同性質，但半導體裝置中，下層之絕緣膜與有機矽膜之界面至少微量殘留含有有機矽膜成分之薄膜層。但是本發明即使殘留這種薄膜層也不影響半導體裝置。

第1～第6之實施形態係說明形成雙重溝配線之層間膜使用聚矽烷之乾式蝕刻加工方法，但不限於雙重溝配線之層間膜。當然對於多重之溝配線也可使用相同的方法。其他只要不脫離本發明目的的範圍內，可有各種變化。

如上述，藉由本發明使用乾式蝕刻之半導體裝置之製造方法時，使用由聚矽烷等所構成之有機矽膜，藉由乾式蝕刻形成半導體裝置之絕緣膜，或形成其一部份的部分，藉由由此有機矽膜所構成的部分變成氧化物或氮化物，可使由前述有機矽膜所構成的部分形成前述半導體裝置之絕緣膜，或以其一部份的形態形成一體化。又使用相同的方

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（73）

法時，可輕易除去以往所不易除去之反射防止膜。

又使前述有機矽膜選擇性變成氧化物或氮化物，以此爲掩模進行乾式蝕刻，然後處理使前述有機矽膜成爲絕緣膜的一部份，藉此可形成比以往之抗蝕劑掩模更高之縱橫比之連接孔等。

藉由使用組合這些有機矽膜之乾式蝕刻方法可容易形成以往困難之雙重溝配線之層間絕緣膜，配線溝及雙重溝配線之連接孔之加工。可形成矽基板之深溝形成所需之使用絕緣膜之高縱橫比之蝕刻掩模。

此外可廣泛應用於以高良率製造高密度之半導體集成電路時之關鍵的元件領域，及元件領域之平坦化加工，ＳＡＣ之形成，形成微細閘電極之圖型等。

圖式之簡單說明

圖１Ａ－１Ｆ係表示第１實施形態之半導體裝置之製造方法的步驟斷面圖。

圖２Ａ－２Ｃ係表示第１實施形態之半導體裝置之製造方法之效果的步驟斷面圖。

圖３Ａ－３Ｂ係表示第２實施形態之半導體裝置之製造方法的步驟斷面圖。

圖４Ａ－４Ｂ係表示第２實施形態之半導體裝置之製造方法之效果的步驟斷面圖。

圖５Ａ－５Ｄ係表示第３實施形態之半導體裝置之製造方法的步驟斷面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（74 ）

圖６Ａ－６Ｉ係表示第４實施形態之半導體裝置之製造方法的步驟斷面圖。

圖７Ａ－７Ｃ係表示第５實施形態之半導體裝置之製造方法的步驟斷面圖。

圖８Ａ－８Ｃ係表示第６實施形態之半導體裝置之製造方法的步驟斷面圖。

圖９Ａ－９Ｃ係表示第７實施形態之半導體裝置之製造方法的步驟斷面圖。

圖１０Ａ－１０Ｃ係表示第８實施形態之半導體裝置之製造方法的步驟斷面圖。

圖１１Ａ－１１Ｃ係表示第９實施形態之半導體裝置之製造方法的步驟斷面圖。

圖１２Ａ－１２Ｂ係表示第１０實施形態之半導體裝置之製造方法的步驟斷面圖。

圖１３Ａ－１３Ｃ係表示第１１實施形態之半導體裝置之製造方法的步驟斷面圖。

圖１４Ａ－１４Ｃ係表示第１２實施形態之半導體裝置之製造方法的步驟斷面圖。

圖１５Ａ－１５Ｃ係表示第１３實施形態之半導體裝置之製造方法的步驟斷面圖。

圖１６Ａ－１６Ｅ係表示第１４實施形態之半導體裝置之製造方法的步驟斷面圖。

圖１７Ａ－１７Ｄ係表示第１５實施形態之半導體裝置之製造方法的步驟斷面圖。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（75）

圖１８Ａ－１８Ｅ係表示第１６實施形態之半導體裝置之製造方法的步驟斷面圖。

圖１９Ａ－１９Ｄ係表示第１７實施形態之半導體裝置之製造方法的步驟斷面圖。

圖２０Ａ－２０Ｃ係表示第１８實施形態之半導體裝置之製造方法的步驟斷面圖。

圖２１Ａ－２１Ｅ係表示第１９實施形態之半導體裝置之製造方法的步驟斷面圖。

圖２２Ａ－２２Ｃ係表示第２０實施形態之半導體裝置之製造方法的步驟斷面圖。

圖２３Ａ－２３Ｃ係表示第２１實施形態之半導體裝置之製造方法的步驟斷面圖。

圖２４係表示本發明之半導體裝置之製造方法用之乾式蝕刻裝置圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：使用乾式蝕刻法之半導體裝置的製造方法）

本發明係提供使用有機矽膜之雙重溝配線之層間絕緣膜，連接孔，深溝掩模等之形成方法。

聚矽烷等進行形狀加工後，作爲雙重溝配線之層間絕緣膜使用以避免溝形成時之形狀，深度控制及無邊蝕刻的問題。又聚矽烷與絕緣膜形成層積結構，再進行乾式蝕刻加工形成一體化，藉此輕易形成高縱橫比之連接孔。以選擇性將聚矽烷的表面作爲絕緣膜，製成乾式蝕刻的掩模。使作爲反射防止膜或蝕刻掩模使用的聚矽烷變成氧化膜或氮化膜時，能夠容易除去這些膜。使用這些膜可應用於形成高密度集成電路之元件領域，元件分離領域形成之平坦化，高良率之自行對準連接孔或配線溝之形成，閘電極之圖型形成。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1．一種使用乾式蝕刻之半導體裝置的製造方法，其特徵係於半導體基板形成有機矽膜，前述有機矽膜藉由乾式蝕刻，使應該以前述半導體裝置之絕緣膜形成的部分，使用前述有機矽膜形成後，藉由使前述有機矽膜變成絕緣膜，形成由前述半導體裝置之絕緣膜所構成的部分。

2．如申請專利範圍第1項之半導體裝置的製造方法，其中前述有機矽膜之主鏈上具有矽與矽之鍵結。

3．如申請專利範圍第1項之半導體裝置的製造方法，其係將有機矽膜進行乾式蝕刻後，將氧、氮、氫、及碳中之至少一種元素導入前述有機矽膜中，使前述有機矽膜變成有機氧化矽膜、無機氧化矽膜、氧化矽膜、及氮化矽膜中之一種。

4 如申請專利範圍第3項之半導體裝置的製造方法，其中前述將氧、氮、氫、及碳中之至少一種元素導入前述有機矽膜之步驟係採用使用由這些元素或其混合物所構成之離子之反應性離子蝕刻法、灰化法、及離子注入法中之任一種方法。

5．如申請專利範圍第3項之半導體裝置的製造方法，其中前述將氧、氮、氫、及碳中之至少一種元素導入前述有機矽膜之步驟係在前述元素或其混合物所構成之氣體氣氛中藉由熱處理來進行。

6．如申請專利範圍第1項之半導體裝置的製造方法，其中由前述半導體裝置之絕緣膜所構成的部分係由埋入前述半導體基板表面與雙重溝配線之下方的各配線層之間

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

的層間絕緣膜；埋入前述雙重溝配線之各配線層內所形成之配線金屬之間的絕緣膜；及前述雙重溝配線之上下方的配線層間之層間絕緣膜中之至少一種所構成者。

7．如申請專利範圍第6項之半導體裝置的製造方法，其中前述有機矽膜係層積於絕緣膜所形成，前述絕緣膜可作爲前述乾式蝕刻之抑制層使用。

8．如申請專利範圍第1項之半導體裝置的製造方法，其中由前述半導體裝置之絕緣膜所構成的部分係由含有前述半導體基板上所形成之雙重溝配線之連接孔，及前述雙重溝配線之上下方的各配線層之溝的層間絕緣膜所構成。

9．如申請專利範圍第8項之半導體裝置的製造方法，其中形成前述連接孔之步驟係含有將前述有機矽膜塗佈於前述下方之配線層之上部全面之步驟；藉由選擇性乾式蝕刻此有機矽膜在前述有機矽膜形成到達前述下方之配線層之配線金屬上面之連接孔的步驟；使前述連接孔形成後之有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中之任一種所構成之絕緣膜的步驟。

10．如申請專利範圍第9項之半導體裝置的製造方法，其中前述下方之配線層係由被埋入於半導體基板上之絕緣膜之溝配線所構成，前述連接孔之形成時，前述絕緣膜上面爲抑制無邊蝕刻者。

11．如申請專利範圍第8項之半導體裝置的製造方

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

法，其中形成前述溝之步驟係含有將有機矽膜塗佈於半導體基板上之絕緣膜之上部全面之步驟；藉由選擇性乾式蝕刻前述有機矽膜除去前述有機矽膜之溝之形成部分的步驟；使前述除去步驟後之有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中之任一種所構成之絕緣膜的步驟。

１２．如申請專利範圍第８項之半導體裝置的製造方法，其中形成前述層間絕緣膜之步驟係含有在半導體基板上之絕緣膜上形成連接孔的步驟；將有機矽膜塗佈於前述絕緣膜之上部全面，掩埋前述連接孔之步驟；藉由選擇性乾式蝕刻前述有機矽膜除去含有前述連接孔之開口部之前述上方之配線層之溝形成部分，及前述連接孔內部之前述有機矽膜的步驟；使前述除去步驟後之有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中之任一種所構成之絕緣膜的步驟。

１３．如申請專利範圍第１２項之半導體裝置的製造方法，其中除去前述有機矽膜之步驟中，前述半導體基板上之絕緣膜之上面爲藉由抑制前述乾式蝕刻，使前述有機矽膜被選擇性蝕刻者。

１４．如申請專利範圍第８項之半導體裝置的製造方法，其中形成前述層間絕緣膜之步驟含有：將前述有機矽膜塗佈於形成前述下方之配線層之半導體基板上之第１絕緣膜之上部全面的步驟；在前述有機矽膜形成到達前述下方之配線層之配線金屬上面之第１選擇性乾式蝕刻步驟；使具備前述

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

連接孔之有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中之任一種所構成之第2絕緣膜的步驟；將有機矽膜塗佈於第2絕緣膜之上部全面，掩埋前述連接孔之步驟；藉由除去含有前述連接孔之開口部之前述上方之配線層之溝形成部分，及前述連接孔內部之前述有機矽膜形成與前述第2絕緣膜所形成之連接孔連接之上方之配線層之溝的第2選擇性乾式蝕刻步驟；使具備前述上方之配線層之溝之有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中之任一種所構成之第3絕緣膜的步驟。

15．如申請專利範圍第14項之半導體裝置的製造方法，其中前述第1絕緣膜係抑制前述第1乾式蝕刻步驟之前述下方之配線層周邊部分所產生之無邊蝕刻，前述第2絕緣膜係抑制形成前述上方之配線層之溝的第2選擇性乾式蝕刻步驟者。

16．如申請專利範圍第8項之半導體裝置的製造方法，其中形成前述層間絕緣膜之步驟含有：形成前述下方之配線層之半導體基板上之絕緣膜上形成第1有機氧化矽膜，或無機氧化矽膜，或氧化矽膜中之任一種的步驟；前述第1有機氧化矽膜，或無機氧化矽膜，或氧化矽膜中之任一種氧化膜上形成由有機矽膜所構成之乾式蝕刻之抑制層的步驟；前述抑制層上設置形成到達前述下方之配線層之連接孔之開口部的步驟；形成前述第2有機氧化矽膜，或無機氧化矽膜，或氧化矽膜中之任一種，掩埋設置前述開口部之前述抑制層

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

的步驟；配合前述開口部形成爲了形成上方之配線層之溝之蝕刻掩模的步驟；使用設置前述蝕刻掩模與前述開口部之前述抑制層，接著以選擇性乾式蝕刻前述第１，第２有機氧化矽膜，或無機氧化矽膜，或氧化矽膜中之任一種的步驟。

１７．如申請專利範圍第１６項之半導體裝置的製造方法，其中由前述有機矽膜所構成之乾式蝕刻之抑制層含有：接著以選擇性乾式蝕刻前述第１，第２有機氧化矽膜，或無機氧化矽膜，或氧化矽膜中之任一種的步驟後，變成有機氧化矽膜，作爲前述層間絕緣膜之一部份，被一體化的步驟。

１８．一種使用乾式蝕刻之半導體裝置的製造方法，其特徵係含有：半導體基板上形成主鏈上至少具有矽與矽之鍵結之有機矽膜，前述有機矽膜之表面至少選擇性導入氧，氮，氫及碳中任一種元素的步驟；以前述有機矽膜之表面爲掩模進行選擇性乾式蝕刻，形成由前述半導體裝置之絕緣物所構成之部分的步驟；將前述有機矽膜進行乾式蝕刻後，至少將氧，氮，氫及碳中任一種的元素導入前述有機矽膜的內部，使前述有機矽膜之表面與前述有機矽膜的內部皆以有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中之任一種的形態進行一體化的步驟。

１９．如申請專利範圍第１８項之半導體裝置的製造方法，其中以前述有機矽膜之表面爲掩模進行選擇性乾式蝕刻，使前述掩模之開口部周邊之邊緣被加工成圓形。

２０．一種使用乾式蝕刻之半導體裝置的製造方法，其特徵係含有：在半導體基板上形成主鏈上至少具有矽與矽之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

鍵結之有機矽膜，前述有機矽膜之表面至少選擇性導入氧，氮，氫及碳中任一種元素的步驟；以前述有機矽膜之表面爲掩模進行選擇性乾式蝕刻，形成由前述半導體裝置之絕緣物所構成之部分的步驟；將前述有機矽膜進行乾式蝕刻後，至少將氧，氮，氫及碳中任一種的元素導入前述有機矽膜的內部，使前述有機矽膜之表面與前述有機矽膜的內部形成彼此不同之有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中之任一種的的步驟；使用前述有機矽膜之表面與內部之選擇比蝕刻，除去前述掩模的步驟。

２１．一種使用乾式蝕刻之半導體裝置的製造方法，其特徵係使用有機矽膜，在半導體基板上之絕緣膜之上面形成光蝕刻步驟之反射防止膜，前述光蝕刻步驟之後，至少將氧，氮，氫及碳中任一種的元素導入前述有機矽膜，使前述反射防止膜成爲有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中之任一種，將前述反射防止膜與前述絕緣膜進行一體化者。

２２．一種使用乾式蝕刻之半導體裝置的製造方法，其特徵係使用有機矽膜，在半導體基板上之絕緣膜之上面形成光蝕刻步驟之反射防止膜，前述光蝕刻步驟之後，將氧，氮，氫及碳中任一種的元素導入前述有機矽膜，使前述反射防止膜成爲有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中之任一種，使用前述步驟後之反射防止膜與前述絕緣膜選擇性蝕刻，蝕刻除去前述反射防止膜者。

２３．一種使用乾式蝕刻之半導體裝置的製造方法，其

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

特徵係含有：半導體基板上形成熱氧化膜的步驟；前述熱氧化膜上塗佈有機矽膜，前述有機矽膜上形成氧化矽膜的步驟；由前述氧化矽膜與有機矽膜所構成之多層膜上形成到達前述半導體基板表面之開口部的步驟；將氮導入前述步驟後之前述有機矽膜，使前述有機矽膜變成氮化矽膜的步驟；以由前述氧化矽膜與前述氮化矽膜所構成之多層膜爲掩模，在前述半導體基板上形成溝的步驟。

２４．一種使用乾式蝕刻之半導體裝置的製造方法，其特徵係含有：半導體基板上塗佈有機矽膜，以抗蝕劑爲掩模，使前述有機矽膜形成圖型覆蓋前述半導體基板上之元件區域的步驟；以前述形成圖型後之有機矽膜與前述抗蝕劑爲掩模，在半導體基板上形成分離溝，將氮導入前述有機矽膜，使前述有機矽膜變成氮化矽膜的步驟。

２５．如申請專利範圍第２３項之半導體裝置的製造方法，其中再於半導體基板上塗佈有機矽膜，將分離溝埋入於形成前述分離溝之半導體基板之上部全面的步驟；以前述氮化矽膜爲抑制層，使前述有機矽膜之表面平坦化的步驟；將氧導入掩埋前述分離溝之前述有機矽膜，使前述有機矽膜變成氧化矽膜，有機氧化矽膜及無機氧化矽膜中之任一種膜的步驟。

２６．一種使用乾式蝕刻之半導體裝置的製造方法，其特徵係含有：半導體基板上形成閘極絕緣膜，前述閘極絕緣膜上至少形成１層金屬膜的步驟；前述金屬膜上塗佈有機矽膜，以抗蝕劑爲掩模，在以前述金屬膜覆蓋之半導

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

體基板上形成前述有機矽膜圖型的步驟；以前述形成圖型之有機矽膜與前述抗蝕劑爲掩模，在前述形成閘電極區域上形成由前述金屬膜所構成之閘電極圖型的步驟；將氮導入前述有機矽膜，使前述形成圖型之有機矽膜成爲氮化膜的步驟。

２７．一種使用乾式蝕刻之半導體裝置的製造方法，其特徵係含有：半導體基板上形成閘極絕緣膜，前述閘極絕緣膜上至少形成１層金屬膜，在被前述金屬膜覆蓋之半導體基板之形成閘電極區域上形成由前述金屬膜所構成之閘電極圖型的步驟；以氮化矽膜覆蓋前述閘電極，堆積第１絕緣膜，將前述閘電極埋入前述半導體基板之上部全面的步驟；使第１絕緣膜之表面平坦化，此平坦化之第１絕緣膜上塗佈有機矽膜的步驟；藉由使用以抗蝕劑爲掩模之乾式蝕刻，選擇性除去

覆蓋前述閘電極所鄰接之源極或漏極形成區域中之任一區域，及前述閘電極之前述源極或漏極側之一部份的前述有機矽膜，在前述有機矽膜上形成到達前述第１絕緣膜之連接孔的步驟；使用以前述抗蝕劑及前述有機矽膜爲掩模之乾式蝕刻，更進一步蝕刻前述第１絕緣膜，使前述氮化矽膜露出於前述連接孔底部的步驟；更進一步進行前述蝕刻後，藉由除去前述氮化矽膜與閘極絕緣膜，使前述半導體基板上之源極或漏極形成區域中之任一區域表面以自行整合方式露出的步驟；使有機矽膜變成由有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

之任一種所構成之第2絕緣膜，使前述有機矽膜與前述第1絕緣膜一體化，將前述連接孔用於配線之連接的步驟者。

28．一種使用乾式蝕刻之半導體裝置的製造方法，其特徵係含有：半導體基板上形成閘極絕緣膜，前述閘極絕緣膜上至少形成1層金屬膜，在被前述金屬膜覆蓋之半導體基板上之閘電極形成區域上形成由前述金屬膜所構成之閘電極圖型的步驟；以氮化矽膜覆蓋前述閘電極，層積於前述氮化矽膜上，再覆蓋第1氧化矽膜的步驟；將前述有機矽膜塗佈於前述半導體基板之上部全面，藉由使用以抗蝕劑爲掩模之乾式蝕刻，選擇性除去覆蓋前述閘電極所鄰接之源極或漏極形成區域，及前述閘電極之前述源極或漏極側之一部份的前述有機矽膜，在前述有機矽膜上形成到達前述第1氧化矽膜之連接孔的步驟；將氧導入前述有機矽膜，使前述有機矽膜變成第2氧化矽膜，以前述第2氧化矽膜爲掩模藉由乾式蝕刻，除去露出於前述連接孔底部之前述第1氧化矽膜的步驟；更進一步除去因除去前述第1氧化矽膜所露出之前述氮化矽膜與前述閘極絕緣膜，使前述半導體基板上之源極或漏極形成區域中之任一區域表面以自行整合方式露出，將前述連接孔用於配線之連接的步驟者。

29．一種乾式蝕刻方法，其特徵係在半導體基板形成主鏈上至少具有矽與矽之鍵結之有機矽膜，前述有機矽膜至少藉由乾式蝕刻，形成由前述半導體裝置之絕緣物所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

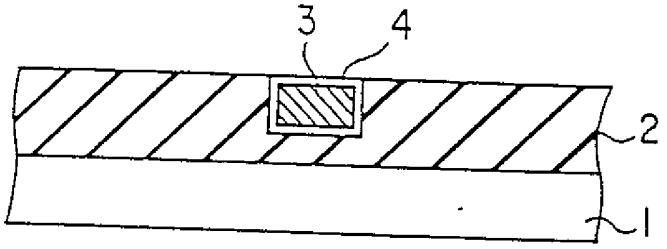
六、申請專利範圍

構成之部分的步驟；前述步驟後之有機矽膜藉由使用至少O_2或N_2或H_2中之熱處理，O_2或N_2或H_2電漿中之熱處理，O_2或N_2或H_2之離子之注入與熱處理中之一種方法進行處理，將前述加工部分變成有機氧化矽膜，無機氧化矽膜，氧化矽膜，氮化矽膜及氧化矽氮化膜中之任一種所構成之絕緣膜者。

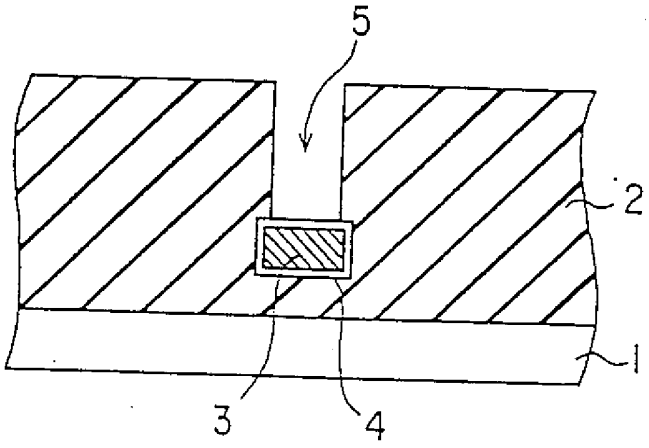
（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

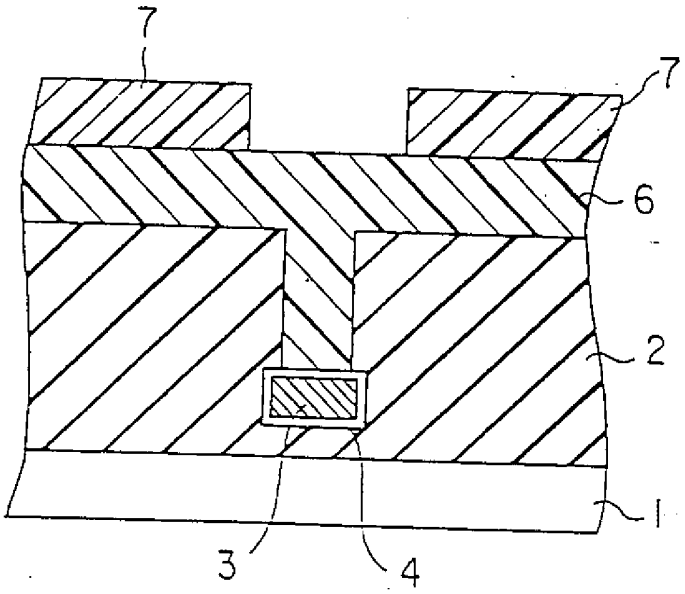
經濟部智慧財產局員工消費合作社印製



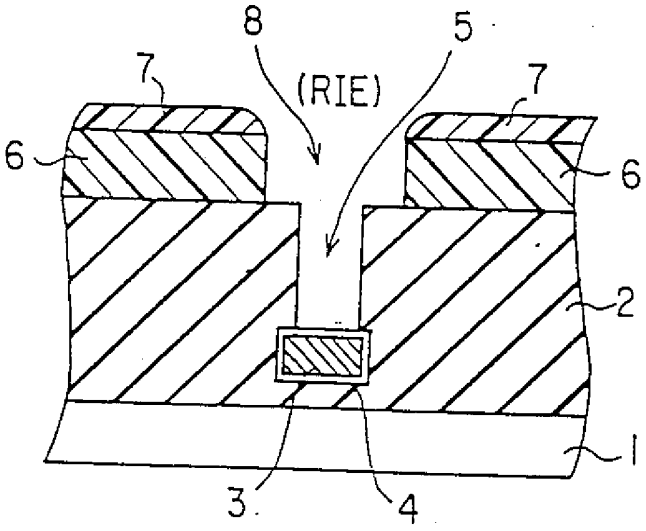
第 1 A 圖



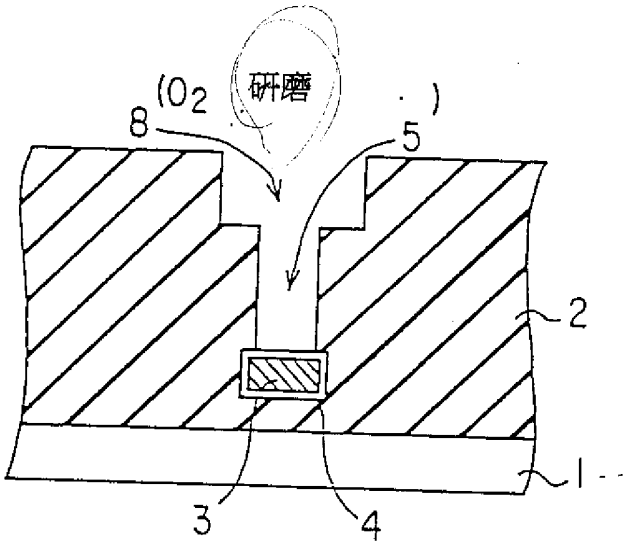
第 1 B 圖



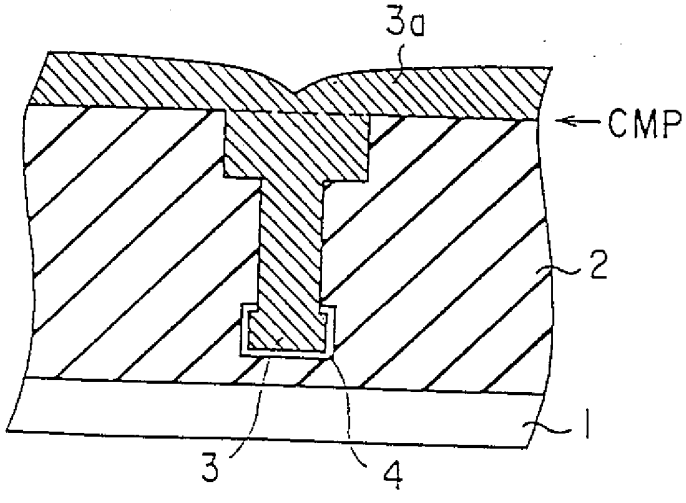
第 1 C 圖



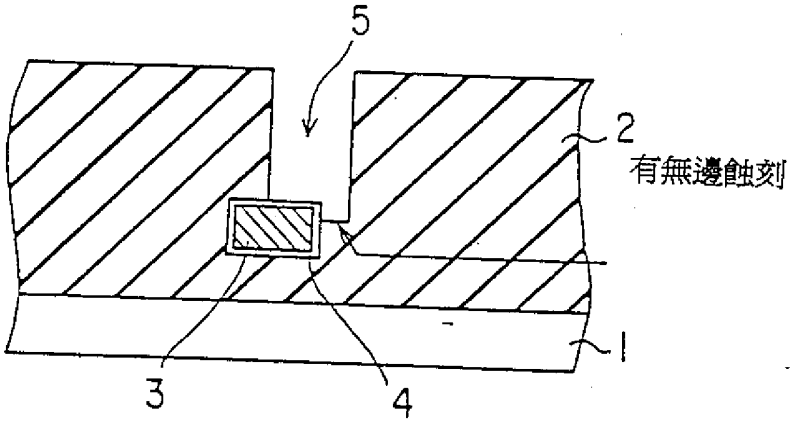
第 1 D 圖



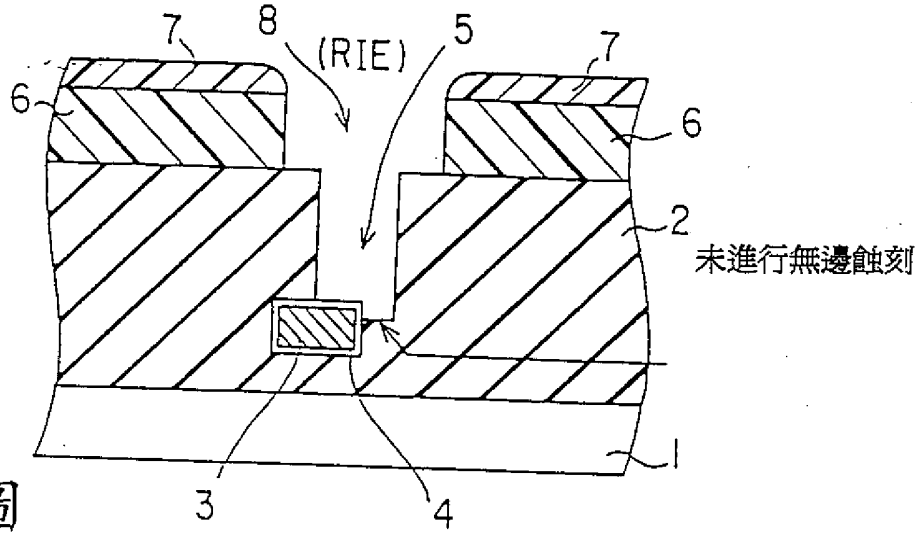
第 1 E 圖



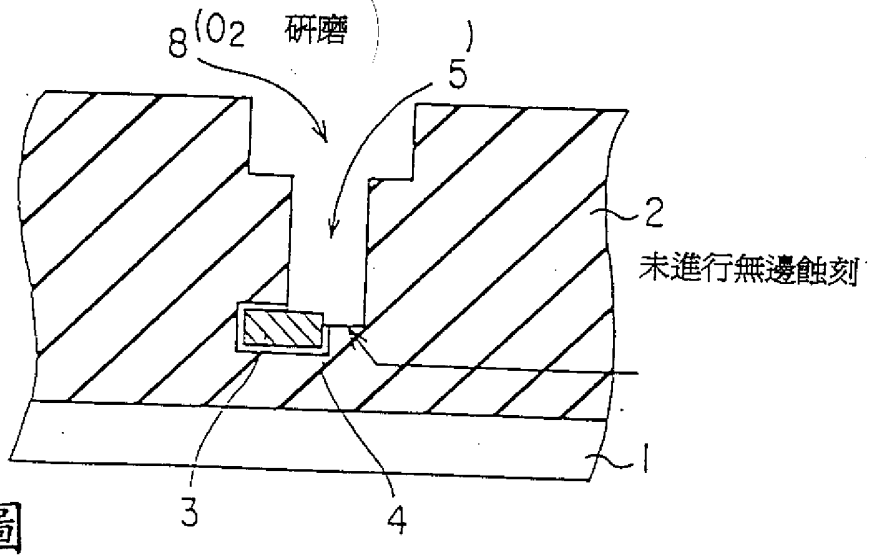
第 1 F 圖



第 2 A 圖

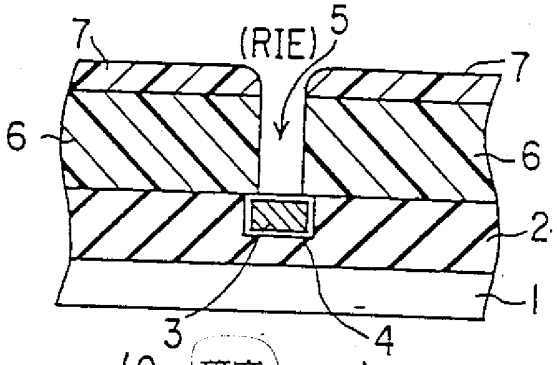


第 2 B 圖

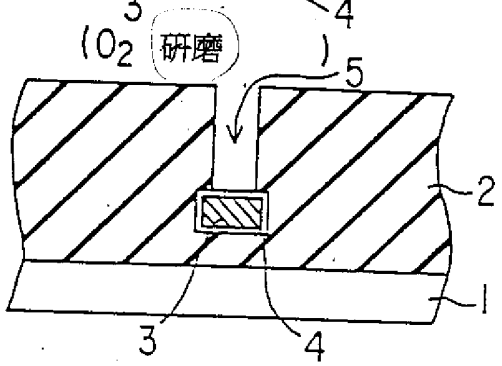


第 2 C 圖

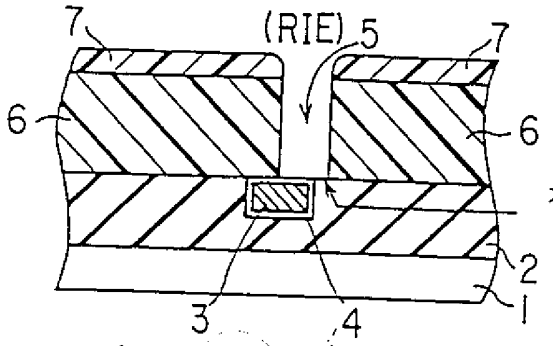
第 3 A 圖



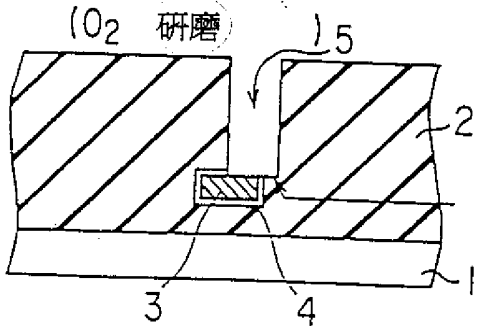
第 3 B 圖



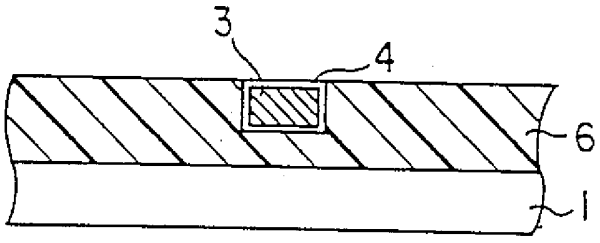
第 4 A 圖



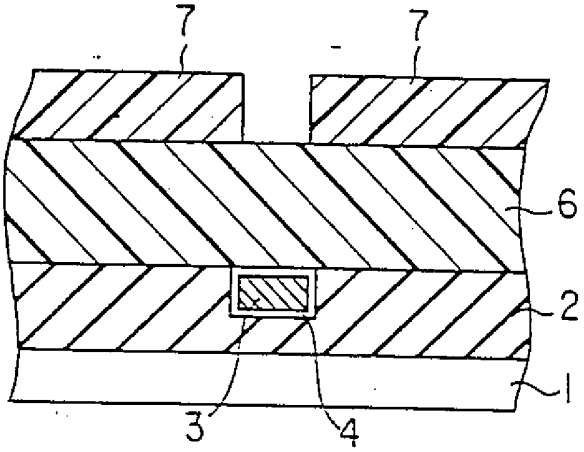
第 4 B 圖



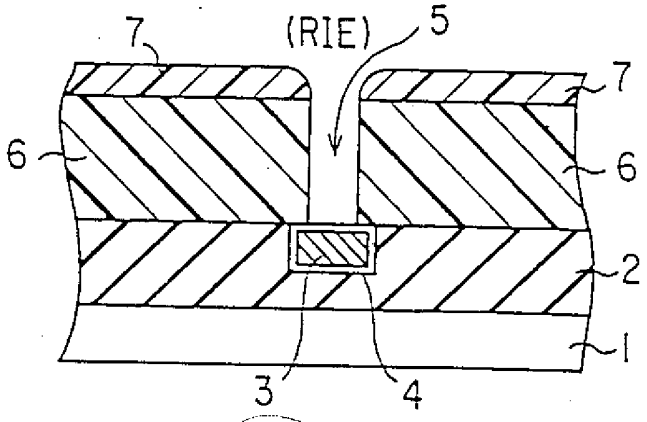
第5A圖



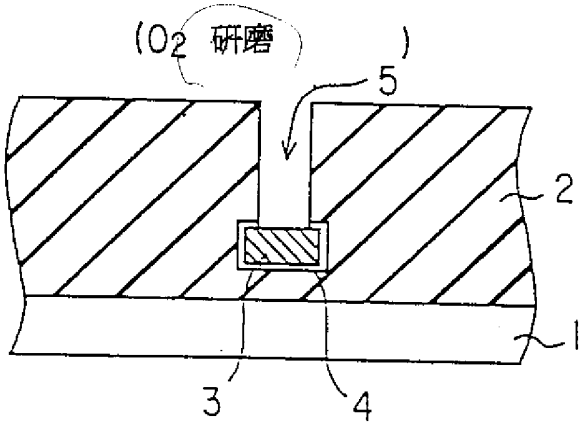
第5B圖

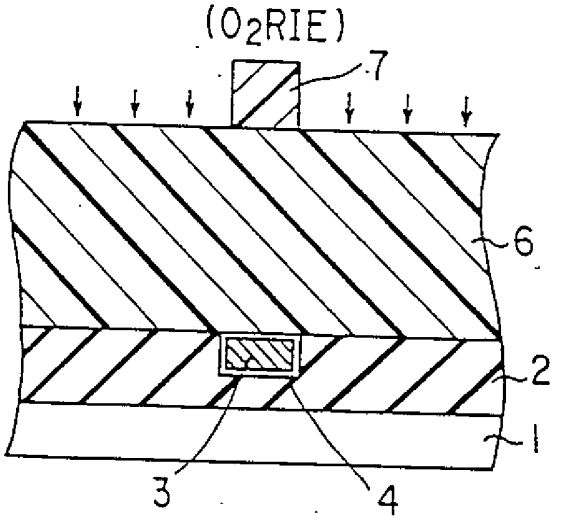


第5C圖

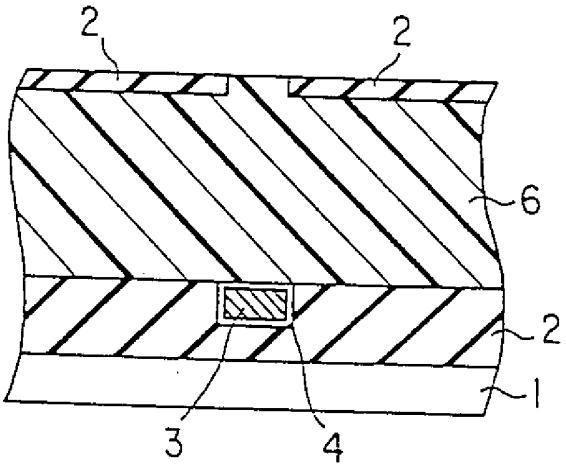


第5D圖

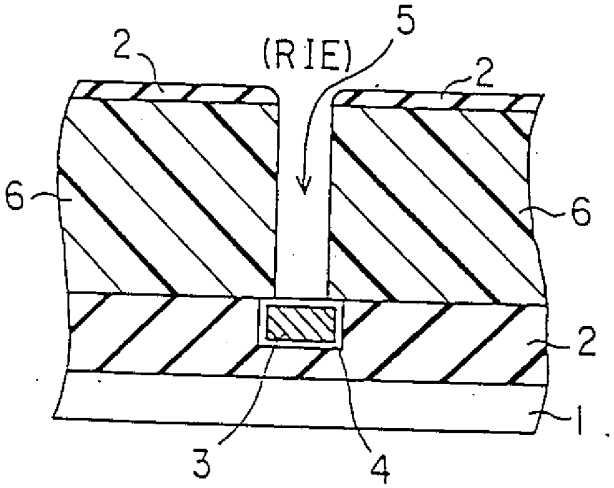




第 6 A 圖

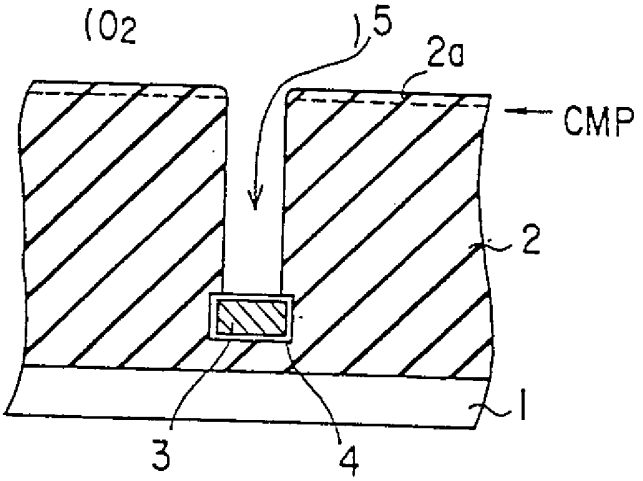


第 6 B 圖

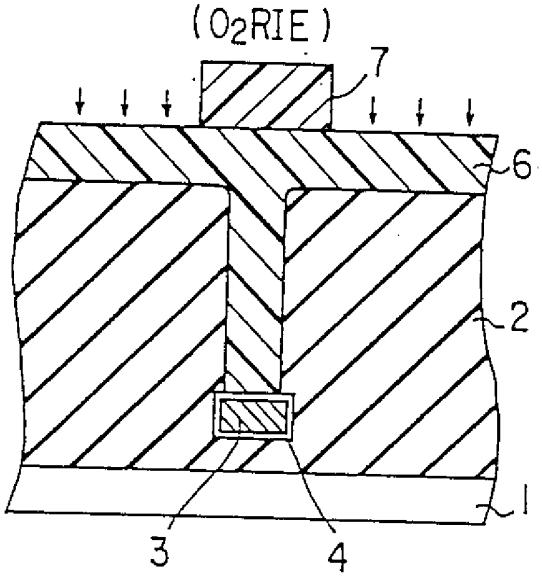


第 6 C 圖

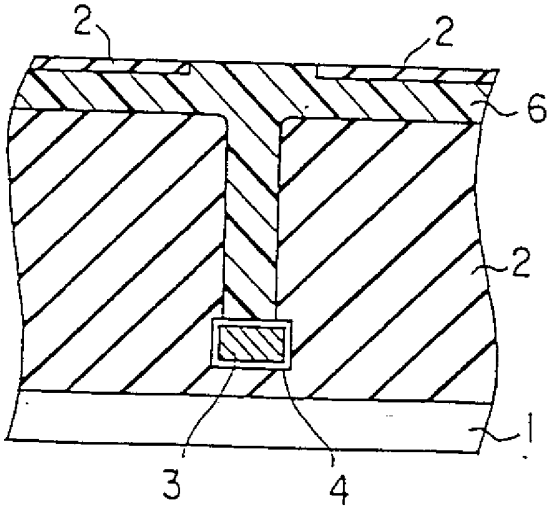
第 6 D 圖

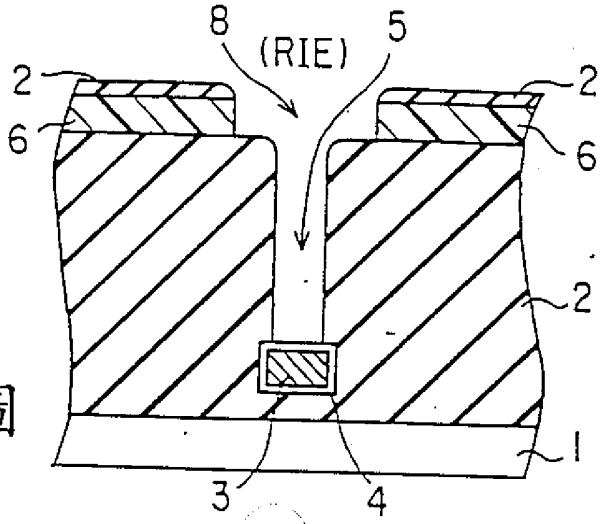


第 6 E 圖

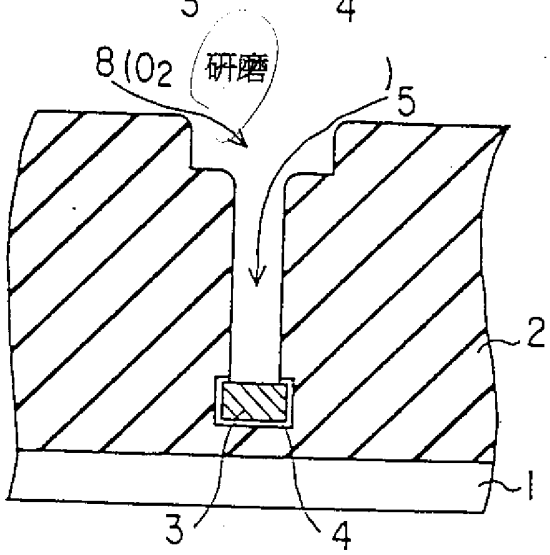


第 6 F 圖

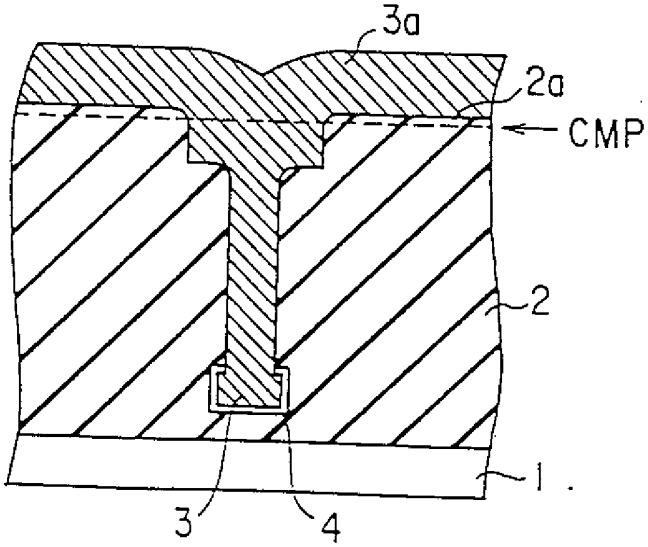




第 6 G 圖

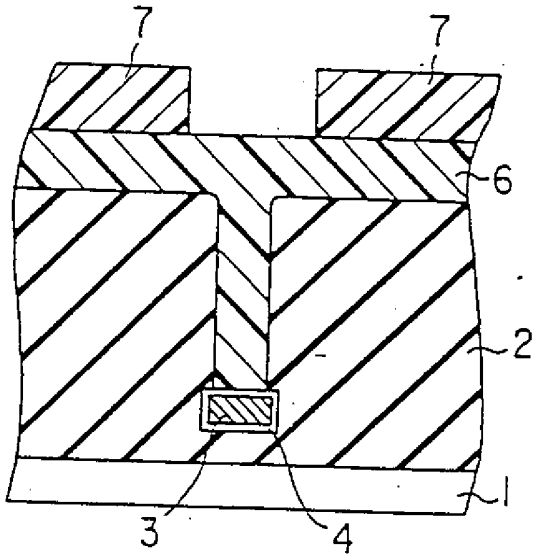


第 6 H 圖

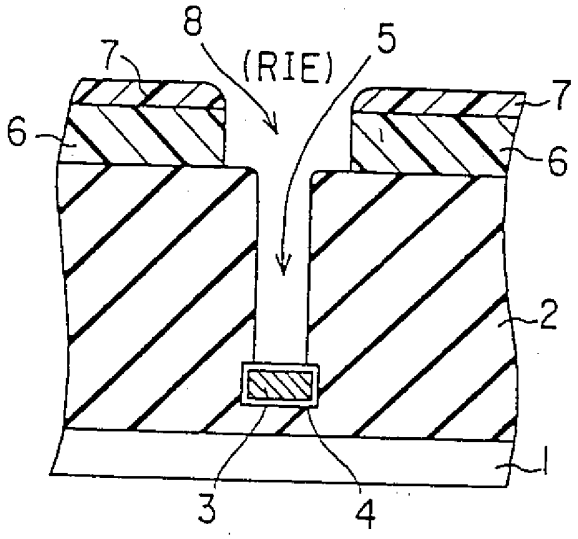


第 6 I 圖

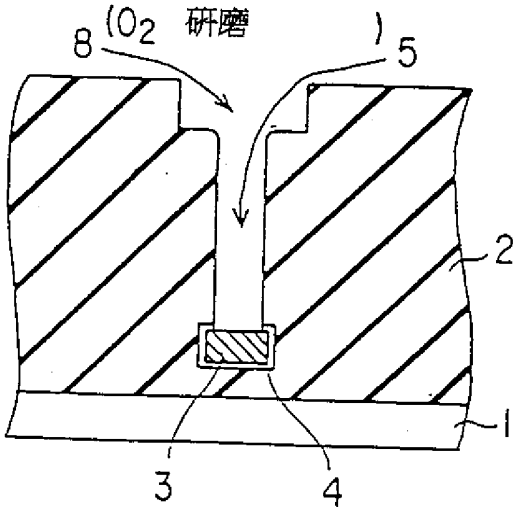
第 7 A 圖

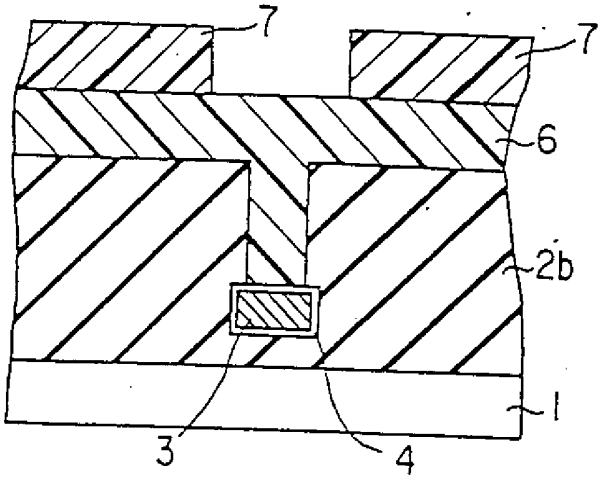


第 7 B 圖

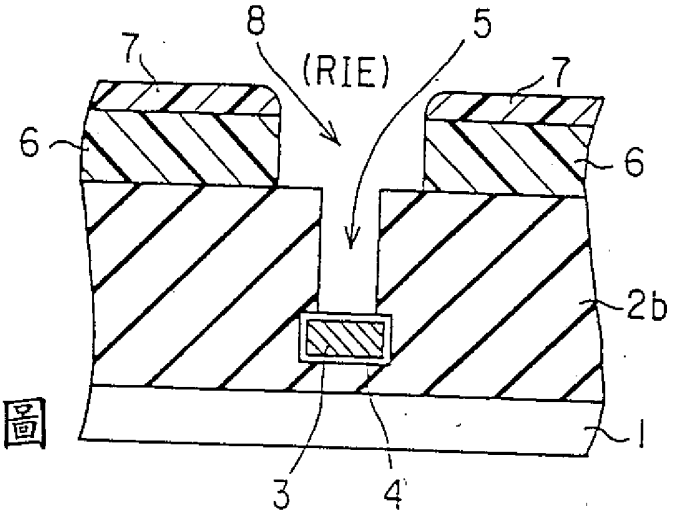


第 7 C 圖

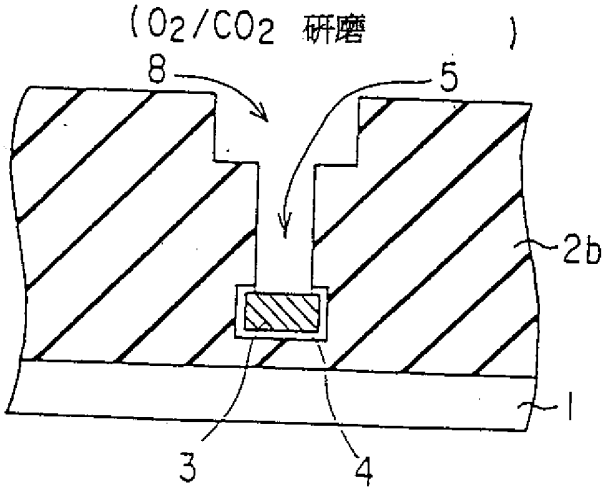




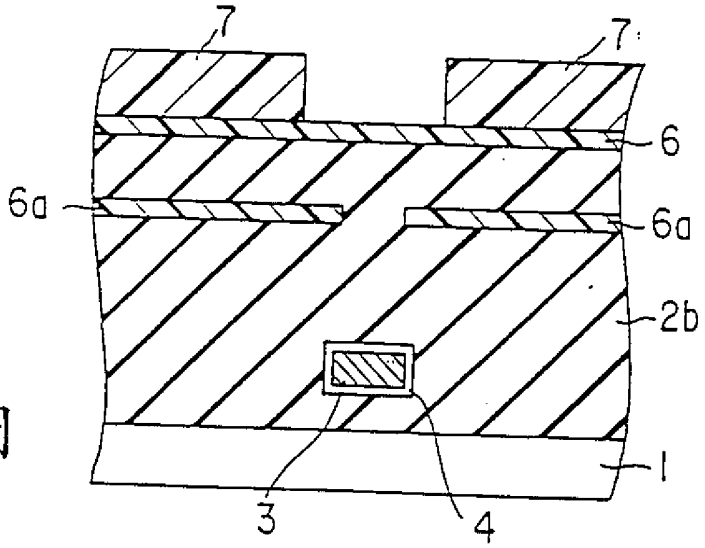
第 8 A 圖



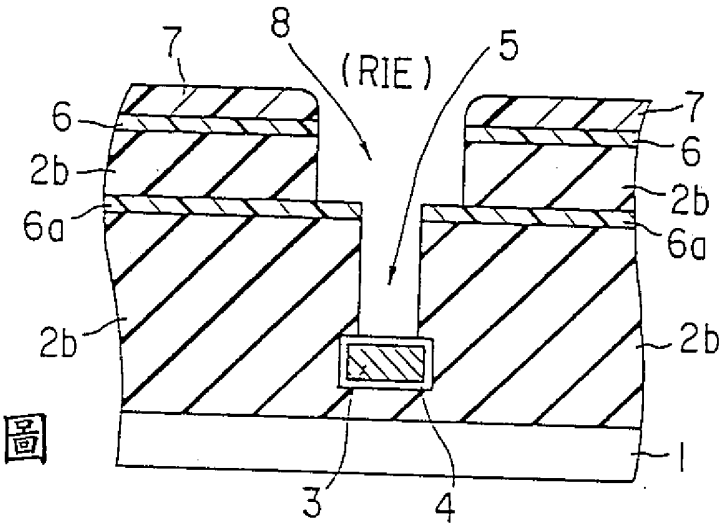
第 8 B 圖



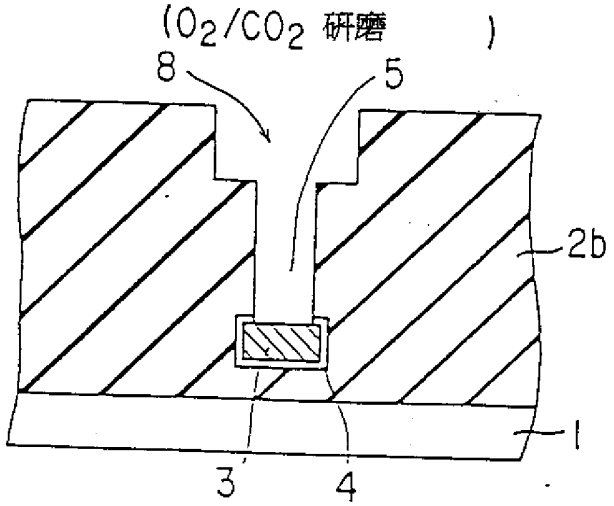
第 8 C 圖



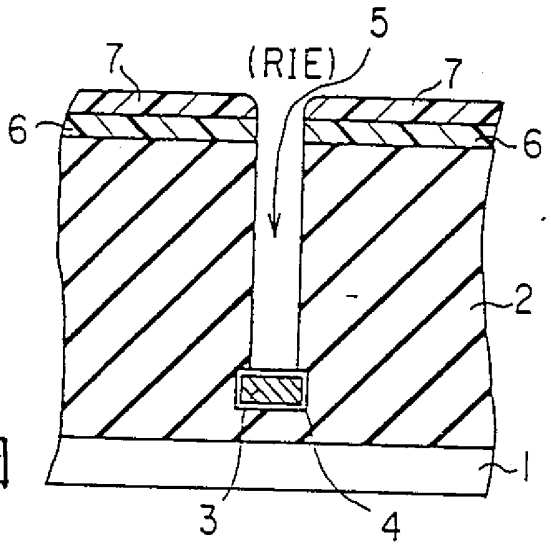
第 9 A 圖



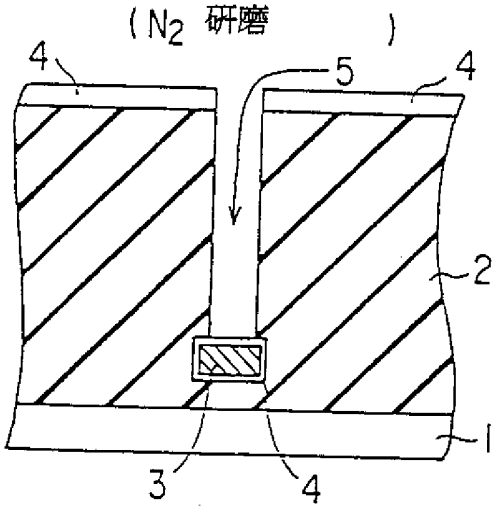
第 9 B 圖



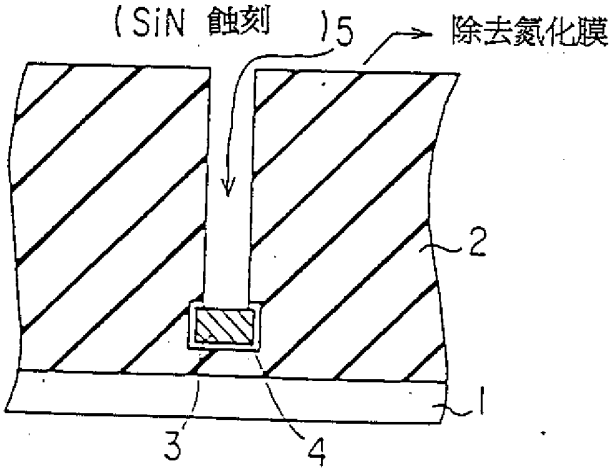
第 9 C 圖



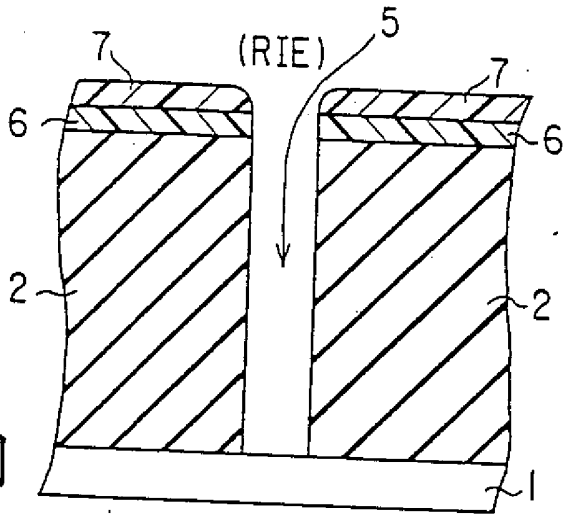
第 10 A 圖



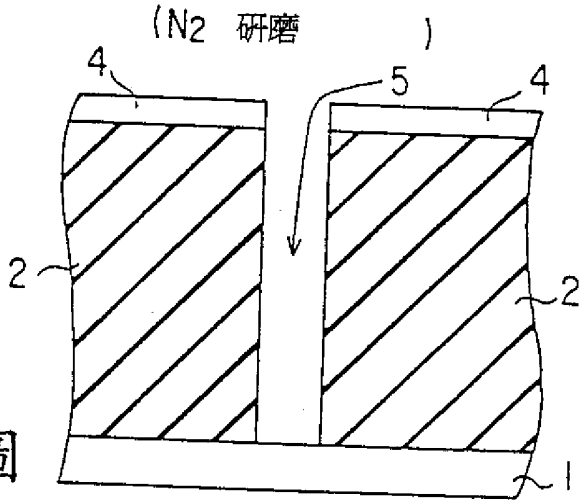
第 10 B 圖



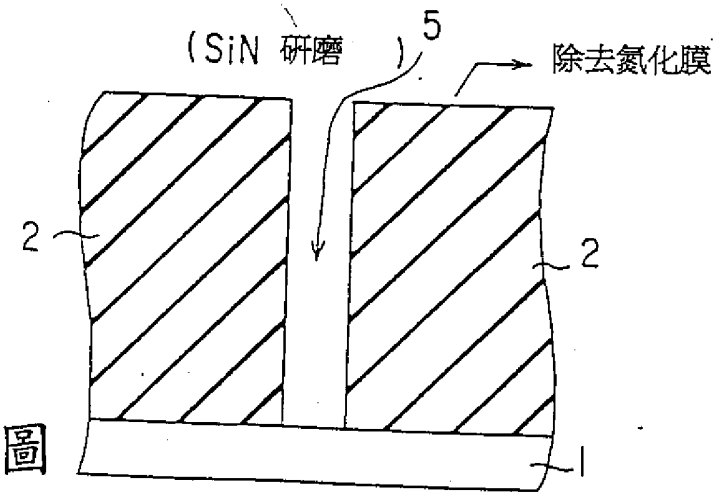
第 10 C 圖



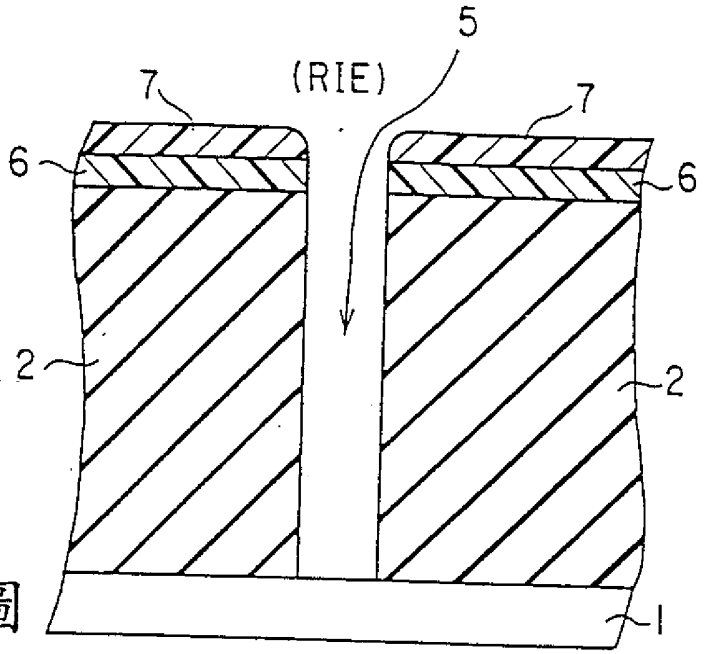
第 11A 圖



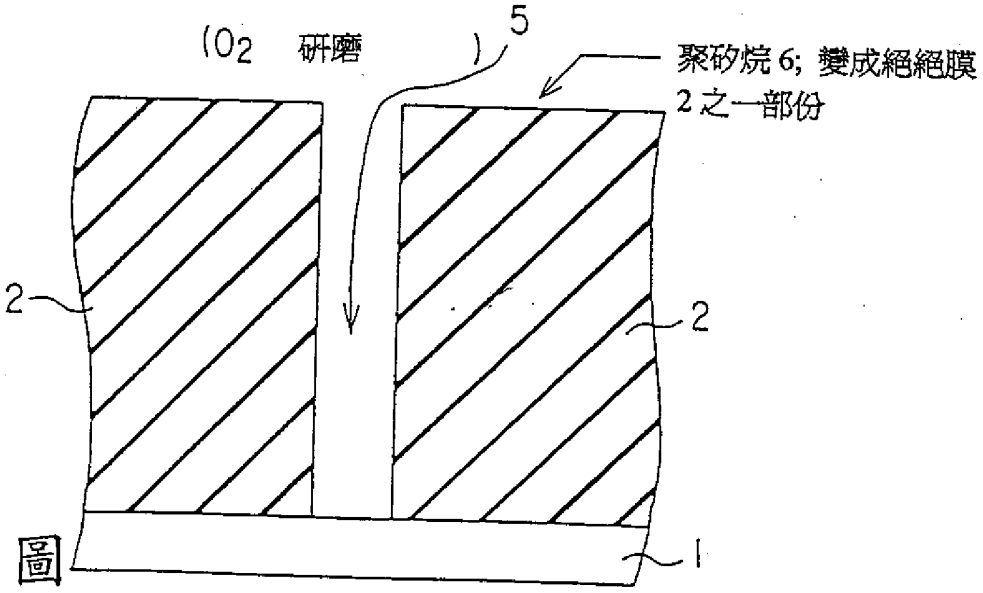
第 11B 圖



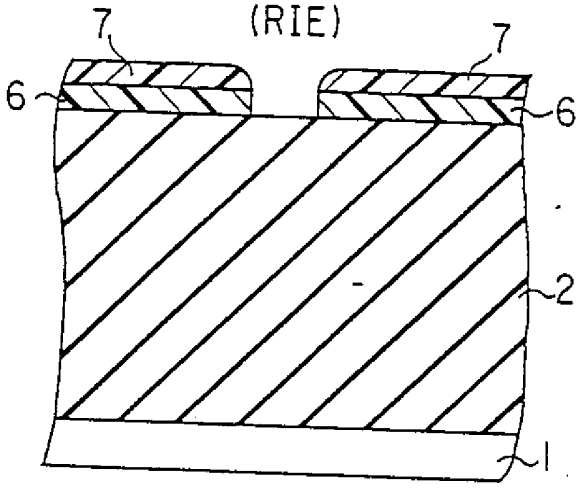
第 11C 圖



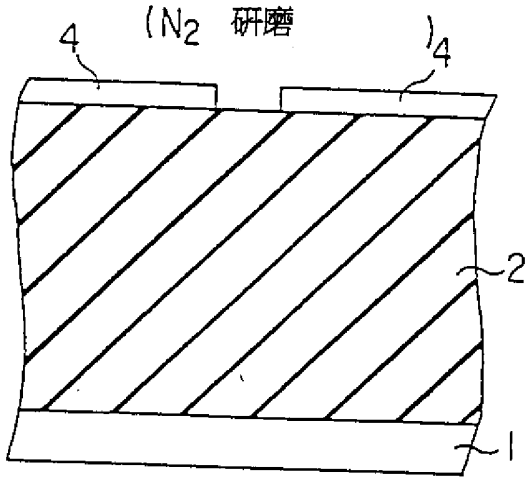
第 12A 圖



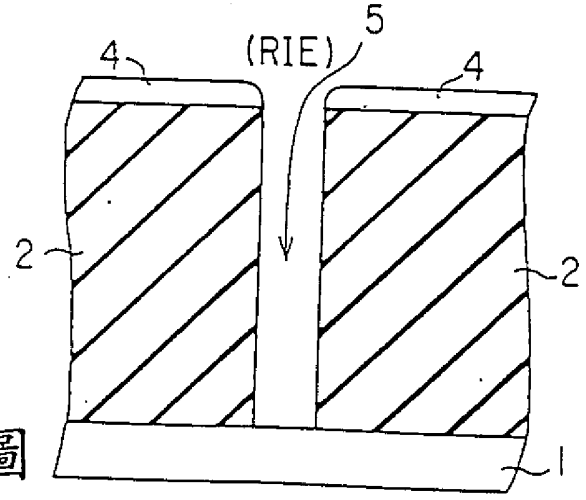
第 12 B 圖



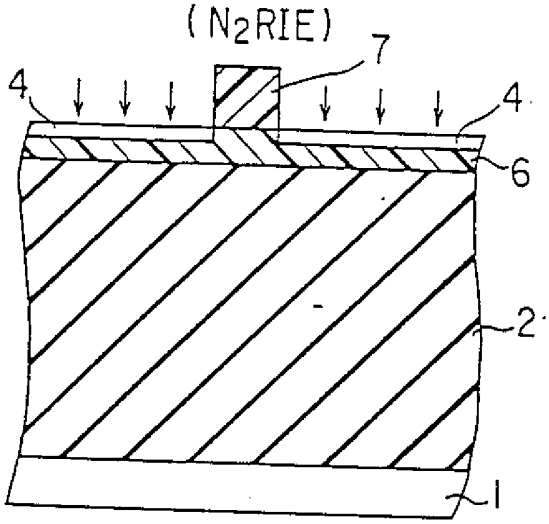
第 13 A 圖



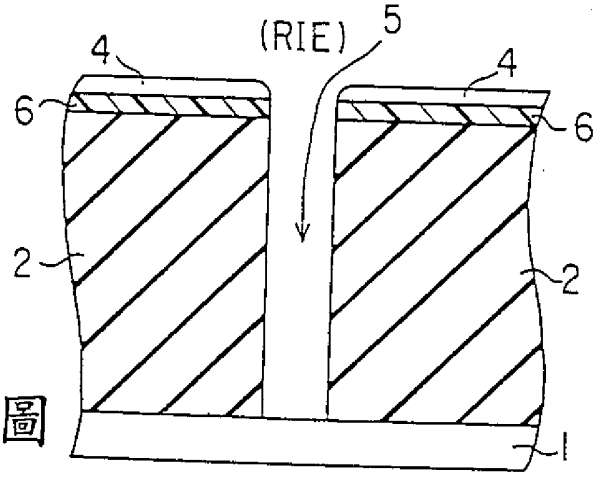
第 13 B 圖



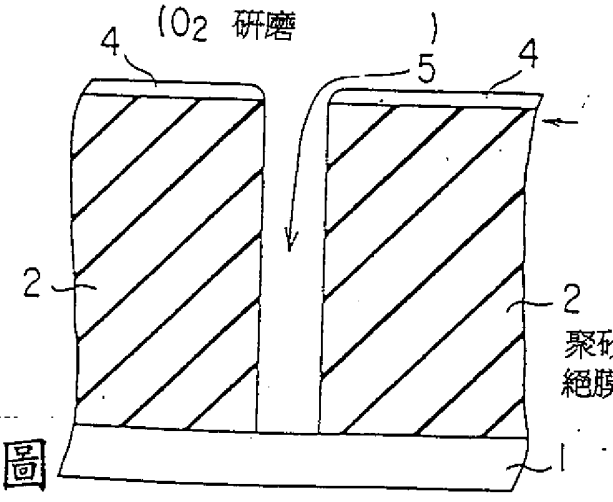
第 13 C 圖



第 14 A 圖

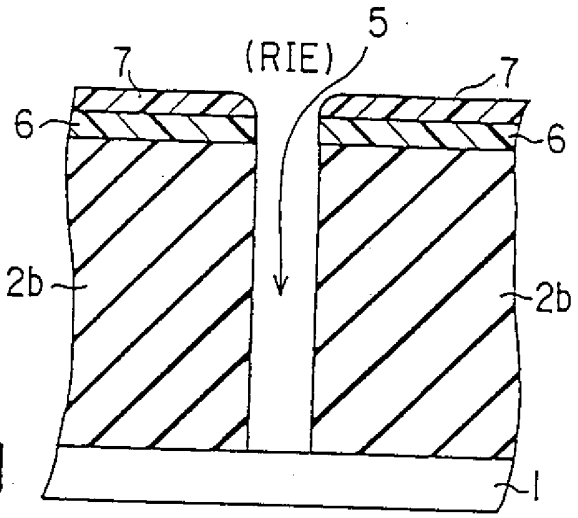


第 14 B 圖

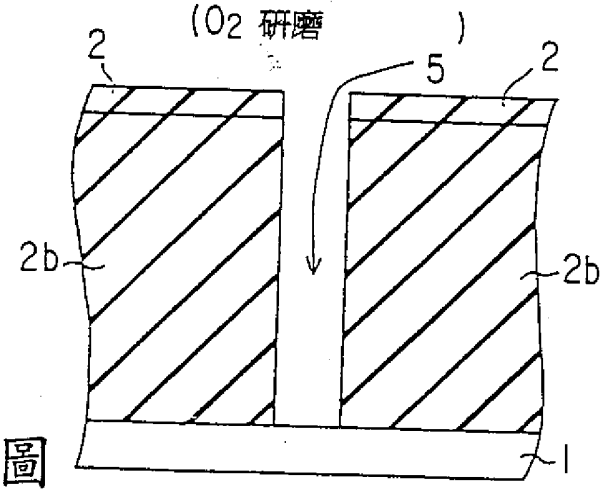


聚矽烷 6; 變成絕緣膜 2 之一部份

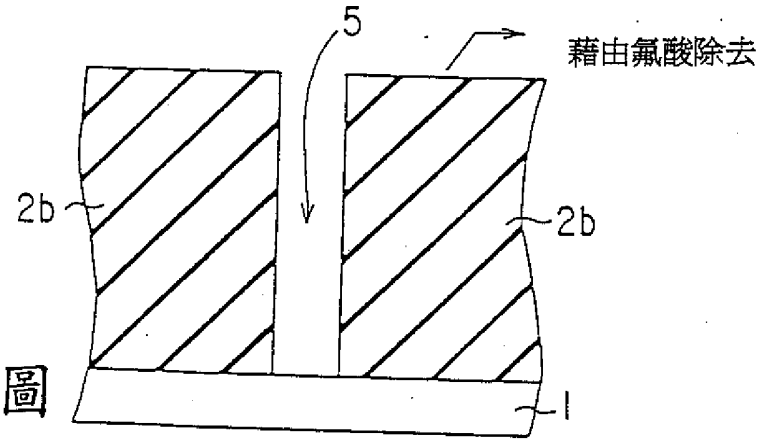
第 14C 圖



第 15 A 圖

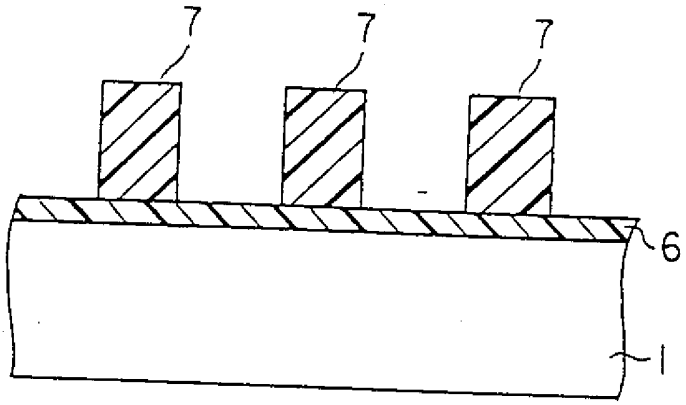


第 15 B 圖

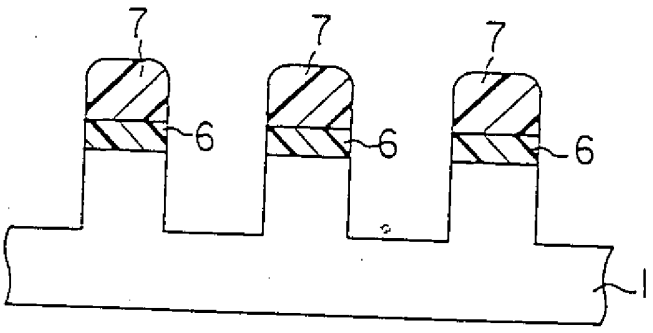


第 15 C 圖

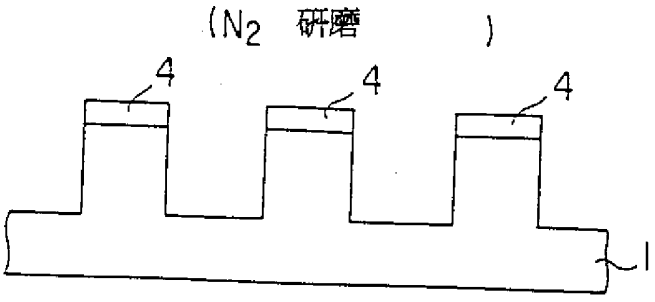
第 16 A 圖

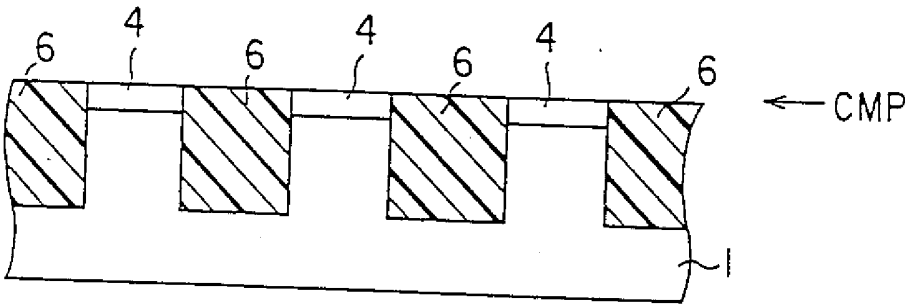


第 16 B 圖

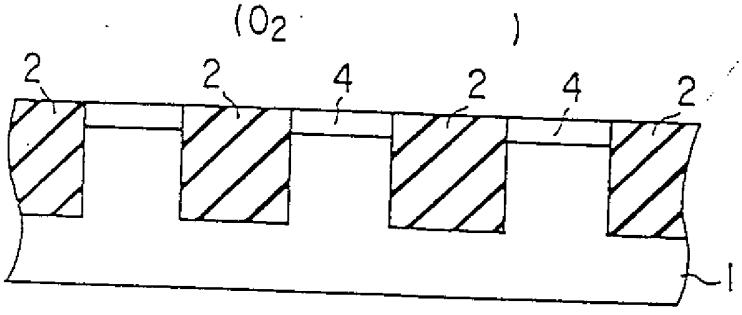


第 16 C 圖



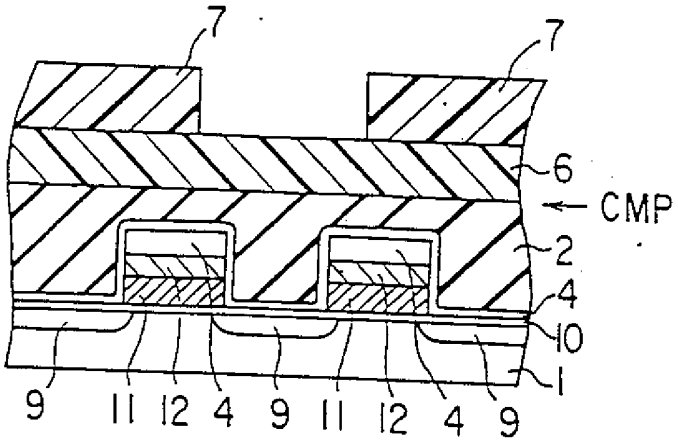


第 16 D 圖

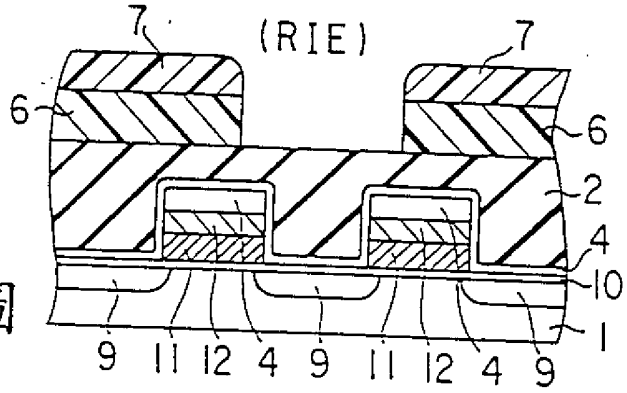


第 16 E 圖

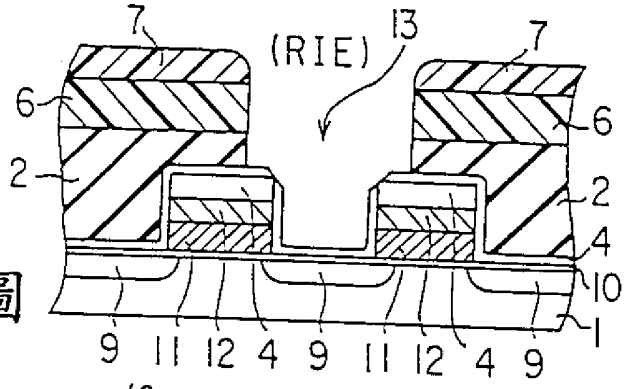
第 17 A 圖



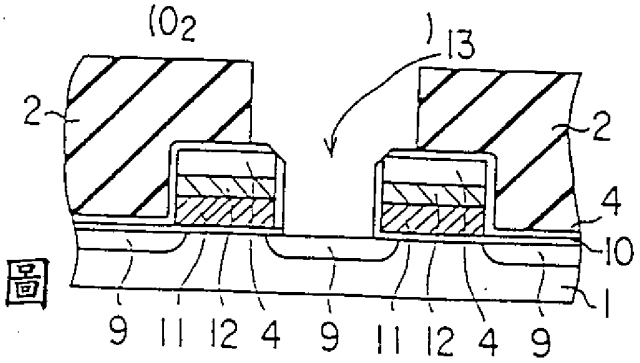
第 17 B 圖



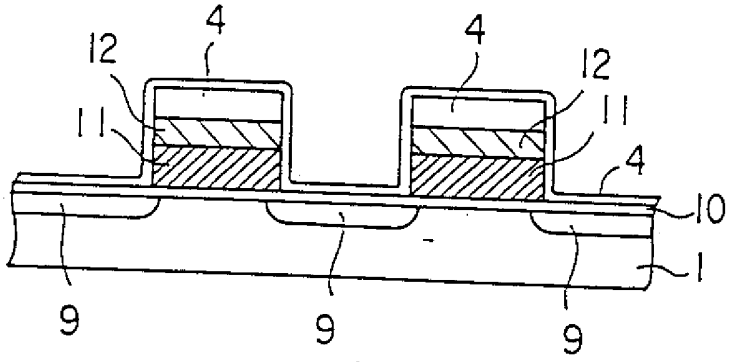
第 17 C 圖



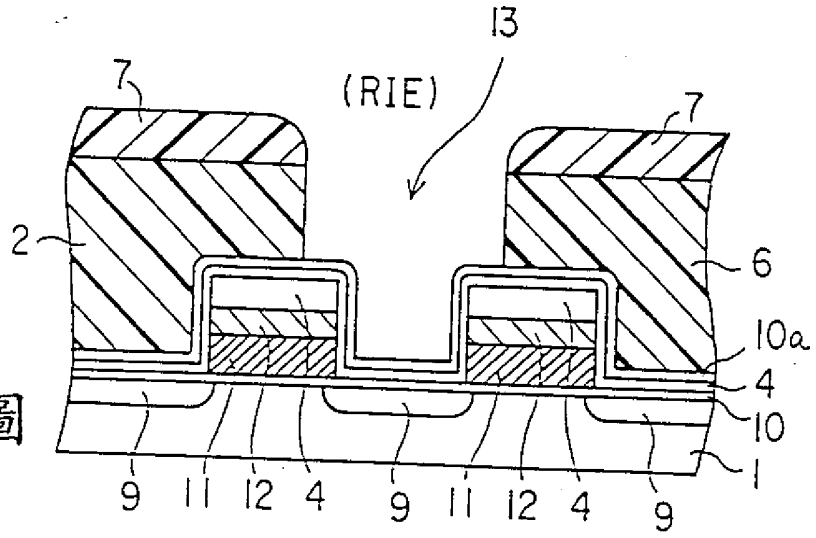
第 17 D 圖



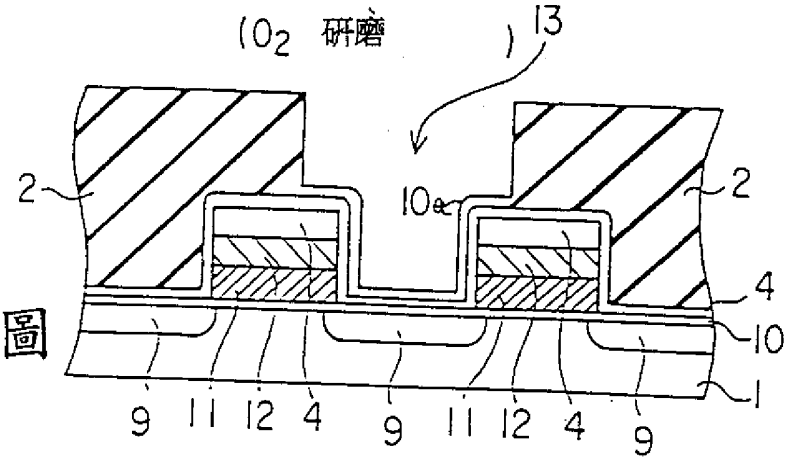
第 18A 圖



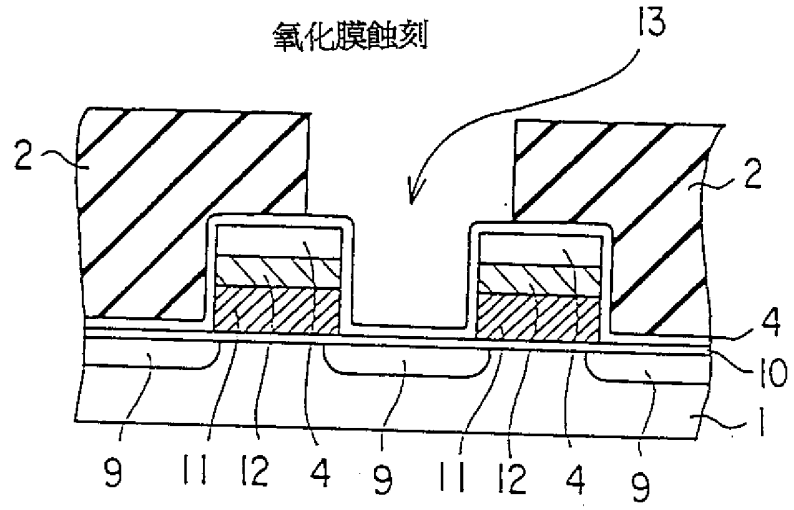
第 18B 圖



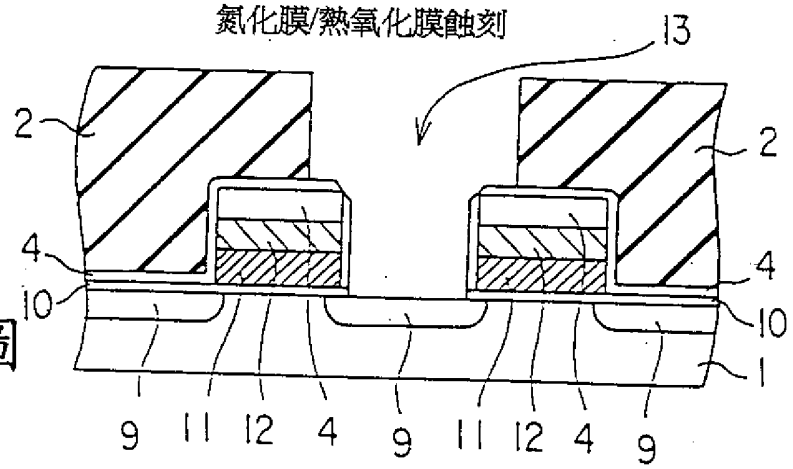
第 18C 圖



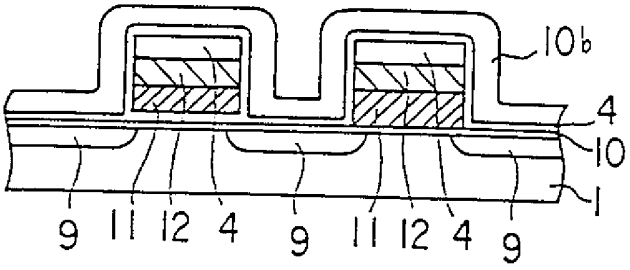
第 18 D 圖


氧化膜蝕刻
13
2
2
4
10
1
9
11
12
4
9
11
12
4
9

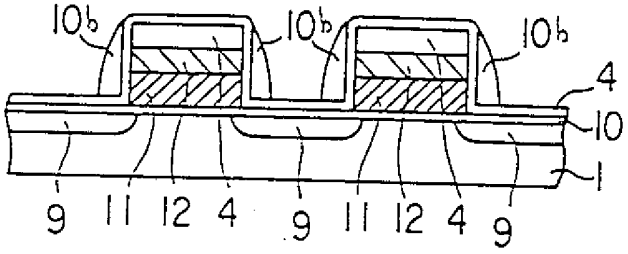
第 18 E 圖


氮化膜/熱氧化膜蝕刻
13
2
2
4
4
10
10
1
9
11
12
4
9
11
12
4
9

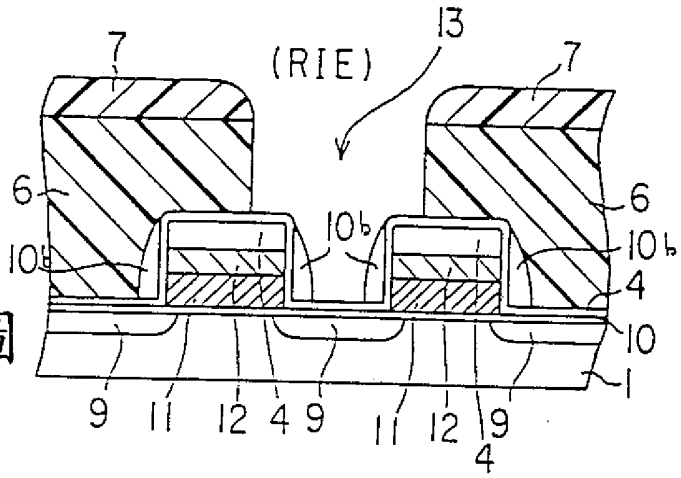
第 19 A 圖



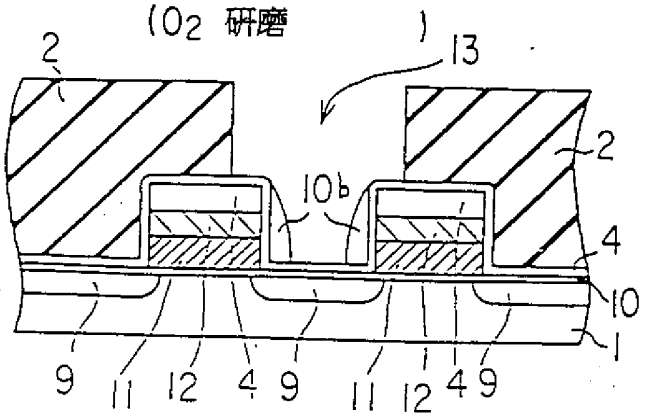
第 19 B 圖

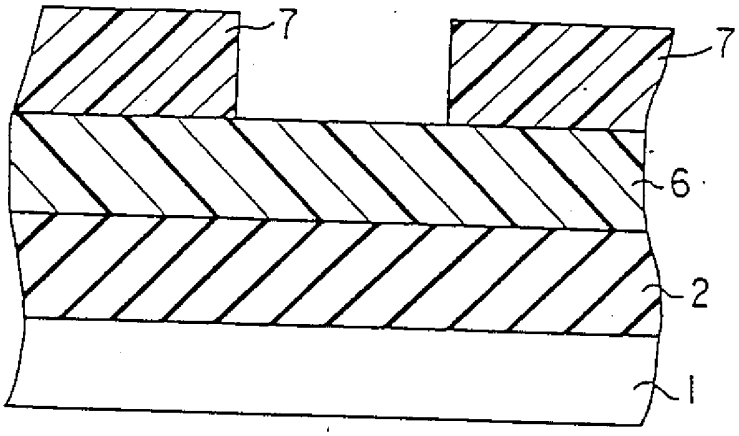


第 19 C 圖

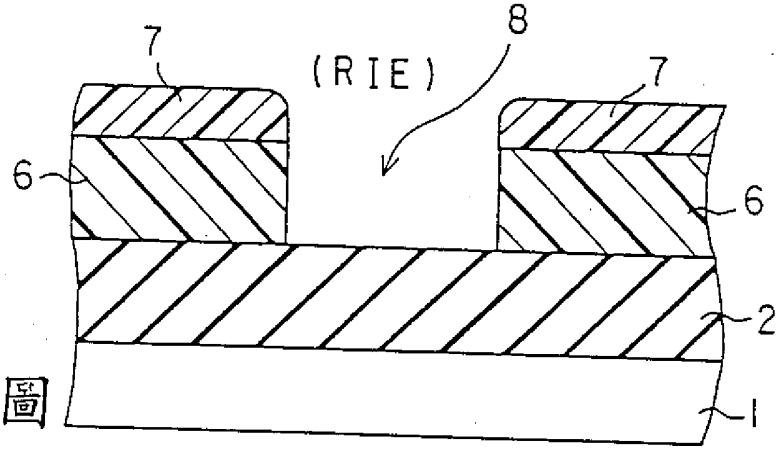


第 19 D 圖

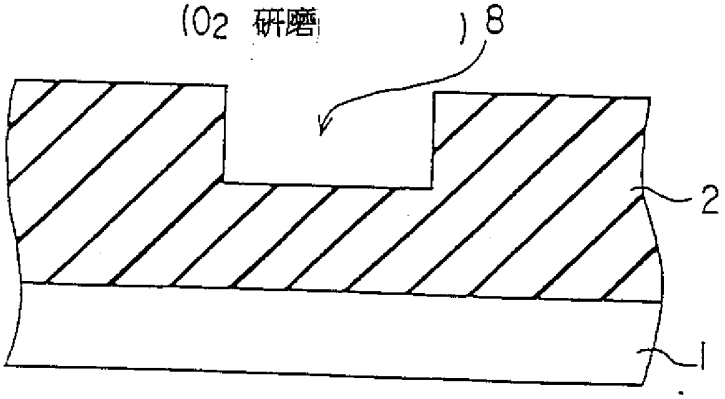




第 20 A 圖

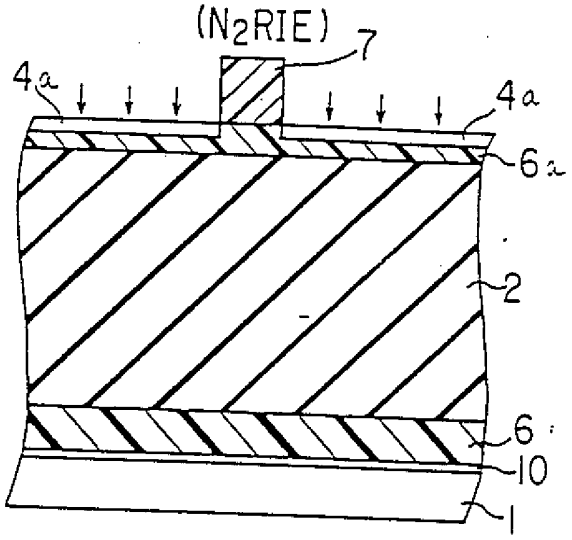


第 20 B 圖

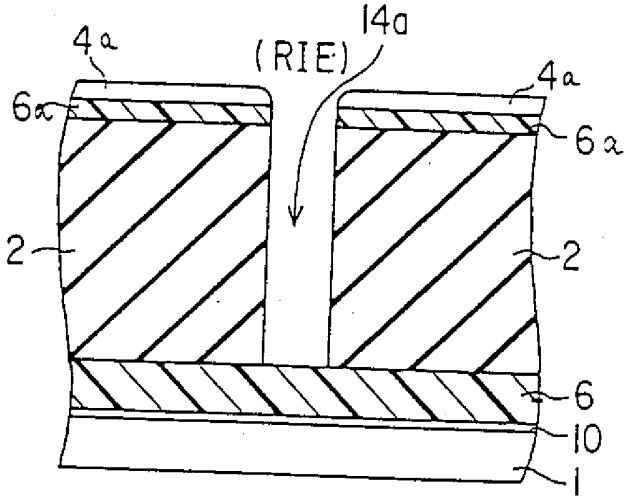


第 20 C 圖

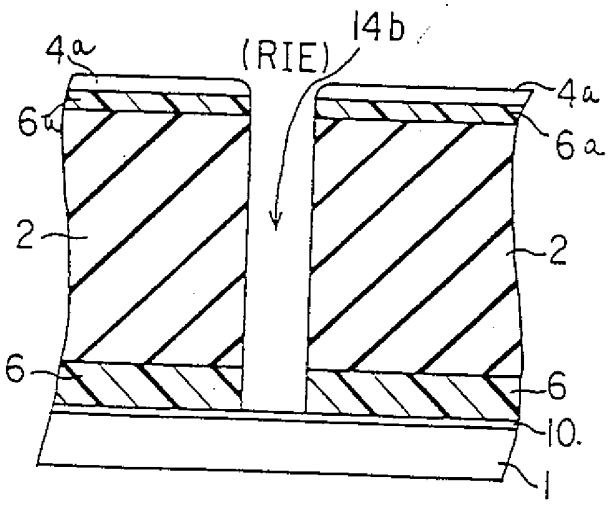
第 21 A 圖



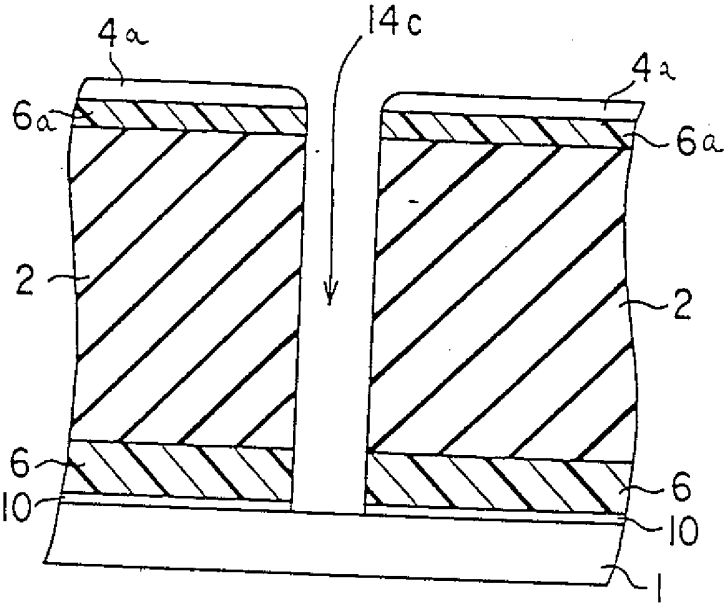
第 21 B 圖



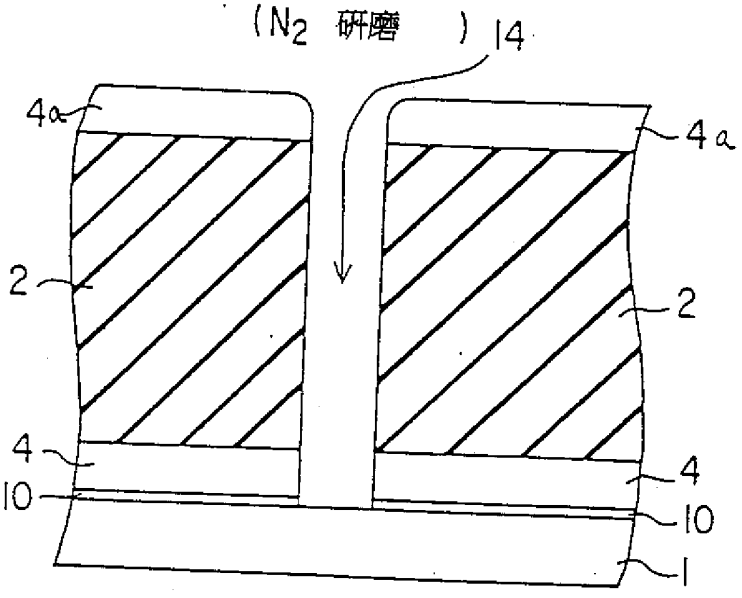
第 21 C 圖



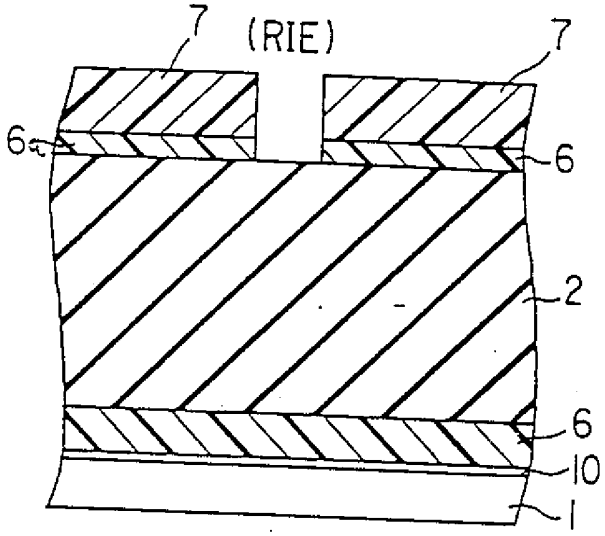
第 21 D 圖



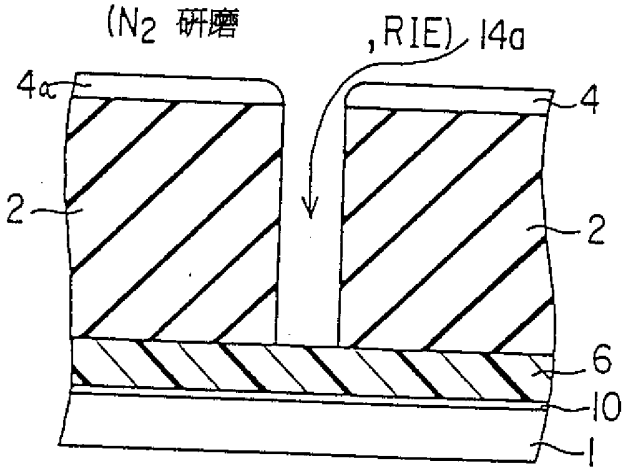
第 21 E 圖



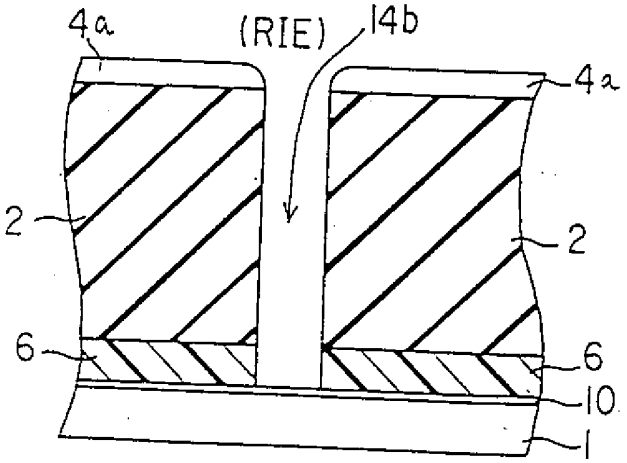
第 22 A 圖



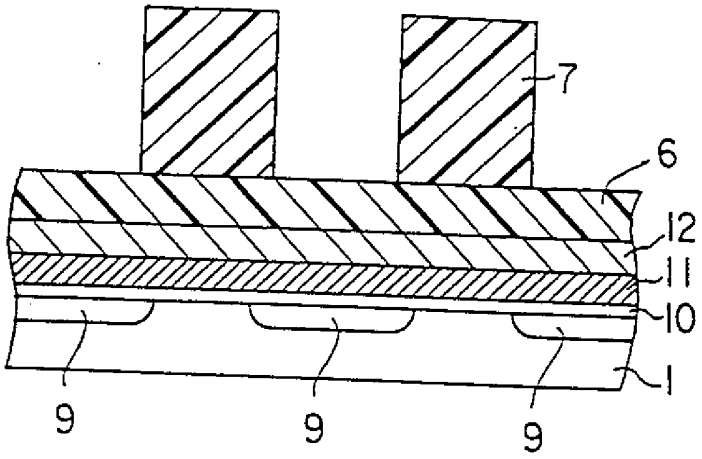
第 22 B 圖



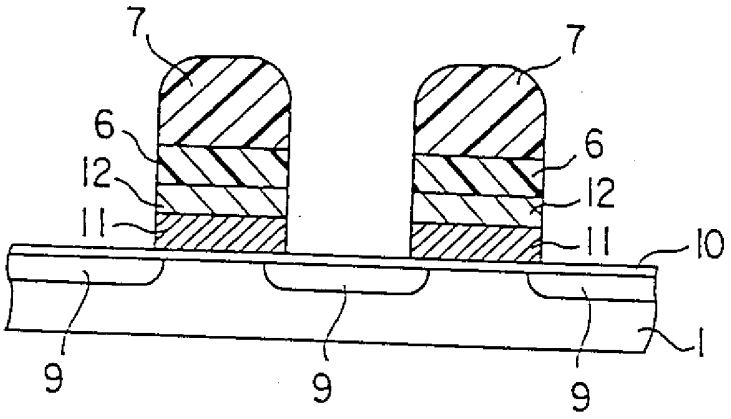
第 22 C 圖



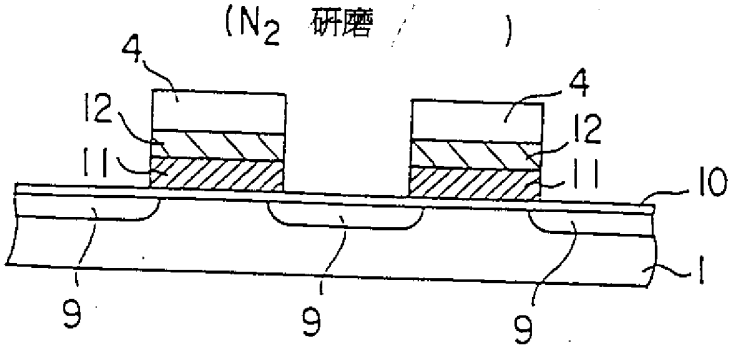
第 23 A 圖

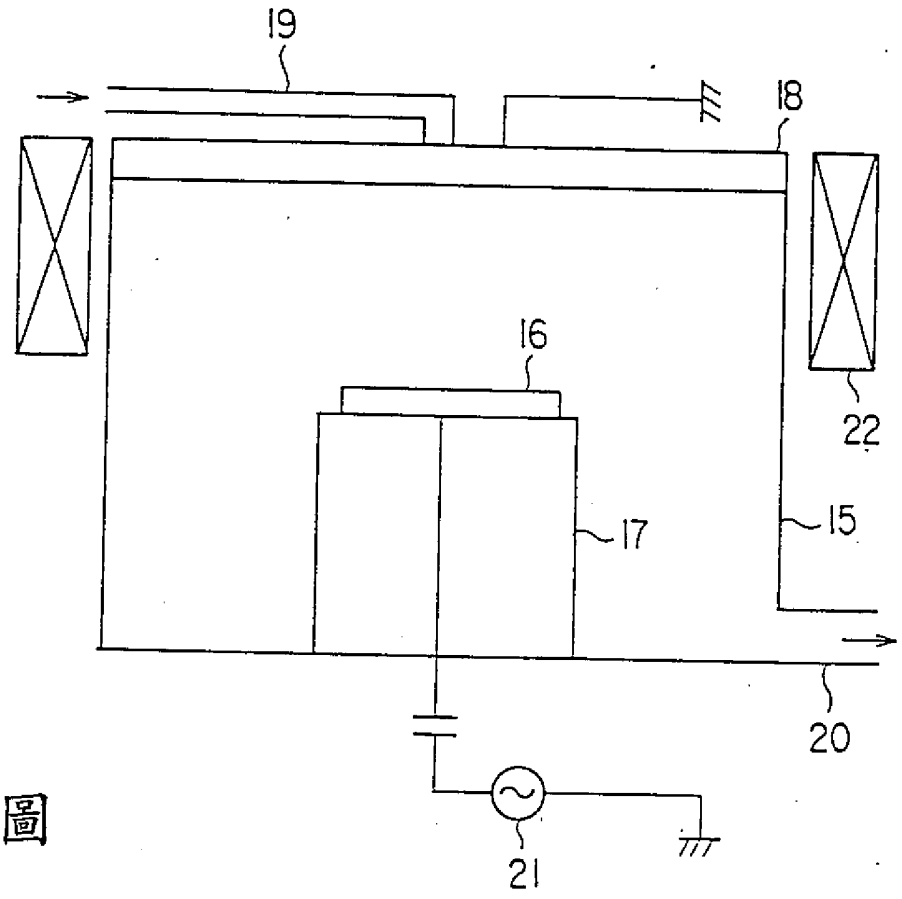


第 23 B 圖



第 23 C 圖





第 24 圖

五、發明說明（5 ）

上埋入配線用之金屬的步驟。

此時特別是對準邊線（ alignment margin ）較小之邏輯部，其連接孔之開口之一部份有時會偏離覆蓋下部之溝配線之氮化矽膜抑制層的外部，因此，由掩埋下部之溝配線之側面之氧化矽膜所構成之層間絕緣膜，在連接孔形成步驟易產生被切削之無邊蝕刻，有配線金屬埋入不良或短路不良的缺點。

以往蝕刻步驟中，抗蝕劑之下使用聚矽烷之反射防止膜，但使用圖形形成後O_2灰化除去抗蝕劑時，聚矽烷氧化有不易除去的現象。

發明摘要

如上述，使用以往之乾式蝕刻之半導體裝置的製造方法有以下的問題，高縱橫比之蝕刻困難，元件領域有疏密時，晶圓全面之平坦化困難，微細之閘電極形成時，表面之凹凸造成加工不良的原因，ＳＡＣ之連接孔形成時，閘電極之稜線部易產生短路不良等。

此外層間絕緣膜之高縱橫比之蝕刻時有以下問題點，有因乾式蝕刻之殘渣使蝕刻中途停止的缺點，雙重溝配線之層間絕緣膜形成時，爲了溝形成之均一化或避免無邊蝕刻，因此需要層積蝕刻抑制層之氮化矽膜，此乃是造成半導體裝置之工作速度降低的原因，又溝形成時，產生溝道，造成配線金屬埋入不良的原因，製造記憶體・邏輯混載ＬＳＩ時，邏輯部對準寬度較小，故特別易產生無邊蝕刻，作爲抗蝕劑之反射防止膜之聚矽烷不易除去等。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：使用乾式蝕刻法之半導體裝置的製造方法）

本發明係提供使用有機矽膜之雙重溝配線之層間絕緣膜，連接孔，深溝掩模等之形成方法。

聚矽烷等進行形狀加工後，作爲雙重溝配線之層間絕緣膜使用以避免溝形成時之形狀，深度控制及無邊蝕刻的問題。又聚矽烷與絕緣膜形成層積結構，再進行乾式蝕刻加工形成一體化，藉此輕易形成高縱橫比之連接孔。以選擇性將聚矽烷的表面作爲絕緣膜，製成乾式蝕刻的掩模。使作爲反射防止膜或蝕刻掩模使用的聚矽烷變成氧化膜或氮化膜時，能夠容易除去這些膜。使用這些膜可應用於形成高密度集成電路之元件領域，元件分離領域形成之平坦化，高良率之自行對準連接孔或配線溝之形成，閘電極之圖型形成。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1．一種使用乾式蝕刻之半導體裝置的製造方法，其特徵係於半導體基板形成有機矽膜，前述有機矽膜藉由乾式蝕刻，使應該以前述半導體裝置之絕緣膜形成的部分，使用前述有機矽膜形成後，藉由使前述有機矽膜變成絕緣膜，形成由前述半導體裝置之絕緣膜所構成的部分。

2．如申請專利範圍第1項之半導體裝置的製造方法，其中前述有機矽膜之主鏈上具有矽與矽之鍵結。

3．如申請專利範圍第1項之半導體裝置的製造方法，其係將有機矽膜進行乾式蝕刻後，將氧、氮、氫、及碳中之至少一種元素導入前述有機矽膜中，使前述有機矽膜變成有機氧化矽膜、無機氧化矽膜、氧化矽膜、及氮化矽膜中之一種。

4 如申請專利範圍第3項之半導體裝置的製造方法，其中前述將氧、氮、氫、及碳中之至少一種元素導入前述有機矽膜之步驟係採用使用由這些元素或其混合物所構成之離子之反應性離子蝕刻法、灰化法、及離子注入法中之任一種方法。

5．如申請專利範圍第3項之半導體裝置的製造方法，其中前述將氧、氮、氫、及碳中之至少一種元素導入前述有機矽膜之步驟係在前述元素或其混合物所構成之氣體氣氛中藉由熱處理來進行。

6．如申請專利範圍第1項之半導體裝置的製造方法，其中由前述半導體裝置之絕緣膜所構成的部分係由埋入前述半導體基板表面與雙重溝配線之下方的各配線層之間

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製