

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 9 月 20 日 (20.09.2012)



(10) 国际公布号
WO 2012/122790 A1

- (51) 国际专利分类号:
H01L 29/43 (2006.01) H01L 21/02 (2006.01)
H01L 27/108 (2006.01) H01L 21/8242 (2006.01)
H01L 21/283 (2006.01)
- (21) 国际申请号: PCT/CN2011/080285
- (22) 国际申请日: 2011 年 9 月 28 日 (28.09.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110063882.2 2011 年 3 月 17 日 (17.03.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 复旦大学 (FUDAN UNIVERSITY) [CN/CN]; 中国上海市杨浦区邯郸路 220 号, Shanghai 200433 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 吴东平 (WU, Dongping) [CN/CN]; 中国上海市杨浦区邯郸路 200 号, Shanghai 200043 (CN)。 张世理 (ZHANG, Shili) [CN/CN]; 中国上海市杨浦区邯郸路 200 号, Shanghai 200043 (CN)。 朱志炜 (ZHU, Zhiwei) [CN/CN]; 中国上海市杨浦区邯郸路 200 号, Shanghai 200043 (CN)。 张

卫 (ZHANG, Wei) [CN/CN]; 中国上海市杨浦区邯郸路 200 号, Shanghai 200043 (CN)。

(74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNER-SHIP); 中国上海市黄浦区制造局路 787 号二幢 202B 室, Shanghai 200011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

[见续页]

(54) Title: METAL-SEMICONDUCTOR COMPOUND THIN-FILM AND DRAM MEMORY CELL AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 金属半导体化合物薄膜和 DRAM 存储单元及其制备方法

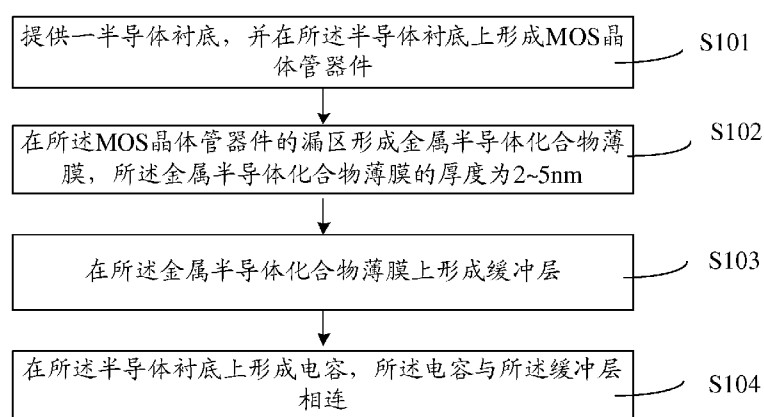


图 2 / Fig. 2

S101 PROVISION OF A SEMICONDUCTOR SUBSTRATE, AND FORMATION OF THE MOS TRANSISTOR COMPONENT ON THE SEMICONDUCTOR SUBSTRATE
S102 FORMATION OF THE METAL-SEMICONDUCTOR COMPOUND THIN-FILM ON THE DRAIN REGION OF THE MOS TRANSISTOR COMPONENT, THE THICKNESS OF THE METAL-SEMICONDUCTOR COMPOUND THIN-FILM IS BETWEEN 2 TO 5 NM
S103 FORMATION OF THE BUFFER LAYER ON THE METAL-SEMICONDUCTOR COMPOUND THIN-FILM
S104 FORMATION OF THE CAPACITOR ON THE SEMICONDUCTOR SUBSTRATE, THE CAPACITOR IS CONNECTED TO THE BUFFER LAYER

(57) Abstract: Disclosed is a metal-semiconductor compound thin-film. Formed between a semiconductor layer and a polycrystalline semiconductor layer, the metal-semiconductor compound thin-film has a thickness between 2 to 5 nm, thus improving contact between the semiconductor layer and the polycrystalline semiconductor layer. Also disclosed is a DRAM memory cell. A drain region of an MOS transistor within the memory cell and the polycrystalline semiconductor buffer layer are provided therebetween with the metal-semiconductor compound thin-film, the thickness thereof being 2 to 5 nm, thus when the read and write speeds of the transistor is increased, excessive increase of a leakage current between the drain region and a silicon substrate is prevented. At the same time, also disclosed is a method for manufacturing the DRAM memory cell. In the DRAM cell formed using the method, the metal-semiconductor compound thin-film is formed between the drain region of the MOS transistor and the polycrystalline semiconductor buffer layer, and the thickness of the metal-semiconductor

or is controlled between 2 to 5 nm, thus improving the performance of the DRAM memory cell.

[见续页]

WO 2012/122790 A1



RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, **本国际公布:**
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

(57) 摘要:

本发明公开了一种金属半导体化合物薄膜, 形成于半导体层与多晶半导体层之间, 其厚度为 2~5nm, 从而改善所述半导体层与多晶半导体层之间的接触; 还公开了一种 DRAM 存储单元, 该存储单元中的 MOS 晶体管的漏区与多晶半导体缓冲层之间加入金属半导体化合物薄膜, 且其厚度为 2~5nm, 从而可在提高晶体管的读写速度的同时, 避免所述漏区与硅衬底之间的漏电流过度增大; 同时, 还公开了一种 DRAM 存储单元的制备方法, 该方法形成的 DRAM 存储单元, 其 MOS 晶体管器件的漏区与多晶半导体缓冲层之间形成有金属半导体化合物薄膜, 且所述金属半导体化合物薄膜的厚度控制在 2~5nm, 从而可提高 DRAM 存储单元的性能。

金属半导体化合物薄膜和 DRAM 存储单元及其制备方法

5 技术领域

本发明涉及微电子器件技术领域，尤其涉及一种金属半导体化合物薄膜和 DRAM 存储单元及其制备方法。

背景技术

10 作为金属电极的金属半导体化合物薄膜被广泛用于金属氧化物半导体场效应晶体管 (MOSFET) 的源漏极和栅极，形成和硅、锗或硅-锗半导体的金-半接触。

金属半导体化合物薄膜的主要作用从一开始的为简单的二极管提供可靠的接触，到近来利用自对准金属半导体化合物薄膜形成工艺 (salicide) 为 MOSFET
15 形成低阻源漏接触和低方块电阻栅电极，在 CMOS 器件尺寸的微缩化及提高器件性能上起着非常重要的作用。随着半导体制备工艺技术的进步，金属半导体化合物薄膜从早期的硅化钛 (TiSi_2)、硅化钴 (CoSi_2) 发展到现在主流的的硅化镍 (NiSi) 或掺铂硅化镍 (Ni(Pt)Si)。

并且随着器件尺寸的缩小，金属半导体化合物薄膜的厚度也要求越来越薄；
20 这一点在动态随机存储器 (DRAM, Dynamic Random Access Memory) 中表现尤为明显。

DRAM 通常由多个基本存储单元按照行和列组成，每个存储单元包括一个 MOS 晶体管及一个电容，所述 MOS 晶体管的源区与位线 (bit line) 相连，其栅区与字线 (word line) 相连，其漏区通过一缓冲层与所述电容相连，其中，所述
25 缓冲层为高掺杂多晶硅层，所述电容为金属-绝缘层-金属 (MIM, Metal-Insulator-Metal) 电容。之所以在漏区与所述电容之间加入高掺杂多晶硅层，是因为如果 MIM 电容的金属电极和硅衬底直接接触，将会使得漏区与硅衬底之间形成的 PN 结 (简称漏极 PN 结) 的漏电流增大，从而导致 DRAM 存储单元的电荷保持能力下降；加入高掺杂多晶硅层可避免漏极 PN 结的漏电流过度增

大。

然而，由于所述漏区的组成材料为 Si，而 Si 与多晶硅之间的接触电阻很大，并且由于 Si 的表面通常会形成一层天然的氧化层，因而进一步增大了 Si 与多晶硅之间的接触电阻，从而使得晶体管的读写速度降低。

5 为了提高晶体管的读写速度，目前采取的办法是在所述漏区形成一层金属半导体化合物薄膜，所述漏区通过所述金属半导体化合物薄膜与所述多晶硅相连，从而可大大降低所述漏区与所述多晶硅之间的接触电阻，提高所述晶体管的读写速度。

10 然而，在所述漏区形成一层金属半导体化合物薄膜后，所述漏区与半导体衬底之间形成的 PN 结的电阻也随之降低，使得所述 PN 结的漏电流增大，从而导致所述电容中存储的电荷容易流失，使得所述电容的存储能力下降，因而需对 DRAM 不断进行刷新；并且金属半导体化合物薄膜层的厚度越厚，所述电容的存储能力越差。

15 因此，为了提高所述晶体管的读写能力的同时，保证所述电容的存储能力，希望所述金属半导体化合物薄膜的厚度越薄越好。

目前，形成金属半导体化合物薄膜的方法主要有以下几种：

1) 硅化钛工艺

20 硅化钛工艺是先将钛金属沉积在晶片上，然后经过稍低温度的第一次退火，得到高阻的中间亚稳相 C49，然后再经过温度稍高的第二次退火，使 C49 相转变成最终需要的低阻 C54 相（稳定）。硅化钛具有形成工艺简单、高温稳定性好等优点。然而，随着 MOSFET 尺寸的不断变小，会出现硅化钛的形成和相变不彻底的现象，尤其是其窄线条效应，即硅化钛的形成和相变随着线宽或接触面积的减小而变得更加困难，这不仅大大增加了接触电阻和寄生串联电阻，而且导致了器件和器件、电路和电路及芯片和芯片之间特性的不稳定和不重复；

25 2) 硅化钴工艺

为了解决较小尺寸下出现的线宽效应，硅化钴作为硅化钛的替代品应运而生，但当器件尺寸更小时，窄线条效应在硅化钴的形成中仍然会出现；随着有源区掺杂深度不断变浅，硅化钴形成过程中也会过度消耗表面高掺杂硅；

3) 硅化镍工艺

相对于之前的硅化钛和硅化钴而言，硅化镍具有一系列独特的优势。硅化镍仍然沿用之前硅化物类似的两步退火工艺，但是退火温度有了明显降低($<600^{\circ}\text{C}$)，这样就大大减少对器件已形成的超浅结的破坏，较低的退火温度不会导致已掺杂离子在硅化物形成过程中的扩散。同时，较低的退火温度也有利于更加先进的材料和技术的集成，这里特别包括了高介电系数的介质栅 (high-K dielectric) 和金属栅极 (metal gate)；镍的硅化物的形成即使在 30 纳米以下的线条中都没有发现窄线条效应；硅化镍的形成过程对源/漏区的硅的消耗较少，而靠近表面的硅刚好是掺杂浓度最大的区域，因而对于降低整体的接触电阻十分有利。

然而，超薄镍硅化物也面临一系列的问题。一方面，通常使用的低阻硅化镍薄膜有着一镍一硅的化学组份比，即一硅化镍NiSi。而由于Si的存在并直接同NiSi接触，随着温度的升高，NiSi会和Si发生反应，形成更加稳定的二硅化镍NiSi₂相，即低阻的一硅化镍相有着潜在的高温不稳定性，对随后的后端工艺中各个步骤的最高温度产生了限制；另一方面，随着超薄硅化物的厚度越来越小，原先的连续厚度均匀的薄膜会由于表面张力作用，会出现厚度不均匀甚至变成类似于岛状的不连续形状，从而导致电阻变大甚至不导电；另外，通常的硅化镍形成工艺在形成硅化物时的速度不易控，不利于形成超薄的硅化物层。

因此，有必要对现有的金属半导体化合物薄膜的制备方法进行改进。

发明内容

本发明的目的在于提供一种金属半导体化合物薄膜和带金属半导体化合物薄膜的 DRAM 存储单元及其制备方法，以解决现有的 DRAM 存储单元的晶体管的读写速度与电容的存储能力矛盾制约的问题。

为解决上述问题，本发明提出一种金属半导体化合物薄膜，形成于半导体层与多晶半导体层之间，用于改善所述半导体层与所述多晶半导体层之间的接触，所述金属半导体化合物薄膜的厚度为 2~5nm。

可选的，所述半导体层为硅或绝缘层上硅，所述多晶半导体层为掺杂多晶硅，所述金属半导体化合物薄膜为金属硅化物。

可选的，所述半导体层为锗或绝缘层上锗，所述多晶半导体层为掺杂多晶

锗，所述金属半导体化合物薄膜为金属锗化物。

可选的，所述金属半导体化合物薄膜由金属与所述半导体层反应生成，其中，所述金属为镍、钴、钛中的任一种，或镍、钴、钛中的任一种并掺入铂。

可选的，所述金属中还掺入了钨和/或钼。

5 同时，为解决上述问题，本发明还提出一种 DRAM 存储单元，包括半导体衬底、形成于所述半导体衬底上的 MOS 晶体管及电容，所述 MOS 晶体管的源区与一位线相连，其栅区与一字线相连，其漏区通过一缓冲层与所述电容相连，所述缓冲层的材料为多晶半导体，在所述漏区与所述缓冲层之间还包括金属半导体化合物薄膜，所述金属半导体化合物薄膜的厚度为 2~5nm。

10 可选的，所述半导体衬底为硅或绝缘层上硅，所述多晶半导体为掺杂多晶硅，所述金属半导体化合物薄膜为金属硅化物。

可选的，所述半导体衬底为锗或绝缘层上锗，所述多晶半导体为掺杂多晶锗，所述金属半导体化合物薄膜为金属锗化物。

可选的，所述金属半导体化合物薄膜由金属与所述漏区的半导体层反应生成，其中，所述金属为镍、钴、钛中的任一种，或镍、钴、钛中的任一种并掺入铂。

可选的，所述金属中还掺入了钨和/或钼。

同时，为解决上述问题，本发明还提出一种 DRAM 存储单元的制备方法，该方法包括如下步骤：

20 提供一半导体衬底，并在所述半导体衬底上形成 MOS 晶体管器件；

在所述 MOS 晶体管器件的漏区形成金属半导体化合物薄膜，所述金属半导体化合物薄膜的厚度为 2~5nm；

在所述金属半导体化合物薄膜上形成缓冲层；

在所述半导体衬底上形成电容，所述电容与所述缓冲层相连。

25 可选的，在所述 MOS 晶体管器件的漏区形成金属半导体化合物薄膜进一步包括如下步骤：

在所述 MOS 晶体管器件的漏区上沉积金属层，所述金属向所述漏区扩散；

去除所述漏区表面剩余的金属层；

进行退火，在所述 MOS 晶体管器件的漏区形成金属半导体化合物薄膜。

可选的, 在所述半导体衬底上沉积金属层时的衬底温度为 0~300℃。

可选的, 所述退火的温度为 200~900℃。

可选的, 所述半导体衬底为硅或绝缘层上硅, 所述多晶半导体为掺杂多晶硅, 所述金属半导体化合物薄膜为金属硅化物。

5 可选的, 所述半导体衬底为锗或绝缘层上锗, 所述多晶半导体为掺杂多晶锗, 所述金属半导体化合物薄膜为金属锗化物。

可选的, 所述金属半导体化合物薄膜由金属与所述漏区的半导体层反应生成, 其中, 所述金属为镍、钴、钛中的任一种, 或镍、钴、钛中的任一种并掺入铂。

10 可选的, 所述金属中还掺入了钨和/或钼。

可选的, 该方法还包括将所述 MOS 晶体管的源区与一位线相连的步骤, 以及将所述 MOS 晶体管的栅区与一字线相连的步骤。

本发明由于采用上述技术方案, 使之与现有技术相比, 具有以下优点和积极效果:

15 1) 通过在半导体层与多晶半导体层之间加入金属半导体化合物薄膜, 减小了半导体层与多晶半导体层之间的接触电阻, 提高了其接触性能;

2) 通过在 DRAM 存储单元中的 MOS 晶体管器件的漏区与多晶半导体缓冲层之间加入金属半导体化合物薄膜, 减小了漏区与多晶半导体缓冲层之间的接触电阻, 提高了 DRAM 存储单元的晶体管的读写速度; 同时通过将所述金属半
20 导体化合物薄膜的厚度控制在 2~5nm, 避免了所述漏区与硅衬底之间的漏电流过度增大, 防止了所述电容上存储的电荷过快流失, 从而降低了 DRAM 存储器的刷新频率;

3) 本发明提供的 DRAM 存储单元的制备方法形成的 DRAM 存储单元, 其 MOS 晶体管器件的漏区与多晶半导体缓冲层之间形成有金属半导体化合物薄
25 膜, 且所述金属半导体化合物薄膜的厚度控制在 2~5nm, 从而可提高 DRAM 存储单元的性能。

附图说明

图 1 为本发明实施例提供的半导体层与多晶半导体层接触的示意图;

图 2 为本发明实施例提供的 DRAM 存储单元的制备方法的步骤流程图。

具体实施方式

以下结合附图和具体实施例对本发明提出的一种金属半导体化合物薄膜和
5 DRAM 存储单元及其制备方法作进一步详细说明。根据下面说明和权利要求书，本发明的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比率，仅用于方便、明晰地辅助说明本发明实施例的目的。

本发明的核心思想在于，提供一种金属半导体化合物薄膜，形成于半导体
层与多晶半导体层之间，所述金属半导体化合物薄膜的厚度为 2~5nm，从而改
10 善所述半导体层与所述多晶半导体层之间的接触；同时，提供一种 DRAM 存储
单元，所述 DRAM 存储单元中的 MOS 晶体管器件的漏区与多晶半导体缓冲层
之间加入金属半导体化合物薄膜，且所述金属半导体化合物薄膜的厚度控制在
2~5nm，从而可在提高 DRAM 存储单元的晶体管的读写速度的同时，避免所述
漏区与半导体衬底之间的漏电流过度增大；同时，还提供一种 DRAM 存储单元
15 的制备方法，该方法形成的 DRAM 存储单元，其 MOS 晶体管器件的漏区与多
晶半导体缓冲层之间形成有金属半导体化合物薄膜，且所述金属半导体化合物
薄膜的厚度控制在 2~5nm，从而可提高 DRAM 存储单元的性能。

请参考图 1，图 1 为本发明实施例提供的半导体层与多晶半导体层接触的示
意图，如图 1 所示，本发明实施例提供的金属半导体化合物薄膜 300，形成于半
20 导体层 100 与多晶半导体层 200 之间，用于改善所述半导体层 100 与所述多晶
半导体层 200 之间的接触，所述金属半导体化合物薄膜 300 的厚度为 2~5nm。

进一步地，所述半导体层 100 为硅或绝缘层上硅，所述多晶半导体层 200
为掺杂多晶硅，所述金属半导体化合物薄膜 300 为金属硅化物。

进一步地，所述半导体层 100 为锗或绝缘层上锗，所述多晶半导体层 200
25 为掺杂多晶锗，所述金属半导体化合物薄膜 300 为金属锗化物。

进一步地，所述金属半导体化合物薄膜 300 由金属与所述半导体层 100 反
应生成，其中，所述金属为镍、钴、钛中的任一种，或镍、钴、钛中的任一种
并掺入铂。

进一步地，所述金属中还掺入了钨和/或钼。

同时, 本发明实施例还提供了一种 DRAM 存储单元, 包括半导体衬底、形成于所述半导体衬底上的 MOS 晶体管及电容, 所述 MOS 晶体管的源区与一位线相连, 其栅区与一字线相连, 其漏区通过一缓冲层与所述电容相连, 所述缓冲层的材料为多晶半导体, 在所述漏区与所述缓冲层之间还包括金属半导体化合物薄膜, 所述金属半导体化合物薄膜的厚度为 2~5nm。

通过在所述 DRAM 存储单元中的 MOS 晶体管器件的漏区与所述缓冲层之间加入金属半导体化合物薄膜, 且所述金属半导体化合物薄膜的厚度控制在 2~5nm, 从而可在提高 DRAM 存储单元的晶体管的读写速度的同时, 避免所述漏区与硅衬底之间的漏电流过度增大。

进一步地, 所述半导体衬底为硅或绝缘层上硅, 所述多晶半导体为掺杂多晶硅, 所述金属半导体化合物薄膜为金属硅化物。

进一步地, 所述半导体衬底为锗或绝缘层上锗, 所述多晶半导体为掺杂多晶锗, 所述金属半导体化合物薄膜为金属锗化物。

进一步地, 所述金属半导体化合物薄膜由金属与所述漏区的半导体层反应生成, 其中, 所述金属为镍、钴、钛中的任一种, 或镍、钴、钛中的任一种并掺入铂。

进一步地, 所述金属中还掺入了钨和/或钼。

请继续参考图 2, 图 2 为本发明实施例提供的 DRAM 存储单元的制备方法的步骤流程图, 如图 2 所示, 本发明实施例提供的 DRAM 存储单元的制备方法包括如下步骤:

S101、提供一半导体衬底, 并在所述半导体衬底上形成 MOS 晶体管器件; 具体地, 在所述半导体衬底上形成 MOS 晶体管器件包括如下步骤: 首先在所述半导体衬底上形成栅叠层, 并经过光刻及刻蚀形成栅电极; 然后通过离子注入掺杂分别形成源区与漏区; 其中, 所述栅叠层包括多晶硅, 以及在所述多晶硅上依次形成的金属硅化物和绝缘层;

S102、在所述 MOS 晶体管器件的漏区形成金属半导体化合物薄膜, 所述金属半导体化合物薄膜的厚度为 2~5nm;

S103、在所述金属半导体化合物薄膜上形成缓冲层; 具体地, 所述缓冲层为多晶半导体层;

S104、在所述半导体衬底上形成电容，所述电容与所述缓冲层相连。具体地，所述电容为 MIM 电容。

本发明提供的 DRAM 存储单元的制备方法，在 MOS 晶体管器件的漏区与所述缓冲层之间形成金属半导体化合物薄膜，且所述金属半导体化合物薄膜的厚度控制在 2~5nm，从而可在提高 DRAM 存储单元的晶体管的读写速度的同时，避免所述漏区与半导体衬底之间的漏电流过度增大。

进一步地，在所述 MOS 晶体管器件的漏区形成金属半导体化合物薄膜包括如下步骤：

在所述 MOS 晶体管器件的漏区上沉积金属层，所述金属向所述漏区扩散；
去除所述漏区表面剩余的金属层；

进行退火，在所述 MOS 晶体管器件的漏区形成金属半导体化合物薄膜。

由于金属往半导体衬底中的扩散饱和度是一定的，因此，上述方法形成的金属半导体化合物薄膜的厚度是可控的（即最终形成的金属半导体化合物薄膜的厚度是一定的），并且厚度极薄，从而有利于提高 DRAM 存储单元的性能。

进一步地，在所述半导体衬底上沉积金属层时的衬底温度为 0~300℃。

进一步地，所述退火的温度为 200~900℃。

进一步地，所述半导体衬底为硅或绝缘层上硅，所述多晶半导体为掺杂多晶硅，所述金属半导体化合物薄膜为金属硅化物。

进一步地，所述半导体衬底为锗或绝缘层上锗，所述多晶半导体为掺杂多晶锗，所述金属半导体化合物薄膜为金属锗化物。

进一步地，所述金属半导体化合物薄膜由金属与所述漏区的半导体层反应生成，其中，所述金属为镍、钴、钛中的任一种，或镍、钴、钛中的任一种并掺入铂；掺入铂是因为纯的一硅化镍在高温条件下稳定性差，或出现薄膜厚度变得不均匀并结块，或生成电阻率高的二硅化镍 NiSi_2 ，严重影响器件的性能，因此，为了减慢硅化镍的生长速度以及防止硅化镍薄层遇到高温时发生结块或形成二硅化镍，可以在镍中掺入一定比例的铂；其它金属中掺铂作类似解释。

进一步地，所述金属中还掺入了钨和/或钼；以进一步控制硅化镍或掺铂硅化镍的生长和镍/铂的扩散，并增加硅化镍或掺铂硅化镍的稳定性；其它金属中掺钨和/或钼作类似解释。

进一步地，该方法还包括将所述 MOS 晶体管的源区与一位线相连的步骤，以及将所述 MOS 晶体管的栅区与一字线相连的步骤。

综上所述，本发明提供了一种金属半导体化合物薄膜，形成于半导体层与多晶半导体层之间，所述金属半导体化合物薄膜的厚度为 2~5nm，从而改善所述半导体层与所述多晶半导体层之间的接触；同时，提供了一种 DRAM 存储单元，所述 DRAM 存储单元中的 MOS 晶体管器件的漏区与多晶半导体缓冲层之间加入金属半导体化合物薄膜，且所述金属半导体化合物薄膜的厚度控制在 2~5nm，从而可在提高 DRAM 存储单元的晶体管的读写速度的同时，避免所述漏区与半导体衬底之间的漏电流过度增大；同时，还提供了一种 DRAM 存储单元的制备方法，该方法形成的 DRAM 存储单元，其 MOS 晶体管器件的漏区与多晶半导体缓冲层之间形成有金属半导体化合物薄膜，且所述金属半导体化合物薄膜的厚度控制在 2~5nm，从而可提高 DRAM 存储单元的性能。

显然，本领域的技术人员可以对发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

1、一种金属半导体化合物薄膜，形成于半导体层与多晶半导体层之间，用于改善所述半导体层与所述多晶半导体层之间的接触，其特征在于，所述金属半导体化合物薄膜的厚度为 2~5nm。

5 2、如权利要求 1 所述的金属半导体化合物薄膜，其特征在于，所述半导体层为硅或绝缘层上硅，所述多晶半导体层为掺杂多晶硅，所述金属半导体化合物薄膜为金属硅化物。

3、如权利要求 1 所述的金属半导体化合物薄膜，其特征在于，所述半导体层为锗或绝缘层上锗，所述多晶半导体层为掺杂多晶锗，所述金属半导体化合物薄膜为金属锗化物。

4、如权利要求 2 或 3 所述的金属半导体化合物薄膜，其特征在于，所述金属半导体化合物薄膜由金属与所述半导体层反应生成，其中，所述金属为镍、钴、钛中的任一种，或镍、钴、钛中的任一种并掺入铂。

5、如权利要求 4 所述的金属半导体化合物薄膜，其特征在于，所述金属中还掺入了钨和/或钼。

6、一种 DRAM 存储单元，包括半导体衬底、形成于所述半导体衬底上的 MOS 晶体管及电容，所述 MOS 晶体管的源区与一位线相连，其栅区与一字线相连，其漏区通过一缓冲层与所述电容相连，所述缓冲层的材料为多晶半导体，其特征在于，在所述漏区与所述缓冲层之间还包括金属半导体化合物薄膜，所述金属半导体化合物薄膜的厚度为 2~5nm。

7、如权利要求 6 所述的 DRAM 存储单元，其特征在于，所述半导体衬底为硅或绝缘层上硅，所述多晶半导体为掺杂多晶硅，所述金属半导体化合物薄膜为金属硅化物。

8、如权利要求 6 所述的 DRAM 存储单元，其特征在于，所述半导体衬底为锗或绝缘层上锗，所述多晶半导体为掺杂多晶锗，所述金属半导体化合物薄膜为金属锗化物。

9、如权利要求 7 或 8 所述的 DRAM 存储单元，其特征在于，所述金属半导体化合物薄膜由金属与所述漏区的半导体层反应生成，其中，所述金属为镍、钴、钛中的任一种，或镍、钴、钛中的任一种并掺入铂。

10、如权利要求 9 所述的 DRAM 存储单元，其特征在于，所述金属中还掺入了钨和/或钼。

11、一种如权利要求 6 所述的 DRAM 存储单元的制备方法，其特征在于，包括如下步骤：

5 提供一半导体衬底，并在所述半导体衬底上形成 MOS 晶体管器件；

在所述 MOS 晶体管器件的漏区形成金属半导体化合物薄膜，所述金属半导体化合物薄膜的厚度为 2~5nm；

在所述金属半导体化合物薄膜上形成缓冲层；

在所述半导体衬底上形成电容，所述电容与所述缓冲层相连。

10 12、如权利要求 11 所述的 DRAM 存储单元的制备方法，其特征在于，在所述 MOS 晶体管器件的漏区形成金属半导体化合物薄膜进一步包括如下步骤：

在所述 MOS 晶体管器件的漏区上沉积金属层，所述金属向所述漏区扩散；

去除所述漏区表面剩余的金属层；

进行退火，在所述 MOS 晶体管器件的漏区形成金属半导体化合物薄膜。

15 13、如权利要求 12 所述的 DRAM 存储单元的制备方法，其特征在于，在所述漏区上沉积金属层时的衬底温度为 0~300℃。

14、如权利要求 13 所述的 DRAM 存储单元的制备方法，其特征在于，所述退火的温度为 200~900℃。

20 15、如权利要求 12 所述的 DRAM 存储单元的制备方法，其特征在于，所述半导体衬底为硅或绝缘层上硅，所述多晶半导体为掺杂多晶硅，所述金属半导体化合物薄膜为金属硅化物。

16、如权利要求 12 所述的 DRAM 存储单元的制备方法，其特征在于，所述半导体衬底为锗或绝缘层上锗，所述多晶半导体为掺杂多晶锗，所述金属半导体化合物薄膜为金属锗化物。

25 17、如权利要求 15 或 16 所述的 DRAM 存储单元的制备方法，其特征在于，所述金属半导体化合物薄膜由金属与所述漏区的半导体层反应生成，其中，所述金属为镍、钴、钛中的任一种，或镍、钴、钛中的任一种并掺入铂。

18、如权利要求 17 所述的 DRAM 存储单元的制备方法，其特征在于，所述金属中还掺入了钨和/或钼。

19、如权利要求 11 所述的 DRAM 存储单元的制备方法，其特征在于，该方法还包括将所述 MOS 晶体管的源区与一位线相连的步骤，以及将所述 MOS 晶体管的栅区与一字线相连的步骤。

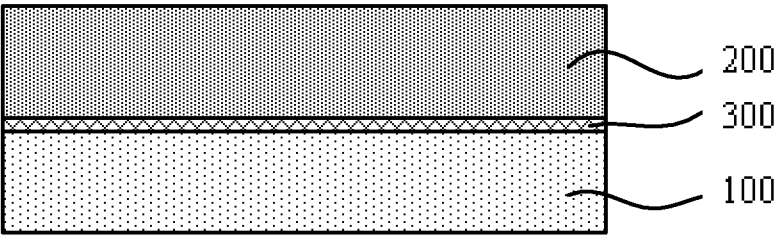


图 1

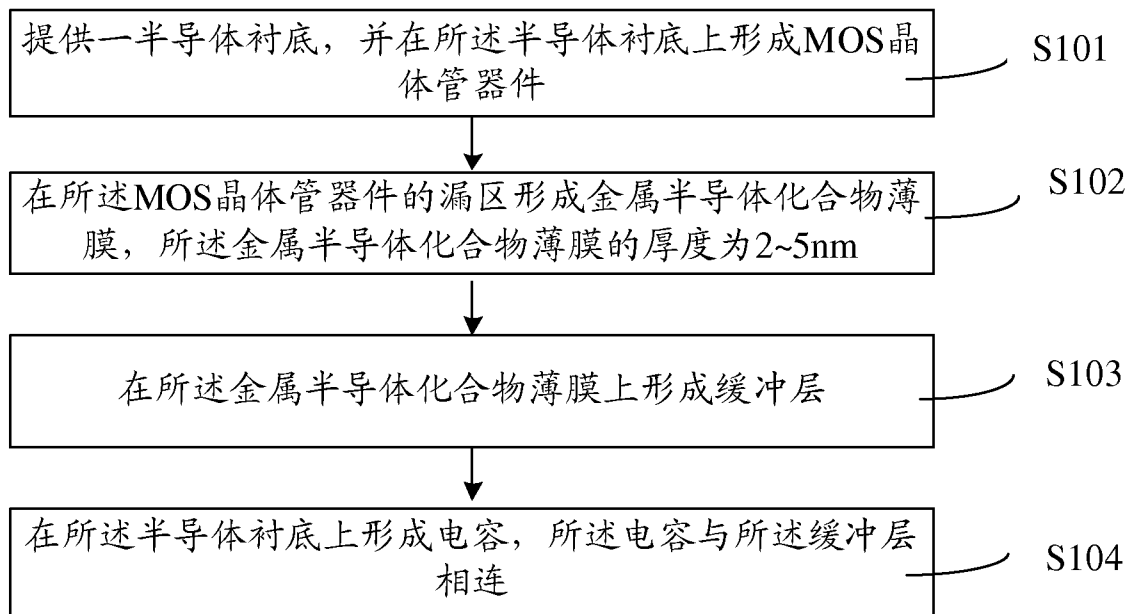


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/080285

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-, H01L 27/-, H01L 29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: capacitance metal semiconductor compound alloy film polycrystalline silicon germanium contact memory capacitor drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 102184946 A (FUDAN UNIVERSITY), 14 September 2011 (14.09.2011), claims 1-18	1-19
X	CN 101202306 A (INNOCOM TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 18 June 2008 (18.06.2008), description, page 7, line 23 to page 8, line 25, and figures 15-17	1-5
A		6-19
A	CN 1806294 A (TOSHIBA CORP. et al.), 19 July 2006 (19.07.2006), the whole document	6-19

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 November 2011 (21.11.2011)	Date of mailing of the international search report 05 January 2012 (05.01.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Lin Telephone No.: (86-10) 62411816

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/080285

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102184946 A	14.09.2011	None	
CN 101202306 A	18.06.2008	CN 101202306 B	26.05.2010
CN 1806294 A	19.07.2006	WO 2004109705 A2	16.12.2004
		JP 4015968 B2	28.11.2007
		KR 20060024402 A	16.03.2006
		KR 786428 B1	17.12.2007
		JP 2005004811 A	06.01.2005
		EP 1631964 A2	08.03.2006
		CN 100468566 C	11.03.2009

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/080285

CLASSIFICATION OF SUBJECT MATTER

H01L 29/43 (2006.01) i

H01L 27/108 (2006.01) i

H01L 21/283 (2006.01) i

H01L 21/02 (2006.01) n

H01L 21/8242 (2006.01) n

A. 主题的分类		
参加附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: H01L21/-, H01L27/-, H01L29/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT,CNKI,WPI,EPODOC: 金属 半导体 化合物 薄膜 多晶 硅 锗 接触 存储器 电容 漏极 metal semiconductor compound alloy film polycrystalline silicon germanium contact memory capacitor drain		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN102184946A (复旦大学) 14.9 月 2011 (14.09.2011) 权利要求 1-18	1-19
X	CN101202306A (群康科技(深圳)有限公司 等) 18.6 月 2008 (18.06.2008)	1-5
	说明书第 7 页第 23 行至第 8 页第 25 行, 附图 15-17	
A		6-19
A	CN1806294A (株式会社东芝 等) 19.7 月 2006 (19.07.2006) 全文	6-19
☐ 其余文件在 C 栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 21.11 月 2011 (21.11.2011)		国际检索报告邮寄日期 05.1 月 2012 (05.01.2012)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		受权官员 王琳 电话号码: (86-10) 6241 1816

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/080285

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102184946A	14.09.2011	无	
CN101202306A	18.06.2008	CN101202306B	26.05.2010
CN1806294A	19.07.2006	WO2004109705A2	16.12.2004
		JP4015968B2	28.11.2007
		KR20060024402A	16.03.2006
		KR786428B1	17.12.2007
		JP2005004811A	06.01.2005
		EP1631964A2	08.03.2006
		CN100468566C	11.03.2009

主题的分类

H01L 29/43 (2006.01) i

H01L 27/108 (2006.01) i

H01L 21/283 (2006.01) i

H01L 21/02 (2006.01) n

H01L 21/8242 (2006.01) n