

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4057675号
(P4057675)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl.		F I		
HO 1 L 27/10	(2006.01)	HO 1 L 27/10	4 5 1	
HO 1 L 29/66	(2006.01)	HO 1 L 29/66	U	
G 1 1 C 11/38	(2006.01)	G 1 1 C 11/38		

請求項の数 7 (全 12 頁)

<p>(21) 出願番号 特願平9-153084 (22) 出願日 平成9年5月28日(1997.5.28) (65) 公開番号 特開平10-98160 (43) 公開日 平成10年4月14日(1998.4.14) 審査請求日 平成16年4月21日(2004.4.21) (31) 優先権主張番号 19621994.9 (32) 優先日 平成8年5月31日(1996.5.31) (33) 優先権主張国 ドイツ(DE)</p>	<p>(73) 特許権者 390039413 シーメンス アクチエンゲゼルシャフト Siemens Aktiengesellschaft ドイツ連邦共和国 D-80333 ミュンヘン ヴィッテルスバッハープラッツ 2 Wittelsbacherplatz 2, D-80333 Muenchen, Germany (74) 代理人 100075166 弁理士 山口 巖 (72) 発明者 ロタール リツシュ ドイツ連邦共和国 85579 ノイビベルク テイチアンシュトラッセ 27 最終頁に続く</p>
--	---

(54) 【発明の名称】 単一電子メモリデバイスとその製造方法

(57) 【特許請求の範囲】

【請求項 1】

平行に延びている複数の第1の導線と、第1の導線に対して直交する方向に延びている複数の第2の導線とが設けられており、

それぞれ第1の導線と第2の導線との間に接続されているメモリセルが設けられており、メモリセルがそれぞれ単一電子メモリ要素および単一電子トランジスタを含んでおり、単一電子メモリ要素が少なくとも1つのトンネル要素を含んでおり、このトンネル要素が第1のトンネル接触部を介して第1の導線と、また第2のトンネル接触部を介してメモリ節点と接続されており、このメモリ節点が第1のゲート電極を介して静電容量的に駆動可能であり、

第1のゲート電極が第2の導線と接続されており、

単一電子トランジスタが第1の端子を介して第1の導線と、また第2の端子を介して第2の導線と接続されており、また第2のゲート電極を介して静電容量的に駆動可能であり、

第2のゲート電極がメモリ節点と接続されており、

単一電子メモリ要素および単一電子トランジスタのキャパシタンスが、第1の導線と第2の導線との間に書込み電圧よりも小さい読出し電圧を与える際に単一電子トランジスタを通して、単一電子メモリ要素に蓄積されている電荷を変更することなしに、単一電子メモリ要素に蓄積されている電荷に関係する電流が流れ、また第1の導線と第2の導線との間に書込み電圧を与える際に、単一電子メモリ要素に蓄積されている電荷が変化可能であ

るように同調されている
ことを特徴とする単一電子メモリセルデバイス。

【請求項 2】

単一電子メモリ要素および単一電子トランジスタのキャパシタンスが、読出し電圧の大きさが書込み電圧の大きさの半分であるように同調されていることを特徴とする請求項 1 記載の単一電子メモリセルデバイス。

【請求項 3】

単一電子メモリ要素が多数のトンネル要素を含んでおり、該トンネル要素は、各々トンネル接触部を介して列として互いに接続されており、その際

最初のトンネル要素は第 1 のトンネル接触部を介して第 1 の導線と、また列の最後のトンネル要素は第 2 のトンネル接触部を介してメモリ節点と接続されていることを特徴とする請求項 1 または 2 記載の単一電子メモリセルデバイス。

【請求項 4】

単一電子メモリ要素を構成する多数のトンネル接触部がそれぞれほぼ同一のキャパシタンスを有することを特徴とする請求項 3 記載の単一電子メモリセルデバイス。

【請求項 5】

単一電子メモリ要素および単一電子トランジスタのキャパシタンスに対して下記の条件【数 1】

$$C_G = \frac{4 \cdot e}{V_{\text{Schreib}}} \quad 20$$

$$V_{\text{Lese}} = \frac{1}{2} \cdot V_{\text{Schreib}}$$

$$C = \frac{n-1}{6} C_G$$

$$C_{\Sigma t} \leq \frac{1}{2} \cdot C_G \quad 30$$

ここで

C : 単一電子メモリ要素のトンネル接触部のキャパシタンス

C_G : 第 1 のゲート電極のキャパシタンス

C_{Σt} : 単一電子トランジスタの全キャパシタンス

n : 単一電子メモリ要素のトンネル接触部の数

V_{Lese} : 読出し電圧

V_{Schreib} : 書込み電圧

が成り立つことを特徴とする請求項 4 記載の単一電子メモリセルデバイス。

【請求項 6】

トンネル要素がそれぞれ導電性のコアと導電性のコアを囲む絶縁性のシースとを含んでおり、導電性のコアおよび絶縁性のシースが共通に 0 . 1 nm と 1 0 nm との間の直径を有することを特徴とする請求項 1 ないし 5 の 1 つに記載の単一電子メモリセルデバイス。

【請求項 7】

トンネル要素の間の非導電性の中間空間を、金属層の部分範囲の酸化又はリトグラフ法の使用と反応性のイオンエッチングとにより製造することを特徴とする請求項 1 ないし 5 の 1 つに記載の単一電子メモリセルデバイスの製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

10

20

30

40

50

【発明の属する技術分野】

本発明は単一電子メモリセルデバイスとその製造方法に関する。

【0002】

【従来の技術】

ダイナミック ランダム アクセス (DRAM) を有するメモリセルデバイスは現在主としてCMOSテクノロジーで製造される。それらはそれぞれ読出しトランジスタおよびコンデンサを有するメモリセルを含んでいる。コンデンサには、記憶すべき情報が電荷量の形態で蓄積される。一般に信号電荷は約50 fCである。すなわちこの電荷は30000の電子から成っている。現在のメモリセルにおけるコンデンサのキャパシタンスは20ないし30 fFである。

10

【0003】

将来のメモリデバイスのパッケージング密度の増大と共にメモリセルあたりの面積は減少する。その際にメモリセルに利用可能な面の上に20ないし30 fFの比較的大きいメモリキャパシタンスを有するコンデンサを製造することはますます困難になり、最後には不可能になる。また読出しトランジスタは任意には縮小できない。

【0004】

別の小形化を顧慮して、スイッチング過程が単一電子により実現されるいわゆる単一電子デバイスが提案されている。このような単一電子デバイスに関する研究はたとえばレーズナー (W. Roesner) ほか著「マイクロエレクトロニクス・エンジニアリング (Microelectronics Engineering)」第27巻、1995年、第55 ~ 58頁から知られている。単一電子デバイスは、トンネル接触部を介して隣の端子と接続されているトンネル要素を含んでいる。これらのトンネル接触部を経ての電荷移行は量子力学的なトンネル効果によっても電位障壁の簡単な熱的克服によっても行われ、その際にこれらの電荷移行は十分に稀にしか生じない。トンネル要素はたとえば、絶縁性の構造により囲まれている小さい導電性のアイランドとして実現されている。

20

【0005】

両端子にクーロン障壁に対する条件が満足されている電圧U、すなわちその大きさに対して $|U| < e / (2C)$ が成り立つ電圧Uが与えられると、トンネル要素の電荷は、熱エネルギーに対して $(kT/e) \ll (e/2C)$ が成り立つかぎり、電位関係に基づいて変化し得ない。ここでkはステファンボルツマン定数、Tは温度、eは電子電荷、Cはトンネル要素のキャパシタンスである。

30

【0006】

より高い電圧が与えられると、電子はトンネル要素の上のトンネル接触部の1つを経て流れる。これらの単一電子デバイスは、それぞれ単一電子の移行が行われるように作動させられる。

【0007】

作動電圧範囲内でトンネル移行を生じさせることなしにトンネル要素に静電容量的に影響するゲート電極を介してのトンネル要素の駆動により、トンネル要素を経ての電流の流れが可能である。ゲート電極において適当な電荷が有効であるかぎり、単一電子デバイスはほぼ直線的な零点を通る電流電圧特性曲線を有する。このようなゲート制御される単一電子デバイスは文献中で単一電子トランジスタと呼ばれている。

40

【0008】

中里 (K. Nakazato) ほか著「ジャーナル・オブ・アプライド・フィジクス (J. Appl. Phys.)」第75巻、第10号、1994年、第5123 ~ 5134頁には単一電子メモリセルが提案されている。これは3つのいわゆるマルチトンネル要素を含んでいる。それぞれトンネル接触部を介して互いに接続されているトンネル要素の直列回路がマルチトンネル要素と呼ばれる。マルチトンネル要素はそれぞれ横方向ゲート電極を有し、それを介してマルチトンネル要素を通る電流が制御可能である。第1のマルチトンネル要素および第2のマルチトンネル要素がその際に第1の電圧源と接地点との間に直列に接続されている。両マルチトンネル要素はメモリ節点を介して互いに接続されている。マルチトンネル要素

50

の横方向ゲート電極は第2の電圧源または第3の電圧源と接続されている。メモリ節点はキャパシタンスを介して第4の電圧源と接続されている。メモリ節点は別のキャパシタンスを介して、第5の電圧源と接地点との間に接続されている第3のマルチトンネル要素と接続されている。第3のマルチトンネル要素は同じく、第6の電圧源と接続されている横方向ゲート電極により駆動される。

【0009】

第3のマルチトンネル要素は、メモリ節点上にある電荷を検知する電位計として作用する。第2のマルチトンネル要素の横方向ゲート電極に高い負の電圧を与えて行った測定の結果、マルチトンネル要素に与えられている電圧がクーロン障壁に対する条件を満足するかぎり、第1のマルチトンネル要素およびメモリ節点に単一電子が安定に蓄積できることが判明した。横方向ゲート電極に与えられている電圧に関して、メモリ節点および第1のマルチトンネル要素から形成されるメモリ要素に離散的な数の電子が安定に蓄積できる。これは、それぞれ相応の数の蓄積された電子に対するメモリ要素の静電的エネルギーが準安定な状態を占めることによって説明される。隣接する準安定な状態の間に静電的エネルギーはすぐ次の準安定な状態よりも高い高さを有する電位壁を有する。電位壁の高さは蓄積されている電子の数およびマルチトンネル要素のトンネル接触部の数に関係する。

10

【0010】

単一電子メモリセルはデルタドープされたGaAsにおいて実現されている。単一電子メモリセルの作動のためには6つの電圧源が必要とされるので、多数のこのようなメモリセルを含んでいるメモリセルデバイスはその駆動に高い費用を必要とする。

20

【0011】

【発明が解決しようとする課題】

従って本発明の課題は、より少ない費用で駆動可能な単一電子メモリセルデバイスを提供することである。

【0012】

【課題を解決するための手段】

この課題は本発明によれば、請求項1に記載した特徴を有するそれぞれ単一電子メモリ要素および単一電子トランジスタを有するメモリセルを含んでいる単一電子メモリセルデバイスにより解決される。メモリセルの各々は第1の導線と第2の導線との間に接続されている。メモリセルデバイスは平行に延びている第1の導線および平行に延びている第2の導線を含んでおり、その際に第1の導線および第2の導線は互いに横方向に延びている。第1の導線および第2の導線は現在のDRAMデバイスのワード線およびビット線に匹敵するものである。

30

【0013】

本発明による単一電子メモリセルデバイスでは各メモリセルが第1の導線の1つと第2の導線の1つとの間に接続されているので、メモリセルの各々が付属の第1の導線および付属の第2の導線に相応の電圧レベルを与えることにより簡単に駆動され得る。

【0014】

単一電子メモリセルデバイスは、第1のトンネル接触部を介して第1の導線と、また第2のトンネル接触部を介して、第1のゲート電極を介して静電容量的に駆動可能なメモリ節点と接続されている少なくとも1つのトンネル要素を含んでいる。トンネル接触部を介して電荷移行が量子力学的なトンネル効果によっても電位障壁の十分に稀な熱的克服によっても行われる。トンネル抵抗が $R_T > R_K = h / e^2 \approx 26 k$ (ここで R_K はクリチング (Klitzing) 抵抗、 h はプランクの作用量子、また e は電子電荷である) であれば、多数の電荷移行が素過程により行われる。素過程が電荷移行の際に支配的であるようにトンネル抵抗が $100 k$ よりも大きいと好適である。第1のゲート電極は第2の導線と接続されている。単一電子トランジスタは第1の端子を介して第1の導線と、また第2の端子を介して第2の導線と接続されている。このトランジスタはメモリ節点と接続されている第2のゲート電極を介して静電容量的に駆動可能である。

40

【0015】

50

メモリ要素および単一電子トランジスタのキャパシタンスは、読出し電圧を与える際に単一電子トランジスタを通して、メモリ要素に蓄積されている電荷に関係する電流が流れるように同調されている。メモリ要素に蓄積されている電荷はその際に変更されない。それに対して、読出し電圧よりも大きい書込み電圧を与えることにより、メモリ要素に蓄積されている電荷は変化可能である。

【0016】

本発明は、単一電子トランジスタが単一電子トランジスタのゲート電極において有効な電荷に対する敏感な電位計であるという認識に基づいている。読出し電圧は、クーロン障壁に対する条件が満足されているように選ばれる。メモリ節点は単一電子トランジスタの第2のゲート電極と接続されているので、単一電子トランジスタを経て流れる電流はメモリ節点に存在する電荷に関係している。同時に、メモリ節点に蓄積されている電荷の変化が、第1のゲート電極に与えられている読出し電圧がメモリ節点に存在する電荷の変更に十分でないことによって阻止される。その際に、安定にマルチトンネル要素に蓄積され得る電子の数がマルチトンネル要素のトンネル接触部の数にもマルチトンネル要素を駆動するゲート電圧にも関係していることが利用される。

10

【0017】

単一電子メモリ要素および単一電子トランジスタのキャパシタンスは、同時に単一電子トランジスタに対する読出し電圧が与えられている際にクーロン障壁に対する条件が満足されており、また単一電子メモリ要素の充電状態の変化が可能でないように互いに同調される。それに対して、より大きい書込み電圧の際にはメモリ節点の充電状態の変化が生ぜしめられる。

20

【0018】

情報を読出すためメモリセルを駆動するためには、付属の第1の導線と第2の導線との間に読出し電圧に相応する電圧レベルが与えられる。その他の第1の導線および第2の導線は選ばれた第1の導線と同一の電位に接続されているので、選ばれた第2の導線に属さないすべてのセルは無電圧である。メモリセルの情報を書込むためには、付属の第1の導線と第2の導線との間に書込み電圧に相応する電圧レベルが与えられる。その他の第1の導線および第2の導線は、その他のメモリセルの両端に生ずる電圧降下が、蓄積されている電荷の変化を生じさせないようなより低い電圧レベルであるように接続されている。その他の導線はたとえば読出し電圧または書込みおよび読出し電圧の差に相応する電圧レベル

30

【0019】

好ましくは、メモリ要素および単一電子トランジスタのキャパシタンスは、読出し電圧の大きさが書込み電圧の大きさの半分であるように同調されている。この場合メモリセルへの情報の書込みの際に、その他の第1の導線および第2の導線は読出し電圧を与えられる。また選ばれていないメモリセルの一部分の両端に生ずる電圧降下は常に同一である。その他の選ばれていないメモリセルは無電圧である。

【0020】

好ましくは、メモリ要素は上下にそれぞれトンネル接触部を介して列として接続されている多くのトンネル要素を含んでいる。これらのトンネル接触部の特性に対しては第1のトンネル接触部および第2のトンネル接触部に関係して述べたことが当てはまる。第1のトンネル接触部はその際に第1のトンネル接触部を介して第1の導線と、また列の最後のトンネル要素は第2のトンネル接触部を介してメモリ節点と接続されている。メモリ要素により多くのトンネル接触部を設けることは、第1のゲート電極における固定の電圧に対してメモリ要素の安定な充電状態の数が増大することに通ずる。

40

【0021】

トンネル要素としては、導電性の範囲を含んでおりまた絶縁構造を介して隣の導電性の範囲に対して絶縁されているすべての構造が考慮に値する。絶縁構造を介して導電性範囲はトンネル接触部により接続されている。トンネル要素として特に、導電性のコアと導電性のコアを囲む絶縁性のシーストを含んでいる構造が適している。その際に好ましくはトン

50

ネル要素の直径は1 nmと10 nmとの間である。トンネル要素のキャパシタンスはこの大きさ範囲内でメモリセルデバイスが室温範囲内で機能を果たすように小さい。特にトンネル要素としては、ドイツ特許出願公開第4212220号明細書から公知のように、絶縁シースとして有機リカンデン(Liganden)を有する金属クラスターまたは閉じ込められた金属コアを有するフレレン(Fullerene)が適している。

【0022】

さらにトンネル要素としてはリトグラフ法により構造化された薄い金属層が適しており、その際にトンネル接触部はこのような金属層の酸化およびそれに続く別の金属層の析出および構造化により生ずる。

【0023】

分子エレクトロニクス範囲内においてトンネル要素としては、その前史に関係して相異なる電荷を保持し得る個々の分子の断片も適している。このような切替充電可能な分子断片の間の電荷移行は化学的結合に沿って行われる。

【0024】

トンネル接触部のトンネル抵抗が $R_T > R_K = h / e^2 \approx 26 \text{ k}$ (ここで R_K はクリンチング(Klitzing)抵抗、 h はプランクの作用量子、また e は電子電荷である) であり、メモリセルの電氣的挙動がトンネル接触部、キャパシタンスおよび第1の導線および第2の導線における電圧レベルにより十分に正確に決定されており、導線抵抗および交流抵抗が無視可能であり、それぞれトンネル移行だけがトンネル接触部を介して行われ、従ってトンネル移行の間はその他のトンネル接触部はキャパシタンスとみなされ、すべてのトンネル接触部が等しいキャパシタンスを有し、またメモリセルデバイスのその他のメモリセルのキャパシタンス寄与が無視可能であるという前提のもとに、メモリ要素の安定な充電状態に対して下式が成り立つ。

【数2】

$$\frac{C_G}{e} \cdot V - \frac{1}{2} (m - \gamma) < I < \frac{C_G}{e} \cdot V + \frac{1}{2} (m - \gamma)$$

ここで $m = 1 + n \gamma$

$$\gamma = \frac{C_G}{C}$$

ここで C_G 第1のゲート電極のキャパシタンス

C メモリ要素のトンネル接触部のキャパシタンス

n メモリ要素のトンネル接触部の数

V 第1のゲート電極における電圧

I メモリ要素に蓄積された電子の数

e 電子電荷

【0025】

書込み電圧 $\pm V_{\text{Schreib}}$ が与えられている際に安定な状態 $+e$ および $-e$ を占めるメモリセルに対して、安定な充電状態に対する条件から

【数3】

$$\frac{C_G}{e} \cdot V_{\text{Schreib}} - \frac{1}{2} (m - \gamma) < 1 < \frac{C_G}{e} \cdot V_{\text{Schreib}} + \frac{1}{2} (m - \gamma)$$

である。

【0026】

書込み電圧 $\pm V_{\text{Schreib}}$ が与えられている際に充電状態零電子が不安定である条件は

【数4】

$$0 < \frac{C_G}{e} \cdot V_{\text{Schreib}} - \frac{1}{2} (m - \gamma)$$

に通ずる。

【0027】

読出し電圧 V_{Lese} が与えられている際に特に充電状態 $+e$ が安定でなければならない。
すなわち

【数5】

$$\frac{C_G}{e} \cdot V_{\text{Lese}} - \frac{1}{2} (m - \gamma) < -1,$$

でなければならない。さらに単一電子トランジスタに対してクーロン障壁に対する条件が満足されていなければならない。

【数6】

$$V_{\text{Lese}} < \frac{e}{C_{\Sigma t}}$$

 $C_{\Sigma t}$ トランジスタの全キャパシタンス

【0028】

単一電子トランジスタの全キャパシタンスは単一電子トランジスタを形成するトンネル接触部のキャパシタンスと第2のゲート電極のキャパシタンスとの和として生ずる。

【0029】

これらの条件は下記の電圧およびキャパシタンスに対して満足される。

【数7】

$$V_{\text{Lese}} = \frac{4e}{C_G} \cdot V_{\text{Schreib}}$$

$$C_G = \frac{4e}{V_{\text{Schreib}}}$$

$$C = \frac{n-1}{6} C_G$$

$$C_{\Sigma t} \leq \frac{1}{2} C_G$$

【0030】

本発明はこれらのキャパシタンス値に制限されない。他の読出し電圧 V_{Lese} の選定により、不等式的全範囲の利用により、読出しおよび/または書込み電圧における他のおよび/または多くの安定な充電状態の設定により、または安定性規範を導き出す際の他の仮定、たとえばトンネル接触部が相異なるキャパシタンスを有するという仮定により、類似の

10

20

30

40

50

仕方でキャパシタンスに対する他の規範が決定され得る。

【0031】

【実施例】

以下、図面および実施例により本発明を一層詳細に説明する。

【0032】

メモリセルデバイスはほぼ互いに平行に延びている第1の導線L1と、同じくほぼ互いに平行に延びている第2の導線L2とを含んでいる。その際に第1の導線L1は第2の導線L2に対して横方向に延びている(図1参照)。

【0033】

メモリセルデバイスは、それぞれ第1の導線L1の第2の導線L2の間に接続されているメモリセルSを含んでいる。それによって第1の導線L1および第2の導線L2の駆動によりメモリセルSの各々が一義的に駆動され得る。

10

【0034】

メモリセルの各々は、上下にトンネル接触部TKを介して互いに接続されている6つのトンネル要素T1、T2、T3、T4、T5、T6を含んでいる。第1のトンネル要素T1は第1のトンネル接触部TK1を介して第1の導線L1の端子と接続されている。列の最後のトンネル要素T6は第2のトンネル接触部TK2を介してメモリ節点SKと接続されている。メモリ節点SKは第1のゲート電極G1を介して静電容量的に駆動可能である。第1のゲート電極G1とメモリ節点SKとの間の間隔は、メモリセルデバイスに予定されている作動電圧において第1のゲート電極G1とメモリ節点SKとの間のトンネル移行が行われなような大きさである(図2および図3参照)。第1のゲート電極G1は第2の導線L2と接続されている。

20

【0035】

第1のゲート電極G1と、メモリ節点SKと、中間に位置しているトンネル接触部TK1、TK、TK2を有するトンネル要素T1、T2、T3、T4、T5、T6とがメモリ要素を形成する。

【0036】

さらにメモリセルの各々は、第1のトランジスタトンネル接触部TK3を介して第1の導線L1と接続されており、また第2のトランジスタトンネル接触部TK4を介して第2の導線L2と接続されているトランジスタトンネル要素Tを含んでいる。トランジスタトンネル要素Tは、メモリ節点SKと接続されている第2のゲート電極G2を介して駆動される。第2のゲート電極G2とトランジスタトンネル要素Tとの間の間隔は、駆動が静電容量的に行われ、またメモリセルデバイスの作動電圧において第2のゲート電極G2とトランジスタトンネル要素Tとの間のトンネル移行が行われなような大きさである。トランジスタトンネル要素T、第1のトランジスタトンネル接触部TK3、第2のトランジスタトンネル接触部TK4および第2のゲート電極G2は単一電子トランジスタを形成する。

30

【0037】

トンネル要素T1、T2、T3、T4、T5、T6はたとえば絶縁性の表面の上の丸い横断面を有する導電性のアイランドとして実現される。トンネル要素T1、T6はたとえば3nmの直径を有する金、アルミニウムまたはチタンから形成される。メモリセルが配置されている絶縁性の表面はシリコン基板の上に配置されているたとえばSiO₂層の表面である。メモリセルデバイスはさらにサファイアから成る基板の上に配置され得る。

40

【0038】

隣接するトンネル要素T1、T2、T3、T4、T5、T6の間隔、従ってまたトンネル接触部TK1、TK、TK2の寸法はたとえば2nmである。メモリ節点SKおよび第2のゲート電極G2ならびに第1のゲート電極G1および導線L1およびL2はたとえば絶縁性の表面の上の金属領域として実現される。それらは同じく金、アルミニウムまたはチタンから形成される。第1のゲート電極G1とメモリ節点SKとの間の間隔はたとえば5nmである。

50

【 0 0 3 9 】

メモリ節点 S K の寸法はたとえば 3 n m である。

【 0 0 4 0 】

トランジスタトンネル要素 T はたとえば 3 n m の直径を有する丸い横断面を有する同じく金、アルミニウムまたはチタンから成る導電性のアイランドとして形成されている。第 1 の導線 L 1 および第 2 の導線 L 2 への接続は同じくたとえば金、アルミニウムまたはチタンから成る金属の導体帯として実現されている。トランジスタトンネル要素と第 1 の導線 L 1 または第 2 の導線 L 2 への接続との間の間隔、従ってまたトランジスタトンネル接触部 T K 3、T K 4 の寸法は 2 n m である。第 2 のゲート電極 G 2 とトランジスタトンネル要素 T との間の間隔は 5 n m である。

10

【 0 0 4 1 】

メモリセルあたりの占有面積は約 5 0 0 n m² である。それによって 1 T b i t メモリセルデバイスが 5 c m² の面上に実現可能である。

【 0 0 4 2 】

メモリセルはたとえばラスタトンネル顕微鏡または原子力顕微鏡の助けをかりて絶縁性の表面の上に個々の金属原子を析出することにより製造される。

【 0 0 4 3 】

代替的にたとえば 3 n m の厚みの全面的な金属層がリトグラフィにより、特に電子線またはシンクロトロン線の使用のもとに、またはラスタプローブ顕微鏡による酸化により構造化される。

20

【 0 0 4 4 】

トンネル要素の間の非導電性の中間空所はもともと金属層の酸化によってもリトグラフィの使用および反応性のイオンエッチングによっても製造することができる。

【 0 0 4 5 】

たとえばトンネル接触部 T K 1、T K 2 のトンネル抵抗はそれぞれ 1 0 0 k Ω であり、また付属のキャパシタンスはそれぞれ 1 a F である。第 1 のゲート電極のキャパシタンス C G は 1 a F である。トランジスタトンネル接触部 T K 3、T K 4 のキャパシタンスはそれぞれ 0 . 1 a F である。第 2 のゲート電極 G 2 のキャパシタンスは 0 . 3 a F である。それによって単一電子メモリトランジスタの全キャパシタンスは

【 数 8 】

$$C_{\Sigma t} = 2 \cdot C_t + C_{tg} = 0,5 a F .$$

30

である。

【 0 0 4 6 】

メモリセルは 0 . 3 2 ボルトの読出し電圧 $V_{L_{ese}}$ および 0 . 6 4 ボルトの書込み電圧 $V_{S_{hr ib}}$ により作動させられる。

【 0 0 4 7 】

図 4 に示されているメモリセルの特性曲線により以下にメモリセルの作動を説明する。図 4 には第 1 の特性曲線 K 1 および第 2 の特性曲線 K 2 が示されている。第 1 の特性曲線 K 1 は、メモリ要素に充電状態 + e が蓄積されている場合に当てはまる。第 2 の特性曲線 K 2 は、メモリ要素に充電状態 - e が蓄積されている場合に当てはまる。第 1 の導線 L 1 と第 2 の導線 L 2 との間に電圧 + $V_{L_{ese}}$ が与えられており、またメモリ要素に充電状態 + e が蓄積されていると、トランジスタを経て約 0 . 8 μ A の電流が流れる。それに対して、充電状態 - e が蓄積されていると、+ $V_{L_{ese}}$ の電圧が与えられている際に電流がトランジスタを経て流れない。

40

【 0 0 4 8 】

- $V_{L_{ese}}$ の電圧を与える際には、充電状態 + e が蓄積されている場合には、電流がトランジスタを経て流れず、また充電状態 - e が蓄積されている場合には、約 - 0 . 8 μ A の電流が流れる。

50

【 0 0 4 9 】

書込み電圧 $+V_{Schreib}$ を与えることにより、充電状態 $+e$ が蓄積されている場合には、電流が増大し、不安定な充電状態零が通過され、またレベル $+V_{Schreib}$ の到達の際に充電状態 $-e$ がメモリ要素に書込まれる。充電状態 $+e$ を書込むためには電圧レベル $-V_{Schreib}$ が与えられ、その際に、充電状態 $-e$ が蓄積されていた場合には、不安定な充電状態零が通過され、また充電状態 $+e$ がメモリ要素に書込まれる。読み出し電圧 V_{Lesen} は、確かに電流の流れを介して明らかに充電状態 $-e$ と $+e$ との間が区別され得るが、安定な充電状態 $+e$ および $-e$ の切換充電は行われないように選ばれている。

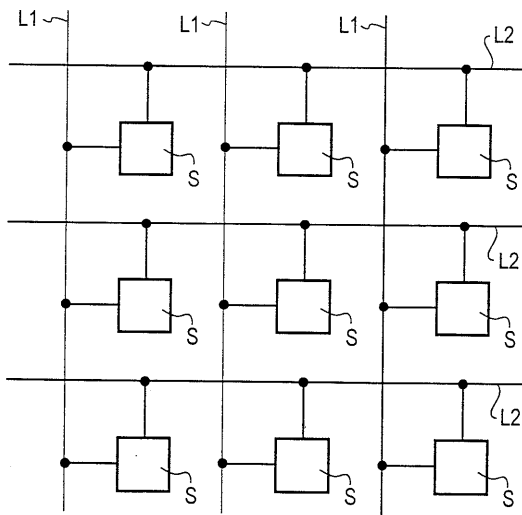
【 図面の簡単な説明 】

- 【 図 1 】 メモリセルデバイスの概要回路図。
- 【 図 2 】 メモリセルの平面図。
- 【 図 3 】 図 2 に示されているメモリセルの等価回路図。
- 【 図 4 】 メモリセルの特性曲線。

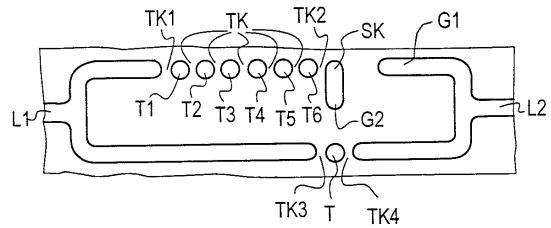
【 符号の説明 】

- G 1 第 1 のゲート電極
- G 2 第 2 のゲート電極
- L 1 第 1 の導線
- L 2 第 2 の導線
- S メモリセル
- SK メモリ節点
- T トランジスタトンネル要素
- T 1 ~ T 6 トンネル要素
- TK 1、TK、TK 2 トンネル接触部
- TK 3 第 1 のトランジスタトンネル接触部
- TK 4 第 2 のトランジスタトンネル接触部

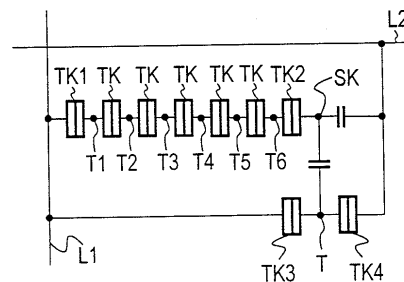
【 図 1 】



【 図 2 】



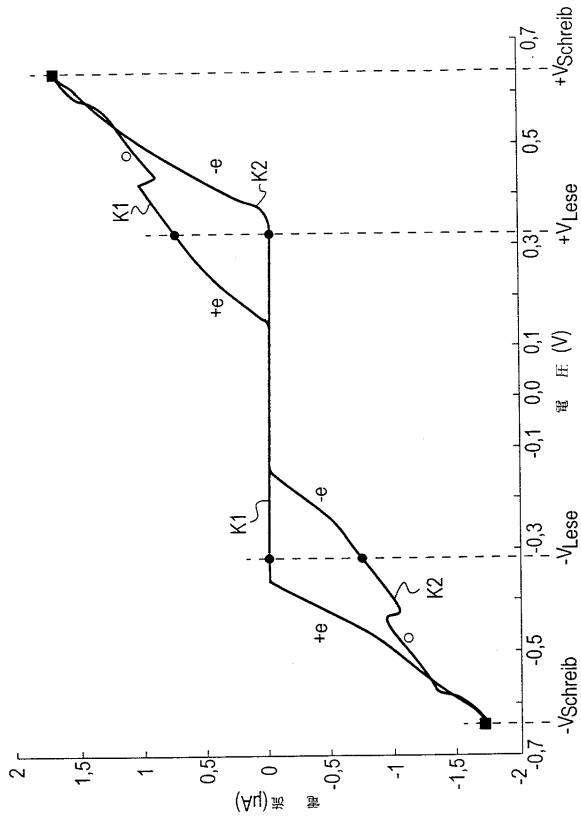
【 図 3 】



10

20

【 図 4 】



フロントページの続き

(72)発明者 ウォルフガング レースナー
ドイツ連邦共和国 8 1 7 3 9 ミュンヘン ハイנטツエルメンヒエンシユトラーセ 2

審査官 瀧内 健夫

(56)参考文献 特開平07 - 3 3 5 8 3 9 (J P , A)
特開平07 - 0 1 5 0 0 2 (J P , A)
特開平07 - 0 5 8 2 9 8 (J P , A)
特表平08 - 5 0 6 2 1 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 27/10

G11C 11/38