

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5238125号
(P5238125)

(45) 発行日 平成25年7月17日(2013.7.17)

(24) 登録日 平成25年4月5日(2013.4.5)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 A
HO 1 L 29/786 (2006.01)	HO 1 L 21/265 6 O 4 M
HO 1 L 21/265 (2006.01)	HO 1 L 21/28 E
HO 1 L 21/28 (2006.01)	HO 1 L 29/58 G
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 6 1 7 K
請求項の数 8 (全 39 頁) 最終頁に続く	

(21) 出願番号	特願2005-308922 (P2005-308922)	(73) 特許権者	000153878
(22) 出願日	平成17年10月24日(2005.10.24)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2006-156971 (P2006-156971A)		神奈川県厚木市長谷398番地
(43) 公開日	平成18年6月15日(2006.6.15)	(72) 発明者	山口 真弓
審査請求日	平成20年10月15日(2008.10.15)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2004-321009 (P2004-321009)		半導体エネルギー研究所内
(32) 優先日	平成16年11月4日(2004.11.4)	(72) 発明者	磯部 敦生
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
前置審査			半導体エネルギー研究所内
		(72) 発明者	齋藤 暁
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	綿引 隆
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

基板上に、半導体膜、ゲート絶縁膜、第1のゲート電極、及び第2のゲート電極を下から順に積層した設けられた半導体装置の作製方法であって、

前記ゲート絶縁膜上に第1の導電膜を形成し、

前記第1の導電膜上に第2の導電膜を形成し、

前記第2の導電膜上にレジストを形成し、

第1のエッチングをすることにより、前記第2の導電膜をエッチングし、エッチングされた第2の導電膜を形成し、

前記エッチングされた第2の導電膜の側面が有するテーパ角は、80°以上90°以下であり、

第2のエッチングをすることにより、前記第1の導電膜をエッチングし、前記第1のゲート電極を形成し、

第3のエッチングをすることにより、前記レジストを後退させつつ、後退する前記レジストをマスクとして前記エッチングされた第2の導電膜をエッチングし、チャンネル長方向の長さが前記第1のゲート電極よりも短い前記第2のゲート電極を形成し、

前記第3のエッチングを行う際に、試料ステージ温度を-10℃以下にすることを特徴とする半導体装置の作製方法。

【請求項2】

基板上に、半導体膜、ゲート絶縁膜、第1のゲート電極、及び第2のゲート電極を下か

10

20

ら順に積層した設けられた半導体装置の作製方法であって、

前記ゲート絶縁膜上に第1の導電膜を形成し、

前記第1の導電膜上に第2の導電膜を形成し、

前記第2の導電膜上に第1のレジストを形成し、

第1のエッチングをすることにより、前記第2の導電膜をエッチングし、エッチングされた第2の導電膜を形成し、

前記エッチングされた第2の導電膜の側面が有するテーパ角は、 80° 以上 90° 以下であり、

第2のエッチングをすることにより、前記第1のレジストを後退させ、且つ前記第1の導電膜をエッチングし、第2のレジスト及び前記第1のゲート電極を形成し、

10

第3のエッチングをすることにより、前記第2のレジストを後退させつつ、後退する前記レジストをマスクとして前記エッチングされた第2の導電膜をエッチングし、チャンネル長方向の長さが前記第1のゲート電極よりも短い前記第2のゲート電極を形成し、

前記第3のエッチングを行う際に、試料ステージ温度を -10°C 以下にすることを特徴とする半導体装置の作製方法。

【請求項3】

基板上に、半導体膜、ゲート絶縁膜、第1のゲート電極、及び第2のゲート電極を下から順に積層した設けられた半導体装置の作製方法であって、

前記ゲート絶縁膜上に第1の導電膜を形成し、

前記第1の導電膜上に第2の導電膜を形成し、

20

前記第2の導電膜上にレジストを形成し、

第1のエッチングをすることにより、前記第2の導電膜をエッチングし、エッチングされた第2の導電膜を形成し、

前記エッチングされた第2の導電膜の側面が有するテーパ角は、 80° 以上 90° 以下であり、

第2のエッチングをすることにより、前記第1の導電膜をエッチングし、前記第1のゲート電極を形成し、

第3のエッチングをすることにより、前記レジストを後退させつつ、後退する前記レジストをマスクとして前記エッチングされた第2の導電膜をエッチングし、チャンネル長方向の長さが前記第1のゲート電極よりも短い前記第2のゲート電極を形成し、

30

前記第2のゲート電極をマスクとして不純物元素をドーピングして、前記半導体膜にチャンネル形成領域と、前記チャンネル形成領域に接する低濃度不純物領域と、を形成し、

前記第1のゲート電極及び前記第2のゲート電極の側面に接するサイドウォールを形成し、

前記サイドウォール及び前記第2のゲート電極をマスクとして不純物元素をドーピングして、前記低濃度不純物領域に選択的に高濃度不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第1のエッチングは、 Cl_2 、 SF_6 、及び O_2 の混合ガスをエッチングガスとして用いることを特徴とする半導体装置の作製方法。

40

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第2のエッチングは、 Cl_2 をエッチングガスとして用いることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記第3のエッチングは、 Cl_2 、 SF_6 、及び O_2 の混合ガスをエッチングガスとして用いることを特徴とする半導体装置の作製方法。

【請求項7】

50

請求項 1 乃至請求項 6 のいずれか一項において、

前記第 1 乃至第 3 のエッチングをドライエッチング法により行うことを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 3 において、

前記第 3 のエッチングを行う際に、試料ステージ温度を -10°C 以下にすることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は各種回路を構成する半導体装置及びその作製方法に関する。

【背景技術】

【0002】

従来の薄膜トランジスタ (Thin Film Transistor: 以下、TFTと
言う) は非晶質半導体膜で構成されていたため、 $10\text{cm}^2/\text{V}\cdot\text{Sec}$ 以上の電界効果
移動度を持つ TFT を得ることはほとんど不可能であった。しかし、結晶性半導体膜で構
成された TFT が登場し、高い電界効果移動度を持つ TFT を実現することが可能となっ
た。

【0003】

結晶性半導体膜の TFT は高い電界効果移動度を持つため、TFT を使って各種機能回路
を同一基板上に同時に作製することが可能である。例えば、表示装置において、以前は表
示部にドライバ IC などを実装して駆動回路としていたのに対し、結晶性半導体膜の TFT
を用いることで、同一基板上に表示部とシフトレジスタ回路、レベルシフト回路、バッ
ファ回路、サンプリング回路などで構成される駆動回路を配置することが可能となった。
駆動回路は n チャンネル型 TFT と p チャンネル型 TFT とからなる CMOS 回路を基本とし
て形成されている。

20

【0004】

同一基板上に各種回路を形成するには、各回路に対応した TFT を形成する必要がある。
なぜならば、表示装置で考えると画素部の TFT と駆動回路の TFT とでは動作条件が必
ずしも同一ではなく、TFT に要求される特性も異なるからである。n チャンネル型 TFT
で構成される画素 TFT は、スイッチング素子として液晶に電圧を印加して駆動させてい
る。画素 TFT は、1 フレーム期間の間、液晶層に蓄積した電荷を保持するために、オフ
電流値を十分低くすることが要求されている。一方、駆動回路のバッファ回路などには高
い駆動電圧が印加されるため、高電圧が印加されても素子が壊れないように耐圧を高めて
おく必要がある。また、オン電流駆動能力を高めるためにオン電流値を十分確保する必要
がある。

30

【0005】

オフ電流値を低減するための TFT の構造として、低濃度ドレイン領域 (以下、LDD (Light Doped Drain) 領域ともいう) を設けた構造がある。この構造は
チャンネル形成領域と、高濃度に不純物元素が添加されたソース又はドレイン領域との間に
低濃度に不純物元素を添加した領域が設けられている。また、ホットキャリアによるオン
電流値の劣化を防ぐための手段として、LDD 領域をゲート絶縁膜を介してゲート電極と
重ねて配置させたいわゆる GOLD (Gate-drain Overlapped LDD) 構造がある。このような構造とすることで、ドレイン近傍の高電界が緩和されて、
ホットキャリアによるオン電流値の劣化を低減することができる。なお、LDD 領域がゲ
ート絶縁膜を介してゲート電極と重なって配置していない領域を Loff 領域、重なって
配置している領域を Lov 領域ともいう。

40

【0006】

ここで、Loff 領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和し
てホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Lov 領域はドレイ

50

ン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造のT F Tを作製する必要がある。

【0007】

同一基板上に様々な構造のT F Tを同時に作製する方法の1つとして、下層のゲート長が上層のゲート長よりも長い形状である所謂ハットシェイプ型の2層構造のゲート電極を使い、同一基板上にL D D領域を有するT F Tを同時に複数作製するものがある（例えば、特許文献1参照）。図18にその作製方法を示す。

【0008】

まず、基板1上に、下地絶縁膜2、半導体膜3、ゲート絶縁膜4、ゲート電極となる第1の導電膜5、ゲート電極となる第2の導電膜6を順次積層させ、第2の導電膜上にレジストからなるマスク7を形成する（図18（A））。次に、ドライエッチングにより、第1の導電膜及び第2の導電膜をエッチングして側壁に傾斜（テーパ）のある形状にし、ゲート電極8、9を形成する（図18（B））。続いて、異方性エッチングによりゲート電極9を加工する。これにより、断面形状が帽子のような形をしたハットシェイプ型のゲート電極が形成される（図18（C））。その後、2回、不純物元素をドーピングし、ゲート電極8の下に位置するL D D領域10aと、L D D領域に接して半導体膜の両端に位置する高濃度不純物領域10bと、チャネル形成領域10cが形成される（図18（D））。

【特許文献1】特開2004-179330号公報（第5図～第8図参照）

【発明の開示】

【発明が解決しようとする課題】

【0009】

現在、サブミクロンT F Tの研究が盛んに行われている。しかし、特許文献1の方法を用いて各種回路に適した微細なT F Tを形成することは困難であった。なぜなら、L D D領域のゲート長方向（チャネル長方向とも言う）の長さ（以下、L D D長と言う）を所望の値まで短くすることが困難であったからである。図18に示すように、特許文献1は、ゲート電極9側面のテーパであったところをエッチングして、ハットシェイプ型のゲート電極を形成し、ドーピングすることにより、L D D領域10aを形成する方法である。従って、図18（B）に示すゲート電極9側面のテーパ角（ θ ）を 90° に近づければL D D長は短くなる。しかし、テーパ角の調整は難しく、逆に $\theta = 90^\circ$ にしてしまうとL D D領域自体が形成できなくなるため、ある一定値以下のL D D長を形成することは困難であった。

【0010】

L D D長を短くできないと、半導体膜のチャネル長方向の長さも短くできず、必然的にある一定値以下のサイズのL D D構造のT F Tは形成できなかった。

【0011】

また、L D D領域はホットキャリアを抑えたり、短チャネル効果を抑える反面、オン電流に対する抵抗としても機能する。従って、各T F Tには、ホットキャリア等を抑えるとともに、所望のオン電流が得られるような最適なL D D長が存在する。しかしながら、従来の方法では、ゲート長、半導体膜の長さはエッチングによりサブミクロンサイズのものを形成できたが、それらのサイズにあったL D D長を持つL D D領域を設けることは困難であった。よって、特性の良いサブミクロンT F Tを得ることは困難であった。

【0012】

さらに、微細化によりゲート長が短くなると短チャネル効果が生じやすいため、L o f f領域を設ける必要性は高くなる。また、L o v領域はT F Tの信頼性向上に寄与し、より特性の良いT F Tが得られる。従って、微細化されたT F TでL D D領域を設ける必要性は非常に高い。つまり、微細化されたT F Tにおいても、各T F Tに適したL D D長を持つL D D構造、G O L D構造のT F Tを同時に形成し、同一基板上に各種回路を同時に作製するという半導体装置作製方法の開発が求められていた。

【0013】

また、製造コストの点より、工程数が少ないプロセスで各回路に適したTFTを同時に作製するという半導体装置作製方法が求められていた。

【0014】

以上より、本発明は、微細化されたTFTであっても、TFTの構造を各種回路の機能に応じて適切なものとし、半導体装置の動作特性および信頼性を向上させることを課題とする。また、工程数を削減して製造コストの低減および歩留まりの向上を図ることを課題とする。

【課題を解決するための手段】

【0015】

本発明の特徴の一つは、基板上の半導体膜上にゲート絶縁膜、第1の導電膜、第2の導電膜を順次形成し、第2の導電膜上にレジストを形成し、レジストをマスクとして第2の導電膜に第1のエッチングをすることによりエッチングされた第2の導電膜を形成して、第1の導電膜に第2のエッチングをすることにより第1のゲート電極を形成し、第3のエッチングをすることにより、レジストを後退させると共に、後退するレジストをマスクとしてエッチングされた第2の導電膜をエッチングして、チャンネル長方向の長さが前記第2のゲート電極よりも短い第2のゲート電極を形成することを特徴とする。

【0016】

本発明の特徴の一つは、上記第2のエッチングのときに、レジストを後退させることを特徴とする。

【0017】

本発明の特徴の一つは、上記第2のゲート電極を形成後、第2のゲート電極をマスクとして不純物元素をドーピングして、半導体膜にチャンネル形成領域とチャンネル形成領域に接する低濃度不純物領域を形成し、第1のゲート電極及び第2のゲート電極の側面を覆うサイドウォールを形成し、サイドウォール及び第2のゲート電極をマスクとして不純物元素をドーピングして、低濃度不純物領域に選択的に高濃度不純物領域を形成することである。

【0018】

本発明の特徴の一つは、第1のゲート電極をマスクとしたドーピングをすることにより、低濃度不純物領域は、第2のゲート電極と重ならない第1のゲート電極部分の下に、ゲート絶縁膜を介して位置するように形成されることである。

【0019】

本発明の特徴の一つは、第1のゲート電極をマスクとしたドーピングをすることにより、高濃度不純物領域は、ゲート絶縁膜を介して第1のゲート電極と重ならない半導体膜部分に形成されることである。

【0020】

本発明の特徴の一つは、サイドウォール及び第2のゲート電極をマスクとしたドーピングをすることにより、第2のゲート電極と重ならない第1のゲート電極部分の下に位置する第1の低濃度不純物領域と、ゲート絶縁膜と接するサイドウォール部分の下に位置する第2の低濃度不純物領域とを形成することである。このとき、第1の低濃度不純物領域と第2の低濃度不純物領域それぞれのチャンネル長方向の幅の和は、サイドウォールのチャンネル長方向の幅と等しい。また、第1の低濃度不純物領域のチャンネル長方向の幅は、第2のゲート電極と重ならない第1のゲート電極部分のチャンネル長方向の幅と等しい。

【0021】

本発明の特徴の一つは、第1のゲート電極は、その側面のテーパ角 θ が $80^\circ \leq \theta \leq 90^\circ$ になるように形成されることである。つまり、第1のゲート電極はほぼ垂直なテーパ角を有するように形成される。

【0022】

本発明の特徴の一つは、第1の導電膜はTa_xN膜であることである。本発明の特徴の一つは第2の導電膜はW膜であることである。また、第1乃至前記第3のエッチングはドライエッチング法により行うことである。

【0023】

本発明のハットシェイプ型ゲート電極の形成方法は、図18の第1のゲート電極のテーパ一部を利用した形成方法とは異なる。本発明は、エッチング時のレジスト後退幅を利用して、第1のゲート電極のゲート長を第2のゲート電極のゲート長よりも小さくなるようエッチングし、ハットシェイプ型ゲート電極を形成する。本発明のエッチング時のレジスト後退幅とは、第1のゲート電極をエッチングする第3のエッチングの際のレジスト後退幅のことである。もしくは第2のゲート電極を形成する第2のエッチングの際、レジストが同時にエッチングされる場合もあるため、第2及び第3のエッチング時のレジスト後退幅を合算したレジスト後退幅のことである。

【0024】

10

さらに、上記のような本発明で形成したハットシェイプ型のゲート電極をマスクとして、半導体膜に不純物元素をドーピングすることで、L_{ov}領域またはL_{off}領域を有する各種半導体装置を同一基板上に作製することを特徴とする。

【0025】

また、ハットシェイプ型ゲート電極を形成した後、第2及び第3ゲート電極の側面に共通のサイドウォールを、両ゲート電極の側面を覆うように形成する。サイドウォール及び第3のゲート電極をマスクとして不純物元素をドーピングすることで、L_{ov}領域およびL_{off}領域の両方を有する半導体装置を作製することを特徴とする。

【0026】

本発明の第1のエッチング時に形成されるエッチングされた第2の導電膜側面のテーパ角は、80°～90°であることを特徴とする。

20

【0027】

本発明の特徴の一つは、基板上の半導体膜上にゲート絶縁膜、第1の導電膜、第2の導電膜を順次形成し、第2の導電膜上にレジストを形成し、レジストをマスクとして第2の導電膜に第1のエッチングをすることにより、エッチングされた第2の導電膜を形成し、第1の導電膜に第2のエッチングをすることにより、エッチングされた第1の導電膜を形成し、第3のエッチングをすることにより、レジストを後退させると共に、後退するレジストをマスクとしてエッチングされた第2の導電膜をエッチングし、チャンネル長方向の長さが前記エッチングされた第1の導電膜よりも短い第1のゲート電極を形成し、第1のゲート電極をマスクとして不純物元素をドーピングして、半導体膜にチャンネル形成領域と前記チャンネル形成領域に接する低濃度不純物領域を形成し、エッチングされた第1の導電膜をマスクとして不純物元素をドーピングして、低濃度不純物領域に選択的に高濃度不純物領域を形成し、第1のゲート電極をマスクとしてエッチングされた第1の導電膜をエッチングし、チャンネル長方向の長さが第1のゲート電極と等しい第2のゲート電極を形成することを特徴とする。

30

【0028】

本発明のLDD領域のLDD長は、10～300nm、好ましくは50nm～200nmであることを特徴とする。また、本発明のチャンネル形成領域のチャンネル長は0.1～0.7μmの範囲内であることを特徴とする。

【0029】

40

なお、本明細書において、ハットシェイプ型ゲート電極とは少なくとも2層でなる積層構造のゲート電極である。そして、下層のゲート電極のゲート長（チャンネル長方向の長さ）が上層のゲート電極のゲート長（チャンネル長方向の長さ）よりも長く、また上層のゲート電極の厚さが下層のゲート電極の厚さよりも厚い形状のゲート電極を指す。下層のゲート電極はその断面が末広がりになっていても良いし、矩形であっても良い。

【発明の効果】

【0030】

本発明は、微細なハットシェイプ型ゲート電極を形成でき、このゲート電極をマスクとして不純物元素をドーピングすることで、従来では達成することが困難であったLDD長を持つLDD領域を形成できる。そのため、微細化されてもなお、動作特性が良く、高信頼

50

性の半導体装置を実現でき、各種回路に適した半導体装置を作り分けることができる。また、工程数が少ないプロセスで半導体装置を作り分けできるため、製造コストの低減および歩留まりの向上を図ることができる。

【0031】

さらに、サイズに下限なく所望の大きさのサブミクロンTFTを形成でき、半導体装置自体を非常にコンパクトで且つ軽量にできる。また、各TFTに適したLDD長を設計でき、短チャネル効果を抑えたり耐圧を高くするとともに、所望のオン電流を確保できる半導体装置を得ることができる。

【0032】

また、ハットシェイプ型ゲート電極にサイドウォールを形成し、不純物元素のドーピングをすることで、LoFF領域とLov領域を両方有し、高信頼性で且つ短チャネル効果が抑えられた半導体装置を実現できる。

【0033】

本発明のハットシェイプ型ゲート電極をマスクとして不純物元素をドーピングすることで、10～300nm、好ましくは50～200nmといった非常に短いLDD長を持ったLDD領域を形成することができる。また、チャネル長が0.1～0.7μmといった微細なTFTにおいて、そのTFTサイズに適したLDD領域を有するTFTを形成することができる。

【発明を実施するための最良の形態】

【0034】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。

【0035】

また、以下に示す実施の形態1～6は、実施可能な範囲で自由に組み合わせることが可能である。

【0036】

（実施の形態1）

以下に、実施の形態1による半導体装置の作製方法を図1～図2に示す。本実施の形態の半導体装置に用いられるTFTはLov領域又はLoFF領域であるLDD領域を有する。

【0037】

まず、基板11上に下地絶縁膜12を100～300nm形成する。基板11としてはガラス基板、石英基板、プラスチック基板、セラミックス基板等の絶縁性基板、金属基板、半導体基板等を用いることができる。

【0038】

下地絶縁膜12は、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) (x>y)、窒化酸化珪素(SiN_xO_y) (x>y)等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造を用いることができる。特に、基板からの汚染が懸念される場合には、下地絶縁膜を形成するのが好ましい。

【0039】

また、半導体膜に接する下地絶縁膜12は、膜厚0.01～10nm、好ましくは1～3nmの窒化珪素膜、あるいは窒化酸化珪素膜とすると好ましい。後の結晶化工程で、半導体膜に金属元素を添加して結晶化する方法を用いた場合、金属元素をゲッタリングする必要がある。このときに、下地絶縁膜が酸化珪素膜であると、酸化珪素膜と半導体膜の珪素膜との界面において、珪素膜中の金属元素と酸化珪素膜中の酸素が反応して酸化金属物になり、金属元素がゲッタリングされにくくなる場合がある。よって、半導体膜に接する下地絶縁膜部分は酸化珪素膜ではない層にすることが好ましい。

【0040】

続いて、半導体膜を10～100nm形成する。半導体膜の材料はTFTに求められる特性に応じて選択することができ、シリコン膜、ゲルマニウム膜、シリコンゲルマニウム膜のいずれでも良い。半導体膜としては、非晶質半導体膜または微結晶半導体膜を成膜し、エキシマレーザー等を用いたレーザー結晶化法により結晶化した結晶性半導体膜を用いるのが好ましい。微結晶半導体膜は、 SiH_4 等の珪化物気体をグロー放電分解することにより得ることができる。珪化物気体を水素又はフッ素の希ガス元素とで希釈して用いることにより、微結晶半導体膜の形成を容易なものとするができる。

【0041】

また、結晶化技術としてはハロゲンランプを用いたラピッドサーマルアニール法(RTA法)や、加熱炉を使用して結晶化する技術を適用することも可能である。さらに、非晶質半導体膜にニッケル等の金属元素を添加し、添加された金属を結晶核として固相成長させる方法を用いても良い。

【0042】

次に半導体膜をエッチングにより加工し、島状の半導体膜13を形成する。島状の半導体膜13を覆うように、ゲート絶縁膜14を10～200nm、好ましくは5～50nm形成する。

【0043】

ゲート絶縁膜14としてはCVD法やスパッタ法により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)などのいずれかを適宜組み合わせさせて積層構造としてもよい。本実施形態では、ゲート絶縁膜14は、窒化酸化珪素膜及び酸化窒化珪素膜の積層構造とする。

【0044】

続いて、ゲート絶縁膜14上にゲート電極となる第1の導電膜15及び第2の導電膜16を形成する。まず、第1の導電膜15を5～50nm形成する。第1の導電膜15としては、アルミニウム(Al)膜、銅(Cu)膜、アルミニウム又は銅を主成分とする膜、クロム(Cr)膜、タンタル(Ta)膜、窒化タンタル(TaN)膜、チタン(Ti)膜、タングステン(W)膜、モリブデン(Mo)膜等を用いることができる。その上に第2の導電膜16を150～500nm形成する。第2の導電膜16としては、例えば、クロム(Cr)膜、タンタル(Ta)膜、タンタルを主成分とする膜等を用いることができる。ただし、第1の導電膜15と第2の導電膜16は互いのエッチングにおいて選択比の取れる組み合わせにしなければならない。選択比の取れる第1の導電膜と第2の導電膜の組み合わせとして例えば、AlとTa、AlとTi、 TaN とWを用いることができる。本実施の形態では第1の導電膜15を TaN 、第2の導電膜16をWとする。

【0045】

続いて、第2の導電膜上にフォトリソグラフィ技術を使用して第1のレジスト17を形成する(図1(A))。第1のレジスト17は側面にテーパ角を有する形状で形成しても良い。第1のレジスト17がテーパ角を有することで、次の第1のエッチングにおいてテーパ角 θ を有する第1のゲート電極18を形成することができる。また、第1のレジスト17側面にテーパ角を持たせることで、第1のエッチングにおける反応生成物が第1のレジスト17の側面に付着し、成長するのを抑えることができる。さらに第1のレジスト17を熱処理することで、断面形状が左右対称で、レジストの両側面において同一のテーパ角を有する第1のレジスト17を形成しても良い。

【0046】

続いて、第1のレジスト17をマスクとして第1のエッチングを行う(図1(B))。第1のエッチングでは第2の導電膜16をエッチングし、第2の導電膜16から第1のゲート電極(エッチングされた第2の導電膜)18を形成する。このとき、第1の導電膜15をエッチングしないように、第1の導電膜15に対し選択比の高いエッチング条件でエッチングすることが好ましい。なお、第1のレジスト17もエッチングされ第2のレジスト19になる。但し、図面上では第1のレジスト17から第2のレジスト19への後退幅を図示していない。このとき第1のゲート電極18の側面が有するテーパ角 θ は $80^\circ \leq$

$\theta \leq 90^\circ$ であり、ほぼ垂直なテーパ角を有する。

【0047】

第1のエッチングでは、エッチングガスとして Cl_2 、 SF_6 、 O_2 の混合ガスを用い、混合比は $\text{Cl}_2/\text{SF}_6/\text{O}_2 = 33/33/10$ (sccm) である。0.67 Paの圧力に調整し、 $\text{ICP}/\text{Bias} = 2000\text{W}/50\text{W}$ の電圧になるような電力を印加して、プラズマを生成する。

【0048】

続いて第1のゲート電極18をマスクにして第1の導電膜に第2のエッチングをする(図1(C))。第2のエッチングにより、第1の導電膜から第2のゲート電極(エッチングされた第1の導電膜)20を形成する。このとき、ゲート絶縁膜14をエッチングしないように、ゲート絶縁膜14に対し選択比の高いエッチング条件でエッチングすることが好ましい。第2のエッチングの条件は、 $\text{ICP}/\text{Bias} = 2000\text{W}/50\text{W}$ 、圧力0.67 Pa、エッチングガスは Cl_2 である。なお、第2のレジスト19もエッチングされ後退し、第3のレジスト21になるが、その後退している様子は図示していない。

【0049】

次に、第3のエッチングを行う(図1(D))。第3のエッチング条件は、 $\text{ICP}/\text{Bias} = 2000\text{W}/0\text{W}$ 、圧力1.33 Pa、エッチングガスは Cl_2 、 SF_6 、 O_2 の混合ガスとし、混合比は $\text{Cl}_2/\text{SF}_6/\text{O}_2 = 22/22/30$ (sccm) である。第3のエッチングでは、第3のレジスト21を後退させつつ、後退する第3のレジスト21をマスクとして、第1のゲート電極18のゲート長(チャンネル長方向の長さとも言う)を短くする。そして、第3のゲート電極22を形成する。なお、後退した第3のレジスト21は第4のレジスト23となる。その後、第4のレジスト23を除去する。

【0050】

別の第3のエッチング条件として、 $\text{ICP}/\text{Bias} = 750\text{W}/0\text{W}$ 、圧力0.67 Pa、エッチングガスは Cl_2 、 SF_6 、 O_2 の混合ガスとし、混合比は $\text{Cl}_2/\text{SF}_6/\text{O}_2 = 20/100/30$ (sccm) としても良い。この条件で行うと第1のゲート電極材料であるWとゲート絶縁膜14のエッチング選択比が高くなり、第3のエッチング時においてゲート絶縁膜14がエッチングされるのを抑えることができる。

【0051】

上記第3のエッチングでは、第3のゲート電極22の側面がエッチングされやすかった。第3のゲート電極22側面がエッチングされると、上面や底面のゲート長(チャンネル長方向の長さ)よりも中腹部のゲート長が短くなり、第3のゲート電極断面は中腹部でくびれた形状になる。そうすると、第3のゲート電極22上に成膜する膜のカバレッジが悪くなり、断線が生じやすくなる。また、LDD領域を形成するときのドーピングマスクとして第3のゲート電極が使われるため、LDD長の制御が難しくなる。この第3のゲート電極22側面のエッチングは、レジストのエッチングレートに対して第1のゲート電極のエッチングレートが速いため起こる現象である。そのため、本実施形態では、試料ステージ温度を -10°C 以下の低温にして、第1のゲート電極のエッチングレートを下げることで、第3のゲート電極22側面のエッチングを抑えることができた。

【0052】

以上の工程により、ハットシェイプ型のゲート電極形状を得る。本発明のハットシェイプ型構造は、エッチング時のレジスト後退幅を利用して形成される。具体的には、第3のエッチング時における第3のレジスト21から第4のレジスト23への後退幅が、第3のゲート電極のゲート長と第2のゲート電極のゲート長との差になっている。または第2及び第3のエッチング時におけるレジスト後退幅を合わせたもの、つまり第2のレジスト19から第4のレジスト23への後退幅が、第3のゲート電極のゲート長と第2のゲート電極のゲート長との差になっている。

【0053】

本発明のハットシェイプ型ゲート電極の作製方法では、第2のゲート電極のゲート長と第3のゲート電極のゲート長の差を、10~300 nm、好ましくは50~200 nmにす

10

20

30

40

50

ることができ、非常に微細なゲート電極構造を形成することが可能である。

【0054】

本実施の形態の第1～第3エッチングは、ドライエッチングで行うことができ、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いて行うことができる。

【0055】

次に、島状の半導体膜13に第1のドーピングを行う(図2(A))。第2のゲート電極とゲート絶縁膜を通過させて島状の半導体膜13に低濃度の不純物元素をドーピングし、第2のゲート電極と重なる島状の半導体膜部分に低濃度不純物領域24a、24bを形成する。また、同時にゲート絶縁膜のみを通過させ島状半導体膜の両端部分にも不純物元素をドーピングし、低濃度不純物領域25a、25bを形成する(図2(A))。第1のドーピングによりチャンネル形成領域26も形成される。低濃度不純物領域24a、24b、25a、25bの元素濃度は $1 \times 10^{16} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ (好ましくは $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$) とする。ドーピング法としてはイオンドーピング法、イオン注入法を用いることができる。例えばP型の半導体を作製する際には不純物元素として、ボロン(B)、ガリウム(Ga)等を用い、N型の半導体を作製する際にはリン(P)、砒素(As)等を用いる。

10

【0056】

低濃度不純物領域24a、24bへのドーピングは、ゲート絶縁膜だけでなく第2のゲート電極20も介して行われる。そのため、低濃度不純物領域24a、24bの不純物元素の濃度は低濃度不純物領域25a、25bよりも低い。

20

【0057】

次に、第2のドーピングを行う(図2(B))。第2のドーピングにより、低濃度不純物領域25a、25bに高濃度の不純物元素をドーピングし、24a、24b、25a及び25bでなる低濃度不純物領域に選択的に高濃度不純物領域27a、27bを形成する。高濃度不純物領域27a、27bの不純物元素の濃度が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ になるようにドーピングする。

【0058】

本実施の形態ではLDD領域として、ゲート絶縁膜を介して第2のゲート電極と重なる低濃度不純物領域24a、24bが形成され、GOLD構造となっている。従って、本形態で作製した半導体装置は、オン電流値の劣化を防止し高い信頼性を実現することができる。また、LDD長が $10 \sim 300 \mu\text{m}$ 、好ましくは $50 \mu\text{m} \sim 200 \mu\text{m}$ といったLDD領域を形成できる。したがって、チャンネル形成領域26のチャンネル長が $0.1 \sim 0.7 \mu\text{m}$ といった非常に微細なTFTであっても、そのサイズに適したLDD領域を形成することが可能である。

30

【0059】

図2(B)の状態からLoff領域を形成するには、第2のドーピングをした後に、第3のゲート電極22をマスクとして第2のゲート電極20をエッチングする。このとき、上記第2のエッチング条件でエッチングすると良い。第3のゲート電極22よりもゲート長の長い第2のゲート電極部分がエッチングされ、Lov領域であった低濃度不純物領域24a、24bがLoff領域28a、28bとなる(図2(c))。これにより、オフ電流であるリーク電流を抑え短チャンネル効果を抑制できる半導体装置を得ることができる。

40

【0060】

図15に従来の方法で形成したハットシェイプ型ゲート電極の断面形状のSEM写真を示し、図16に本発明で形成したハットシェイプ型ゲート電極の断面形状のSEM写真を示す。

【0061】

図15(A)は、ドライエッチングによって第1及び第2の導電膜をエッチングした状態であり、テーパー状のレジストと、テーパー状にエッチングされたW膜及びTa₂N膜が写っている。Ta₂N膜は判別しにくいいため、W膜のみ印を付ける。図15(B)には、W膜

50

の異方性エッチングが行われ、レジストが除去されたハットシェイプ型形状が写っている。

【0062】

図16(A)は、第1のエッチングによってW膜をエッチングした状態であり、レジストとW膜が写っている。図16(B)は、第3のエッチングが行われ、レジストが除去されたハットシェイプ型が写っている。

【0063】

写真の右下にある縮尺からも分かるように、図15のTF Tは図16のTF Tよりもサイズが大きい。図15(B)のゲート長は約 $1.9\mu\text{m}$ であるが、図16(B)のゲート長は約 $0.9\mu\text{m}$ であり、図16(B)のTF Tは図15(B)のTF Tの半分以下のゲート長を持つ。

10

【0064】

また、第1の導電膜(TaN)が第2の導電膜(W)よりチャンネル長方向に出ている長さ(以下、Lov長という)は、図15(B)では約 $1\mu\text{m}$ であるのに対し、図16(B)では約 $0.07\mu\text{m}$ と、その差は歴然である。従来法では図15(A)のW膜のテーパ部が長く、その部分が直接Lov長に寄与するため、Lov長が長くなる。一方で、本発明は、図16(A)に示すとおりW膜のテーパ部はほとんどなく、テーパ部を利用せずにレジスト後退幅を用いてLov長を形成しているため、非常に短いLov長を形成できる。

【0065】

20

また、図15(B)のW膜は側面が多少反っており、W膜側面がエッチングされているのが分かる。これに対し図16(B)のW膜の側面は直線であり、W膜の側面がエッチングされていない。これは、本発明において、第3のエッチング時の試料ステージ基板温度を -10°C 以下と低くしたことによるものである。

【0066】

さらに、図28に本発明で形成したハットシェイプ型のゲート電極のSEM写真を示す。図28(A)にはレジストと、第3のゲート電極としてW膜と、第2のゲート電極としてTaN膜が写っている。図28(B)は図28(A)を拡大したものである。W膜でなる第3のゲート電極のゲート長は約 $0.73\mu\text{m}$ 、Lov長は約 $0.07\mu\text{m}$ であった。

【0067】

30

図29はよりゲート長の小さいハットシェイプ型のゲート電極のSEM写真であり、第3のゲート電極としてW膜と、第2のゲート電極としてTaN膜が写っている。W膜でなる第3のゲート電極のゲート長は約 $0.18\mu\text{m}$ であり、非常に微細な構造を形成することができた。一方、Lov長は約 $0.1\mu\text{m}$ であった。

【0068】

本発明において、第1のレジスト17の形状によりLov長の制御をすることができる。第1のレジスト17の側面にテーパ角を持たせると、テーパ角を持たず側面が垂直なレジストと比較してエッチングされやすくなるため、第3のエッチングによるレジストの後退幅が大きくなりLov長を大きくすることができる。逆に、本発明においてLov長を小さくしたいときは、第1のレジスト17の側面のテーパ角を 90° に近づけることが好ましい。

40

【0069】

以上より、本実施形態で作製したTF Tを含む半導体装置は非常にLDD長の短いLDD領域を有することができ、微細化された半導体装置においても、高信頼性で劣化の少ない半導体装置を実現できる。

【0070】

(実施の形態2)

本実施の形態では、Loff領域を持つ半導体装置の作製方法を図3に示す。

【0071】

本実施の形態は、図1(A)～図1(D)まで実施の形態1と同様な工程でハットシェイ

50

プ型ゲート電極を有するTFTを形成し、図3(A)の状態にする。

【0072】

その後、第2及び第3のゲート電極をマスクとして第1のドーピングをし、第2のゲート電極20と重ならない島状の半導体膜の部分に不純物元素をドーピングする(図3(B))。このドーピングにより、低濃度不純物領域31a、31b、チャネル形成領域35を形成する。低濃度不純物領域31a、31bの不純物元素の濃度が $1 \times 10^{16} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 、好ましくは $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ となるようにドーピングする。

【0073】

次に、高濃度不純物領域を形成するための第2のドーピングを行う(図3(C))。高濃度の不純物元素が低濃度不純物領域31a、31bの全てにドーピングされないように、レジスト32を形成する。レジスト32は低濃度不純物領域31a、31bの一部を覆うように形成される。レジスト32をマスクとして、高濃度不純物領域33a、33bにおける濃度が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ になるように不純物元素をドーピングする。この結果、低濃度不純物領域31a、31bに高濃度不純物領域33a、33b、低濃度不純物領域34a、34bが形成される。その後、レジスト32は除去する。

【0074】

以上により、本実施形態で作製したTFTを含む半導体装置は低濃度不純物領域34a、34bをLoFF領域として有することができ、微細化された半導体装置においても、オフ電流であるリーク電流を抑え短チャネル効果を抑制することができる。

【0075】

本実施の形態で作製されるTFTは、図2(C)と同様にLoFF領域であるLDD領域を有する。図2(C)で示すLoFF領域の形成方法は工程数が少なく済むという利点がある一方で、チャネル形成領域のチャネル長が短くなるため短チャネル効果の影響が多少強まる。本実施形態で示すLoFF領域の形成方法は、チャネル形成領域のチャネル長を長くでき、短チャネル効果を抑制する利点がある。一方で、レジスト32を形成する工程が一つ増える。どちらの方法を用いてLoFF領域を形成するかは適宜選択して実施すれば良い。

【0076】

(実施形態3)

本実施形態では、Lov領域とLoFF領域の両方を有する半導体装置の作製方法を図4を使って説明する。本実施の形態は、図1(A)～図2(A)まで実施の形態1と同様な工程でハットシェイプ型ゲート電極及び不純物領域を有するTFTを形成する(図4(A))。

【0077】

次に、公知の成膜方法を用いて、ゲート電極上にシリコン化合物からなる膜41を100nmの膜厚に成膜する(図4(B))。膜41として本形態では酸化珪素膜を用いる。そして、シリコン化合物からなる膜41をエッチバックし、図4(C)に示すサイドウォール42を形成する。第2のゲート電極のゲート長と第3のゲート電極のゲート長との差が非常に小さい場合は、サイドウォール42は第3ゲート電極の側面だけでなく第2ゲート電極の側面も覆うように形成される。

【0078】

次に、図4(D)に示すように第2のドーピングを行う。第2のドーピングはサイドウォール42、第3のゲート電極をマスクとして行われる。これにより、サイドウォール42に覆われていない低濃度不純物領域25a、25bの一部に高濃度不純物領域43a、43bを形成する。同時に、LoFF領域となる低濃度不純物領域44a、44bも形成する。また、低濃度不純物領域24a、24bはLov領域となる。

【0079】

以上の工程により、本実施形態で作製したTFTを含む半導体装置は、LoFF領域及び

10

20

30

40

50

L o v 領域を有する T F T を形成することができる。従って、微細化された半導体装置においても、短チャネル効果を抑制し、且つオン電流値の劣化を防ぐことができる。

【0080】

図17に本形態で説明したサイドウォールが形成された状態のハットシェイプ型ゲート電極のSEM断面写真を示す。図17(A)は斜めから断面を撮ったSEM写真であり、図17(B)は図17(A)の倍率をさらに大きくした写真である。Wからなる第3のゲート電極のゲート長は0.9 μm であり、非常に小さいゲート長となっている。写真からは、TaN膜がサイドウォールとどこで接しているかその境界が判別しにくい、本形態で示したサイドウォール42のように、TaN膜からなる第2のゲート電極の側面を覆うようにサイドウォールが形成されることは確認できた。また、W膜側面の一部であるW膜側面10の上部がサイドウォールで覆われていないのが確認できる。

【0081】

(実施の形態4)

本実施の形態では、実施形態1～3で説明した様々な構成のTFTを用いて表示装置を作製する方法について図5～8を用いて説明する。本実施の形態で説明する表示装置の作製方法は画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法である。なお、本実施の形態は実施可能な範囲で自由に実施の形態1～3と組み合わせることができる。

【0082】

まず、図5(A)に示すように、下地絶縁膜502を表面に設けた基板501を用意する。基板及び下地絶縁膜としては実施の形態1で述べた基板、下地絶縁膜を用いることができる。本実施の形態ではガラス基板上に下地絶縁膜として50nm厚の酸化珪素膜と100nm厚の窒化酸化珪素膜とを積層して用いる。勿論、下地絶縁膜を設けずに基板上に直接素子を形成しても良い。

【0083】

次に、下地絶縁膜502の上に66nmの厚さのアモルファスシリコン膜を公知の成膜法で形成する。なお、本発明はアモルファスシリコン膜に限定する必要はなく、実施の形態1で示したような非晶質半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0084】

次にアモルファスシリコン膜をレーザ結晶化法により結晶化させる。もちろんレーザ結晶化法だけでなく、RTAやファーネスアニール炉を用いた熱結晶化法や、結晶化を助長する金属元素を用いた熱結晶化などと組み合わせて行っても良い。

【0085】

上述したレーザ結晶化によって非晶質半導体膜を結晶化し、結晶性半導体膜にする。次に、結晶性半導体膜を所望の形状に加工して、島状の半導体膜503a～503eを形成する。なお、TFTのしきい値電圧を制御するため必要であれば、島状の半導体膜503a～503eにチャネルドーピングを行っても良い。

【0086】

次に、島状の半導体膜503a～503eを覆うゲート絶縁膜507を形成する。ゲート絶縁膜507はプラズマCVD法またはスパッタ法を用い、厚さを5～100nmとして珪素を含む絶縁膜で形成する。本実施の形態では、プラズマCVD法により、島状の半導体膜に接して酸化窒化珪素膜を形成し、さらにその上に窒化珪素膜を積層した。勿論、ゲート絶縁膜は本形態の積層に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0087】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400

10

20

30

40

50

～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0088】

続いて、ゲート絶縁膜507上にゲート電極となる第1の導電膜508及び第2の導電膜509を形成する。まず、第1の導電膜508を5～50nmの厚さで、第2の導電膜509を150～500nmの厚さで形成する。第1の導電膜508及び第2の導電膜509としては実施の形態1で述べた材料を用いることができ、本実施の形態では、第1の導電膜と第2の導電膜の組み合わせとしてTa₂N₅とWを用いる。

【0089】

第2の導電膜上にレジスト510a～510eを公知の方法を用いて作製することができる(図5(A))。

10

【0090】

続いて、第1のエッチングを行う(図5(B))。第1のエッチングでは、レジスト510a～510eをマスクとして第2の導電膜509にエッチングを行い、第1のゲート電極511a～511eを形成する。第1のゲート電極511a～511e側面のテーパ角 θ は $80^{\circ} \leq \theta \leq 90^{\circ}$ となるようにエッチングされ、ほぼ垂直な側面を有する。このとき、レジスト510a～510eもエッチングされレジスト512a～512eとなる。

【0091】

続いて、図5(C)に示すように第2のエッチングを行う。第1のゲート電極511a～511eをマスクとして第1の導電膜508にエッチングを行い、第2のゲート電極513a～513eを形成する。なお、このときレジスト512a～512eも多少エッチングされる。

20

【0092】

次に、第3のエッチングを行う。第3のエッチングにより、レジスト512a～512eを後退させ、後退するレジスト512a～512eをマスクとして第1のゲート電極511a～511eのゲート長を後退させる。これにより、図6(A)に示すように、ゲート長が第2のゲート電極のゲート長よりも短い第3のゲート電極514a～514eが形成される。レジスト512a～512eも後退してレジスト515a～515eになる。以上の第1～第3のエッチングにより、ゲート電極がハットシェイプ構造となる。

【0093】

本実施の形態の第1から第3のエッチングは、ドライエッチング法により行うことができ、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いて行うことができる。

30

【0094】

次に、第1のドーピングを行う。第1のドーピングは、レジスト515a～515e、第3のゲート電極514a～514eをマスクとして自己整合的に行い、低濃度のn型不純物元素(本実施の形態ではリン)を添加する。ゲート絶縁膜を介して第2ゲート電極と重なる低濃度不純物領域601a～601e、および第2ゲート電極と重ならない低濃度不純物領域602a～602eには $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$)の濃度でリンが添加されるようにすることが好ましい。但し、低濃度不純物領域601a～601eは第2のゲート電極を介してドーピングされる分、低濃度不純物領域602a～602eよりは含まれる不純物元素の濃度は低い。

40

【0095】

次に、図6(B)に示すように第2のドーピングを行う。その前に、低濃度不純物領域601c及び602cに高濃度の不純物元素がドーピングされないようにレジスト604を形成する。第2のドーピングは、レジスト604、レジスト515a、515b、515d、515e、第3のゲート電極514a、514b、514d、514e、第2のゲート電極513a、513b、513d、513eをマスクとして自己整合的に行い、低濃度不純物領域に選択的に高濃度のn型不純物元素(本実施の形態ではリン)を添加する。

50

こうして形成される高濃度不純物領域 603a~603d には $1 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ (典型的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$) の濃度でリンが添加されることが好ましい。

【0096】

次に、レジスト 604、レジスト 515a~515e を除去し、図 6 (C) に示すようにレジスト 606 を形成する。そして、実施の形態 1 の図 2 (C) で示したような第 4 のエッチングを行う。第 2 のゲート電極 513a、513d、513e の一部がエッチングされ、第 2 のゲート電極 605a、605b、605c を得る。その後、レジスト 606 を除去する。

【0097】

なお、レジスト 515a~515e を除去せずにレジスト 606 を形成し、第 4 のエッチングを行う場合には、エッチングガスとして Cl_2 を用い、排気系によりチャンバー内の圧力は 0.67 Pa とし、 $\text{ICP/Bias} = 2000 \text{ W} / 50 \text{ W}$ で行う。

【0098】

続いてレジスト 701 を形成し、第 3 のドーピングを行う (図 7 (A))。第 3 のドーピングでは n 型不純物領域となっていた高濃度不純物領域 603a、603d、低濃度不純物領域 601a、601e に対して、ジボラン (B_2H_6) を用いたイオンドーピング法により p 型不純物元素 (本実施の形態ではボロン) を $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$) の濃度で添加し、高濃度にボロンを含む不純物領域 702、703 を形成する。こうして不純物領域 702、703 は p チャネル型 TFT のソース領域およびドレイン領域として機能する。

【0099】

次に、図 7 (B) に示すように、レジスト 701 を除去する。その後第 2 のゲート電極 605a~605c、513b、513c および第 3 のゲート電極 514a~514e の両サイドにサイドウォール 704a~704e を形成する。サイドウォール 704a~704e は実施の形態 3 で示したようにシリコン化合物からなる膜を形成し、エッチバックを行って形成する。

【0100】

次にレジスト 705 を形成し、続いて第 4 のドーピングを行う。第 4 のドーピングはレジスト 705、サイドウォール 704c、第 3 のゲート電極 514c をマスクとして、n 型の低濃度不純物領域 602c の一部に不純物元素を添加する。不純物元素としてはリン (PH_3) を用い、イオンドーピング法により高濃度の n 型不純物元素 (本実施の形態ではリン) を $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$) の濃度で添加し、高濃度にリンを含む不純物領域 706 を形成する。同時に Loff 領域となる低濃度不純物領域 707 を形成する。低濃度不純物領域 601c は Lov 領域となる。

【0101】

その後、それぞれの濃度で添加された n 型または p 型不純物元素を活性化する。活性化処理としてレーザーアニール法にて行う。レーザーアニール法を用いる場合、結晶化の際に用いたレーザーを使用することが可能である。

【0102】

次に、図 8 (A) に示すように、保護膜として、50~500 nm (代表的には 200~300 nm) の厚さでパッシベーション膜 801 を形成する。これは酸化珪素膜、窒化珪素膜、窒化酸化珪素膜又はこれらの積層で代用しても良い。パッシベーション膜 801 を設けることにより、酸素や空気中の水分をはじめ、各種イオン性の不純物の侵入を阻止するブロッキング作用を得ることができる。

【0103】

次にパッシベーション膜 801 上に膜厚 1.6 μm の層間絶縁膜 802 を形成する。層間絶縁膜 802 は、SOG (Spin On Glass) 法またはスピンコート法によって塗布されたポリイミド、ポリアミド、BCB (ベンゾシクロブテン)、アクリル、シロ

10

20

30

40

50

キサン（シリコン（Si）と酸素（O）との結合で骨格構造が構成され、置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる物質。置換基としてフルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。）などの有機樹脂膜、無機層間絶縁膜（窒化珪素、酸化珪素などの珪素を含む絶縁膜）、low-k（低誘電率）材料などでなる膜を用いることができる。層間絶縁膜802は、ガラス基板上に形成されたTFEによる凹凸を緩和し、平坦化する意味合いが強いため、平坦性に優れた膜が好ましい。その後さらに層間絶縁膜上にパッシベーション膜を形成しても良い。

【0104】

次に、図8（B）に示すように、ゲート絶縁膜507、パッシベーション膜801及び層間絶縁膜802に対してコンタクトホールを形成し、ソース及びドレイン配線803a～803iを形成する。なお、本実施の形態ではソース及びドレイン配線を、チタン膜、第1アルミニウム膜、炭素と金属元素を含む第2アルミニウム膜の3層構造、もしくはモリブデン膜、第1アルミニウム膜、炭素と金属元素を含む第2アルミニウム膜の3層構造とする。第1のアルミニウム膜は他の金属元素が混合されたアルミニウム膜でも良い。第2のアルミニウム膜が含む金属元素としては、チタン、モリブデン、ニッケルがある。なお、ソース及びドレイン配線に上記以外の金属を用いてもよいことは勿論である。

【0105】

続いてドレイン配線803hに接するように画素電極804を形成する。画素電極804は透明導電膜をエッチングして形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズ、又は酸化インジウムを用いることができる。

【0106】

画素電極804を透明導電膜とするとドレイン配線803hがアルミニウム膜からなる場合、その界面においてアルミニウムの酸化物が形成される。アルミニウムの酸化物は抵抗が高いため、画素電極804とドレイン配線803hとの間で大きな抵抗が生じてしまう。しかし、本形態では画素電極804に接するドレイン配線803hの層は第2アルミニウム膜であるためアルミニウムの酸化物は形成されない。なぜなら、第2アルミニウム膜に含まれる金属元素が酸化物の形成を抑えるからである。これにより、ドレイン配線803hと画素電極804界面における抵抗を低く保つことができる。

【0107】

画素電極を形成後、樹脂材料でなる隔壁805を形成する。隔壁805は1～2μm厚のアクリル膜又はポリイミド膜をエッチングして画素電極804の一部を露出させるように形成する。なお、隔壁805の下層に遮蔽膜（図示しない）となる黒色からなる膜を適宜形成してもよい。

【0108】

次に、EL（Electro Luminescence）層806及び電極（MgAg電極）807を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層806の膜厚は100nm～1μm、電極807の厚さは180～300nm（典型的には200～250nm）とすれば良い。EL層は他に、インクジェット、スクリーン印刷法などによって成膜されても良い。

【0109】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層及び陰極を形成するのが好ましい。各色の少なくとも1つの発色はトリプレット化合物で行う。シングレット化合物に比べるとトリプレット化合物は輝度が明るいため、暗く見える赤色に対応する画素をトリプレット化合物で形成し、その他の画素をシングレット化合物で形成すると良い。

【0110】

即ち、まず赤色に対応する画素以外を全て隠すマスクを蒸着装置にセットし、真空蒸着法によりそのマスクを用いて赤色発光のE L層及び電極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクを蒸着装置にセットし、真空蒸着法によりそのマスクを用いて緑色発光のE L層及び電極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクを蒸着装置にセットし、真空蒸着法によりそのマスクを用いて青色発光のE L層及び電極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にE L層及び電極を形成するまで真空を破らずに処理することが好ましい。

【0111】

なお、E L層806としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をE L層とすれば良い。モリブデン酸化物及び α -NPDを混合した膜(OMOx)をE L層としても良い。有機材料と無機材料とを組み合わせたハイブリット層をE L層としても良い。有機材料をE L層に用いる場合は、低分子材料、中分子材料、高分子材料のそれぞれを使うことができる。また、本実施の形態ではE L素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料であっても良い。

【0112】

電極807まで形成された時点で発光素子808が完成する。その後、発光素子808を完全に覆うようにして保護膜809を設ける。保護膜809としては、炭素膜、窒化珪素膜、もしくは窒化酸化珪素膜を含む絶縁膜を用いることができ、これらの絶縁膜を単層又は積層させて用いることができる。

【0113】

さらに保護膜809を覆って封止材810を設け、カバー材811を貼り合わせる。封止材810としては紫外線硬化樹脂であり、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を用いることが好ましい。また、本実施の形態においてカバー材811にはガラス基板、石英基板やプラスチック基板を用いることができる。図示はしないが、封止材810とカバー材811との間に偏光板を設けても良い。偏光板を設けることでコントラストの高い表示を提供できる。

【0114】

こうして図8(C)に示すようなpチャネル型TF T812、nチャネル型TF T813、サンプリング回路用TF T814、スイッチング用TF T815及び電流制御用TF T816を有する構造のアクティブマトリクス型EL表示装置が完成する。本形態では、LDD領域を有さないpチャネル型TF T812、電流制御用TF T816、Lov領域を有するnチャネル型TF T813、Loff領域を有するスイッチング用TF T815、Loff領域とLov領域の両方を有するサンプリング回路用TF T814を同一基板上に同時に形成できる。なお、pチャネル型TF Tである812、816は、ホットキャリアの影響が少なく、短チャネル効果が少ないため、本形態ではLDD領域を設けなかった。しかし、その他のnチャネル型TF Tのようにゲート電極やサイドウォールをマスクとしてp型の不純物元素をドーピングすることで、適宜pチャネル型TF TにLDD領域を設けることができる。その方法として、本形態のnチャネル型TF Tを形成する方法を参考にし、ドーピング元素をp型の不純物元素にすれば、各構造のpチャネル型TF Tを形成できる。

【0115】

また、本形態のLoff領域は実施の形態1の図2(D)で示した方法により形成したが、実施の形態2の方法でLoff領域を設けても構わない。

【0116】

本形態では、画素電極を透明導電膜とし、もう一方の電極をMgAg電極として、下方射出のEL表示装置について説明した。しかし本発明はこの構造に限定されず、画素電極を遮光性のある材料で形成し、もう一方の電極を透明導電膜で形成し、上方射出のEL表示装置としても良い。また両方の電極を透明導電膜で形成し上下射出のEL表示装置として

も良い。

【0117】

図9に表示装置の模式図を示す。基板1100上にゲート信号線駆動回路1101、ソース信号線駆動回路1102、複数の画素1103を有する画素部1104が形成されている。ゲート信号線駆動回路1101及びソース信号線駆動回路1102はFPC（フレキシブルプリントサーキット）1105と接続されている。図8（C）のpチャンネル型TFT812、nチャンネル型TFT813はソース信号線駆動回路や、ゲート信号線駆動回路に用いることができる。

【0118】

ソース信号線駆動回路1102はシフトレジスタ回路、レベルシフト回路、サンプリング回路を有している。クロック信号（CLK）、スタートパルス信号（SP）がシフトレジスタ回路に入力され、シフトレジスタ回路からビデオ信号をサンプリングするためのサンプリング信号が出力される。そしてシフトレジスタから出力されたサンプリング信号はレベルシフト回路に入力され、信号の電位の振幅を大きくする。そして電位幅が増大されたサンプリング信号はサンプリング回路に入力される。サンプリング回路は外部から入力されるビデオ信号をサンプリング信号によってサンプリングし画素部に入力する。

【0119】

これらの駆動回路は高速動作が要求されるため、GOLD構造を有するTFTを用いるのが好ましい。なぜなら、Lov領域はドレイン近傍で発生する高電界を緩和する作用があり、ホットキャリアによる劣化を防ぐことができるからである。また、サンプリング回路についてはホットキャリア対策と低オフ電流対策が求められることからLovおよびLoff領域を有する構造とすることが好ましい。一方、画素のスイッチング用TFTや、電流制御用TFTのゲート電圧を保持する保持用TFTはオフ電流を低減させることができるLoff領域を有する構造のTFTを用いることが好ましい。

【0120】

以上の点から本実施の形態を鑑みると、駆動回路部のnチャンネル型TFTはLov領域を有し、サンプリング回路用のTFTはLoff領域及びLov領域を有し、画素部のスイッチング用TFTはLoff領域を有する。従って、本形態で作製された半導体装置は、高速動作可能でリーク電流の少ない表示装置となる。また、本形態の半導体装置はコンパクト化が可能なため、小さく持ち運びしやすい表示装置を実現できる。

【0121】

もちろんこのような構造の表示装置に限らず様々な表示装置の作製においても本発明は適用することができる。

【0122】

（実施形態5）

本実施の形態では、実施形態1～3で説明した様々な構成を持つTFTを高温ポリシリコンで形成し、さらに液晶表示パネルを作製する方法について図19、図20を用いて説明する。本形態の液晶表示パネルは同一基板上に周辺駆動回路と画素部を有する構成となっている。なお、本実施の形態は実施可能な範囲で自由に実施の形態1～4と組み合わせることができる。

【0123】

図19（A）に示すように、石英基板1801を用意する。後のプロセスにおいて基板が歪まないように、石英基板を900～1200℃の高温でアニール処理しても良い。

【0124】

次に、石英基板1801上に遮光膜1802を形成する。遮光膜は、スパッタにより膜厚100～400nmの金属膜を成膜し、エッチングすることにより形成される。金属膜としては、タングステン（W）膜または珪化タングステン（WSi）膜が上げられる。

【0125】

遮光膜1802を覆うように第1層間絶縁膜1803を形成する。第1層間絶縁膜1803は、常圧CVD法または減圧CVD法によりTEOS（テトラエチルオルソシリケート

10

20

30

40

50

）ガスを用いて酸化珪素膜を形成することにより形成される。

【0126】

第1層間絶縁膜を形成後、石英基板1801を1150℃の温度の炉内で60分間の熱処理を施すと、遮光膜がタングステン膜であった場合、珪化タングステン膜にすることができる。

【0127】

次に、第1層間絶縁膜1803上に非晶質半導体膜を形成する。本形態では非晶質半導体膜としてアモルファスシリコン膜を、減圧CVD法により約450～550℃で形成する。その後、窒素雰囲気中で、アモルファスシリコン膜を600～700℃で1～10時間アニール処理をすることにより、結晶化する。結晶化することにより得られたポリシリコン膜は50～200nmの膜厚を有する。そしてフォトリソグラフィ工程により、ポリシリコンからなる島状の半導体膜1804a～1804cを形成する。なお、半導体膜に不純物元素をドーピングし、低抵抗化させても良い。

10

【0128】

次に、島状の半導体膜1804a～1804cを900～1200℃、好ましくは1000～1150℃で熱酸化することにより、膜厚30nmの熱酸化シリコン膜1805a～1805cを形成した。さらに、熱酸化シリコン膜を覆うように、減圧CVD法等により膜厚50nmの窒化シリコン膜1806を形成する。熱酸化シリコン膜1805a～1805c及び窒化シリコン膜1806により、ゲート絶縁膜が構成される。

20

【0129】

その後、図19（B）のように、実施の形態1及び実施の形態4で示した方法により、窒化シリコン膜1806上にハットシェイプ型ゲート電極を形成する。ハットシェイプ型ゲート電極は第2のゲート電極1807a～1807d、第3のゲート電極1808a～1808dにより構成される。

【0130】

次に、図19（C）に示すように、実施の形態4と同様に第1乃至第3のドーピングを行い、p型の高濃度不純物領域1809、n型の高濃度不純物領域1810a、1810b、n型の低濃度不純物領域1811a、1811bを形成する。

【0131】

その後、図19（D）のようにレジスト1812を周辺駆動回路を覆うように形成する。そしてレジスト1812、第3のゲート電極1808c、1808dをマスクとして、第2のゲート電極1807c、1807dをエッチングし、第3のゲート電極とゲート長が等しい第2のゲート電極1813a、1813bを形成する。

30

【0132】

そして、図20（A）のように、第3のゲート電極上に、実施の形態4と同様にパッシベーション膜1901、第2層間絶縁膜1902を形成する。

【0133】

次に、熱酸化シリコン膜1805a～1805c、窒化シリコン膜1806、パッシベーション膜1901、第2層間絶縁膜1902に対してコンタクトホールを形成し、ソース及びドレイン配線1903a～1903eを形成する（図20（B））。このとき、ソースまたはドレイン配線1903dを遮光性を有する材料で形成し、第3のゲート電極1808c上に重なるようにすると、島状の半導体膜1804cへの光の入射を遮光できる。

40

【0134】

次に、図20（C）に示すように、ソース及びドレイン配線1903a～1903e上に第3の層間絶縁膜1904を形成する。その後、ソースまたはドレイン配線1903eを露出するように、第3の層間絶縁膜にコンタクトホールを形成し、画素電極1905を形成する。

【0135】

以上により、石英基板1801上には、周辺駆動回路を構成するpチャネル型TFT1920、nチャネル型TFT1921が形成される。画素部には、nチャネル型の画素TFT

50

T 1 9 2 2 及び蓄積容量 1 9 2 3 が形成される。

【0 1 3 6】

その後、画素電極 1 9 0 5 上に配向膜 1 9 0 6 が形成される。そして、カラーフィルタ 1 9 0 7、対向電極 1 9 0 8 及び配向膜 1 9 0 9 が形成された基板 1 9 1 0 を準備し、石英基板 1 8 0 1 と基板 1 9 1 0 とをシール材（図示せず）により貼り合わせる。その後、液晶 1 9 1 1 を注入すると、周辺駆動回路を具備した液晶表示パネルが完成する。

【0 1 3 7】

本形態の液晶表示パネルは、周辺駆動回路には L o v 領域を有する G O L D 構造の n チャネル型 T F T 1 9 2 1 を設け、画素部には L o f f 領域を有する n チャネル型の画素 T F T 1 9 2 2 を設けることができる。これにより、オン電流の劣化が少なく動作速度の速い周辺駆動回路と、リーク電流の少ない画素部とを有する液晶表示パネルを作製することができる。また、サブミクロン T F T で形成された液晶表示パネルを提供でき、非常にコンパクトで軽量の表示装置を実現できる。

10

【0 1 3 8】

本形態では p チャネル型 T F T に L D D 領域を形成しなかったが、n チャネル型 T F T に L D D 領域を形成した方法と同様に、P チャネル型 T F T にも L D D 領域を形成して良い。さらに、周辺駆動回路に実施の形態 3 で示したような、L o v 領域と L o f f 領域の両方を有する T F T を形成しても良い。そのときは、実施の形態 4 と同じような方法により形成することができる。また、本形態では、n チャネル型の画素 T F T 1 9 2 2 の L o f f 領域を、実施の形態 1 で示した方法で形成したが、実施の形態 2 で示した方法で形成しても良い。

20

【0 1 3 9】

また、本形態では周辺駆動回路一体型の液晶表示パネルの例を示したが、周辺駆動回路だけでなく、C P U も同時に形成することもできる。その場合、より集積化された液晶表示パネルを形成することができ、コンパクト化された表示装置を提供できる。

【0 1 4 0】

（実施の形態 6）

本実施の形態は、実施の形態 5 の液晶表示パネルを用いる液晶表示装置の例を示す。図 2 1 （A）は液晶表示装置を前面から見た外観図であり、図 2 1 （B）は液晶表示装置を側面から見た断面図であり、内部構造を示している。図 2 1 （A）及び（B）に示す背面投影型表示装置 2 0 0 1 は、プロジェクタユニット 2 0 0 2、ミラー 2 0 0 3、スクリーン 2 0 0 4 を備えている。その他にスピーカー 2 0 0 5、操作スイッチ類 2 0 0 6 を備えている場合もある。このプロジェクタユニット 2 0 0 2 は、背面投影型表示装置 2 0 0 1 の筐体 2 0 0 7 の下部に配設され、映像信号に基づいて映像を映し出す投射光をミラー 2 0 0 3 に向けて投射する。背面投影型表示装置 2 0 0 1 はスクリーン 2 0 0 4 の背面から投影される映像を表示する構成となっている。

30

【0 1 4 1】

一方、図 2 2 は、前面投影型表示装置 2 1 0 1 を示している。前面投影型表示装置 2 1 0 1 は、プロジェクタユニット 2 1 0 2 と投射光学系 2 1 0 3 を備えている。この投射光学系 2 1 0 3 は前面に配設するスクリーン等に映像を投影する構成となっている。

40

【0 1 4 2】

図 2 1 に示す背面投影型表示装置 2 0 0 1、図 2 2 に示す前面投影型表示装置 2 1 0 1 に適用されるプロジェクタユニットの構成を以下に説明する。

【0 1 4 3】

図 2 3 は、プロジェクタユニット 2 2 0 1 の一構成例を示している。このプロジェクタユニット 2 2 0 1 は、光源ユニット 2 2 0 2 及び変調ユニット 2 2 0 3 を備えている。光源ユニット 2 2 0 2 は、レンズ類を含んで構成される光源光学系 2 2 0 4 と、光源ランプ 2 2 0 5 を備えている。光源ランプ 2 2 0 5 は迷光が拡散しないように筐体内に収納されている。光源ランプ 2 2 0 5 としては、大光量の光を放射可能な、例えば、高圧水銀ランプやキセノンランプなどが用いられる。光源光学系 2 2 0 4 は、光学レンズ、偏光機能を有

50

するフィルム、位相差を調節するためのフィルム、I Rフィルム等を適宜設けて構成される。そして、光源ユニット2202は放射光が変調ユニット2203に入射するように配設されている。変調ユニット2203は、実施の形態5で示した複数の液晶パネル2206、位相差板2207、ダイクロイックミラー2208、ミラー2209、プリズム2210、投射光学系2211を備えている。光源ユニット2202から放射された光は、ダイクロイックミラー2208で複数の光路に分離される。

【0144】

各光路には、所定の波長若しくは波長帯の光を透過するカラーフィルター2212と、液晶パネル2206が備えられている。透過型である液晶パネル2206は映像信号に基づいて透過光を変調する。液晶パネル2206を透過した各色の光は、プリズム2210に入射し投射光学系2211を通して、スクリーン上に映像を表示する。フレネルレンズは、図21のミラー2003とスクリーン2004の間に配設されている。そして、プロジェクタユニット2201によって投射され、図21(B)のミラー2003で反射される投影光は、このフレネルレンズによって概略平行光に変換され、スクリーンに投影される。

10

【0145】

図24で示すプロジェクタユニット2301は、反射型の実施の形態5で示す液晶パネルを備えた構成を示している。反射型液晶パネル2302は、実施の形態5の液晶パネルにおいて、画素電極をアルミニウム(Al)、Ti(チタン)、あるいはこれらの合金で形成した構成となっている。

20

【0146】

このプロジェクタユニット2301は、光源ユニット2303と変調ユニット2304を備えている。光源ユニット2303は、図22と同様の構成である。光源ユニット2303からの光は、ダイクロイックミラー2304a、2304b、全反射ミラー2305により、複数の光路に分けられて、偏光ビームスプリッタに入射する。偏光ビームスプリッタ2306a~2306cは、各色に対応する反射型液晶パネル2302に対応して設けられている。反射型液晶パネル2302は映像信号に基づいて透過光を変調する。反射型液晶パネル2302で反射して各色の光は、プリズム2307に入射し投射光学系2308を通して投射される。

【0147】

光源ユニット2303から放射された光は、ダイクロイックミラー2304aで赤の波長領域の光のみを透過し、緑および青の波長領域の光を反射する。さらに、ダイクロイックミラー2304bでは、緑の波長領域の光のみが反射される。ダイクロイックミラー2304aを透過した赤の波長領域の光は、全反射ミラー2305で反射され、偏光ビームスプリッタ2306aへ入射する、また、緑の波長領域の光は偏光ビームスプリッタ2306bへ入射し、青の波長領域の光は偏光ビームスプリッタ2306cに入射する。偏光ビームスプリッタは、入射光をP偏光とS偏光とに分離する機能を有し、且つP偏光のみを透過させる機能を有している。反射型液晶パネル2302は、映像信号に基づいて、入射した光を偏光する。

30

【0148】

各色に対応する反射型液晶パネル2302には各色に対応するS偏光のみが入射する。反射型液晶パネル2302は、電界制御複屈折モード(ECB)で動作する。また、液晶分子は基板に対してある角度をもって垂直配向している。よって、各反射型液晶パネル2302は画素がオフ状態にある時は入射光の偏光状態を変化させないで入射光を反射させるように液晶分子が配向している。また、画素がオン状態にある時は液晶分子の配向状態が変化し、入射光の偏光状態が変化する。

40

【0149】

図24に示すプロジェクタユニット2301は、図21に示す背面投影型表示装置2001及び図22に示す前面投影型表示装置2101に適用することができる。

【0150】

50

図25で示すプロジェクタユニットは単板式の構成を示している。図25(A)に示したプロジェクタユニットは、光源ユニット2401、液晶パネル2402、投射光学系2403、位相差板2404を備えている。投射光学系2403は一つ又は複数のレンズにより構成されている。液晶パネル2402にはカラーフィルターが備えられている。

【0151】

図25(B)は、フィールドシーケンシャル方式で動作するプロジェクタユニットの構成を示している。フィールドシーケンシャル方式は、赤、緑、青などの各色の光を時間的にずらせて順次液晶パネルに入射させて、カラーフィルター無しでカラー表示を行う方式である。特に、高速応答性の液晶パネルと組み合わせると高精細な映像を表示することができる。図25(B)では、光源ユニット2401と液晶パネル2402の間に、赤、緑、青などの複数のカラーフィルターが備えられた回動式のカラーフィルター板を備えている。

10

【0152】

図25(C)で示すプロジェクタユニットは、カラー表示の方式として、マクロレンズを使った色分離方式の構成を示している。この方式は、マイクロレンズアレイ2405を液晶パネル2402の光入射側に備え、各色の光をそれぞれの方向から照明することでカラー表示を実現する方式である。この方式を採用するプロジェクタユニットは、カラーフィルターによる光の損失が少ないので、光源ユニット2401からの光を有効に利用することができるという特徴を有している。プロジェクタユニットには、液晶パネル2402に対して各色の光をそれぞれの方向から照明するように、B用ダイクロイックミラー2406a、G用ダイクロイックミラー2406b、R用ダイクロイックミラー2406cを備えている。

20

【0153】

以上、実施の形態5の液晶表示パネルを液晶パネルとして有する液晶表示装置の様々な構成を示した。本発明の液晶表示装置は非常にコンパクトな液晶パネルを内蔵できるため、装置全体としても小さく軽量の液晶表示装置を実現できる。また、液晶表示装置は様々な回路に適した構成を持つ液晶パネルを有するため、信頼性が高く、表示劣化の少ない液晶表示装置を実現できる。

【0154】

(実施形態7)

本実施の形態では、LoV領域、LoF領域を有するTFTを具備するIDチップを作製する方法を、図10～図13を用いて説明する。なお、ここでIDチップとは半導体集積回路又は薄膜集積回路に加えてアンテナを有し、無線等でデータの読み出しを行う半導体装置をいう。IDチップはデータを格納し、読み出す機能を有する、所謂電子タグとしての機能を有する。本形態は、実施可能な範囲で実施の形態1～4と自由に組み合わせることが可能である。

30

【0155】

まず、ガラス基板91上に剥離層92を形成する。剥離層としては、非晶質シリコン、多結晶シリコン等のシリコンを主成分とする層を用いることができる。続いて下地膜93を形成する。下地膜93としては酸化珪素(SiO_x)、窒化珪素(SiN_x)、または酸化窒化珪素(SiO_xN_y)を用いることができる。下地膜93上に島状の半導体膜94a～94cを形成する。島状の半導体膜94a～94cは半導体膜をCVD法又はスパッタ法などによって成膜した後、エッチングして形成する。その後レーザ光を島状の半導体膜に照射して結晶化を行う。続いて島状の半導体膜94a～94cを覆うようにゲート絶縁膜95を形成する。続いて第1のゲート電極となる第1の導電膜96、第2のゲート電極となる第2の導電膜97を形成する。第1の導電膜と第2の導電膜は実施形態1であげた材料を用いることができ、選択比のとれる組み合わせにする。第1の導電膜/第2の導電膜としてTa₂N₂Wを用いる。そして島状の半導体膜94a～94cの上部であって第2の導電膜97上にレジスト98a～98dを形成する(図10(A)参照)。

40

【0156】

50

続いて、第1、第2のエッチングを行う（図10（B））。第1のエッチングではレジスト98a～98dをマスクとして第2の導電膜97をエッチングし、第1のゲート電極99a～99dを形成する。このときレジスト98a～98dもエッチングされる。次に、第2のエッチングでは、第1のゲート電極99a～99dをマスクとして第1の導電膜96をエッチングし、第2のゲート電極100a～100dを形成する。第2のエッチングでもレジスト98a～98dは多少エッチングされる。

【0157】

次に、第3のエッチングを行う（図10（C））。第3のエッチングでは、第1のゲート電極99a～99dのエッチングを行う。このとき、レジスト98a～98dも同時にエッチングされ後退し、後退しているレジスト98a～98dをマスクとしながら、第1のゲート電極99a～99dもエッチングされ後退していく。その結果、第2のゲート電極100a～100dのゲート長よりも短いゲート長を持つ第3のゲート電極101a～101dが形成される。レジスト98a～98dは後退し、レジスト104a～104dとなる。

【0158】

次に、第1のドーピングを行う（図10（C））。n型不純物元素（本実施の形態ではリン）を添加してリンを含む不純物領域102a～102d、103a～103gを形成する。このとき不純物領域102a～102d、103a～103gの不純物元素の濃度は $1 \times 10^{16} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （好ましくは $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ）とする。不純物領域102a～102dへのドーピングは第2のゲート電極を介して行われるため、不純物領域103a～103g中の不純物元素濃度よりも低い濃度でドーピングされる。その後レジスト104a～104dを除去する。レジスト104a～104dの除去は、次の工程の第2のドーピング後に行っても構わないし、前の工程の第3のエッチング後に行っても構わない。

【0159】

続いて、島状の半導体膜94a、94bに第2のドーピングを行う（図10（D））。島状の半導体膜94cには第2のドーピングが行われぬよう、第3のゲート電極101d上にレジスト107を形成しておく。第2のドーピングでは、不純物領域103a～103eのみに不純物元素がドーピングされる。フォスフィン（ PH_3 ）を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ）となるように調節する。このドーピングにより、ソース、ドレイン領域となる高濃度の不純物領域105a～105eが形成される。なお、第1のドーピングにより不純物領域105a～105eにはある程度の不純物元素が既にドーピングされているが、第2のドーピングのドーズ量は第1のドーピングのドーズ量に比べ非常に多いため、不純物領域105a～105eはソース領域、ドレイン領域として機能する。

【0160】

以上の工程により、第1のドーピング及び第2のドーピングが行われない半導体膜の領域、つまり第3のエッチングで形成されたレジスト104a～104dの下に位置する半導体膜がチャンネル形成領域106a～106dとなる。また、不純物領域102a～102dがLDD領域となる。

【0161】

次に図11（A）に示すようにレジスト111を形成する。そして、第3のゲート電極101a、101bをマスクに第2のゲート電極100aおよび100bに対して第4のエッチングを行う。そして第2のゲート電極100a～100dを第3のゲート電極101a～101dと同じゲート長にし、第2のゲート電極112aおよび112bを形成する。これにより、LDD領域である不純物領域102a、102bはLoFF領域となる。

【0162】

本実施の形態の第1から第4のエッチングは、ドライエッチング法により行うことができ、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）を用いて行うことができる。

10

20

30

40

50

マ) エッチング法を用いて行うことが出来る。

【0163】

続いて、レジスト111を除去し、CVD法により各TFTの第3のゲート電極および第2のゲート電極を覆うように酸化珪素膜を形成する。そして、エッチングにより酸化珪素膜をエッチバックし、第3のゲート電極101a~101d、第2のゲート電極112a、112b、100c、100dの両サイドにサイドウォール114a~114dを形成する。第3のゲート電極101c、101dのゲート長と第2のゲート電極100c、100dのゲート長との差が0.05~0.2μmといった非常に小さい場合には、サイドウォールは、第1のゲート電極の側面だけでなく、第2のゲート電極の側面も覆うように形成される。

10

【0164】

そしてレジスト113を形成し、レジスト113及び第3のゲート電極101dおよびサイドウォール114dをマスクに第3のドーピングを行う。このドーピングにより、高濃度の不純物領域115a、115b、Loff領域となる低濃度不純物領域115c、115dが形成される(図11(B))。不純物領域115a、115bはソース領域、ドレイン領域として機能する。不純物領域102dはLov領域となる。

【0165】

続いて図11(C)に示すようにパッシベーション膜116を形成し、さらに第1の層間絶縁膜117を形成する。パッシベーション膜116としては窒化珪素膜又は酸化窒化珪素膜などを用いることができる。第1の層間絶縁膜117としては有機樹脂膜、無機絶縁膜、シロキサン等の有機樹脂膜を用いることができる。

20

【0166】

続いて、第1の層間絶縁膜117、パッシベーション膜116及びゲート絶縁膜95にコンタクトホールを形成し、ソース及びドレイン領域となる不純物領域105a、105c~105e、115a~115bに接続するソース及びドレイン電極118a~118fを形成する(図11(D)参照)。

【0167】

次に第1の層間絶縁膜117並びにソース及びドレイン電極118a~118f上に第2の層間絶縁膜121を形成する。そして、第2の層間絶縁膜121の一部に、ソース及びドレイン電極の一部が露出するような開口部を形成する。そして第2の層間絶縁膜上にアンテナ122a~122eを形成する。アンテナ122eの一部が開口部にてソース及びドレイン電極と接続するようにする。その後アンテナ122a~122e及び第2の層間絶縁膜121上に保護層123を形成する(図12(A)参照)。

30

【0168】

次に図12(B)に示すように、IDチップどうしを分離するために溝124を形成する。溝124は剥離層92が露出する程度であれば良い。溝124の形成は、ダイシング、スクライビングなどを用いることができる。なお、ガラス基板91上に形成されているIDチップを分離する必要がない場合、必ずしも溝124を形成する必要はない。

【0169】

次に図13(A)に示すように、剥離層92をエッチングにより除去する。こうしてガラス基板91を剥離する。本実施の形態ではエッチングガスとしてフッ化ハロゲンガスを用い、このガスを溝124から導入する。本実施の形態では、例えば CF_3 や CF_3 ガスに窒素を混ぜたものを用いても良い。

40

【0170】

次に図13(B)に示すように、剥離されたTFT133、135、137及びアンテナ122a~122eを接着剤134を用いて支持体136に貼り合わせる。接着剤134は支持体136と下地膜93とを貼り合わせることができる材料を用いる。接着剤134として例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤などの光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。支持体136としてはフレキシブルな紙又はプラスチック等の有機材料を用いることができる。

50

【0171】

また、保護層123を除去した後、アンテナ122a～122eを覆うように接着剤131を第2の層間絶縁膜121上に塗布し、カバー材132を貼り合わせる。カバー材132は支持体136と同様に、フレキシブルな紙又はプラスチックなどの有機材料を用いることができる。また接着剤131はカバー材132と第2の層間絶縁膜121を貼り合わせることができる材料を用いる。接着剤131として例えば反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤などの光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

【0172】

上述した工程を経てIDチップが完成する。なお、本実施の形態はこの作製方法に限定するものではない。本形態は、Lov領域を有する構造、Loff領域を有する構造、又はLov領域とLoff領域の両方を有する構造を、自由に組み合わせて同一基板上に同時に作製し、IDチップを完成させることができる一例に過ぎない。よって、Lov領域又はLoff領域のみを有する構造のTF Tを有するIDチップでも構わないし、Lov領域及びLoff領域を共に有する構造のTF TのみからなるIDチップを作製しても良い。

10

【0173】

つまり、本発明は、同一基板上に様々な構成のTF Tを設けたIDチップを作製することができ、目的に応じたIDチップを工程数が少ないプロセスで作製することができる。よって、製造コストの低減および歩留まりの向上を図ることができる。

20

【0174】

また、IDチップに用いるTF Tは微細加工が要求されるが、本発明により作製したTF TはサブミクロンTF Tにも応用可能なため、本発明によりIDチップを作製することは最適である。

【0175】

IDチップに用いるTF Tの微細加工のため、ステッパーを用いたフォトリソ工程により作製されることが好ましい。しかし、ステッパーを用いる場合にはLDD領域はレジストマスクで形成することになり、全工程でのマスク枚数が増加してしまう。その分製造コストの増加につながる。また、微細なパターンを用いる場合、その微細加工に対するマージンが少ない。例えば、2μmのゲート電極の片側に0.5μmのLov領域をマスクで形成する場合には0.1μm以下のアライメント精度が要求される。ゲート電極を等方性エッチングする場合エッチング時間の最適化が困難である。具体的には、マスクの端から、どれだけ横方向にエッチングされたかが検査できない。つまり終点の検出ができず、横方向のエッチングレート評価が困難である。横方向のエッチングレートが安定しなくては安定したプロセスが確立できない。

30

【0176】

そこで本発明は、特にIDチップ、CPU、フラッシュメモリ、音声信号処理回路一体型表示装置等のように微細加工が要求されるTF Tを有する半導体装置の作製に適している。これらの半導体装置の作製において所望のTF T構造を有し、製造コストの低減、歩留まりの向上を図ることが可能となる。

40

【0177】

本発明により作製されるIDチップの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図26（A）参照）、包装用品類（包装紙やボトル等、図26（B）参照）、記録媒体（DVDソフトやビデオテープ等、図26（C）参照）、乗物類（自転車等、図26（D）参照）、身の回り品（鞆や眼鏡等、図26（E）参照）、食品類、衣類、生活用品類、電子機器等に設けて使用することができる。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。

【0178】

なお、IDチップは、物品の表面に貼ったり、物品に埋め込んだりして、物品に固定され

50

る。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に I Dチップを埋め込んだりするとよい。紙幣、硬貨、有価証券類、無記名債券類、証書類等に薄膜集積回路を設けることにより、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に I Dチップを設けることにより、検品システムやレンタル店のシステムなどの効率化を図ることができる。乗物類に I Dチップを設けることにより、偽造や盗難を防止することができる。

【0179】

また、I Dチップを、物の管理や流通のシステムに応用することで、システムの高機能化を図ることができる。例えば、表示部 294 を含む携帯端末の側面にリーダライタ 295 を設けて、物品 297 の側面に I Dチップ 296 を設ける場合が挙げられる（図 27（A）参照）。この場合、リーダライタ 295 に I Dチップ 296 をかざすと、表示部 294 に物品 297 の原材料や原産地、流通過程の履歴等の情報が表示されるシステムになっている。また、別の例として、ベルトコンベアの脇にリーダライタ 295 を設ける場合が挙げられる（図 27（B）参照）。この場合、物品 297 の検品を簡単に行うことができる。

【0180】

（実施の形態 8）

実施の形態 1 乃至実施の形態 3 に示した半導体装置及び実施の形態 4 で示した表示装置は、様々な電子機器を作製する際に用いることができる。そのような電子機器の例として、テレビジョン装置、ビデオカメラ、デジタルカメラ等のカメラ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図 14 に示す。

【0181】

図 14（A）はテレビジョン装置であり、筐体 13001、支持台 13002、表示部 13003、スピーカー部 13004、ビデオ入力端子 13005 等を含む。実施の形態 4 で示した表示装置の作製方法等は表示部 13003 などの加工に用いることができ、テレビジョン装置を完成することができる。表示部 13003 は、ELディスプレイや、液晶ディスプレイなどを用いることができる。なお、テレビジョン装置は、コンピュータ用、テレビ放送受信用、広告表示用などの全てのテレビジョン装置が含まれる。以上の構成により、低コストでコンパクトであり、信頼性の高いテレビジョン装置を提供できる。

【0182】

図 14（B）はデジタルカメラであり、本体 13101、表示部 13102、受像部 13103、操作キー 13104、外部接続ポート 13105、シャッター 13106、等を含む。実施の形態 4、5 で示した表示装置の作製方法等は表示部 13102 などの加工に用いることができ、デジタルカメラを完成することができる。以上の構成により、低コストでコンパクトであり、信頼性の高いデジタルカメラを提供できる。

【0183】

図 14（C）はコンピュータであり、本体 13201、筐体 13202、表示部 13203、キーボード 13204、外部接続ポート 13205、ポインティングマウス 13206 等を含む。実施の形態 4 で示した表示装置の作製方法等は表示部 13203 などの加工に用いることができ、コンピュータを完成することができる。以上の構成により、低コストでコンパクトであり、信頼性の高いコンピュータを提供できる。

【0184】

図 14（D）はモバイルコンピュータであり、本体 13301、表示部 13302、スイッチ 13303、操作キー 13304、赤外線ポート 13305 等を含む。実施の形態 4 で示した表示装置の作製方法等は表示部 13302 などの加工に用いることができ、モバイルコンピュータを完成することができる。以上の構成により、低コストでコンパクトで

あり、信頼性の高いモバイルコンピュータを提供できる。

【0185】

図14(E)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体(DVD等)読込部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情報を表示するが、実施の形態4で示した表示装置の作製方法等は表示部A13403及び表示部B13404などの加工に用いることができ、画像再生装置を完成することができる。なお、記録媒体を備えた画像再生装置にはゲーム機器なども含まれる。以上の構成により、低コストでコンパクトであり、信頼性の高い画像再生装置を提供できる。

10

【0186】

図14(F)はビデオカメラであり、本体13601、表示部13602、筐体13603、外部接続ポート13604、リモコン受信部13605、受像部13606、バッテリー13607、音声入力部13608、操作キー13609、接眼部13610等を含む。実施の形態4で示した表示装置の作製方法等は表示部13602などの加工に用いることができ、ビデオカメラを完成することができる。以上の構成により、低コストでコンパクトであり、信頼性の高いビデオカメラを提供できる。

【0187】

図14(G)は携帯電話であり、本体13701、筐体13702、表示部13703、音声入力部13704、音声出力部13705、操作キー13706、外部接続ポート13707、アンテナ13708等を含む。実施の形態4、5で示した表示装置の作製方法等は表示部13703などの加工に用いることができ、携帯電話を完成することができる。なお、表示部13703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。以上の構成により、低コストでコンパクトであり、信頼性の高い携帯電話を提供できる。

20

【0188】

特にこれらの電子機器の表示部に用いられる表示装置には画素の駆動のために薄膜トランジスタを有しており、用いられている回路により所望のTFTの構造が異なる。本発明を適用することにより各種回路に適した構造のTFTを精度良く作製することができ、高品質の電子機器を歩留まり良く生産することができる

30

【0189】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【図面の簡単な説明】

【0190】

【図1】本発明の実施の形態1を示す図。

【図2】本発明の実施の形態1を示す図。

【図3】本発明の実施の形態2を示す図。

【図4】本発明の実施の形態3を示す図。

【図5】本発明の実施の形態4を示す図。

40

【図6】本発明の実施の形態4を示す図。

【図7】本発明の実施の形態4を示す図。

【図8】本発明の実施の形態4を示す図。

【図9】本発明の実施の形態4を示す図。

【図10】本発明の実施の形態7を示す図。

【図11】本発明の実施の形態7を示す図。

【図12】本発明の実施の形態7を示す図。

【図13】本発明の実施の形態7を示す図。

【図14】本発明の実施の形態8を示す図。

【図15】従来法で形成したハットシェイプ型ゲート電極の断面のSEM写真。

50

【図 1 6】本発明で形成したハットシェイプ型ゲート電極の断面の S E M 写真。

【図 1 7】本発明の実施の形態 3 で形成したハットシェイプ型ゲート電極の断面の S E M 写真。

【図 1 8】従来例を示す図。

【図 1 9】本発明の実施の形態 5 を示す図。

【図 2 0】本発明の実施の形態 5 を示す図。

【図 2 1】本発明の実施の形態 6 を示す図。

【図 2 2】本発明の実施の形態 6 を示す図。

【図 2 3】本発明の実施の形態 6 を示す図。

【図 2 4】本発明の実施の形態 6 を示す図。

10

【図 2 5】本発明の実施の形態 6 を示す図。

【図 2 6】本発明の実施の形態 7 を示す図。

【図 2 7】本発明の実施の形態 7 を示す図。

【図 2 8】本発明で形成したハットシェイプ型ゲート電極の断面の S E M 写真。

【図 2 9】本発明で形成したハットシェイプ型ゲート電極の断面の S E M 写真。

【符号の説明】

【0 1 9 1】

1 1 基板

1 2 下地絶縁膜

1 3 半導体膜

20

1 4 ゲート絶縁膜

1 5 導電膜

1 6 導電膜

1 7 第 1 のレジスト

1 8 ゲート電極

1 9 レジスト

2 0 第 2 のゲート電極

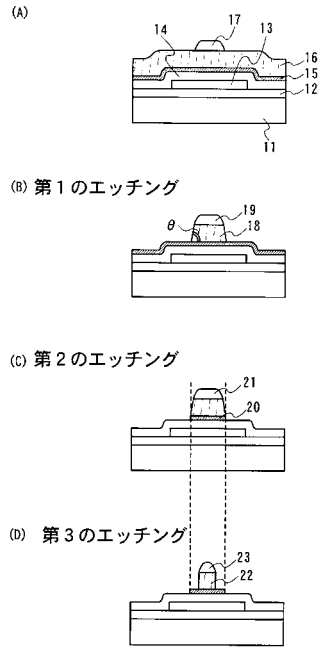
2 1 レジスト

2 2 第 3 のゲート電極

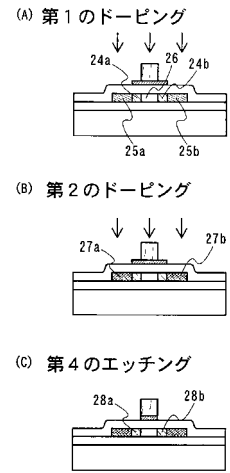
2 3 レジスト

30

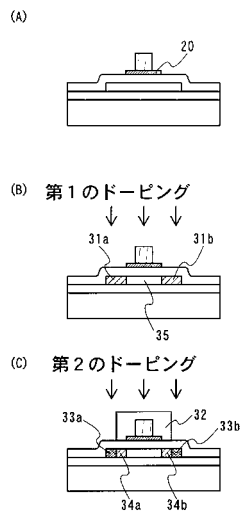
【図 1】



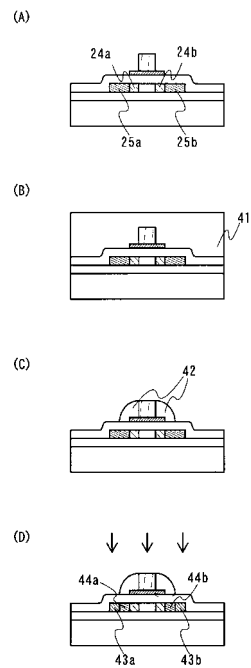
【図 2】



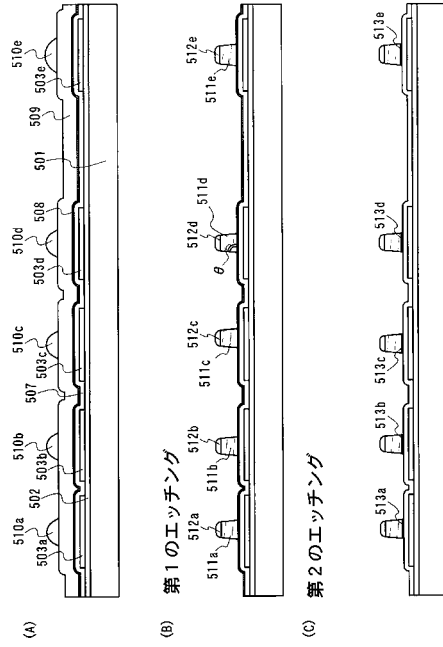
【図 3】



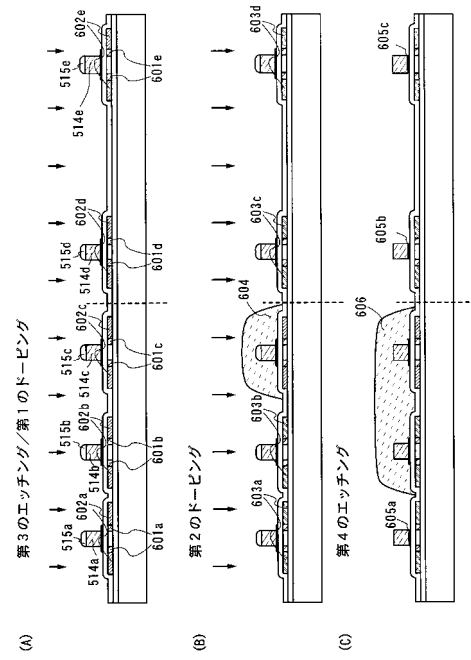
【図 4】



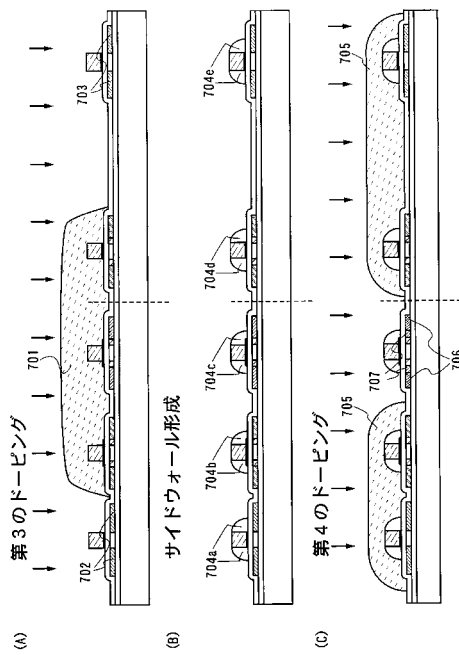
【図 5】



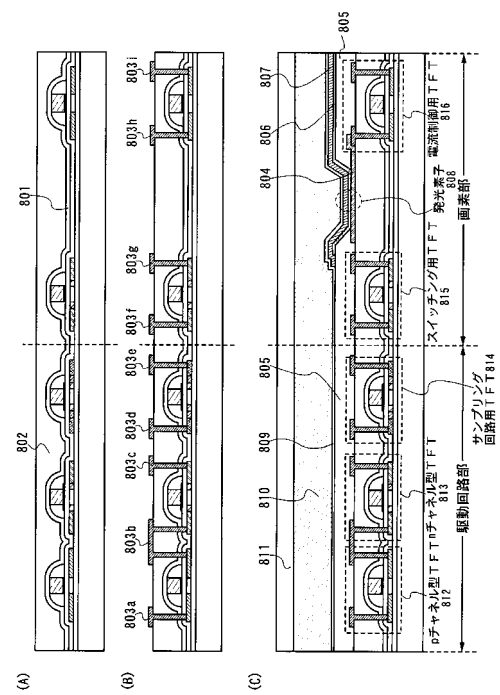
【図 6】



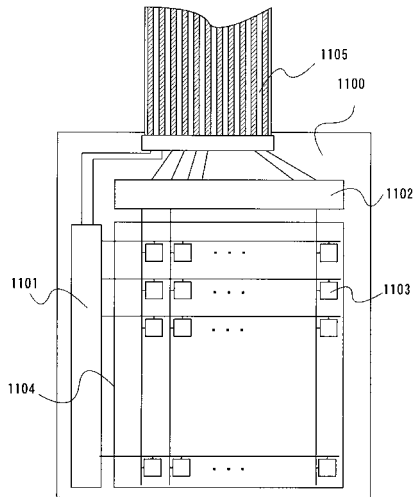
【図 7】



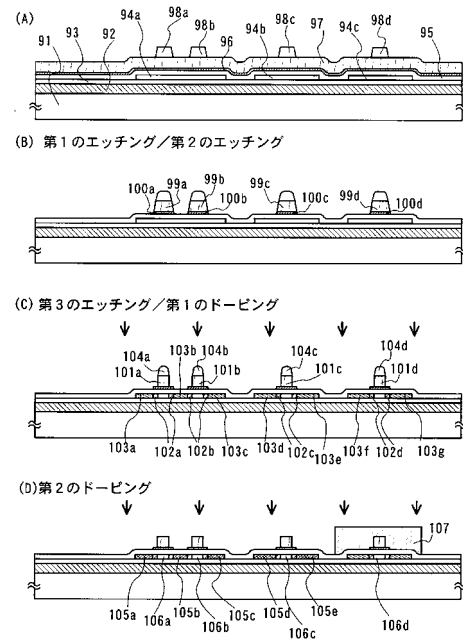
【図 8】



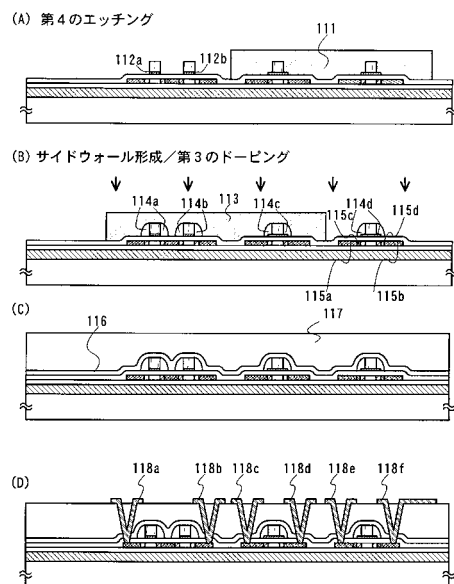
【図 9】



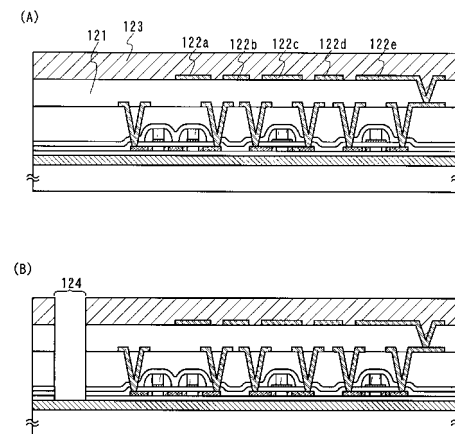
【図 10】



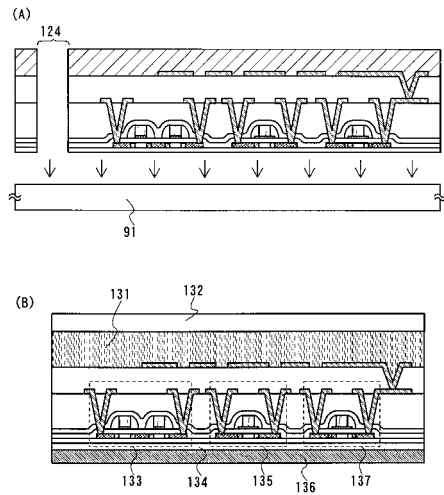
【図 11】



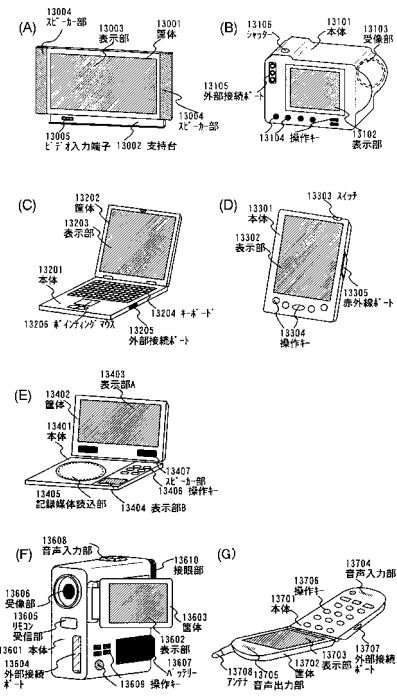
【図 12】



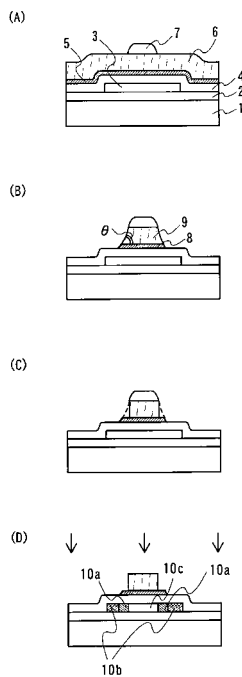
【図 1 3】



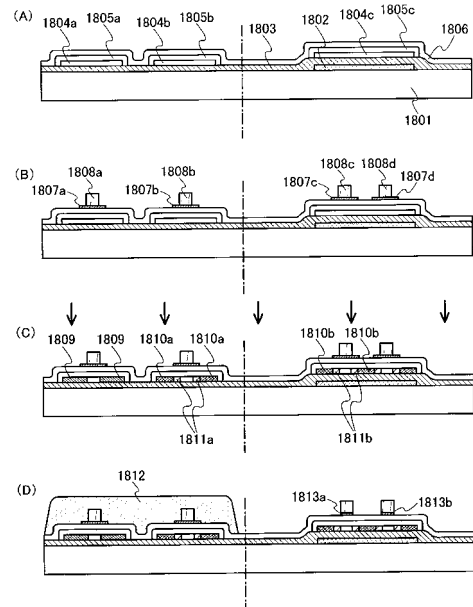
【図 14】



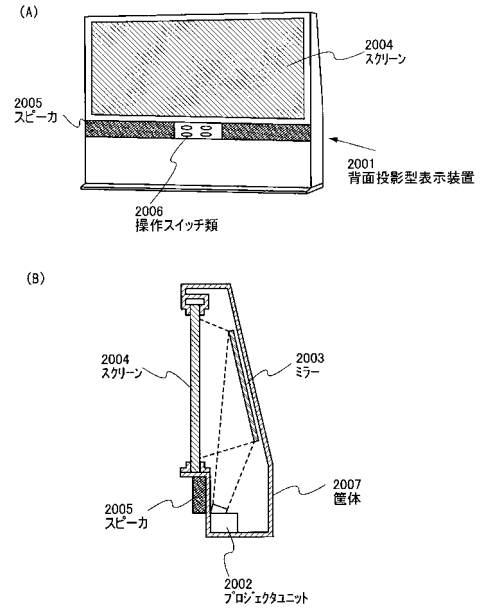
【図 18】



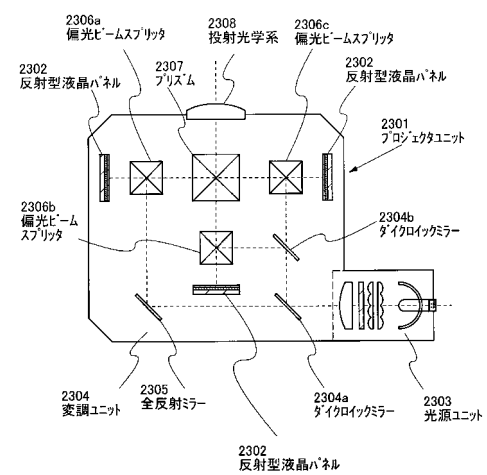
【图 19】



【図 2 1】



【図 24】



2201 プロジェクタユニット

2205 光源ランプ

2204 光源光学系

2208 ダイクロイックミラー

2203 変調ユニット

2212 カラーフィルタ

2206 液晶ハネル

2207 位相差板

2209 ミラー

2210 プリズム

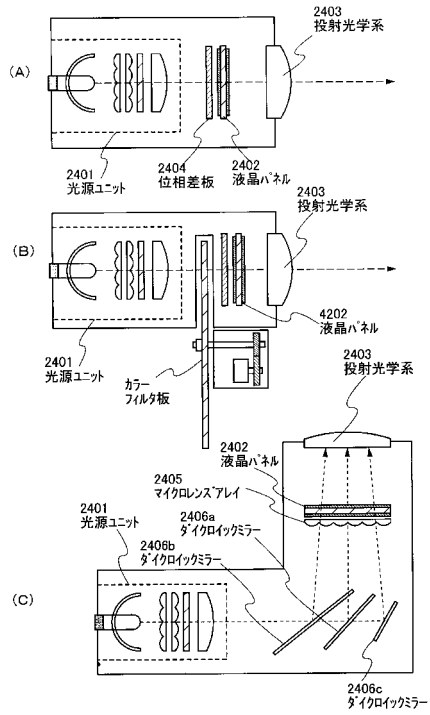
2211 投射光学系

2212 カラーフィルタ

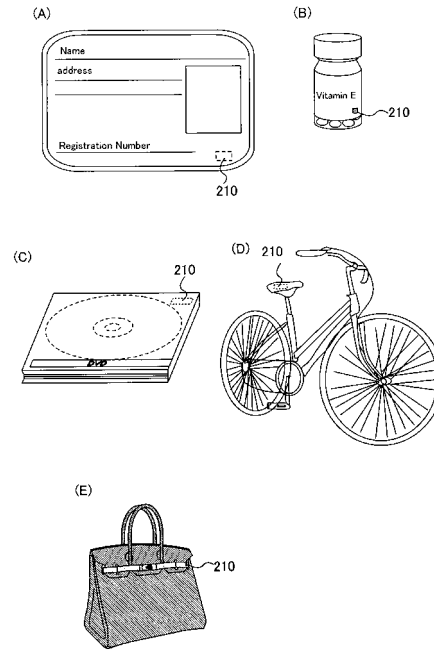
2206 液晶ハネル

2207 位相差板

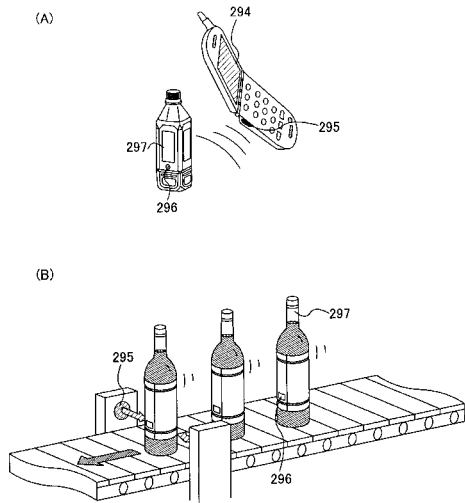
【図 25】



【図 26】

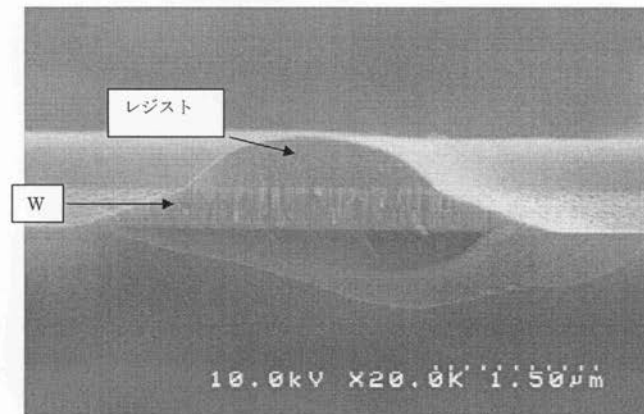


【図 27】

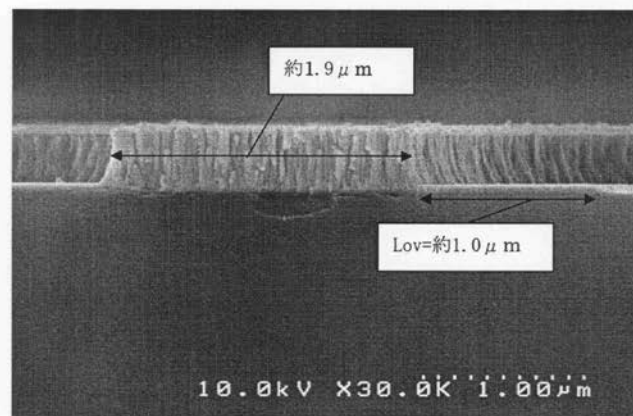


【図 15】

(A)

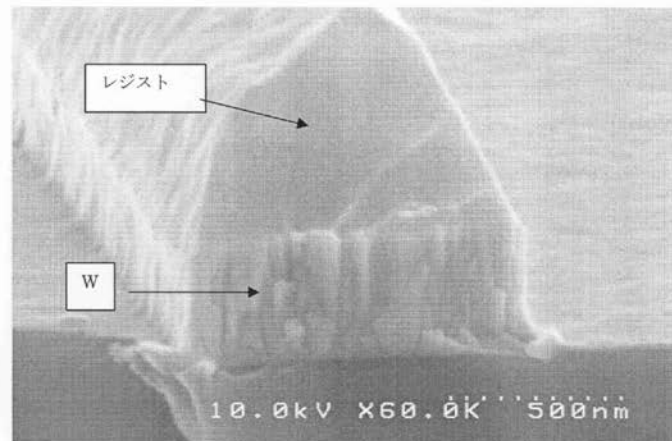


(B)

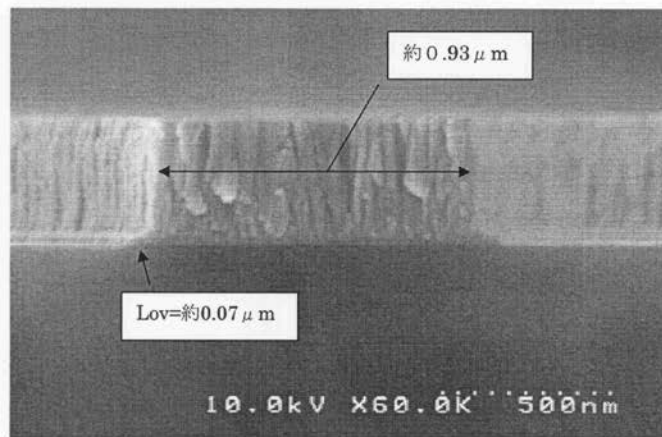


【図 16】

(A)

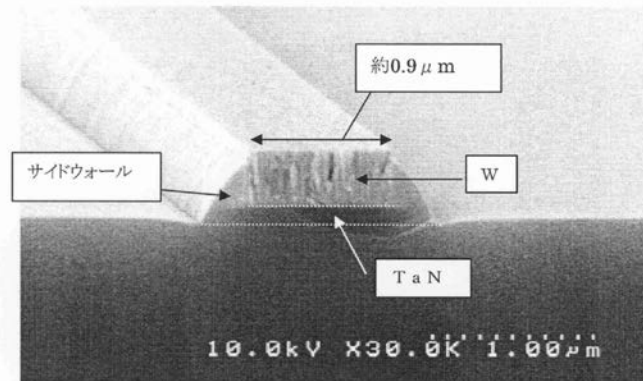


(B)

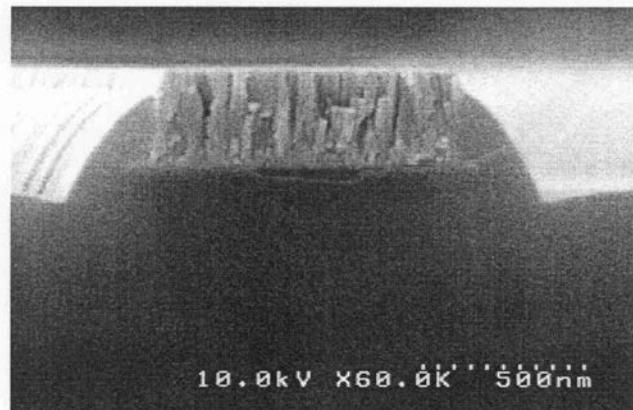


【図 17】

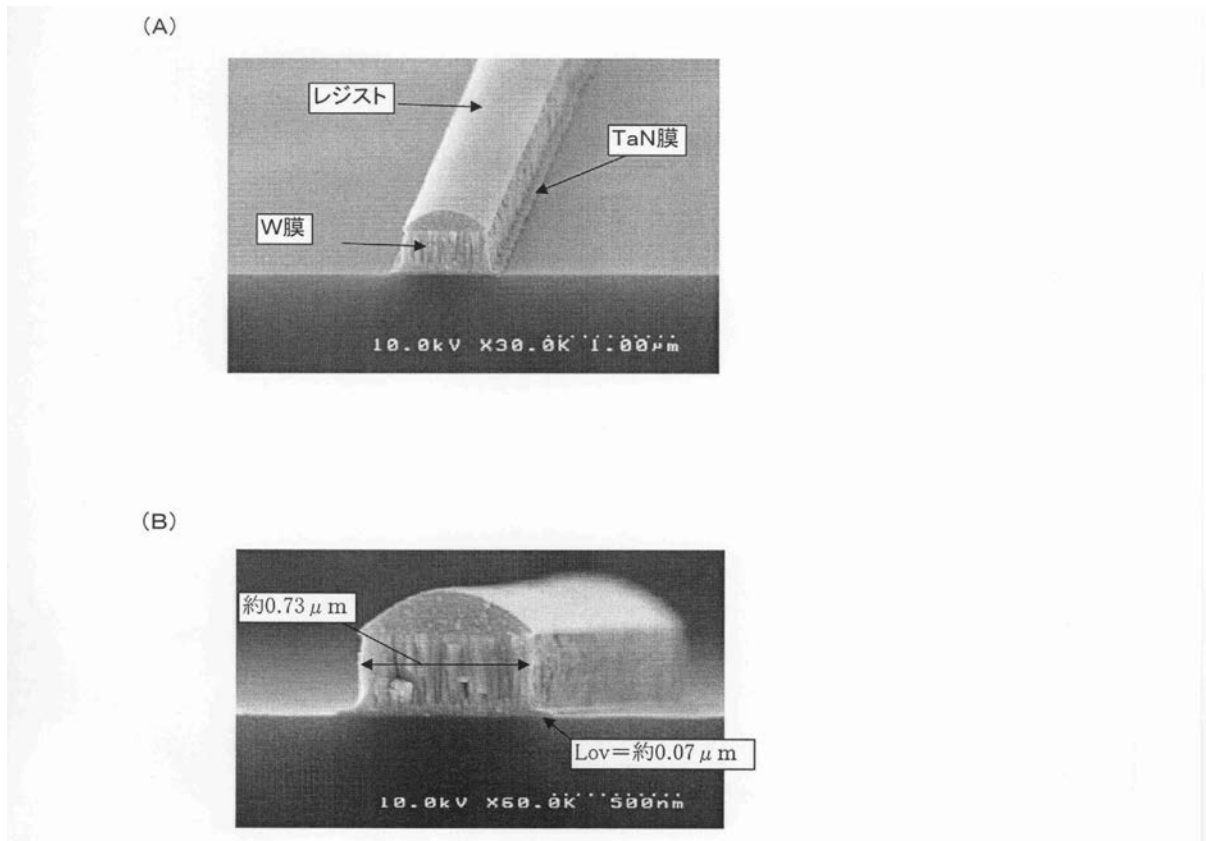
(A)



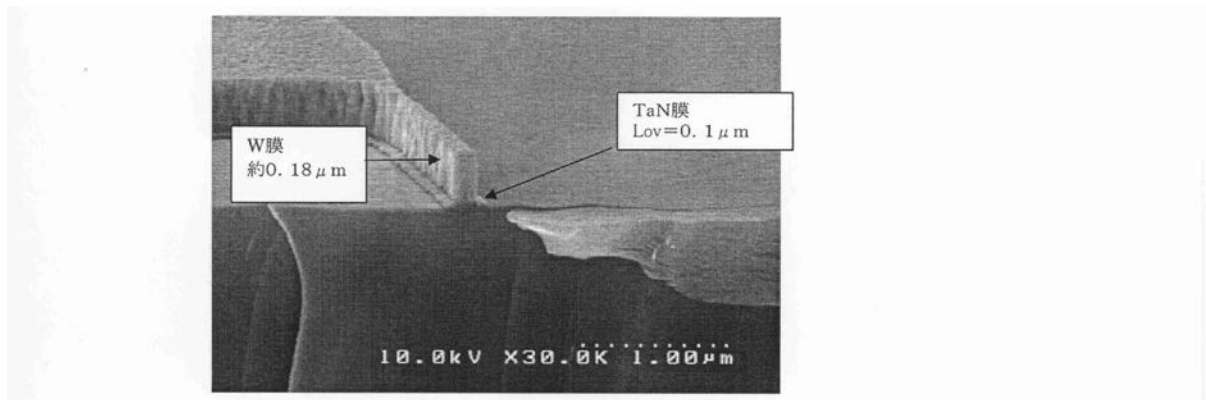
(B)



【図 28】



【図 29】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/49 (2006.01) H 0 1 L 29/78 6 1 7 L

(56)参考文献 特開 2 0 0 1 - 3 2 6 3 6 2 (J P, A)
特開 2 0 0 2 - 0 7 6 3 5 1 (J P, A)
特開 2 0 0 2 - 2 3 1 9 5 3 (J P, A)

(58)調査した分野(Int.Cl., D B名)
H 0 1 L 2 1 / 2 6 5
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 4 2 3
H 0 1 L 2 9 / 4 9
H 0 1 L 2 9 / 7 8 6