



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0023144
(43) 공개일자 2018년03월07일

(51) 국제특허분류(Int. Cl.)
H01L 23/00 (2006.01) H01L 21/02 (2006.01)
(52) CPC특허분류
H01L 24/12 (2013.01)
H01L 21/02118 (2013.01)
(21) 출원번호 10-2016-0107764
(22) 출원일자 2016년08월24일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김병용
경기도 용인시 기흥구 삼성로 1 (농서동)
황정호
경기도 용인시 기흥구 삼성로 1 (농서동)
(74) 대리인
강신섭, 문용호, 이용우

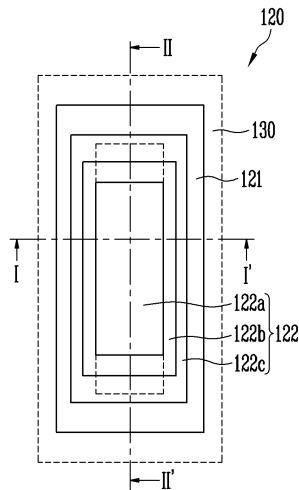
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 반도체 칩, 표시패널 및 전자장치

(57) 요약

본 발명의 실시예에 의한 반도체 칩은, 기판과, 상기 기판 상에 위치된 적어도 하나의 도전성 패드와, 상기 도전성 패드에 전기적으로 연결되는 적어도 하나의 범프를 구비하며, 상기 범프는, 메탈 코어와, 상기 메탈 코어의 표면을 감싸는 폴리머막과, 상기 폴리머막의 표면을 감싸며 상기 도전성 패드에 전기적으로 연결되는 도전피막을 포함한다.

대표도 - 도3



(52) CPC특허분류

H01L 24/04 (2013.01)

H01L 24/07 (2013.01)

H01L 24/28 (2013.01)

H01L 2224/1302 (2013.01)

H01L 2224/1308 (2013.01)

H01L 2224/13099 (2013.01)

명세서

청구범위

청구항 1

기관과,

상기 기관 상에 위치된 적어도 하나의 도전성 패드와,

상기 도전성 패드에 전기적으로 연결되는 적어도 하나의 범프를 구비하며,

상기 범프는, 메탈 코어와, 상기 메탈 코어의 표면을 감싸는 폴리머막과, 상기 폴리머막의 표면을 감싸며 상기 도전성 패드에 전기적으로 연결되는 도전피막을 포함하는 반도체 칩.

청구항 2

제1항에 있어서,

상기 폴리머막은 $1\mu\text{m}$ 내지 $7\mu\text{m}$ 의 두께를 가지는 반도체 칩.

청구항 3

제1항에 있어서,

상기 폴리머막은 상기 메탈 코어의 돌출 표면을 덮는 반도체 칩.

청구항 4

제1항에 있어서,

상기 도전피막은 상기 폴리머막의 돌출 표면을 덮는 반도체 칩.

청구항 5

제1항에 있어서,

상기 도전피막은 한 층 이상의 금속막으로 구성되는 반도체 칩.

청구항 6

제1항에 있어서,

상기 도전성 패드 상에 위치되며 상기 도전성 패드의 적어도 일 영역을 노출하는 절연층을 더 포함하는 반도체 칩.

청구항 7

제6항에 있어서,

상기 범프는, 상기 도전성 패드의 노출 영역 상에 상기 도전성 패드와 접촉되도록 위치되는 반도체 칩.

청구항 8

제1항에 있어서,

상기 범프는 상기 도전성 패드 상에 위치되어 상기 기관과 반대되는 방향으로 돌출되는 돔 혹은 반구의 형상을 가지는 반도체 칩.

청구항 9

기관과,

상기 기관의 일 영역에 배치되는 다수의 접속 패드들과,
 상기 접속 패드들 각각에 전기적으로 연결되는 다수의 돌출 패드들을 포함하며,
 상기 돌출 패드들 각각은, 메탈 코어와, 상기 메탈 코어의 표면을 감싸는 폴리머막과, 상기 폴리머막의 표면을 감싸는 도전피막을 포함하는 표시패널.

청구항 10

제9항에 있어서,
 상기 메탈 코어는 상기 접속 패드들 각각의 일면에 배치되어 상기 기관과 반대되는 방향으로 돌출되고, 상기 폴리머막은 상기 메탈 코어의 돌출 표면을 덮는 표시패널.

청구항 11

제10항에 있어서,
 상기 도전피막은 상기 폴리머막의 돌출 표면을 덮는 표시패널.

청구항 12

제9항에 있어서,
 상기 폴리머막은 1 μ m 내지 7 μ m의 두께를 가지는 표시패널.

청구항 13

다수의 접속 패드들을 포함하는 기관과,
 상기 기관 상에 실장되며, 상기 접속 패드들 각각과 마주하는 다수의 도전성 패드들을 포함하는 반도체 칩을 구비하며,
 상기 접속 패드들과 상기 도전성 패드들의 사이에 위치되어 서로 대응하는 접속 패드 및 도전성 패드를 전기적으로 연결하며, 메탈 코어와, 상기 메탈 코어의 표면을 감싸는 폴리머막과, 상기 폴리머막의 표면을 감싸는 도전피막을 포함한 다수의 범프 구조체들을 더 구비하는 전자장치.

청구항 14

제13항에 있어서,
 상기 폴리머막은 1 μ m 내지 7 μ m의 두께를 가지는 전자장치.

청구항 15

제13항에 있어서,
 상기 폴리머막은 상기 메탈 코어의 돌출 표면을 덮는 전자장치.

청구항 16

제13항에 있어서,
 상기 도전피막은 상기 폴리머막의 돌출 표면을 덮는 전자장치.

청구항 17

제13항에 있어서,
 상기 기관과 상기 반도체 칩의 사이에 개재된 비도전성 접착층을 더 포함하는 전자장치.

청구항 18

제13항에 있어서,

상기 기관을 포함한 표시패널을 구비하는 전자장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 반도체 칩, 표시패널 및 전자장치에 관한 것으로서, 특히 범프 구조체를 구비한 반도체 칩, 표시패널 및 전자장치에 관한 것이다.

배경 기술

[0003] 최근, 전자장치의 고성능화 및 고집적화에 따라, 반도체 칩에 구비되는 접속 단자들의 개수가 비약적으로 증가하고 있다. 이에 따라, 반도체 칩의 접속 단자들의 개별 크기와 이들 사이의 피치는 급속히 감소하고 있다. 일례로, 표시패널에 실장되는 드라이버 IC의 경우, 접속 단자들 사이의 피치가 10 μ m 내지 15 μ m 이하 수준으로 설계될 것이 요구되고 있다.

[0004] 이와 같이 미세 피치(fine pitch)가 요구되는 반도체 칩을 이방성 전도성 필름(Anisotropic Conductive Film; 이하, 'ACF'로 약기함)과 같은 접착제를 이용하여 표시패널 등의 전자장치에 실장하는 경우, 쇼트 결함이나 오픈 불량 발생 확률이 증가하게 된다. 일례로, ACF 내부에 포함된 도전 입자가 반도체 칩에 구비된 접속 단자들의 측면에 밀집되어 인접한 접속 단자들 사이의 쇼트 결함을 야기하거나, 혹은 ACF의 도전 입자가 미세 크기를 가지는 적어도 일부의 접속 단자에 대응하는 위치에 적절히 배치되지 않아 오픈 불량을 야기할 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 이루고자 하는 기술적 과제는, 신뢰성이 높은 접속 구조를 제공할 수 있는 범프 구조체를 구비한 반도체 칩, 표시패널 및 전자장치를 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명의 실시예에 의한 반도체 칩은, 기관과, 상기 기관 상에 위치한 적어도 하나의 도전성 패드와, 상기 도전성 패드에 전기적으로 연결되는 적어도 하나의 범프를 구비하며, 상기 범프는, 메탈 코어와, 상기 메탈 코어의 표면을 감싸는 폴리머막과, 상기 폴리머막의 표면을 감싸며 상기 도전성 패드에 전기적으로 연결되는 도전피막을 포함한다.

[0010] 실시예에 따라, 상기 폴리머막은 1 μ m 내지 7 μ m의 두께를 가질 수 있다.

[0011] 실시예에 따라, 상기 폴리머막은 상기 메탈 코어의 돌출 표면을 덮을 수 있다.

[0012] 실시예에 따라, 상기 도전피막은 상기 폴리머막의 돌출 표면을 덮을 수 있다.

[0013] 실시예에 따라, 상기 도전피막은 한 층 이상의 금속막으로 구성될 수 있다.

[0014] 실시예에 따라, 상기 반도체 칩은, 상기 도전성 패드 상에 위치되며 상기 도전성 패드의 적어도 일 영역을 노출하는 절연층을 더 포함할 수 있다.

[0015] 실시예에 따라, 상기 범프는, 상기 도전성 패드의 노출 영역 상에 상기 도전성 패드와 접촉되도록 위치될 수 있다.

[0016] 실시예에 따라, 상기 범프는 상기 도전성 패드 상에 위치되어 상기 기관과 반대되는 방향으로 돌출되는 돔 혹은 반구의 형상을 가질 수 있다.

[0017] 본 발명의 실시예에 의한 표시패널은, 기관과, 상기 기관의 일 영역에 배치되는 다수의 접속 패드들과, 상기 접

속 패드들 각각에 전기적으로 연결되는 다수의 돌출 패드들을 포함하며, 상기 돌출 패드들 각각은, 메탈 코어와, 상기 메탈 코어의 표면을 감싸는 폴리머막과, 상기 폴리머막의 표면을 감싸는 도전피막을 포함한다.

- [0018] 실시예에 따라, 상기 메탈 코어는 상기 접속 패드들 각각의 일면에 배치되어 상기 기판과 반대되는 방향으로 돌출되고, 상기 폴리머막은 상기 메탈 코어의 돌출 표면을 덮을 수 있다.
- [0019] 실시예에 따라, 상기 도전피막은 상기 폴리머막의 돌출 표면을 덮을 수 있다.
- [0020] 실시예에 따라, 상기 폴리머막은 1 μ m 내지 7 μ m의 두께를 가질 수 있다.
- [0021] 본 발명의 실시예에 의한 전자장치는, 다수의 접속 패드들을 포함하는 기판과; 상기 기판 상에 실장되며, 상기 접속 패드들 각각과 마주하는 다수의 도전성 패드들을 포함하는 반도체 칩;을 구비하며, 상기 접속 패드들과 상기 도전성 패드들의 사이에 위치되어 서로 대응하는 접속 패드 및 도전성 패드를 전기적으로 연결하며, 메탈 코어와, 상기 메탈 코어의 표면을 감싸는 폴리머막과, 상기 폴리머막의 표면을 감싸는 도전피막을 포함한 다수의 범프 구조체들;을 더 구비한다.
- [0022] 실시예에 따라, 상기 폴리머막은 1 μ m 내지 7 μ m의 두께를 가질 수 있다.
- [0023] 실시예에 따라, 상기 폴리머막은 상기 메탈 코어의 돌출 표면을 덮을 수 있다.
- [0024] 실시예에 따라, 상기 도전피막은 상기 폴리머막의 돌출 표면을 덮을 수 있다.
- [0025] 실시예에 따라, 상기 전자장치는, 상기 기판과 상기 반도체 칩의 사이에 개재된 비도전성 접착층을 더 포함할 수 있다.
- [0026] 실시예에 따라, 상기 전자장치는, 상기 기판을 포함한 표시패널을 구비할 수 있다.

발명의 효과

- [0028] 본 발명의 실시예에 의하면, 메탈 코어와 폴리머 범프 구조체(메탈 코어와 폴리머 범프, 또는 메탈 코어와 폴리머 돌출 패드)를 구비함으로써, 신뢰성이 높은 접속 구조를 제공하는 반도체 칩, 표시패널 및 전자장치를 제공할 수 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 의한 반도체 칩을 도시한 사시도이다.
- 도 2는 본 발명의 일 실시예에 의한 반도체 칩의 일면을 도시한 평면도이다.
- 도 3은 본 발명의 일 실시예에 의한 반도체 칩의 접속 단자를 도시한 평면도이다.
- 도 4a는 도 3의 I-I' 선에 따른 단면의 일례를 나타내는 단면도이다.
- 도 4b는 도 3의 II-II' 선에 따른 단면의 일례를 나타내는 단면도이다.
- 도 5a는 도 3의 I-I' 선에 따른 단면의 다른 예를 나타내는 단면도이다.
- 도 5b는 도 3의 II-II' 선에 따른 단면의 다른 예를 나타내는 단면도이다.
- 도 6은 본 발명의 일 실시예에 의한 전자장치를 나타내는 사시도이다.
- 도 7은 도 6의 III-III' 선에 따른 단면의 일례를 나타내는 단면도이다.
- 도 8은 본 발명의 일 실시예에 의한 표시패널을 나타내는 사시도이다.
- 도 9는 도 8의 IV-IV' 선에 따른 단면의 일례를 나타내는 단면도이다.
- 도 10은 본 발명의 다른 실시예에 의한 전자장치를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 실시예 및 그 밖에 당업자가 본 발명의 내용을 쉽게 이해하기 위하여

필요한 사항에 대하여 상세히 설명하기로 한다. 다만, 하기에 설명하는 실시예는 그 표현 여부에 관계없이 예시적인 것에 불과하다. 즉, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 다양한 형태로 변경되어 실시될 수 있을 것이다.

- [0032] 한편, 도면에서 본 발명의 특징과 직접적으로 관계되지 않은 일부 구성요소는 본 발명을 명확하게 나타내기 위하여 생략되었을 수 있다. 또한, 도면 상의 일부 구성요소는 그 크기나 비율 등이 다소 과장되어 도시되었을 수 있다. 도면 전반에서 동일 또는 유사한 구성요소들에 대해서는 비록 다른 도면 상에 표시되더라도 가능한 한 동일한 참조번호 및 부호를 부여하였다.
- [0034] 도 1은 본 발명의 일 실시예에 의한 반도체 칩을 도시한 사시도이다. 그리고, 도 2는 본 발명의 일 실시예에 의한 반도체 칩의 일면을 도시한 평면도이다. 특히, 도 2는 반도체 칩의 양면 중 적어도 하나의 접속 단자가 형성되는 일면을 도시한 것이다.
- [0035] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 의한 반도체 칩(100)은, 기판(110)과, 상기 기판(110)의 적어도 일면에 형성된 적어도 하나의 접속 단자(120)를 구비한다. 실시예에 따라, 반도체 칩(100)은 동일한 일면(예컨대, 하부면)에 소정 피치로 배열된 다수의 접속 단자들(120)을 구비할 수 있다.
- [0036] 실시예에 따라, 기판(110)은 실리콘 웨이퍼(Silicon Wafer)일 수 있다. 다만, 기판(110)이 이에 한정되지는 않으며, 기판(110)의 재질 및 형상 등은 변경될 수 있다. 실시예에 따라, 기판(110)에는 도시되지 않은 다양한 회로소자들이 형성될 수 있다. 이러한 기판(110)의 적어도 일면에는, 상기 회로소자들을 전자장치(일례로, 표시패널)에 전기적으로 연결하기 위한 접속 단자들(120)이 구비될 수 있다.
- [0037] 실시예에 따라, 접속 단자들(120) 각각은, 도전성 패드와 이에 전기적으로 연결된 범프를 포함할 수 있다. 실시예에 따라, 접속 단자들(120)은 반도체 칩(100)의 입출력 신호들을 전달하기 위한 입출력 단자들일 수 있다. 일례로, 반도체 칩(100)은 각각 적어도 한 행에 배열된 다수의 입력 단자들(120a) 및 출력 단자들(120b)을 구비할 수 있다. 실시예에 따라, 입력 단자들(120a)은 출력 단자들(120b)로부터 일정 거리 이상 이격되어 배열될 수 있다.
- [0038] 한편, 편의상 도 2에서는 가로 방향 및 세로 방향을 따라 반도체 칩(100)의 일면에 접속 단자들(120)이 규칙적으로 배열된 실시예를 도시하였으나, 본 발명이 이에 한정되지는 않는다. 즉, 접속 단자들(120)의 크기, 개수, 피치 및/또는 배열 구조 등은 다양하게 변경 실시될 수 있다.
- [0040] 도 3은 본 발명의 일 실시예에 의한 반도체 칩의 접속 단자를 도시한 평면도이다. 그리고, 도 4a는 도 3의 I-I' 선에 따른 단면의 일례를 나타내는 단면도이고, 도 4b는 도 3의 II-II' 선에 따른 단면의 일례를 나타내는 단면도이다. 편의상, 도 3 내지 도 4b에서는 하나의 접속 단자만을 도시하였으나, 도 1 및 도 2에 도시된 접속 단자들 중 적어도 일부는 서로 유사하거나 실질적으로 동일한 구조를 가질 수 있다. 또한, 도 3에서는 접속 단자를 구성하는 도전성 패드 및 범프의 형상을 모두 사각형상으로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 즉, 도전성 패드 및/또는 범프의 형상은 다양하게 변경 실시될 수 있다. 추가적으로, 도 3에서는 접속 단자를 구성하는 각 구성 요소간의 위치관계를 명확히 도시하기 위하여 절연층을 함께 도시하였으며, 절연층의 경계는 점선으로 도시하였다.
- [0041] 도 3 내지 도 4b를 참조하면, 각각의 접속 단자(120)는, 기판(110) 상에 위치된 도전성 패드(121)와, 상기 도전성 패드(121)에 전기적으로 연결되는 범프(122)를 포함한다. 실시예에 따라, 도전성 패드(121)는 기판(110)과 함께 반도체 칩(100)의 바디부를 구성할 수 있다. 일례로, 도전성 패드(121)는 도시되지 않은 회로층(미도시)과 함께 기판(110)의 적어도 일면 상에 형성되어 상기 회로층과 함께 반도체 칩(100)의 바디부를 구성할 수 있다.
- [0042] 실시예에 따라, 범프(122)는 절연층(130)에 의해 커버되지 않는 도전성 패드(121)의 일 영역을 통해 상기 도전성 패드(121)에 전기적으로 연결될 수 있다. 실시예에 따라, 도전성 패드(121) 및 범프(122)는 서로 중첩될 수 있다. 예컨대, 범프(122)는 도전성 패드(121)와 중첩되도록 도전성 패드(121)의 일면(예컨대, 상부면) 상에 배치될 수 있다. 실시예에 따라, 도전성 패드(121)가 형성되는 영역의 면적은 범프(122)가 형성되는 영역의 면적보다 클 수 있으나, 이에 한정되지는 않는다. 다만, 도전성 패드(121)는 범프(122) 및/또는 절연층(130)에 의해 덮이게 되고, 이에 따라 외부로 노출되지는 않을 수 있다.
- [0043] 실시예에 따라, 기판(110)과 도전성 패드(121)의 사이에는 적어도 한 층의 버퍼층(112)이 구비될 수 있다. 실시

예에 따라, 버퍼층(112)은 한 층 이상의 산화막 혹은 질화막을 포함할 수 있으나, 이에 한정되지는 않는다. 일례로, 버퍼층(112)은 실리콘 산화막(SiO₂)으로 구성될 수 있다.

[0044] 실시예에 따라, 도전성 패드(121)는 한 층 이상의 도전층, 예컨대 금속층을 포함할 수 있다. 일례로, 도전성 패드(121)는 타이타늄(Ti)으로 이루어진 금속층, 혹은 금(Au)으로 이루어진 금속층으로 구성된 단일층으로 구현되거나, 혹은 서로 다른 금속으로 이루어진 제1 및 제2 금속층이 적층된 다중층으로 구성될 수 있다. 다만, 도전성 패드(121)의 재질이 반드시 전술한 금속에 한정되지는 않으며, 도전성 패드(121)의 재질은 변경될 수 있다. 예컨대, 도전성 패드(121)는 금속, 이들의 합금, 도전성 고분자, 도전성 금속 산화물 중 적어도 하나를 포함할 수 있다. 도전성 패드(121)를 구성할 수 있는 금속으로는, 구리(Cu), 은(Ag), 금(Au), 백금(Pt), 팔라듐(Pd), 니켈(Ni), 주석(Sn), 알루미늄(Al), 코발트(Co), 로듐(Rh), 이리듐(Ir), 철(Fe), 루테튬(Ru), 오스뮴(Os), 망간(Mn), 몰리브덴(Mo), 텅스텐(W), 니오브(Nb), 탄탈럼(Ta), 타이타늄(Ti), 비스머스(Bi), 안티몬(Sb), 납(Pb) 등을 들 수 있다. 도전성 패드(121)를 구성할 수 있는 도전성 고분자로는 폴리티오펜계, 폴리피롤계, 폴리아닐린계, 폴리아세틸렌계, 폴리페닐렌계 화합물 및 이들의 혼합물 등을 들 수 있으며, 특히 폴리티오펜계 중에서는 PEDOT/PSS 화합물을 사용할 수 있다. 도전성 패드(121)를 구성할 수 있는 도전성 금속 산화물로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Antimony Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ZnO(Zinc Oxide), SnO₂(Tin Oxide) 등을 들 수 있다. 또한, 전술한 도전성 물질 외에도 도전성을 제공할 수 있는 재료이면 도전성 패드(121)를 구성하는 물질로 이용될 수 있다. 또한, 도전성 패드(121)의 구조는 특별히 한정되지 않으며, 단일층 혹은 다중층으로 다양하게 실시될 수 있다.

[0045] 한편, 도전성 패드(121)의 크기 및 이웃한 도전성 패드들(인접한 접속 단자들(120) 각각에 포함된 도전성 패드들)(121) 사이의 피치가 특별히 한정되지는 않는다. 특히, 후술할 본 발명의 실시예에 의한 범프(122)의 구조에 의하면, 미세 크기 및/또는 피치를 가지는 접속 단자(120)에 대해서도, 상기 접속 단자(120)와 이에 연결되는 전자장치의 접속 패드 사이의 접속을 안정화할 수 있다. 따라서, 도전성 패드(121)는 일례로 10 μ m 내지 15 μ m 이하 수준의 미세 크기 및/또는 피치를 가지도록 형성될 수도 있다.

[0046] 실시예에 따라, 도전성 패드(121)의 적어도 일 영역의 상부에는, 절연층(130)이 구비될 수 있다. 이러한 절연층(130)은 도전성 패드(121)의 적어도 일 영역(예컨대, 본딩 영역 혹은 컨택 영역)을 노출하는 개구부를 포함할 수 있다. 예컨대, 절연층(130)은 도전성 패드(121)의 중앙부를 노출하면서 도전성 패드(121)의 가장자리 영역만을 덮도록 패터닝될 수 있다. 실시예에 따라, 절연층(130)은 기판(110) 및 도전성 패드(121) 표면의 프로파일을 따라 형성되면서 도전성 패드(121)의 상부면 가장자리를 덮도록 구비될 수 있다. 이러한 절연층(130)은 반도체 칩(100)을 보호하는 패시베이션막으로서 구비될 수 있다.

[0047] 실시예에 따라, 절연층(130)은 한 층 이상의 산화막 혹은 질화막을 포함할 수 있으나, 이에 한정되지는 않는다. 예컨대, 절연층(130)은 실리콘 질화막(SiN_x)으로 구성될 수 있다.

[0048] 실시예에 따라, 범프(122)는 도전성 패드(121)의 노출 영역(즉, 본딩 영역 혹은 컨택 영역) 상에 도전성 패드(121)와 접촉되도록 위치될 수 있다. 일례로, 범프(122)는 도전성 패드(121)와 직접 접촉되도록 도전성 패드(121) 상에 위치될 수 있다. 다만, 본 발명이 반드시 이에 한정되지는 않는다. 즉, 도전성 패드(121) 및 이에 대응하는 범프(122)의 배치 관계와 이들 사이의 연결 구조는 다양하게 변경 실시될 수 있다.

[0049] 실시예에 따라, 범프(122)는, 도전성 패드(121) 상에 위치되어 기판(110)과 반대되는 방향(예컨대, 도 4a 및 도 4b에서의 상부 방향)으로 돌출되는 돔 혹은 반구의 형상을 가질 수 있다. 범프(122)가 돔 혹은 반구의 형상으로 돌출되면, 상기 범프(122)를 구성하는 폴리머막(122b)의 탄성력에 의한 밀착력을 증폭시켜 신뢰성 있는 접속 구조를 제공할 수 있다. 다만, 본 발명이 반드시 이에 한정되지는 않으며, 범프(122)의 형상은 원기둥, 혹은 다각기둥 형상을 비롯하여 다양한 형상으로 변경 실시될 수도 있다.

[0050] 실시예에 따라, 범프(122)는, 메탈 코어(122a)와, 상기 메탈 코어(122a)의 표면을 감싸는 폴리머막(122b)과, 상기 폴리머막(122b)의 표면을 감싸면서 도전성 패드(121)에 전기적으로 연결되는 도전피막(122c)을 포함할 수 있다. 예컨대, 본 발명의 실시예에 의한 범프(122)에 있어서, 메탈 코어(122a)와 폴리머막(122b)은 이중의 복층막 구조를 가진 코어 구조체를 구성할 수 있다. 즉, 본 발명의 실시예에 의한 범프(122)는 메탈 코어드 폴리머 범프(Metal Cored Polymer Bump)로 구현될 수 있다.

[0051] 실시예에 따라, 메탈 코어(122a), 폴리머막(122b) 및 도전피막(122c)은 서로 중첩되도록 배치되며, 이들이 형성되는 영역의 면적이 차례로 증가할 수 있다. 예컨대, 폴리머막(122b)은 메탈 코어(122a)보다 큰 면적을 가지면서 메탈 코어(122a)의 돌출 표면을 덮도록 형성되고, 도전피막(122c)은 폴리머막(122b)보다 큰 면적을 가지면서

폴리머막(122b)의 돌출 표면을 덮도록 형성될 수 있다. 일례로, 폴리머막(122b)은 메탈 코어(122a)의 노출된 표면 전체를 완전히 덮도록 형성되고, 도전피막(122c)은 폴리머막(122b)의 노출된 표면 전체를 완전히 덮도록 형성될 수 있다. 폴리머막(122b)이 메탈 코어(122a)의 표면을 완전히 덮게 되면, 범프(122)가 전반적으로 균일한 탄성을 가질 수 있다. 또한, 도전피막(122c)이 폴리머막(122b)의 표면을 완전히 덮게 되면, 범프(122)의 도전성을 안정적으로 확보할 수 있다.

[0052] 실시예에 따라, 도전피막(122c)은 도전성 패드(121)의 상부면 중, 메탈 코어(122a), 폴리머막(122b) 및 절연층(130)에 의해 덮이지 않은 노출영역(예컨대, 도 3 및 도 4b에서 절연층(130)의 안쪽 경계라인 내부에 정의된 절연층(130)의 개구 영역 중, 폴리머막(122b)에 의해 덮이지 않는 영역)을 덮으면서 도전성 패드(121)와 접촉됨으로써 상기 도전성 패드(121)에 전기적으로 연결될 수 있다. 다만, 본 발명이 반드시 이에 한정되지는 않으며, 도전성 패드(121)와 범프(122) 사이의 접속 구조는 변경 실시될 수 있다.

[0053] 실시예에 따라, 메탈 코어(122a)는 5 μ m 내지 6 μ m의 높이(H1)(혹은, 두께)를 가질 수 있다. 일례로, 메탈 코어(122a)는 도전성 패드(121)의 일면(예컨대, 메탈 코어(122a)가 접촉되는 일면)을 기준으로, 5 μ m 내지 6 μ m의 높이(H1)를 가지도록 형성될 수 있다. 다만, 메탈 코어(122a)의 높이(H1)가 반드시 이에 한정되는 것은 아니며, 메탈 코어(122a)의 높이(H1) 및 그 형성 면적 등은 도전성 패드(121) 및/또는 범프(122)의 크기 및/또는 피치에 따라 달라질 수 있다. 또한, 메탈 코어(122a)의 높이(H1)는 범프(122)에서 요구되는 탄성의 정도에 따라서도 달라질 수 있다. 일례로, 메탈 코어(122a)의 높이(H1)는, 범프(122)에서 요구되는 탄성의 크기 범위에 따라 설정된 폴리머막(122b)의 두께(H2) 및 범프(122)의 총 높이(H1+H2+H3)에 부합되도록 설정될 수 있다. 즉, 메탈 코어(122a)의 높이(H1)는 도전성 패드(121) 및/또는 범프(122)의 피치 등을 고려하여 설정된 범프(122)의 총 높이(H1+H2+H3)와 더불어, 폴리머막(122b)의 설정 두께(H2)를 종합적으로 고려하여 결정될 수 있을 것이다.

[0054] 실시예에 따라, 메탈 코어(122a)는 금(Au), 주석(Sn), 니켈(Ni), 타이타늄(Ti) 및 이들의 합금 중 적어도 하나로 형성된 한 층 이상의 도전막으로 구성될 수 있다. 다만, 본 발명이 이에 한정되지는 않으며, 메탈 코어(122a)를 구성하는 도전성 물질은 변경될 수 있다. 예컨대, 메탈 코어(122a)는 구리(Cu), 은(Ag), 금(Au), 백금(Pt), 팔라듐(Pd), 니켈(Ni), 주석(Sn), 알루미늄(Al), 코발트(Co), 로듐(Rh), 이리듐(Ir), 철(Fe), 루테튬(Ru), 오스뮴(Os), 망간(Mn), 몰리브덴(Mo), 텅스텐(W), 니오브(Nb), 탄탈럼(Ta), 타이타늄(Ti), 비스머스(Bi), 안티몬(Sb), 납(Pb) 중 적어도 하나의 금속, 혹은 이들의 합금 중 적어도 하나의 금속 물질로 구성될 수 있다.

[0055] 실시예에 따라, 폴리머막(122b)은 메탈 코어(122a)보다 큰 면적을 가지면서 메탈 코어(122a)의 표면을 덮도록 형성될 수 있다. 예컨대, 폴리머막(122b)은 메탈 코어(122a)의 상부면 및 측면을 포함한 표면을 완전히 덮도록 메탈 코어(122a)의 표면에 코팅될 수 있다.

[0056] 실시예에 따라, 피치 조건 등을 고려한 범프(122)의 총 높이(H1+H2+H3)가 8 μ m 내지 15 μ m로 설정되었다고 가정할 때, 폴리머막(122b)은 1 μ m 내지 3 μ m의 두께(H2)(혹은, 높이)를 가지도록 메탈 코어(122a)의 표면에 얇게 코팅될 수 있다. 다만, 폴리머막(122b)의 두께(H2)가 반드시 이에 한정되는 것은 아니며, 폴리머막(122b)의 두께(H2)는 범프(122)에서 요구되는 탄성 범위 및/또는 그 구성 물질에 따라 달라질 수 있다.

[0057] 한편, 폴리머막(122b)의 두께(H2)가 너무 작으면, 일례로 1 μ m 이하이면, 환경변화나 외부에서 가해지는 충격에 따라 안정적인 접속 구조를 제공하는 데에 필요한 정도의 탄성을 얻기 어려울 수 있다. 또한, 폴리머막(122b)의 두께(H2)가 너무 크면, 일례로 7 μ m 이상이면, 다른 전자장치의 접속 패드와의 압착 공정 시 가해지는 하중(일례로 10MPa 이상의 하중)에 의한 크랙이나 터짐이 발생할 수 있다. 즉, 실시예에 따라, 폴리머막(122b)의 두께(H2)는 소정 범위의 탄성을 제공하면서, 크랙이나 터짐이 방지되도록 1 μ m 내지 7 μ m 범위 내에서 설정될 수 있다.

[0058] 즉, 본 발명의 실시예에서는 메탈 코어(122a)와 폴리머막(122b)을 포함한 적어도 이중막 구조로 범프(122)의 코어 구조체를 구성한다. 이에 따라, 환경변화나 외부 압력에 대하여 컴플라이언트(compliant)하게 반응하여 접속 구조를 안정화할 수 있는 정도의 탄성을 보유하면서도 압착 공정 시의 크랙이나 터짐이 방지될 수 있을 정도의 범위 내로 폴리머막(122b)의 탄성을 제한하여 범프(122)를 구성할 수 있다. 예컨대, 메탈 코어(122a) 및 폴리머막(122b)의 높이(혹은 두께)(H1, H2), 크기 및/또는 그 구성 물질을 조절함으로써, 원하는 크기 및/또는 피치의 접속 단자(120)에 부합되는 범프(122)를 구성하면서도, 폴리머막(122b)의 크랙이나 터짐이 방지되는 범위 내에서 접속 구조가 안정화된 컴플라이언트 범프(122)를 구성할 수 있다.

[0059] 실시예에 따라, 폴리머막(122b)은 탄성을 가지는 폴리머 물질로 이루어지는 것으로서, 폴리머 물질 중 그 재료

가 특별히 한정되지는 않는다. 일례로, 폴리머막(122b)은 에폭시 수지의 폴리머 물질로 이루어질 수 있다. 또한, 폴리머막(122b)은 단일막 혹은 다층막으로 구성될 수 있는 것으로서, 그 막 구조가 특별히 한정되지는 않는다.

[0060] 실시예에 따라, 폴리머막(122b)은 메탈 코어(122a)와 함께 범프(122)의 코어 구조체를 구성하며, 상기 코어 구조체의 높이(H1+H2)(혹은 두께)는 6 μ m 내지 9 μ m일 수 있다. 다만, 본 발명이 이에 한정되지는 않으며, 코어 구조체의 높이(H1+H2)는 반도체 칩(100)에 연결되는 전자장치의 접속 패드에 안정적으로 연결되면서 컴플라이언트한 특성을 제공할 수 있을 정도의 범위 내에서 설정될 수 있다. 또한, 코어 구조체의 높이(H1+H2)는 접속 단자(120)의 크기 및/또는 인접한 접속 단자들(120) 사이의 피치에 따라 다양하게 변경될 수 있다.

[0061] 실시예에 따라, 도전피막(122c)은 폴리머막(122b)보다 큰 면적을 가지면서 폴리머막(122b)의 표면을 완전히 덮도록 형성될 수 있다. 예컨대, 도전피막(122c)은, 폴리머막(122b)의 표면과 더불어, 도전성 패드(121)의 상부면 중, 메탈 코어(122a), 폴리머막(122b) 및 절연층(130)에 의해 덮이지 않는 노출영역을 덮으면서 도전성 패드(121)와 접촉되어 상기 도전성 패드(121)에 전기적으로 연결될 수 있다. 예컨대, 도전피막(122c)은 절연층(130)의 안쪽 경계라인 주변에서 도전성 패드(121)에 접촉될 수 있다. 다만, 본 발명이 반드시 이에 한정되지는 않으며, 도전성 패드(121)와 도전피막(122c) 사이의 접속 구조는 변경 실시될 수 있다.

[0062] 실시예에 따라, 도전피막(122c)은 2 μ m 내지 6 μ m의 두께(H3)(혹은, 높이)를 가질 수 있으나, 이에 한정되지는 않는다. 예컨대, 도전피막(122c)의 두께(H3)는, 도전피막(122c)이 비도전성 폴리머막(122b)의 표면을 안정적으로 덮음으로써 범프(122)에 필요한 도전성은 확보되도록 하면서도, 접속 단자(120)의 크기 및/또는 인접한 접속 단자들(120) 사이의 피치에 부합되도록 설정된 범프(122)의 높이(H1+H2+H3) 범위 내에서 결정될 수 있다. 일례로, 접속 단자(120)의 크기 및/또는 인접한 접속 단자들(120) 사이의 피치가 10 μ m 내지 15 μ m 이하 수준으로 미세할 경우, 범프(122)의 총 높이(H1+H2+H3)는 8 μ m 내지 15 μ m로 설정될 수 있다. 다만, 범프(122)의 높이(H1+H2+H3)가 반드시 이에 한정되는 것은 아니며, 이는 반도체 칩(100)의 설계 조건에 따라 변경될 수 있다.

[0063] 실시예에 따라, 도전피막(122c)은 폴리머막(122b)의 표면에 코팅된 한 층 이상의 도전막으로 구성될 수 있다. 일례로, 도전피막(122c)은 구리(Cu), 은(Ag), 금(Au), 백금(Pt), 팔라듐(Pd), 니켈(Ni), 주석(Sn), 알루미늄(Al), 코발트(Co), 로듐(Rh), 이리듐(Ir), 철(Fe), 루테튬(Ru), 오스뮴(Os), 망간(Mn), 몰리브덴(Mo), 텅스텐(W), 니오브(Nb), 탄탈륨(Ta), 타이타늄(Ti), 비스머스(Bi), 안티몬(Sb), 납(Pb) 중 적어도 하나의 금속, 혹은 이들의 합금으로 구성된 한 층 이상의 금속막으로 구성될 수 있으나, 이에 한정되지는 않는다. 또한, 전술한 물질 외에도 도전성을 제공할 수 있는 물질이면 도전피막(122c)을 구성하는 물질로 이용될 수 있다. 이러한 도전피막(122c)은 반도체 칩(100)에 연결되는 전자장치의 접속 패드와의 사이에서 각종 신호 및/또는 전원의 전달에 필요한 도전성을 제공할 수 있는 도전물질로 구성된다.

[0064] 전술한 바와 같은 본 발명의 실시예는, 메탈 코어드 폴리머 범프(122)를 구비한 반도체 칩(100)을 제공한다. 이러한 본 발명의 실시예에 의하면, 신뢰성이 높은 접속 구조를 제공하는 반도체 칩 및 이를 구비한 전자장치(일례로, 표시장치)를 제공할 수 있다.

[0065] 보다 구체적으로, 본 발명의 실시예에 의하면, 폴리머막(122b)의 컴플라이언트한 특성에 의해, 일례로 고형 금속 범프 대비 다양한 환경변화 및 외부 압력에 대하여 보다 컴플라이언트하게 반응할 수 있는 반도체 칩(100)을 제공할 수 있다. 이에 따라, 반도체 칩(100)과 이에 연결되는 전자장치 사이의 접속 구조를 안정화할 수 있다.

[0066] 또한, 본 발명의 실시예에서는, 폴리머막(122b)의 내부에 메탈 코어(122a)를 구성함으로써, 용이한 접속을 위해 필요한 범프(122)의 두께(H1+H2+H3)를 충분히 확보하면서도 폴리머막(122b)으로만 코어를 구성하는 구조에 비해 탄성의 범위를 용이하게 제한할 수 있다. 즉, 본 발명의 실시예에서는 폴리머막(122b)으로만 구성된 단일 코어 구조에 비해 폴리머막(122b)의 두께(H2)를 낮출 수 있다. 일례로, 본 발명의 실시예에서는 폴리머막(122b)의 두께(H2)를 7 μ m 이하로 낮춤으로써, 압착 공정(본딩 공정) 시 범프(122)에 소정 범위의 하중이 가해지더라도 폴리머막(122b)의 크랙이나 터짐이 방지되도록 할 수 있다. 이에 따라, 압착 공정 시 발생할 수 있는 불량률을 저감하고, 양산성을 확보할 수 있다.

[0067] 추가적으로, 본 발명의 실시예에서는 도전피막(122c)으로 코팅됨으로써 도전성을 가지는 폴리머 범프(122)를 반도체 칩(100) 자체에 고정적으로 형성한다. 예컨대, 본 발명의 실시예에 의한 반도체 칩(100)의 일면(예컨대, 도전성 패드(121)의 일면)에는 다수의 도전성 폴리머 범프들(122)이 형성될 수 있다. 이에 따라, 반도체 칩(100)을 전자장치에 실장할 때, 도전성 입자를 가지는 ACF를 이용할 필요가 없게 된다. 따라서, 불균일하게 분포되는 ACF의 도전성 입자에 의한 쇼트 결함이나 오픈 불량을 방지하고, 반도체 칩(100)과 전자장치 사이의 접

속 구조를 안정화할 수 있다.

- [0069] 도 5a는 도 3의 I-I' 선에 따른 단면의 다른 예를 나타내는 단면도이다. 그리고, 도 5b는 도 3의 II-II' 선에 따른 단면의 다른 예를 나타내는 단면도이다. 도 5a 및 도 5b에서, 도 3 내지 도 4b에 도시된 실시예와 유사 또는 동일한 구성 요소에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.
- [0070] 도 5a 및 도 5b를 참조하면, 도전성 패드(121) 및 도전피막(122c) 중 적어도 하나는 이중층 혹은 그 이상의 다중층으로 구성될 수 있다. 예컨대, 도전성 패드(121) 및/또는 도전피막(122c)의 저항 값이나 계면 특성을 고려하여 이들 중 적어도 하나를 적어도 두 개의 도전층을 포함하는 적층 구조로 구성할 수 있다.
- [0071] 실시예에 따라, 도전성 패드(121)는 적어도 일 영역이 중첩된 제1 도전층(121a) 및 제2 도전층(121b)을 포함한 적층 구조로 구성될 수 있다. 편의상, 도 5a 내지 도 5b에서는 제1 도전층(121a) 및 제2 도전층(121b)이 동일한 면적을 가지면서 완전히 중첩된 것으로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 즉, 제1 도전층(121a) 및 제2 도전층(121b)의 크기(면적 및 두께 등) 및/또는 이들 사이의 배치 구조는 다양하게 변경 실시될 수 있다.
- [0072] 실시예에 따라, 도전피막(122c)은 적어도 일 영역이 중첩된 제3 도전층(122c1) 및 제4 도전층(122c2)을 포함한 적층 구조로 구성될 수 있다. 예컨대, 도전성 재료를 이용하여 폴리머막(122b)의 표면을 적어도 이중으로 코팅함으로써, 범프(122)의 도전성을 안정적으로 확보할 수 있다.
- [0074] 도 6은 본 발명의 일 실시예에 의한 전자장치를 나타내는 사시도이다. 그리고, 도 7은 도 6의 III-III' 선에 따른 단면의 일례를 나타내는 단면도이다. 실시예에 따라, 도 6 및 도 7에서는 전자장치의 일례로서 표시장치를 도시하기로 하나, 본 발명에 의한 전자장치가 반드시 표시장치에만 국한되지는 않는다. 도 6 및 도 7에서, 도 1 내지 도 5에 도시된 실시예와 유사 또는 동일한 구성 요소에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.
- [0075] 도 6 및 도 7을 참조하면, 본 발명의 일 실시예에 의한 전자장치, 예컨대, 표시장치는 표시패널(200)과 이에 실장된 반도체 칩(100)을 포함한다.
- [0076] 실시예에 따라, 표시패널(200)은 적어도 활성영역(Active Area; AA)에서 서로 중첩되는 제1 기관(210) 및 제2 기관(220)과, 제1 기관(210)의 비활성영역(Non-active Area; NA)에 배치된 다수의 접속 패드들(211)을 포함한다. 활성영역(AA)은 적어도 화소들(미도시)이 배치되는 영역으로서, 영상이 표시되는 영역을 의미할 수 있다. 비활성영역(NA)은 활성영역(AA)을 제외한 나머지 영역을 의미하는 것으로서, 일례로 배선영역, 패드영역 및/또는 각종 더미영역 등을 포함할 수 있다. 실시예에 따라, 표시패널(200)은 유기전계발광 표시패널, 액정 표시패널, 및 플라즈마 표시패널 중 하나일 수 있으나, 표시패널(200)의 종류가 이에 한정되지는 않는다.
- [0077] 실시예에 따라, 제1 기관(210) 및 제2 기관(220) 중 적어도 하나는 유리 기관 혹은 플라스틱 기관일 수 있으나, 이에 한정되지는 않는다. 예컨대, 제1 기관(210) 및/또는 제2 기관(220)은, 폴리에테르술폰(PES, polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테르이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylene naphthalate), 폴리에틸렌 테레프탈레이트(PET, polyethylene terephthalate), 폴리페닐렌 설파이드(PPS, polyphenylene sulfide), 폴리아릴레이트(PAR, polyarylate), 폴리이미드(PI, polyimide), 폴리카보네이트(PC, Polycarbonate), 셀룰로오스 트리 아세테이트(TAC) 및 셀룰로오스아세테이트 프로피오네이트(CAP, cellulose acetate propionate) 중 적어도 하나의 물질을 포함한 가요성 기관(flexible substrate)일 수 있다. 또한, 제1 기관(210) 및/또는 제2 기관(220)은 유리(glass) 및 강화 유리 중 하나의 물질을 포함하는 경성 기관(rigid substrate)일 수도 있다. 한편, 제1 기관(210) 및/또는 제2 기관(220)은 투명한 재질의 기관일 수 있으나, 이에 한정되지는 않는다. 일례로, 제1 기관(210) 및/또는 제2 기관(220)은 불투명 및/또는 반사성 기관일 수도 있다.
- [0078] 또한, 실시예에 따라, 제1 기관(210) 및 제2 기관(220) 중 적어도 하나는, 적어도 한 층의 무기막 및/또는 유기막을 포함하는 절연층으로 구현될 수도 있다. 예컨대, 제2 기관(220)은 적어도 한 층의 무기막 및/또는 유기막을 포함하는 박막 봉지층(Thin Film Encapsulation; TFE)일 수 있다.
- [0079] 실시예에 따라, 접속 패드들(211)은 도전성 물질로 구성되어, 도시되지 않은 각종 신호선들 및/또는 전원선들에 접속될 수 있다. 이러한 접속 패드들(211)은 표시패널(200)과 반도체 칩(100)의 사이에서 표시패널(200)을 구동

하기 위한 각종 전원들 및/또는 신호들을 전달할 수 있다.

- [0080] 실시예에 따라, 반도체 칩(100)은, 제1 기판(210) 상의 비활성 영역(NA)에 실장될 수 있다. 이러한 반도체 칩(100)은, 앞서 도 1 내지 도 5b의 실시예에 의한 반도체 칩(100)일 수 있다. 즉, 반도체 칩(100)은, 기판(110) 및 적어도 하나의 도전성 패드(121)를 포함하는 바디부와, 도전성 패드(121)에 전기적으로 연결되는 적어도 하나의 메탈 코어드 폴리머 범프(122)를 구비할 수 있다. 서로 연결되는 도전성 패드(121)와 범프(122)는 각각의 접속 단자(120)를 구성한다.
- [0081] 실시예에 따라, 반도체 칩(100)은, 표시패널(200)을 구동하기 위한 구동회로를 포함할 수 있다. 일례로, 반도체 칩(100)의 내부(예컨대, 회로층)에는 도시되지 않은 주사 구동회로 및/또는 데이터 구동회로가 집적될 수 있다.
- [0082] 실시예에 따라, 표시패널(200)의 접속 패드들(211)과 반도체 칩(100)의 도전성 패드들(121)은 범프들(122)에 의해 서로 전기적으로 연결될 수 있다. 예컨대, 접속 패드들(211)과 도전성 패드들(121)은 각각 하나씩 서로 쌍을 이루어 마주하도록 배치되고, 각각의 접속 패드(211)와 이에 마주하는 도전성 패드(121)는 이들 사이에 위치한 해당 범프(122)에 의해 전기적으로 연결될 수 있다.
- [0083] 실시예에 따라, 범프들(122) 각각은, 도 3 내지 도 5b의 실시예에서 설명한 바와 같이, 컴플라이언트한 특성을 보유한 메탈 코어드 폴리머 범프일 수 있다. 예컨대, 범프들(122) 각각은, 메탈 코어(122a)와, 상기 메탈 코어(122a)의 표면을 감싸는 폴리머막(122b)과, 상기 폴리머막(122b)의 표면을 감싸며 접속 패드들(211) 중 대응하는 접속 패드(211)에 전기적으로 연결되는 도전피막(122c)을 포함할 수 있다. 즉, 범프들(122) 각각은, 도전성 패드들(121) 중 대응하는 도전성 패드(121)와 접속 패드들(211) 중 대응하는 접속 패드(211) 사이에 전기적으로 연결되어 서로 대응하는 도전성 패드(121) 및 접속 패드(211)를 통전시킬 수 있다.
- [0084] 실시예에 따라, 표시패널(200)과 반도체 칩(100)의 사이에는 비도전성 필름(Non-conductive Film; NCF)과 같은 비도전성 접착층(300)이 구비될 수 있다. 이러한 비도전성 접착층(300)은 표시패널(200)과 반도체 칩(100)의 사이에 개재되어 표시패널(200) 상에 반도체 칩(100)을 안정적으로 접착할 수 있다.
- [0086] 도 8은 본 발명의 일 실시예에 의한 표시패널을 나타내는 사시도이다. 그리고, 도 9는 도 8의 IV-IV' 선에 따른 단면의 일례를 나타내는 단면도이다. 도 8 및 도 9에서, 도 1 내지 도 7에 도시된 실시예와 유사 또는 동일한 구성 요소에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.
- [0087] 도 8 및 도 9를 참조하면, 앞서 도 1 내지 도 7에서 설명한 메탈 코어드 폴리머 범프(122)와 같이 접속 구조를 향상시킬 수 있는 범프 구조체가 표시패널(200)의 패드부(230)에 적용될 수도 있다. 다만, 앞서 설명한 메탈 코어드 폴리머 범프(122)와의 혼동을 방지하기 위하여, 패드부(230)에 적용된 범프 구조체는 돌출 패드(213)로 명명하기로 한다.
- [0088] 실시예에 따라, 표시패널(200)은, 적어도 활성영역(AA)에서 서로 중첩되는 제1 기판(210) 및 제2 기판(220)과, 상기 제1 기판(210)의 일 영역, 예컨대 비활성영역(NA)에 배치되는 패드부(230)를 구비한다.
- [0089] 실시예에 따라, 제1 기판(210) 및 제2 기판(220) 중 적어도 하나는 유리 기판 혹은 플라스틱 기판일 수 있으나, 이에 한정되지는 않는다. 또한, 제1 기판(210) 및 제2 기판(220) 중 적어도 하나는 경성 기판 혹은 가요성 기판일 수 있다. 또한, 실시예에 따라, 제1 기판(210) 및 제2 기판(220) 중 적어도 하나, 일례로, 제2 기판(220)은 적어도 한 층의 무기막 및/또는 유기막을 포함하는 박막 봉지층일 수 있다.
- [0090] 실시예에 따라, 패드부(230)는, 반도체 칩(100) 등과 같은 외부 회로소자와의 안정적인 접속을 위한 다수의 돌출 패드들(213)과, 상기 돌출 패드들(213) 각각에 전기적으로 연결되는 다수의 접속 패드들(211)을 포함한다.
- [0091] 실시예에 따라, 각각의 돌출 패드(213)는 이에 대응하는 접속 패드(211)의 일면 상에 배치될 수 있다. 예컨대, 돌출 패드(213)는 보호막(212)에 의해 커버되지 않는 접속 패드(211)의 노출면 상에 직접 접촉되도록 배치될 수 있다. 실시예에 따라, 보호막(212)은 제1 기판(210)의 비활성영역(NA)의 일면을 전면적으로 커버하되, 접속 패드들(211)의 일 영역을 노출하는 개구부를 가질 수 있다.
- [0092] 실시예에 따라, 돌출 패드(213)는 앞서 설명한 메탈 코어드 폴리머 범프(122)와 실질적으로 동일 또는 유사한 구조를 가질 수 있다. 예컨대, 각각의 돌출 패드(213)는, 이에 대응하는 접속 패드(211)의 일면 상에 배치된 메탈 코어(213a)와, 상기 메탈 코어(213a)의 표면을 감싸는 폴리머막(213b)과, 상기 폴리머막(213b)의 표면을 감싸는 도전피막(213c)을 포함할 수 있다.

- [0093] 실시예에 따라, 돌출 패드(213)는 이에 대응하는 접속 패드(211)의 일면에 배치되어 제1 기관(210)과 반대되는 방향(예컨대, 상부 방향)으로 돌출되고, 폴리머막(213b)은 메탈 코어(213a)의 돌출 표면을 덮을 수 있다. 일례로, 폴리머막(213b)은 메탈 코어(213a)의 노출된 표면 전체를 완전히 덮을 수 있다. 실시예에 따라, 폴리머막(213b)은 접속 구조를 안정화할 수 있는 정도의 탄성을 제공하면서도 압착 공정 시의 크랙이나 터짐이 방지되도록 1 μ m 내지 7 μ m의 두께를 가질 수 있다.
- [0094] 실시예에 따라, 도전피막(213c)은 폴리머막(213b)의 돌출 표면을 덮을 수 있다. 일례로, 도전피막(213c)은 폴리머막(213b)의 노출된 표면 전체를 완전히 덮을 수 있다.
- [0095] 전술한 실시예에 의한 표시패널(200)은 메탈 코어에 폴리머 돌출 패드(213)를 구비함으로써, 외부의 회로소자와 접속될 때 신뢰성이 높은 접속 구조를 제공할 수 있다.
- [0097] 도 10은 본 발명의 다른 실시예에 의한 전자장치를 나타내는 단면도이다. 도 10에서, 도 1 내지 도 9에 도시된 실시예와 유사 또는 동일한 구성 요소에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.
- [0098] 도 10을 참조하면, 본 발명의 다른 실시예에 의한 전자장치, 예컨대 표시장치는, 서로 전기적으로 연결된 반도체 칩(100) 및 표시패널(200)을 포함한다. 실시예에 따라, 반도체 칩(100)과 표시패널(200)의 사이에는 비도전성 접촉층(300)이 개재될 수 있다.
- [0099] 실시예에 따라, 표시패널(200)은 도 8 내지 도 9에서 설명한 표시패널일 수 있다. 즉, 표시패널(200)은 메탈 코어(213a), 폴리머막(213b) 및 도전피막(213c)을 포함한 다수의 돌출 패드들(213)과, 상기 돌출 패드들(213)에 전기적으로 연결되는 다수의 접속 패드들(211)을 구비한 표시패널일 수 있다.
- [0100] 실시예에 따라, 반도체 칩(100)은, 표시패널(200)의 돌출 패드들(213) 각각에 접속되는 다수의 접속 단자들(120')을 구비할 수 있다. 실시예에 따라, 접속 단자들(120') 각각은 도전성 패드(121) 및 이에 전기적으로 연결되는 범프(122')를 구비할 수 있다.
- [0101] 실시예에 따라, 범프들(122')은 각각의 도전성 패드(121)에 전기적으로 연결되는 메탈 범프일 수 있다. 다만, 본 실시예에서, 범프(122')가 메탈 범프에 한정되지는 않는다. 예컨대, 본 실시예에 의한 반도체 칩(100)은 앞서 도 1 내지 도 7에서 설명한 메탈 코어에 폴리머 범프(122)를 구비한 반도체 칩일 수도 있다.
- [0102] 즉, 본 발명의 실시예에서 반도체 칩(100) 및 표시패널(200) 중 어느 하나, 혹은 반도체 칩(100) 및 표시패널(200) 모두는, 메탈 코어에 폴리머 범프 구조체(메탈 코어에 폴리머 범프(122), 또는 메탈 코어에 폴리머 돌출 패드(213))를 구비할 수 있다. 이러한 본 발명의 실시예에 의하면, 반도체 칩(100)과 표시패널(200)의 사이에서 신뢰성 있는 접속 구조를 제공할 수 있다.
- [0104] 본 발명의 기술 사상은 전술한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형 예가 가능함을 이해할 수 있을 것이다.
- [0105] 본 발명의 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라, 특허 청구범위에 의해 정해져야만 할 것이다. 또한, 특허 청구범위의 의미 및 범위, 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

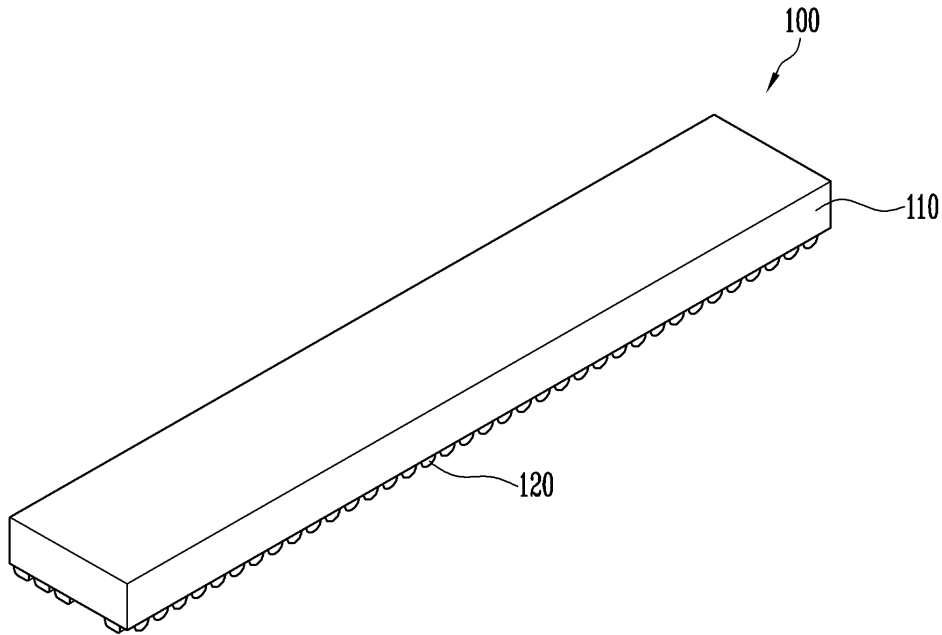
부호의 설명

- [0107] 100: 반도체 칩 110: 기관
- 120: 접속 단자 121: 도전성 패드
- 122, 122': 범프 122a, 213a: 메탈 코어
- 122b, 213b: 폴리머막 122c, 213c: 도전피막

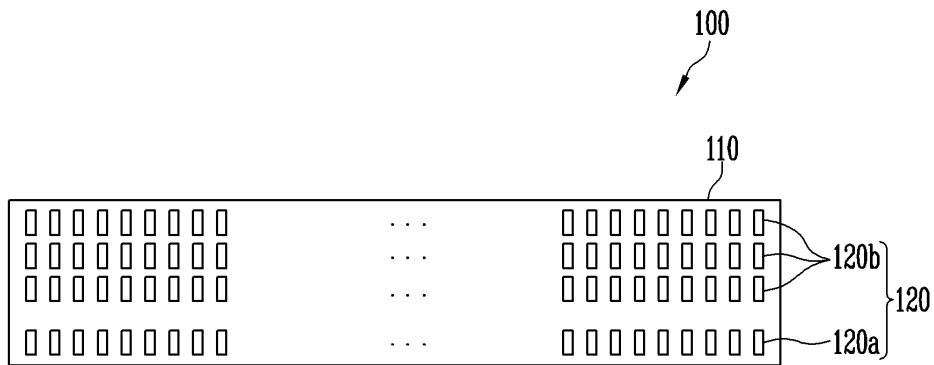
- 130: 절연층 200: 표시패널
- 211: 접속 패드 212: 보호막
- 213: 돌출 패드 230: 패드부
- 300: 비도전성 접착층

도면

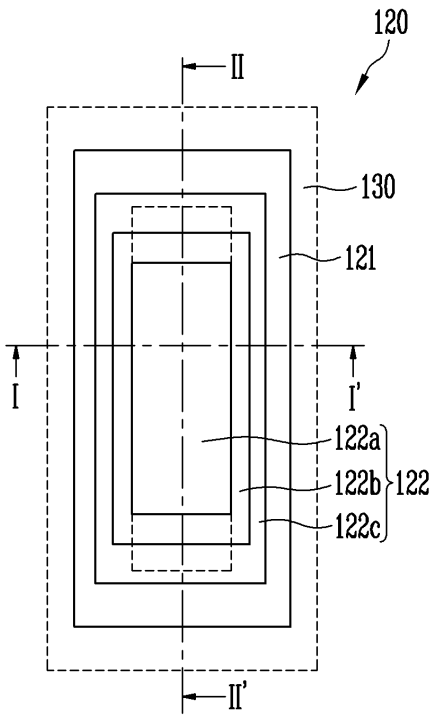
도면1



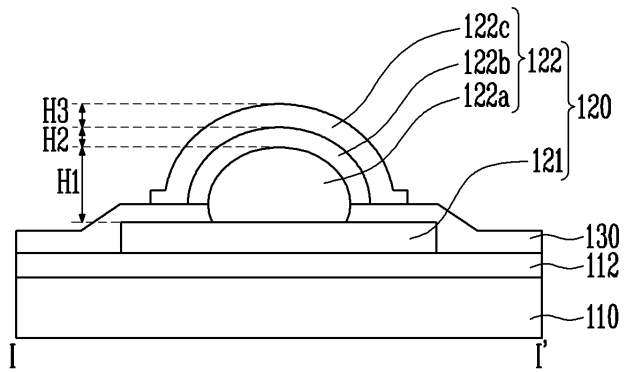
도면2



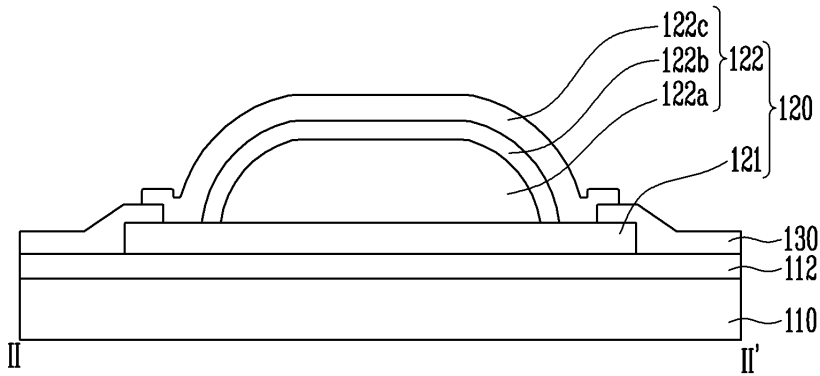
도면3



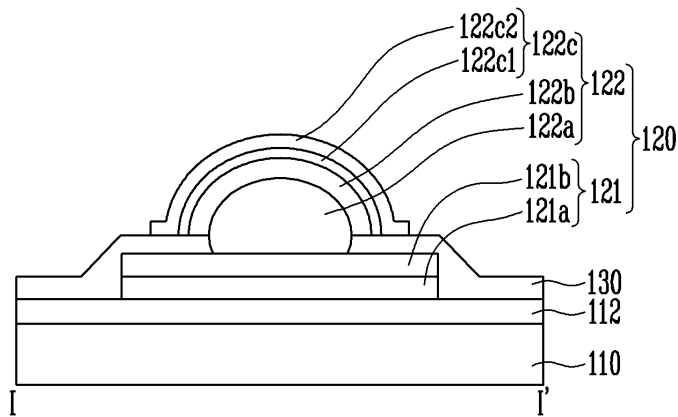
도면4a



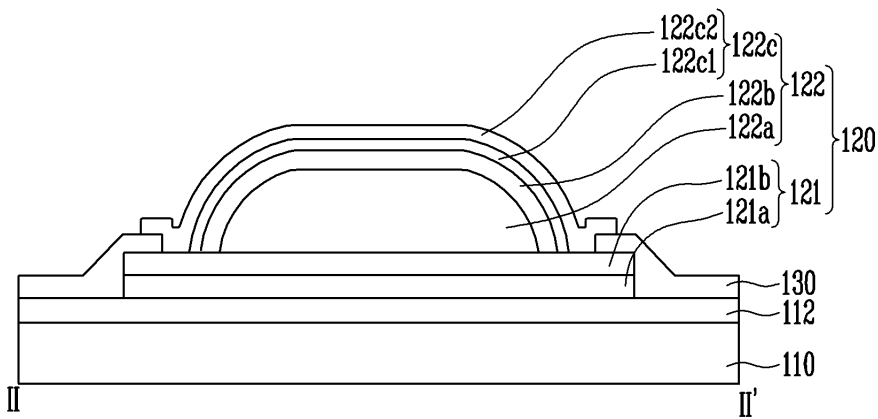
도면4b



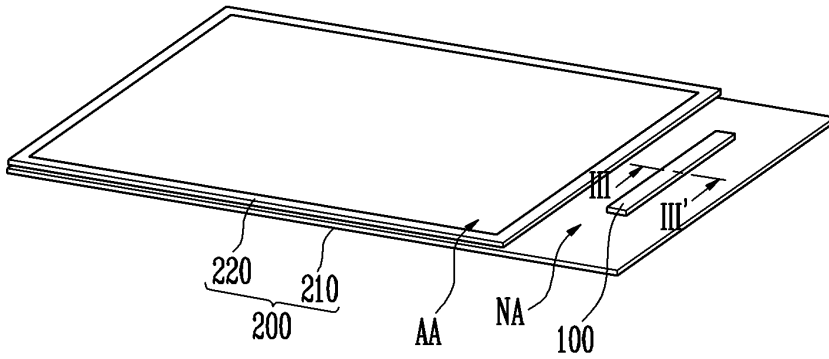
도면5a



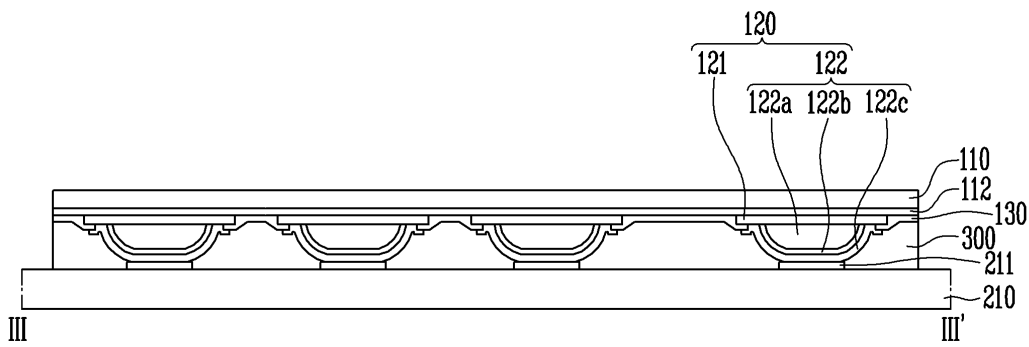
도면5b



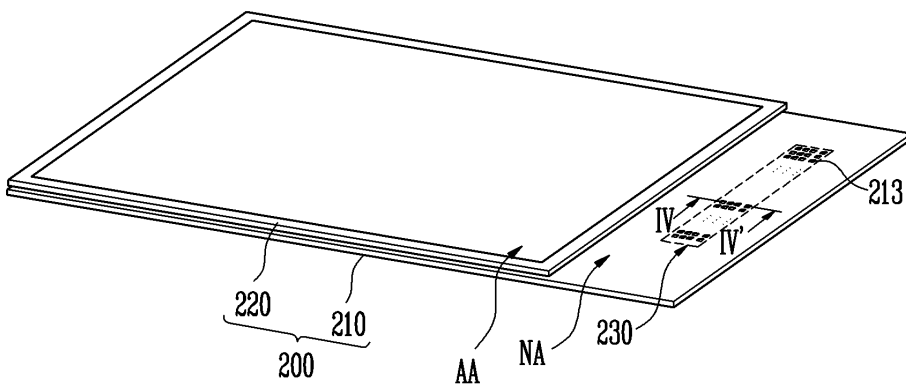
도면6



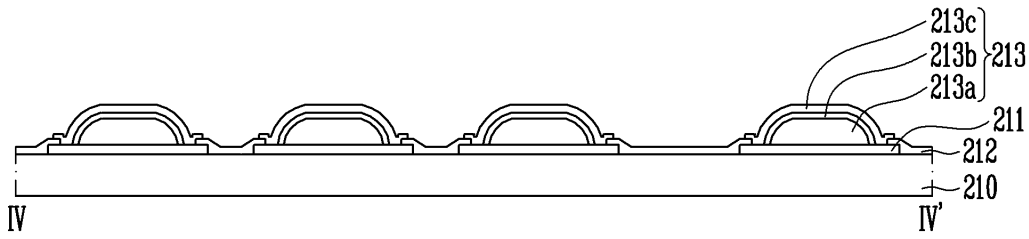
도면7



도면8



도면9



도면10

