

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)



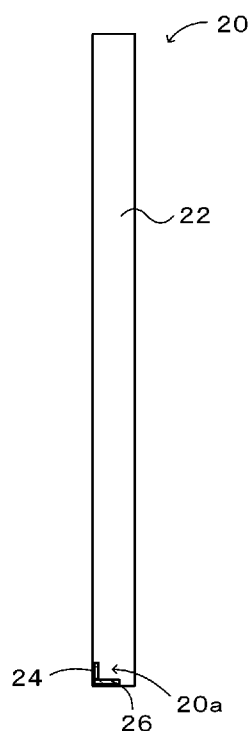
(10) 国際公開番号

WO 2018/043173 A1

- (51) 国際特許分類:
G01R 1/06 (2006.01) *H01L 29/82* (2006.01)
G01R 33/32 (2006.01)
- (21) 国際出願番号: PCT/JP2017/029750
- (22) 国際出願日: 2017年8月21日(21.08.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-167903 2016年8月30日(30.08.2016) JP
- (71) 出願人: 国立大学法人東京大学 (THE UNIVERSITY OF TOKYO) [JP/JP]; 〒1138654 東京都文京区本郷七丁目3番1号 Tokyo (JP).
- (72) 発明者: 保原 麗 (HOBARA, Rei); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP).
- (74) 代理人: 特許業務法人アイテック国際特許事務所 (ITEC INTERNATIONAL PATENT FIRM); 〒1410031 東京都品川区西五反田2-19-3 五反田第一生命ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: PROBE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: プローブおよびその製造方法



(57) **Abstract:** In the present invention, a substrate formed from an insulator or semiconductor, a first layer formed from a conductive magnetic material, and a second layer formed from a conductive non-magnetic material are laminated, in that order, on a distal end part of a probe, and the second layer is formed so as to have a predetermined thickness that is thinner than the thickness at which spin is weakened. Further, it is possible to apply spin current to the spin device from the second layer by causing current to flow between the first layer and the second layer in a state in which the part where



NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

the first layer and second layer are laminated is in contact with the spin device. Additionally, bringing the part where the first layer and second layer are laminated into contact with a spin device generating spin voltage makes it possible to measure the spin voltage of the spin device.

(57) 要約: プローブでは、先端部に、絶縁体または半導体により形成される基板と、導電性の磁性体により形成される第1層と、導電性の非磁性体により形成される第2層と、がこの順で積層されており、第2層は、厚さがスピンの緩和するよりも薄い厚さとして予め定められた所定厚さとなるように形成されている。そして、第1層と第2層とが積層されている部分をスピndeバイスに接触させた状態で第1層と第2層との間に電流を流すことにより、第2層からスピndeバイスにスピン流を注入することができる。また、第1層と第2層とが積層されている部分をスピン圧が発生しているスピndeバイスに接触させることにより、スピndeバイスのスピン圧を測定することができる。

明 細 書

発明の名称：プローブおよびその製造方法

技術分野

[0001] 本発明は、プローブおよびその製造方法、特に、スピndeバースを検査するためのプローブおよびその製造方法に関する。

背景技術

[0002] 従来、この種のプローブとしては、カーボンナノチューブを非磁性体であるPt（白金）で被覆して形成されるものが提案されている（例えば、非特許文献1参照）。このプローブでは、プローブの先端を被検査体としてのBi（ビスマス）の薄膜に接触させて、プローブから薄膜に電流を流すことにより、ラシュバ効果によりスピン偏極した電流（スピン流）を薄膜に生成する。こうして生成したスピン流に対して逆スピンホール効果により発生する電圧を測定することで、スピndeバースのスピンの状態を検出している。

先行技術文献

非特許文献

[0003] 非特許文献1：東野剛之，平原徹，長谷川修司、「ビスマス超薄膜の表面状態における電流誘起スピン偏極の測定」、日本物理学会 2011年秋季大会、2011年9月23日

発明の概要

[0004] しかしながら、上述のプローブでは、スピndeバースに電流を流す必要があるから、スピndeバースとしては導電体から形成されているものに限定されてしまう。また、スピndeバースに電流を流すから、測定した電圧には電流に起因する電圧が含まれ、スピン流に起因する電圧を測定することが困難となってしまふ。したがって、スピndeバースへの電流の流れ込みを抑制しつつスピン流を注入することが望まれている。

[0005] また、こうしたプローブでは、スピndeバースのスピン圧を測定することも望まれている。

[0006] 本発明のプローブおよびその製造方法は、スピndeバイスへの電流の流れ込みを抑制しつつスピン流を注入したり、スピndeバイスのスピン圧を測定したりすることが可能なプローブを提供することを主目的とする。

[0007] 本発明のプローブおよびその製造方法は、上述の主目的を達成するために以下の手段を採った。

[0008] 本発明のプローブは、
スピndeバイスの検査に用いるプローブであって、
先端部に、絶縁体または半導体により形成される基板と、導電性の磁性体により形成される第1層と、導電性の非磁性体により形成される第2層と、がこの順で積層されており、
前記第2層は、厚さがスピndeが緩和するよりも薄い厚さとして予め定められた所定厚さとなるように形成されている、
ことを要旨とする。

[0009] この本発明のプローブは、先端部に、絶縁体または半導体により形成される基板と、導電性の磁性体により形成される第1層と、導電性の非磁性体により形成される第2層と、がこの順で積層されている。そして、第2層は、厚さがスピndeが緩和するよりも薄い厚さとして予め定められた所定厚さとなるように形成されている。第1層と第2層との間に電流を流すと、第1層と第2層との界面に電流が流れ、第2層のこの界面付近に電流の向きおよび磁性体の磁化の向きに応じたスピndeの蓄積が生じてスピン圧が生成される。第2層は、所定厚さに形成されている。したがって、プローブの先端部の第2層をスピndeバイスに接触させた状態で第1層と第2層との間に電流を流すことにより、第2層からスピndeバイスにスピン流を注入することができる。このスピン流の注入に際し、スピndeバイスに電流を流す必要はない。また、プローブの先端部の第2層をスピン圧が発生しているスピndeバイスに接触させると、スピン拡散により第1層と第2層との界面に電流が生じ、第1層と第2層との間に起電力が生じる。このとき、流れる電流はスピン圧に比例するため、電流を測定することによりスピndeバイスのスピン圧を測定

することができる。この結果、スピndeバイスへ電流が流れ込むことを抑制しつつスピン流を注入したり、スピndeバイスのスピン圧を測定することが可能なプローブを提供することができる。ここで、「スピndeバイス」とは、電子のもつ電荷およびスピンを利用して作動するデバイスをいう。

[0010] こうした本発明のプローブにおいて、前記第2層は、前記非磁性体のスピン緩和長の2倍以下の厚さになるように形成してもよい。

[0011] また、本発明のプローブにおいて、前記磁性体は、Ni, Co, Fe, Gd, FeNi合金、パーマロイ、ミューメタル、サマリウムコバルト、Nd, Al-Ni-Co, フェライトのうちのいずれかとしてもよい。

[0012] さらに、本発明のプローブにおいて、前記非磁性体は、Cu, Ag, Al, Au, Pt, Rh, Pd, Ir, Ru, Os, Al-Cu, Cu-Sn, Cu-Au, Cu-Beのうちのいずれかとしてもよい。

[0013] そして、本発明のプローブにおいて、前記基板と前記第1層との間に、前記導電性の磁性体より電気伝導率の高い導電体から形成される第3層、を備えるものとしてもよい。第3層と第1層と第2層との間に電流を流すことにより、第3層を備えておらず同一の電流を第1層と第2層との間に流すものに比して、第2層の第1層と反対側の面における電位勾配が小さくなる。これにより、第2層の第1層と反対側の面をスピndeバイスに接触させたときにスピndeバイスに局所的に電流が流れることを抑制することができる。この場合において、前記導電体は、Cu, Ag, Al, Auのいずれかとしてもよい。

[0014] 本発明のプローブの製造方法は、

スピndeバイスの検査に用いられ、先端部に、絶縁体または半導体により形成される基板と、導電性の磁性体により形成される第1層と、導電性の非磁性体により形成される第2層と、がこの順で積層されており、前記第2層は、厚さがスピンが緩和するよりも薄い厚さとして予め定められた所定厚さとなるように形成される、プローブの製造方法であって、

前記基板の表面の少なくとも一部に、前記導電性の磁性体により磁性体層

を形成する第1工程と、

前記磁性体層上に、前記導電性の非磁性体により、厚さがスピンの緩和する厚さよりも薄い非磁性体層を形成する第2工程と、

前記磁性体層と前記非磁性体層とが形成されている前記基板を、前記磁性体層と前記非磁性体層とが積層されている部分で分割する第3工程と、
を備えることを要旨とする。

[0015] この本発明のプロープの製造方法では、絶縁体または半導体により形成される基板の表面の少なくとも一部に、導電性の磁性体により磁性体層を形成し、磁性体層上に、導電性の非磁性体により、厚さがスピンの緩和するよりも薄い厚さとして予め定められた所定厚さとなるように非磁性体層を形成し、磁性体層と非磁性体層とが形成されている基板を、磁性体層と非磁性体層とが積層されている部分で分割する。これにより、スピンドバイスの検査に用いられ、先端部に、絶縁体または半導体により形成される基板と、導電性の磁性体により形成される第1層と、導電性の非磁性体により形成される第2層と、がこの順で積層されており、第2層は、所定厚さに形成される、プロープを製造することができる。ここで、「スピンドバイス」とは、電子のもつ電荷およびスピンの2つの自由度を利用して作動するデバイスをいう。

[0016] こうした本発明のプロープの製造方法において、前記第1工程では、前記基板の表面に前記導電性の磁性体より電気伝導度が高い導電体により高導電体層を形成した後に、前記高導電体層上に前記磁性体層を形成してもよい。こうすれば、基板と第1層との間に、導電性の磁性体より電気伝導率の高い導電体から形成された第3層、を備えるプロープを製造することができる。

[0017] また、本発明のプロープの製造方法において、前記第3工程は、ステルスダイシングまたは劈開により、前記磁性体層と前記非磁性体層とが形成されている前記基板を、前記磁性体層と前記非磁性体層とが積層されている部分で分割してもよい。

図面の簡単な説明

[0018] [図1]本発明の一実施例としてのプロープ20の端面の概略を示す概略図であ

る。

[図2]プローブ20の先端部20aの拡大図である。

[図3]先端部20aを図2におけるA方向から見た側面の概略を示す概略図である。

[図4]プローブ20に電流源30を接続したときの様子を示す説明図である。

[図5]プローブ20におけるスピンの様子をシミュレーションするための先端部20aのモデル70の構成を説明するための説明図である。

[図6]モデル70において、第2層26を試料に接触させない状態で第1層24と第2層26との間に電流を流したときのスピン偏極率の分布のシミュレーションの結果を示す説明図である。

[図7]スピンの蓄積が生じているモデル70を試料に接触させたときのモデル70におけるスピン偏極率の分布のシミュレーションの結果を示す説明図である。

[図8]スピンの蓄積が生じているモデル70を試料に接触させたときのモデル70において発生する電圧の分布のシミュレーションの結果を示す説明図である。

[図9]プローブ20からスピンデバイスにスピン流が注入していることを検証している様子を示す説明図である。

[図10]抵抗 R_s の角度 θ の依存性の測定結果を示すグラフである。

[図11]プローブ20の製造フローの一例を示すフローチャートである。

[図12]ステップS100の工程を実行した後の基板60の様子を説明するための説明図である。

[図13]ステップS110の工程を実行した後の基板60、Ni層62、Cu層64の様子を説明するための説明図である。

[図14]ステップS120の工程で基板60を分割した後の様子説明するための説明図である。

[図15]変形例のプローブ220の先端部220aの構成の概略を示す構成概略図である。

[図16]変形例のプロープ220の先端部220aを図15のB方向から見た側面の概略を示す概略図である。

[図17]変形例のプロープ320の先端部320aの構成の概略を示す構成概略図である。

[図18]変形例のプロープ320の先端部320aを図17のC方向から見た側面の概略を示す概略図である。

発明を実施するための形態

[0019] 次に、本発明を実施するための形態を実施例を用いて説明する。

[0020] 図1は、本発明の一実施例としてのプロープ20の端面の概略を示す概略図である。図2は、プロープ20の先端部20aの拡大図である。図3は、先端部20aを図2におけるA方向から見た側面の概略を示す概略図である。

[0021] プロープ20は、図1～図3に示すように、Si（シリコン）により形成され全体として長板形状の基板22の先端部に、第1層24と、第2層26と、がこの順に積層されている。

[0022] 第1層24は、Ni（ニッケル）により、厚さが100nmで、長手方向の長さL1が40μm、短手方向の長さL2が10μmの略矩形状となるように形成されている。第1層24は、基板22の表面に、基板22の端辺22bに沿うように配置されている。

[0023] 第2層26は、Cu（銅）により、厚さが所定厚さD2、長手方向の長さL3が40μm、短手方向の長さL4が10μmの略矩形状となるよう形成されている。所定厚さD2は、第2層26においてスピンの緩和するよりも薄い厚さとして予め実験や解析などで定められた厚さであり、Cuのスピンの緩和長の約2倍以下の長さである。実施例では、所定厚さD2を、100nmとしている。第2層26は、基板22の端辺22bと略直角をなす端辺22cに沿って、一方の端部が第1層24の一方の端部に重なるように配置されている。

[0024] こうした構成により、プロープ20の先端部20aは、基板22と、第1

層 2 4 と、第 2 層 2 6 と、が積層された構造となっている。

[0025] 次に、こうして構成されたプローブ 2 0 の動作について説明する。図 4 は、プローブ 2 0 に電流源 3 0 を接続したときの様子を示す説明図である。第 1 層 2 4、第 2 層 2 6 に電流源 3 0 を接続し、第 1 層 2 4 と第 2 層 2 6 との間に電流を流すと、第 1 層 2 4、第 2 層 2 6 との界面に電流が流れる。Ni は、磁性体であり、Cu は、非磁性体であるから、第 1 層 2 4、第 2 層 2 6 の界面に電流が流れると、第 2 層 2 6 のこの界面付近に電流の向きおよび Ni の磁化の向きに応じたスピンの蓄積が生じてスピン圧が生成される。第 2 層 2 6 は、厚さが所定厚さ D 2、すなわち、第 2 層 2 6 においてスピンが緩和するよりも薄い厚さとなるように形成されている。したがって、プローブ 2 0 の先端部 2 0 a の第 1 層 2 4、第 2 層 2 6 が積層されている部分の第 2 層 2 6 の表面 2 6 a をスピンドバイスに接触させた状態で第 1 層 2 4 と第 2 層 2 6 との間に電流を流すことにより、第 2 層 2 6 からスピンドバイスにスピン流を注入することができる。

[0026] 図 5 は、プローブ 2 0 におけるスピン流の様子をシミュレーションするための先端部 2 0 a のモデル 7 0 の構成を説明するための説明図である。モデル 7 0 は、実施例のプローブ 2 0 の先端部 2 0 a をモデル化したものであり、先端部 2 0 a と同一の寸法となっている。図中、矢印の x 軸、y 軸は、それぞれ図 6 ～図 8 の x 軸、y 軸の方向を示している。シミュレーションでは、スピンを 2 種類のチャージとして扱う 2 流体モデルとしている。このモデルでは、Ni は、スピン拡散長を $3 \times 10^{-9} \text{ m}$ 、スピン偏極率を 0.23、抵抗率を $6.99 \times 10^{-8} \Omega \text{ m}$ としている。Cu は、スピン拡散長を $1 \times 10^{-6} \text{ m}$ 、スピン偏極率を 0、抵抗率を $1.68 \times 10^{-8} \Omega \text{ m}$ としている。

[0027] 図 6 は、モデル 7 0 において、第 2 層 2 6 を試料に接触させない状態で第 1 層 2 4 と第 2 層 2 6 との間に電流を流したときのスピン偏極率の分布のシミュレーションの結果を示す説明図である。モデル 7 0 では、図示するように、第 1 層 2 4 と第 2 層 2 6 との間に電流を流すと、スピンの蓄積が生じる。

[0028] 図7は、スピンの蓄積が生じているモデル70を試料に接触させたときのモデル70におけるスピン偏極率の分布のシミュレーションの結果を示す説明図である。図8は、スピンの蓄積が生じているモデル70を試料に接触させたときのモデル70において発生する電圧の分布のシミュレーションの結果を示す説明図である。図8中、縦軸は、第1層24と第2層26との間に1mAの電流を流したときに先端部20aに発生する電圧を示している。スピンの蓄積が生じているモデル70を試料に接触させると、図7に示すように、面方向に1 μ m程度の範囲でスピンが減少している。モデル70では、面方向に1 μ m程度の範囲のスピンの注入されている。モデル70では、面方向に1 μ m程度の範囲、つまり、比較的広い範囲のスピンの注入されていることから、第1層24と第2層26との界面の電流密度が小さいときでも、大きなスピン流を試料に注入することができる。なお、図8に示すように、スピンの蓄積が生じているモデル70を試料に接触させることにより発生する電圧擾乱は十分小さいことがわかる。

[0029] 図9は、プローブ20からスピンドバイスにスピン流が注入していることを検証している様子を示す説明図である。図9において、プローブ20には、図4に示した電流源30を接続しているが、電流源30については図示していない。ここでは、スピンドバイスとして、Auにより厚さが100nm、長手方向の長さが90 μ m、短手方向の長さが1 μ mの細線40を用いている。また、環境温度を7Kとし、プローブ20の先端部20aの第2層26の表面26aを細線40に接触させた状態で電流源30からプローブ20の第1層24、第2層26間に1mAの電流を流したときに、細線40に生じる電圧 V_s および電流 I_s を端子50、52で検出し、電圧 V_s を細線40に流れる電流 I_s で除した抵抗 R_s の角度 θ （第1層24の長手方向の一边と細線40とのなす角度）の依存性を測定した。角度 θ は、プローブ20を固定した状態で細線40を回転させることにより変更している。

[0030] 図10は、抵抗 R_s の角度 θ の依存性の測定結果を示すグラフである。図示するように、角度 θ に対して抵抗 R がsinカーブを示すことから、逆ス

ピンホール効果が発生している、つまり、プローブ20からスピン流が注入されていることがわかる。このように、プローブ20の先端部20aの第2層26の表面26aをスピンドバイスに接触させた状態で第1層24と第2層26との間に電流を流すことにより、第2層26からスピンドバイスにスピン流を注入することができる。このスピン流の注入に際し、スピンドバイスに電流を流す必要はないから、スピンドバイスへ電流が流れ込むことを抑制しつつ、スピン流を注入することができる。また、スピンドバイスへ電流を流す必要がなく、スピンドバイスが絶縁体により形成されているときでも、スピン流を注入することができる。

[0031] また、先端部20aの第2層26の表面26aをスピン圧が発生しているスピンドバイスに接触させると、スピン拡散によりスピンの第1層24と第2層26との界面に流れて、第1層24と第2層26との間に起電力が生じると考えられる。このとき、流れる電流は、スピンドバイスに発生しているスピン圧に比例するから、第1層24と第2層26との間に生じる電圧もしくは第1層24と第2層26との間に流れる電流を測定することにより、スピンドバイスのスピン圧を測定できると考えられる。

[0032] 続いて、プローブ20の製造方法について説明する。図11は、プローブ20の製造フローの一例を示すフローチャートである。

[0033] 最初に、Si（シリコン）から形成された基板60にNi（ニッケル）からなるNi層62を形成する（ステップS100）。図12は、ステップS100の工程を実行した後の基板60の様子を説明するための説明図である。Ni層62は、厚さが100nmのNi（ニッケル）を基板60に堆積させ、EBリソグラフィ法を用いて、基板60の中央部に長手方向の長さが長さL1の2倍、短手方向の長さが長さL2の2倍の略矩形状となるように形成されている。

[0034] 続いて、Ni層62が形成された基板60にCu（銅）からなるCu層64を形成する（ステップS110）。図13は、ステップS110の工程を実行した後の基板60、Ni層62、Cu層64の様子を説明するための説

明図である。Cu層64は、厚さが所定厚さD2となるようにCu（銅）を堆積させ、EBリソグラフィ法を用いて、基板60の中央部に、長手方向がNi層62の長手方向と90度の角度をなし、長手方向の長さが長さL3の2倍、短手方向の長さが長さL4の2倍の略矩形状となるように形成されている。

[0035] 次に、ステルスダイシング装置によるステルスダイシング法を用いて、Ni層62、Cu層64とが形成された基板60をNi層62、Cu層64が積層している部分で分割して（ステップS120）、製造を終了する。図14は、ステップS120の工程で基板60を分割した後の様子を説明するための説明図である。こうした工程により、図示するように、2つのプローブ20と、プローブ20と線対称に第1層24、第2層26が配置された2つのプローブ120とを製造することができる。なお、プローブ120は、プローブ20と同様に、第1層24、第2層26との間に電流を流すことによりスピndeバイスにスピン流を注入したり、スピndeバイスのスピン圧を第1層24、第2層26の間の電圧または電流として測定するプローブとして機能することができる。

[0036] 以上説明した実施例のプローブ20によれば、先端部20aに、基板22と、Niにより形成した第1層24と、Cuにより厚さが所定厚さD2（スピndeが緩和するよりも薄い厚さ）となるように形成した第2層26と、をこの順に積層することにより、スピndeバイスへ電流が流れ込むことを抑制しつつスピン流を注入したり、スピndeバイスのスピン圧を測定することが可能なプローブを提供することができる。

[0037] また、実施例のプローブ20の製造方法によれば、Siにより形成された基板60の表面に、Ni層62を形成し、Ni層62が形成された基板22の表面に、一部がNi層62に重なるように、Cuにより厚さが所定厚さD2のCu層64を形成し、ステルスダイシング装置によって、Ni層62、Cu層64を形成した基板22を、Ni層62とCu層64とが積層された部分で分割する。これにより、プローブ20を製造することができる。

- [0038] 実施例のプローブ20では、長板状の基板22の端部に第1層24と第2層26とを積層しているが、プローブ20の先端部20aに基板22と第1層24と第2層26との積層構造を形成すればよいから、例えば、基板22の図1における長手方向の長さを長さL1とし、基板22と第1層24と第2層26とを積層したものを別の長板状の部材の端部に取り付けてもよい。
- [0039] 実施例のプローブ20の製造方法では、ステルスダイシング装置によって、Ni層62、Cu層64を形成した基板22を、Ni層62とCu層64とが積層された部分で分割している。しかしながら、Ni層62、Cu層64を形成した基板22を、Ni層62とCu層64とが積層された部分で分割する手法としてはステルスダイシング装置によるものに限定されたものではなく、例えば、劈開など、Ni層62とCu層64とが積層された部分を分割する手法であればいかなる手法でも構わない。
- [0040] 実施例のプローブ20では、第1層24、第2層26を略矩形状に形成し、一方の端部が第1層24の一方の端部に重なるように配置し、プローブ20の先端部20aの第2層26の表面26aをスピンドバイスに接触させた状態で第1層24、第2層26に電流を流すことにより、スピンドバイスにスピン流を注入している。このとき、第2層26の表面26aには、電位勾配が生じて、この電位勾配によりスピンドバイスに局所的な電流が生じてしまう。こうした不都合を抑制するために、図15、図16に例示する変形例のプローブ220の先端部220aのように、Cuにより形成される第2層226を略L字形状として、略L字の屈曲している部分と基板22との間にNiにより形成された第1層224を配置し、第1層224と第2層226の略L字の両端との間に電流を流してもよい。第2層226には2方向から電流が流れるから、プローブ20のように第2層26に1方向から電流を流すものに比して、第1層224と第2層226とが積層されている部分における電位勾配をより小さくすることができる。これにより、第2層226の表面226aをスピンドバイスに接触させたときに、スピンドバイスに局所的に電流が流れることを抑制できる。また、図17、図18に例示する変形

例のプローブ320の先端部320aのように、第1層224と基板22との間にCu（銅）やAg（銀）、Al（アルミニウム）、Au（金）などの第1層224を形成する磁性体よりも電気伝導度が高い導電性を有する第3層328を形成してもよい。この場合、第2層226の両端と第3層328との間に電流を流すことにより、スピンドバイスに局所的に電流が流れることをより抑制することができる。なお、変形例のプローブ320は、図11に例示した製造フローにおいて、ステップS100の処理において、基板60に、Cu（銅）やAg（銀）、Al（アルミニウム）、Au（金）などの第1層224を形成する磁性体よりも電気伝導度が高い導電性を有する高導電体層を形成した後に、Ni層62を形成することにより、製造すればよい。

[0041] 実施例のプローブ20や変形例のプローブ220、320では、第2層26、226を、一部が第1層24、224と重なるよう形成しているが、第1層24、224と第2層26、226とを同一の形状に形成して、第2層26、226の全てが第1層24、224と重なるように形成してもよい。この場合、第1層24、224、第2層26、226と電流源30とを接続する配線などを設けてもよい。

[0042] 実施例のプローブ20や変形例のプローブ220、320では、基板22を、Siにより形成しているが、他の半導体や絶縁体により形成してもよい。

[0043] 実施例のプローブ20や変形例のプローブ220、320では、第1層24、224をNiにより形成しているが、導電性のある磁性体であればいかなるもので形成してもよく、例えば、Co（コバルト）、Fe（鉄）、Gd（ガドニウム）、FeNi合金、パーマロイ、ミューメタル、サマリウムコバルト、Nd（ネオジウム）、Al-Ni-Co、フェライトのうちのいずれかにより形成してもよい。

[0044] 実施例のプローブ20や変形例のプローブ220、320では、第2層26、226をCuにより形成しているが、導電性のある非磁性体であればい

かなるもので形成してもよく、例えばA g, A l (アルミニウム), A u, P t (白金), R h (ロジウム), P d (パラジウム), I r (イリジウム), R u (ルテニウム), O s (オスミウム), A l - C u, C u - S n (スズ), C u - A u, C u - B e (ベリリウム) のうちのいずれかにより形成してもよい。

[0045] 以上、本発明を実施するための形態について実施例を用いて説明したが、本発明はこうした実施例に何等限定されるものではなく、本発明の要旨を逸脱しない範囲内において、種々なる形態で実施し得ることは勿論である。

産業上の利用可能性

[0046] 本発明は、プローブの製造産業などに利用可能である。

請求の範囲

- [請求項1] スピンデバイスの検査に用いるプローブであって、
先端部に、絶縁体または半導体により形成される基板と、導電性の磁性体により形成される第1層と、導電性の非磁性体により形成される第2層と、がこの順で積層されており、
前記第2層は、厚さがスピンの緩和するよりも薄い厚さとして予め定められた所定厚さとなるように形成されている、
プローブ。
- [請求項2] 請求項1記載のプローブであって、
前記第2層は、前記非磁性体のスピンの緩和長さの2倍以下の厚さになるように形成されている、
プローブ。
- [請求項3] 請求項1または2に記載のプローブであって、
前記磁性体は、Ni, Co, Fe, Gd, FeNi合金、パーマロイ、ミューメタル、サマリウムコバルト、Nd, Al-Ni-Co, フェライトのうちのいずれかである、
プローブ。
- [請求項4] 請求項1ないし3のいずれか1つの請求項に記載のプローブであって、
前記非磁性体は、Cu, Ag, Al, Au, Pt, Rh, Pd, Ir, Ru, Os, Al-Cu, Cu-Sn, Cu-Au, Cu-Beのうちのいずれかである、
プローブ。
- [請求項5] 請求項1ないし4のいずれか1つの請求項に記載のプローブであって、
前記基板と前記第1層との間に、前記導電性の磁性体より電気伝導率の高い導電体から形成された第3層、
を備えるプローブ。

[請求項6] 請求項 1 ないし 5 のいずれか 1 つの請求項に記載のプロープであって、

前記導電体は、Cu, Ag, Al, Au のいずれかである、
プロープ。

[請求項7] スピンデバイスの検査に用いられ、先端部に、絶縁体または半導体により形成される基板と、導電性の磁性体により形成される第 1 層と、導電性の非磁性体により形成される第 2 層と、がこの順で積層されており、前記第 2 層は、厚さがスピンの緩和するよりも薄い厚さとして予め定められた所定厚さとなるように形成される、プロープの製造方法であって、

前記基板の表面の少なくとも一部に、前記導電性の磁性体により磁性体層を形成する第 1 工程と、

前記磁性体層上に、前記導電性の非磁性体により厚さが前記所定厚さとなるように非磁性体層を形成する第 2 工程と、

前記磁性体層と前記非磁性体層とが形成されている前記基板を、前記磁性体層と前記非磁性体層とが積層されている部分で分割する第 3 工程と、

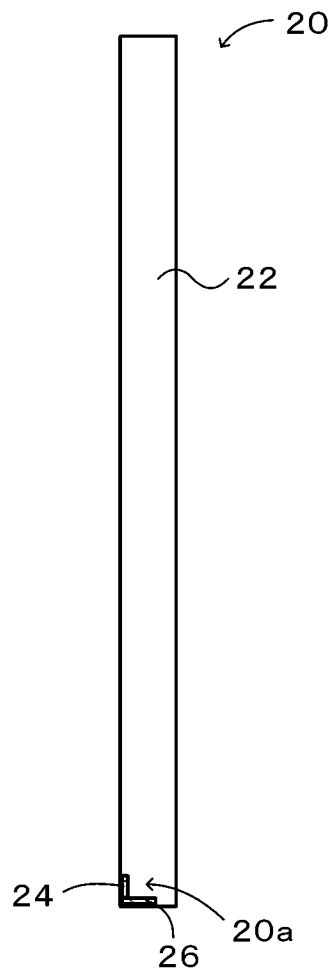
を備えるプロープの製造方法。

[請求項8] 請求項 7 記載のプロープの製造方法であって、

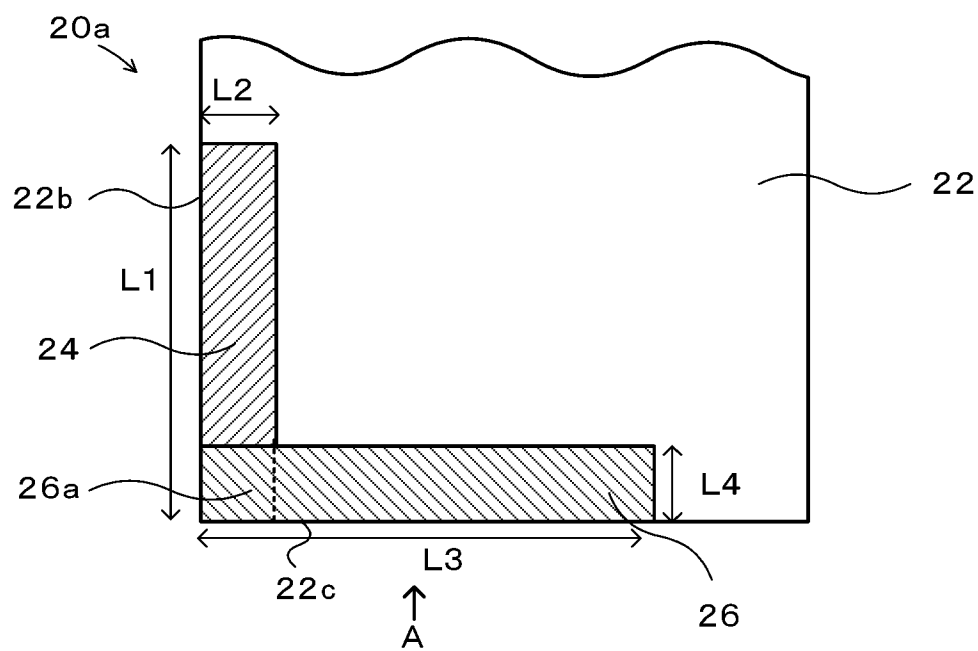
前記第 1 工程では、前記基板の表面に前記導電性の磁性体より電気伝導度が高い導電体により高導電体層を形成した後に、前記高導電体層上に前記磁性体層を形成する、

プロープの製造方法。

[図1]



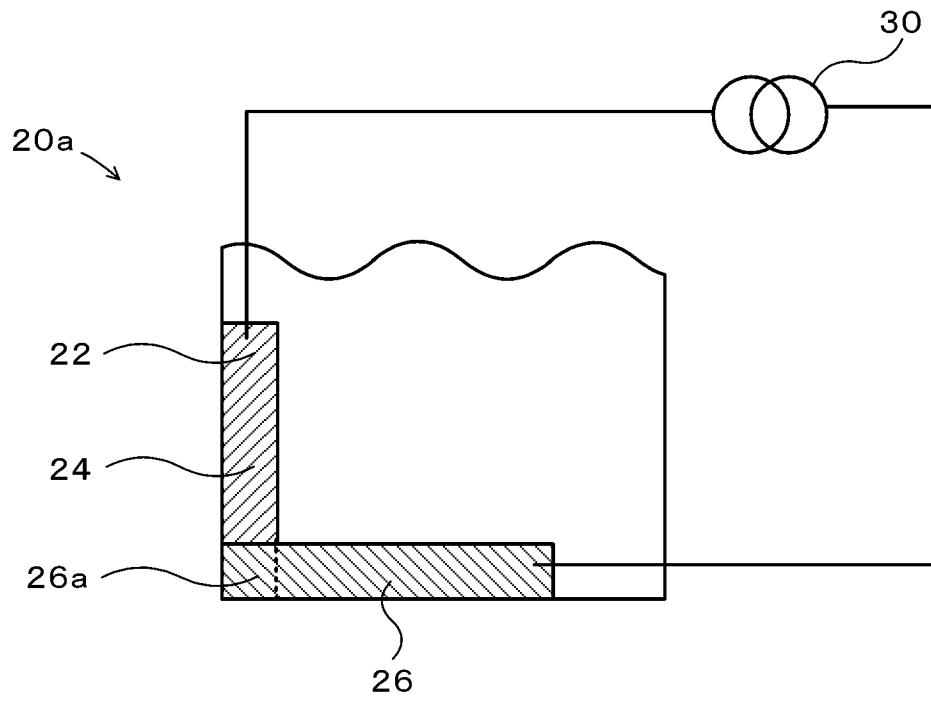
[図2]



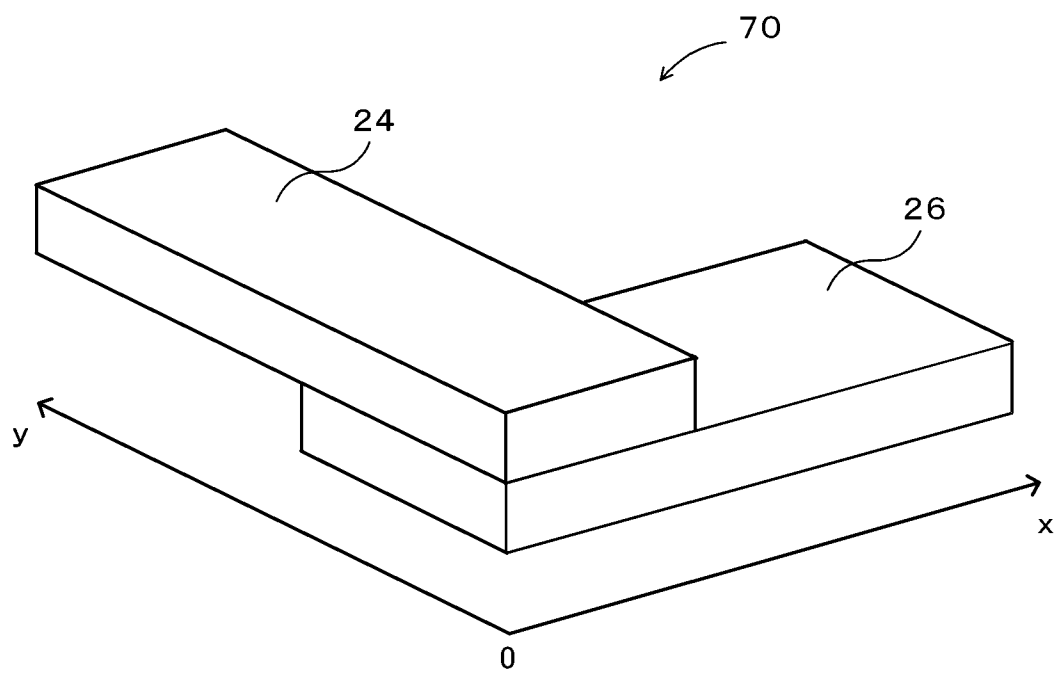
[図3]



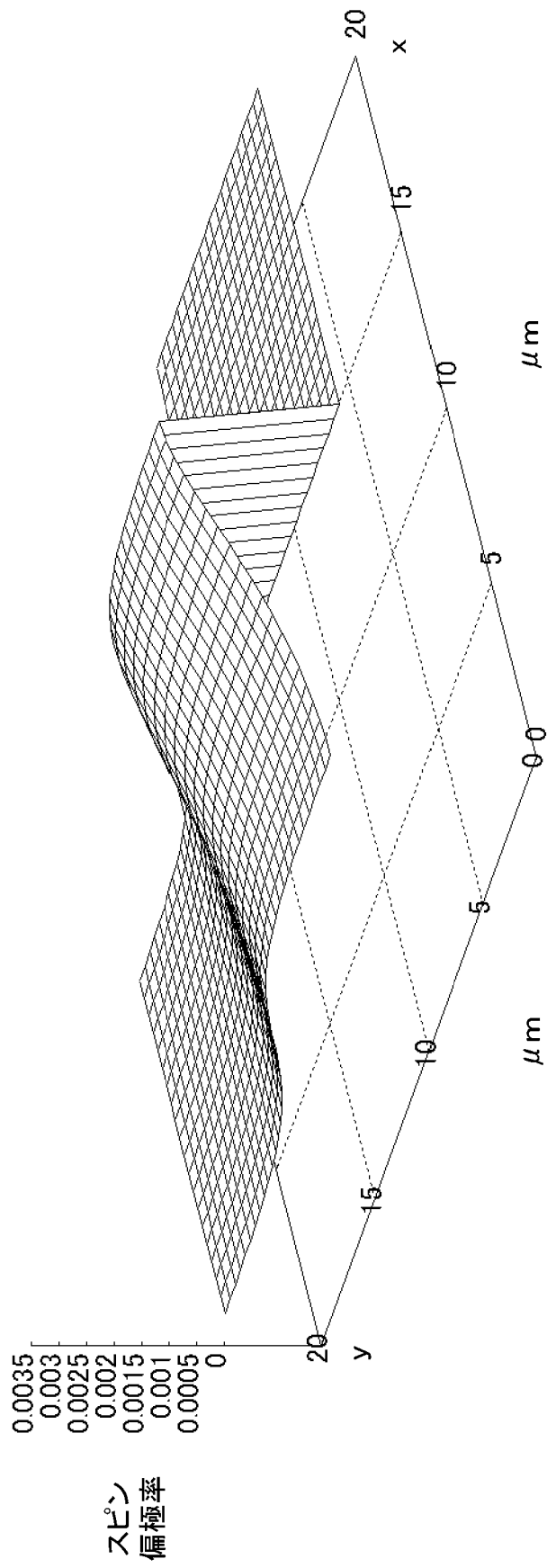
[図4]



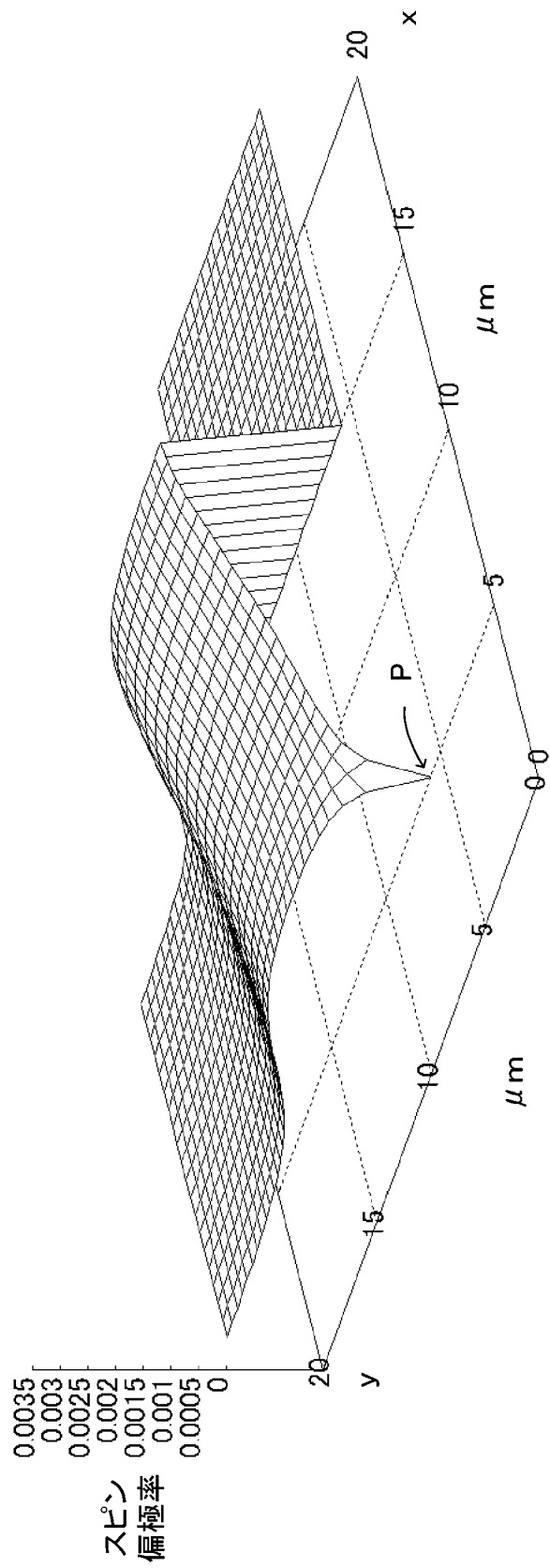
[図5]



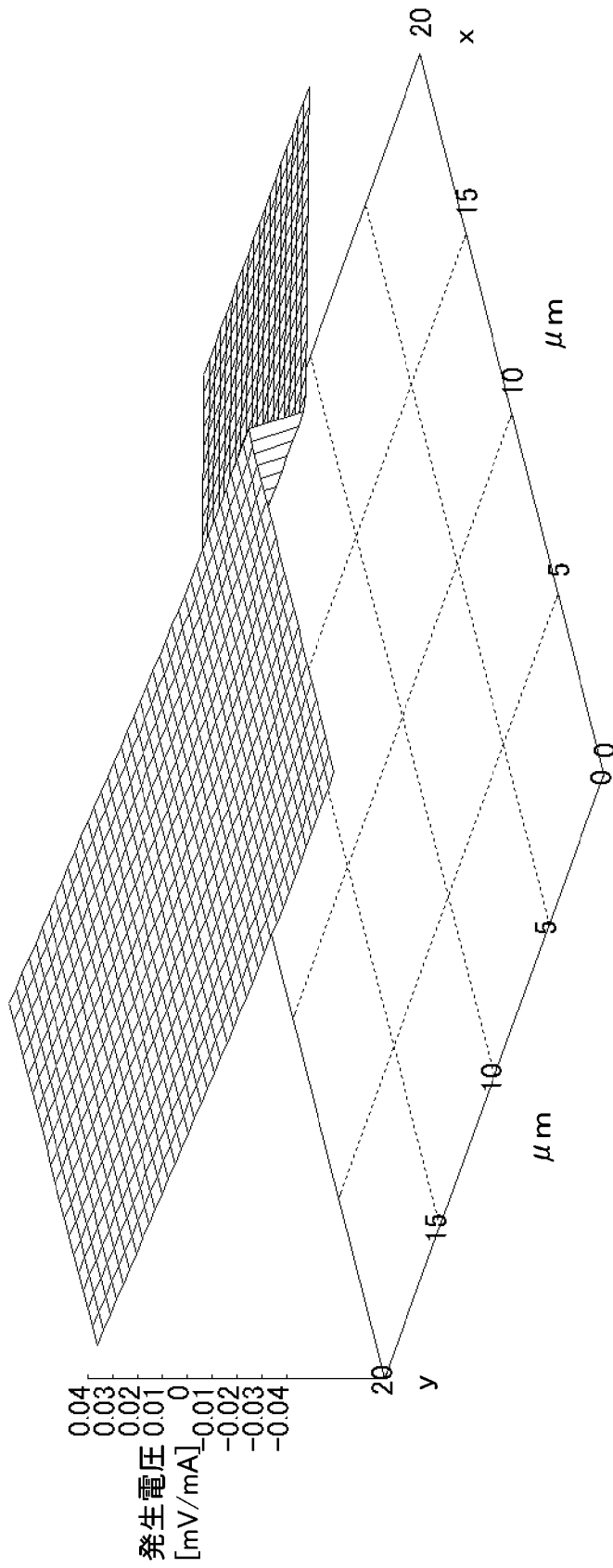
[図6]



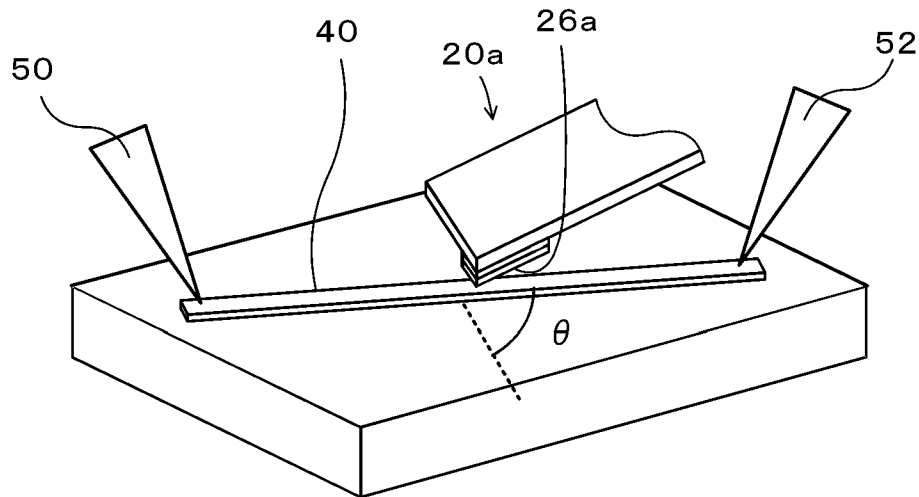
[図7]



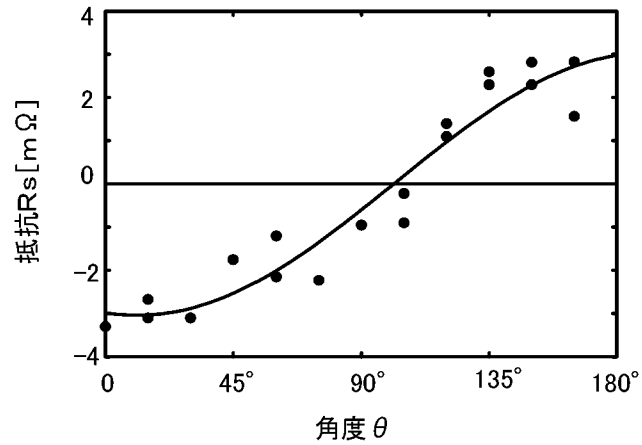
[図8]



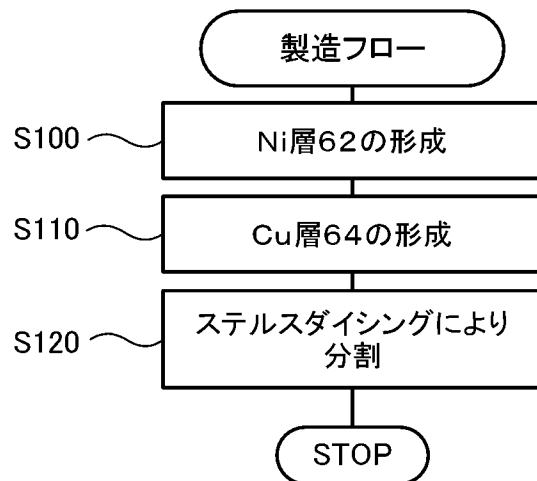
[図9]



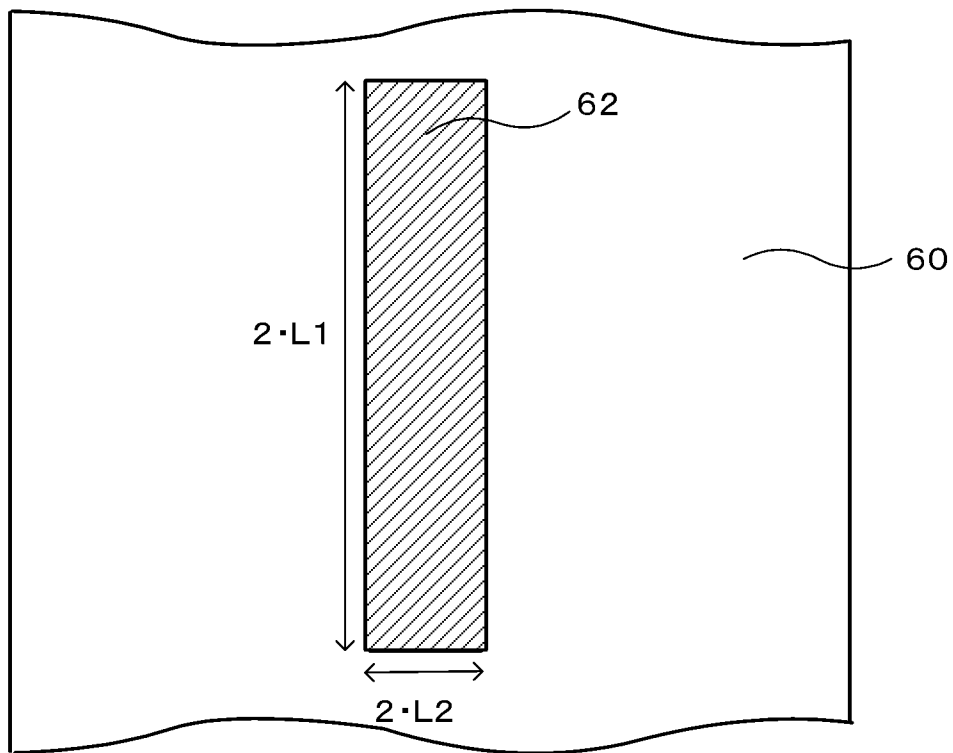
[図10]



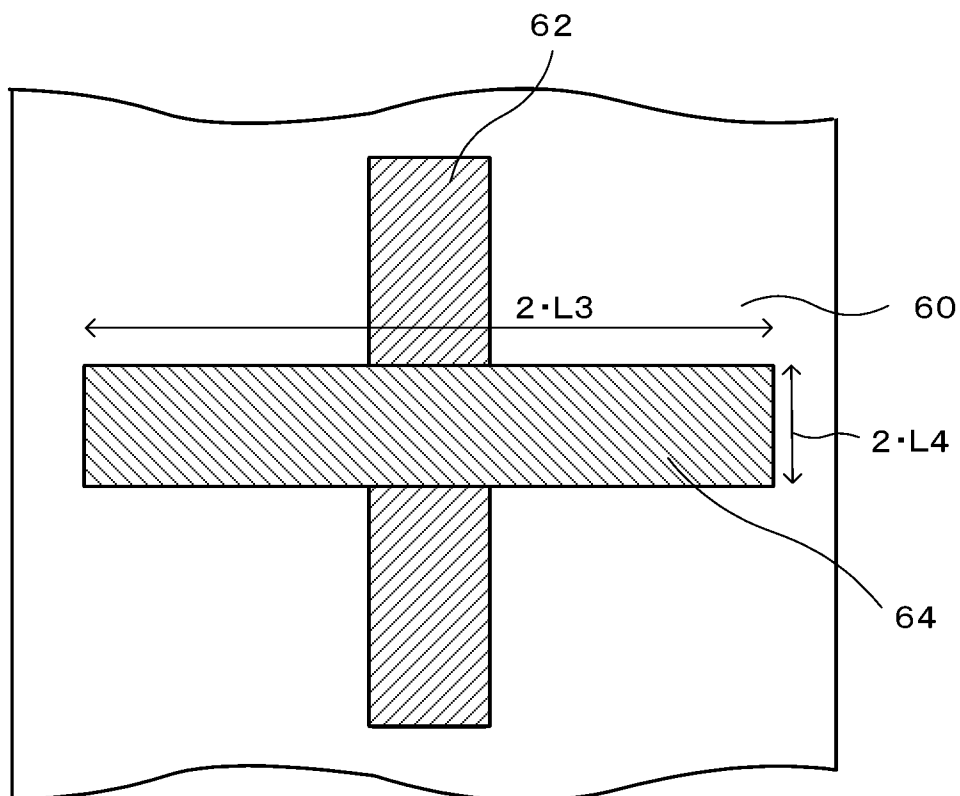
[図11]



[図12]



[図13]

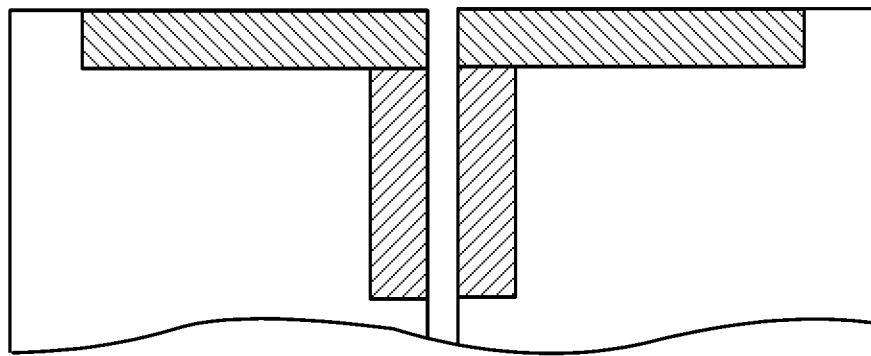
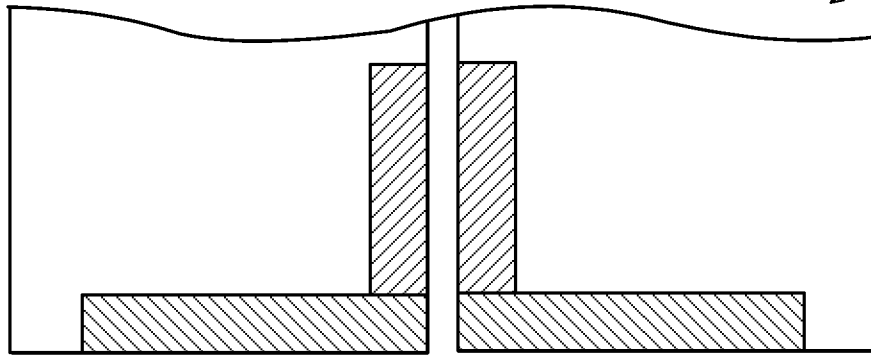


[図14]

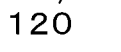
20



120



120

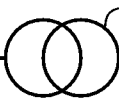


[図15]

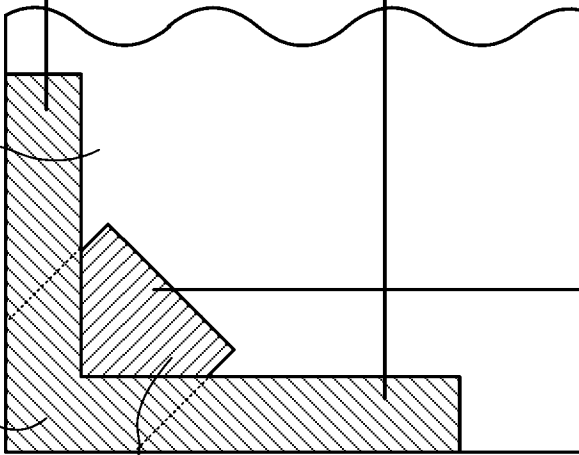
220a



30



22-



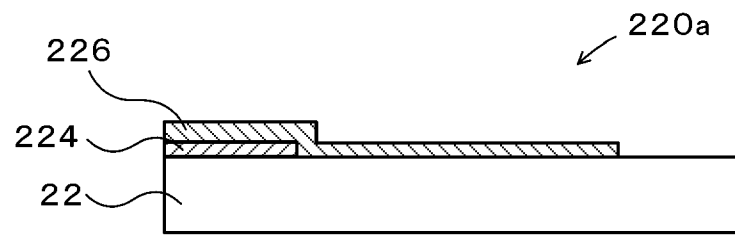
2264

224

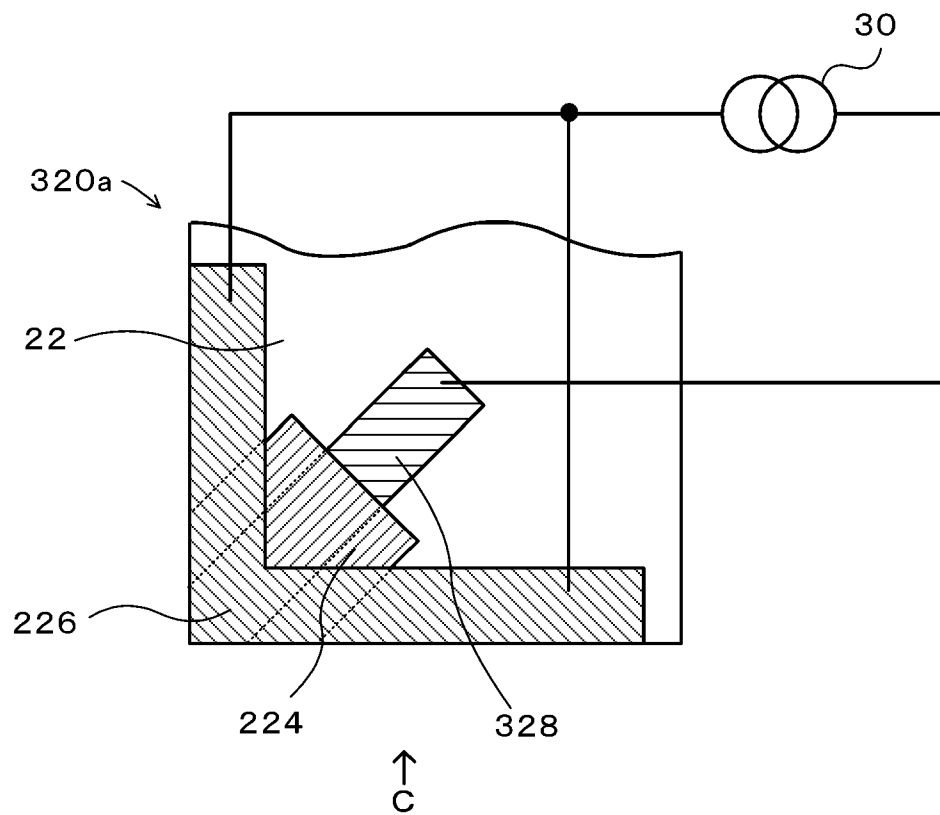


B

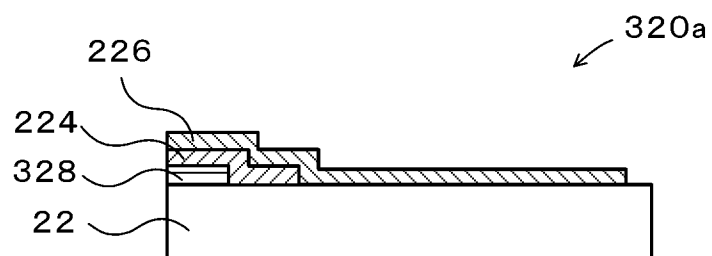
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/029750

A. CLASSIFICATION OF SUBJECT MATTER

G01R1/06(2006.01)i, G01R33/32(2006.01)i, H01L29/82(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R1/06, G01R33/32, H01L29/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2004/114415 A1 (Japan Science and Technology Agency), 29 December 2004 (29.12.2004), entire text; all drawings & US 2006/0186433 A1 & EP 1646087 A1 & KR 10-2006-0017823 A	1-8
A	JP 2007-527507 A (Qunano AB.), 27 September 2007 (27.09.2007), entire text; all drawings & US 2005/0017171 A1 & WO 2005/006346 A2 & EP 1642300 A2 & CA 2536896 A & KR 10-2006-0058085 A & CN 1826662 A	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
12 October 2017 (12.10.17)

Date of mailing of the international search report
31 October 2017 (31.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/029750

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-166929 A (Data Storage Institute), 13 June 2003 (13.06.2003), entire text; all drawings & US 2003/0102863 A1 & GB 2382655 A & SG 103326 A	1-8
A	Masaaki TANAKA, "Spintronics : Current Status and Future Prospects", Journal of the Surface Science Society of Japan, 23 March 2011 (23.03. 2011), vol.32, no.3, pages 120 to 127	1-8
A	Ken'ichi UCHIDA et al., "Heat-current-induced Spintronic Phenomena and Spin Seebeck Effects", Materia Japan, 01 August 2010 (01.08.2010), vol. 49, no.8, pages 357 to 363	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G01R1/06(2006.01)i, G01R33/32(2006.01)i, H01L29/82(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G01R1/06, G01R33/32, H01L29/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2004/114415 A1（独立行政法人科学技術振興機構）2004.12.29 全文、全図 & US 2006/0186433 A1 & EP 1646087 A1 & KR 10-2006-0017823 A	1-8
A	JP 2007-527507 A（キューナノ エービー）2007.09.27 全文、全図 & US 2005/0017171 A1 & WO 2005/006346 A2 & EP 1642300 A2 & CA 2536896 A & KR 10-2006-0058085 A & CN 1826662 A	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

12.10.2017

国際調査報告の発送日

31.10.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

續山 浩二

2S

4454

電話番号 03-3581-1101 内線 3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-166929 A (データ ストレージ インスティテュート) 2003.06.13, 全文、全図 & US 2003/0102863 A1 & GB 2382655 A & SG 103326 A	1-8
A	田中雅明, 総論 スピントロニクス の現状と展望, 表面科学, 2011.03.23, Vol.32 No.3, p.120-127	1-8
A	内田健一 ほか, 熱流に付随したスピントロニクス現象とスピンゼーベック効果, まてりあ, 2010.08.01, Vol.49 No.8, p.357-363	1-8