(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/335

(45) 공고일자 2003년08월21일
(11) 등록번호 10-0385693
(24) 등록일자 2003년05월16일

(21) 출원번호 10-1995-0042777
(22) 출원일자 1995년11월22일

(65) 공개번호 특1996-0019604
(43) 공개일자 1996년06월17일

(30) 우선권주장 1994-314152 1994년11월24일 일본(JP)

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자
가나야야스히로
일본국도오교도시나가와구기다시나가와6쵸메7반35고소니가부시기가이샤내

야마자키마사루
일본국도오교도시나가와구기다시나가와6쵸메7반35고소니가부시기가이샤내

후지노마사히로
일본국도오교도시나가와구기다시나가와6쵸메7반35고소니가부시기가이샤내

스즈키노부아키
일본국도오교도시나가와구기다시나가와6쵸메7반35고소니가부시기가이샤내

구키미도리
일본국도오교도시나가와구기다시나가와6쵸메7반35고소니가부시기가이샤내

(74) 대리인
박종길

심사관 : 정회환

(54) 다결정반도체박막의작성방법

요약

레이저어닐에 의하여 균일한 다결정 반도체박막을 작성하는 방법에 관한 것으로, 열전도율이 비교적 낮고 또한 20 nm 이상의 두께의 절연층을 가지는 기판을 준비한다. 다음에, 열전도율이 비교적 높은 비정질 실리콘박막을 35 nm 이하의 두께로 절연층의 위에 형성한다. 이 후, 비정질 실리콘박막에 레이저광을 조사(照射)하여 열에너지를 가하여 다결정 실리콘박막으로 전환한다. 비정질 실리콘박막의 두께를 35 nm 이하로 함으로써, 균일한 입경을 가지는 다결정 실리콘의 성장을 가능하게 한다.

대표도

도 1

명세서

도면의 간단한 설명

제1A도 제1D도는 본 발명에 관한 다결정 반도체박막의 작성방법의 모식적인 설명도.
제2도는 본 발명에 의한 결정화 메카니즘의 일예을 나타낸 모식도.
제3도는 결정화 메카니즘의 비교예를 나타낸 모식도.
제4도는 본 발명에 의한 결정화 메카니즘의 다른 예를 나타낸 모식도.
제5도는 결정화 메카니즘의 다른 비교예를 나타낸 모식도.
제6도는 본 발명에 관한 결정화 메카니즘의 또 다른 예를 나타낸 모식도.
제7도는 본 발명에 있어서의 레이저광의 조사방법의 일예를 나타낸 사시도.
제8A도~제8G도는 본 발명에 관한 박막반도체장치의 제조방법의 일예를 나타낸 공정도.
제9도는 본 발명에 따라서 제조된 박막반도체장치를 액티브매트릭스어레이기판으로서 사용한 액티브매트릭스형 액정표시장치의 일예를 나타낸 사시도.
※도면의 주요부분에 대한 부호의 설명
(1) : 레이저광원, (2) : 레이저광, (3) : 체임버, (4) : XY스테이지,
(5) : 기판, (6) : 비정질 실리콘박막, (7) : 절연막, (8) : 조사영역,
(9) : 비조사영역, (11) : 결정립, (12) : 입계.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다결정 반도체박막의 작성방법에 관한 것이다. 보다 상세하게는, 레이저광의 조사(照射)에 의하여 비정질 반도체박막을 다결정 반도체박막으로 전환하는 기술에 관한 것이다. 또, 본 발명은 다결정 반도체박막을 소자영역으로 하여 TFT(박막트랜지스터)가 집적형성된 박막반도체장치의 제조방법에 관한 것이다. 또한, TFT를 액티브매트릭스어레이기판으로서 장착한 액티브매트릭스형 액정표시장치의 제조방법에 관한 것이다.
종래의 TFT반도체장치는 석영 등 고내열성의 절연기판을 사용하고, 1000℃ 이상에 이르는 고온프로세스를 거쳐 TFT를 집적형성하고 있었다. 이와 같은 TFT반도체장치는, 예를 들면 액티브매트릭스형 액정표시장치의 액티브매트릭스어레이기판으로서 한창 개발되고 있다. 액정표시장치의 응용을 도모하는데에, TFT반도체장치의 제조코스트 저감화가 요망되고 있으며, 염가의 유리기판을 채용할 수 있는 저온프로세스에의 어프로치가 이루어지고 있다. 특히, 대형 또한 고정세의 액정표시장치를 제조하는데에, 염가의 유리기판을 이용할 수 있는 저온프로세스의 개발이 정력적으로 진행되고 있다. 그 일환으로서, 비교적 저융점의 유리기판위에 비정질 실리콘을 성막하고. 이것에 레이저광을 조사하여 고품질의 다결정 실리콘으로 전환하는 기술이 연구되고 있다. 비정질 실리콘에 비하여 다결정 실리콘은 캐리어의 이동도가 크므로, 고성능의 TFT를 집적형성가능하다.
레이저광 조사에 의하여 비정질 실리콘은 일단 용융된 후 다결정화된다. 종래, 이와 같은 레이저어닐에 의하여 비정질 실리콘을 다결정화할 때, 원래의 비정질 실리콘박막은 40 50 nm 또는 100 nm 정도의 두께로 성막되고 있었다. 이 정도의 두께로 레이저 어닐을 행하면, 결정은 박막의 두께방향으로 에피택셜성장하므로, 막의 두께분만큼 결정입경은 크게 성장하고 있었다. 그러나, 비정질 실리콘박막이 40 50nm 또는 그 이상의 두께를 가질 경우, 주로 개개의 결정립이 두께방향(수직방향)으로 성장하고, 또한 레이저어닐에 의하여 생긴 실리콘결정의 입경은 조사하는 레이저에너지의 강도에 크게 의존하고 있었다. 그러므로, 레이저광의 단면에너지분포의 균일성이 나쁠 경우, 실리콘의 결정입경에 불균일이 발생하고 있었다. 또, 레이저광의 조사영역과 비조사영역의 경계부분과, 레이저광의 조사영역 중심부분에서는, 실리콘의 결정입경에 차가 생기고 있었다. 또, 비교적 작은 에너지로 행한 레이저어닐에 의하여 일단 이루어진 소입경의 실리콘결정은 이후 비교적 큰 에너지를 가지는 레이저광을 조사해도, 최초부터 비교적 큰 에너지의 레이저광을 조사하여 크게 성장한 실리콘결정정도까지 결정입경을 확대하는 것은 매우 곤란하다. 따라서, 한번 성장한 결정립은 재차 레이저어닐을 행하여도 확대성장하는 일은 없고 수정은 곤란하다. 비정질 실리콘을 다결정 실리콘으로 전환할 경우 소정의 단면적을 가지는 레이저광을 부분적으로 중첩한 상태에서 순차 주사하면서 레이저광의 조사를 행하는 경우가 있다. 이로써, 대면적의 비정질 실리콘박막을 다결정 실리콘박막으로 전환할 수 있다. 이와 같은 경우, 비정질 실리콘박막의 두께가 40nm 이상일 때, 결정입경이 균일하게 성장하는 레이저어닐을 행하는 것은 곤란하 였다. 예를 들면, 부분적으로 중첩된 조사영역에서 결정입경의 연속성이 교란되어 버린다.
전술한 종래의 기술의 과제를 감안하여, 본 발명은 결정입경이 균일한 다결정 반도체박막을 작성하는 것을 목적으로 한다. 이러한 목적을 달성하기 위하여 다음의 수단을 강구하였다. 즉, 본 발명에 의하면 다결정 반도체박막은 다음의 공정에 의하여 작성된다. 먼저, 열전도율이 비교적 낮고 또한 20nm 이상의 두께의 절연층을 가지는 기판을 준비하는 준비공정을 행한다. 다음에, 열전도율이 비교적 높은 비정질 반도체박막을 35nm 이하의 두께로 이 절연층의 위에 형성하는 성막공정을 행한다. 최후에, 비정질 반도체박막에 레이저광을 조사하여 열에너지를 가하여 다결정 반도체박막으로 전환하는 어닐공정을 행한다.
본 발명에 관한 다결정 반도체박막의 작성방법은 박막반도체장치의 제조방법에 적용할 수 있다. 이 제조방법에서는 먼저 성막공정을 행하여, 저열전도성이고 또한 20nm 이상의 두께를 가지는 절연층의 위에 고열전도성의 비정질 반도체박막을 35nm 이하의 두께로 형성한다. 다음에, 어닐공정을 행하여, 이 비정질 반도체박막에 레이저광을 조사하여

열에너지를 가하여 다결정 반도체박막으로 전환한다. 최후에, 가공공정을 행하여, 이 다결정 반도체박막을 소자영역으로 하여 TFT를 집적형성한다.

전술한 박막반도체장치의 제조방법은, 특히 액티브매트릭스형의 액정표시장치의 제조에 적용할 수 있다. 이 제조방법에서는 먼저 성막공정을 행하여, 저열전도성이고 또한 20nm 이상의 두께의 절연층을 가지는 제1의 기판에 고열전도성의 비 정질 반도체박막을 35nm 이하의 두께로 형성한다. 이어서, 어닐공정을 행하여, 이 비정질 반도체박막에 레이저광을 조사하여 열에너지를 가하여 다결정 반도체박막으로 전환한다. 이후, 제1 가공공정을 행하여, 이 다결정 반도체박막을 소자영역으로 하여 TFT를 집적형성한다. 또한, 제2 가공공정을 행하여, 개개의 TFT에 접속하여 화소전극을 집적형성한다. 최후에, 조립공정을 행하여, 미리 대향전극이 형성된 제2의 기판을 소정의 간극을 통하여 이 제1의 기판에 접합한 후 이 간극에 액정을 봉입한다.

비정질 반도체박막의 두께를 35nm 이하로 하여 레이저어닐을 행함으로써, 막두께방향(종방향)의 에피택셜성장이 제한되고, 결과로서 입경이 균일한 다결정 반도체박막을 얻는 것이 가능하게 된다. 이 때, 비교적 고열전도성의 비정질 반도체박막의 하부에 비교적 저열전도성이고 또한 20nm 이상의 두께를 가지는 절연층을 배치함으로써, 열적 분리가 가능하게 되어 레이저광 조사에 의하여 가해진 열에너지를 효율적으로 이용할 수 있다. 레이저어닐에 의한 결정의 에피택셜성장은 종방향에 따라서 우선적으로 발생한다. 이어서 횡방향으로도 결정의 성장이 확대한다. 본 발명에서는 비정질 반도체박막의 두께를 35nm 이하로 억제하고 있으므로, 종방향의 결정성장이 규제되는 한편, 횡방향의 결정성장이 어느 정도 진행하여, 결과로서 입경의 균일화를 달성할 수 있다. 이와 같이 하여 얻어진 다결정 반도체박막을 소자영역(활성층)으로 하여 TFT를 형성하면, 우수한 전기특성이 얻어진다. 예를 들면, 충분히 낮은 오프전류와 충분히 높은 온전류가 얻어진다. 이 점에 대해서는, 일본국 특공평 6(1994) - 69094호 공보에 기재가 있고, 10 40nm의 두께를 가지는 다결정 반도체박막을 활성층으로 하여 형성된 TFT는 우수한 전기특성을 가지는 것이 기재되어 있다.

본 발명의 다른 목적 및 특징은 다음의 설명을 통하여 알 수 있을 것이다.

다음에, 도면을 참조하여 본 발명의 적합한 실시예를 상세히 설명한다. 제1A도 제1D도는 본 발명에 관한 다결정 반도체박막 작성방법의 개요를 설명하기 위한 모식도이다. 제1A도는 본 작성방법에 사용하는 장치의 일예를 나타내고 있다. 이 장치는 레이저광원(1)을 구비하고 있으며, 레이저광(2)을 빔형상으로 방사한다. 레이저광원(1)으로서는 예를 들면 XeCl 엑시머레이저를 사용할 수 있다. 본 장치는 또한 체임버(3)를 구비하고 있어서 레이저광(2)이 도입된다. 체임버(3)의 내부에는 XY스테이지(4)가 수납되어 있으며, 그 위에 레이저광의 조사(照射)대상으로 될 기판(5)이 탑재되어 있다. 기판(5)의 위에 비정질 반도체박막 (예를 들면 비정질 실리콘박막)을 35nm의 두께 이하로 성막하고, 그 위로부터 레이저광(2)을 비정질 반도체박막에 조사한다. 이 레이저광의 열에너지가 비정질 실리콘박막에 흡수되고, 그 가열을 행하여 다결정화를 도모하는 것이다. 또, 레이저광(2)을 조사하면서 기판(5)을 재치하고 있는 XY스테이지(4)를 이동함으로써, 대면적의 비정질 실리콘박막에서도 균일하게 다결정화할 수 있다. 본 예에서는, 레이저광원(1)으로서 XeCl 엑시머레이저를 사용하였으나, 비정질 실리콘의 광흡수가 양호하고 융점까지 가열할 수 있는 레이저광원이면 어떠한 레이저광원도 사용할 수 있다.

제1B도는 기판(5)의 구성예를 나타낸 모식적 단면도이다. 본 예에서는 유리 등 투명절연재료로 이루어지는 기판(5)의 위에 비정질 실리콘박막(6)을 직접 성막 하고 있다. 예를 들면, 플라즈마CVD(PCVD)법에 의하여 300℃의 성막온도에서 비정질 실리콘박막(6)을 35nm 이하의 두께로 성막한다. 단, 이것은 일예이고, 성막온도는 유리의 내열성을 고려하여 200℃ 600℃의 범위에서 적절히 선정한다. 또, 플라즈마CVD법의 대신에 저압 CVD법으로 비정질 실리콘박막(6)을 성막해도 상관없다. 이에 더하여, 기판(5)은 유리를 사용하고 있으나 이에 한하지 않고 고내열성의 석영을 사용해도 된다. 유리기판(5)은 비정질 실리콘박막(6)에 비하여 열전도율이 비교적 낮다. 또, 기판(5) 자체가 20nm 이상의 두께를 가지는 절연층을 구성하고 있다.

제1C도는 다른 기판구성예를 나타내고 있다. 본 예에서는, 기판(5)은 실리콘으로 이루어지고, 그 표면은 절연막(7)으로 피복되어 있다. 이 절연막(7)은 비교적 열전도율이 낮은 산화실리콘 등으로 이루어지고, 그 막두께는 20nm 이상으로 설정되어 있다. 따라서, 이 절연막(7)이 저열전도성이고 또한 20nm 이상의 두께를 가지는 절연층을 구성하고 있다. 이 절연층(7)의 위에 비정질 실리콘박막(6)이 35nm의 두께 이하로 성막되어 있다. 제1B도 또는 제1C도의 어느 경우에도, 성막한 비정질 실리콘박막(6)의 아래에 열전도율이 낮은 절연층이 개재되어 있다. 또, 기판 자체는 레이저어닐온도에서 화학적 또는 물리적 변화가 생기지 않는 조성의 재료로 이루어진다. 비정질 실리콘박막(6)의 아래에 저열전도성의 절연층을 배치함으로써, 레이저광에 의하여 주어진 열에너지를 외부에 방산하지 않도록 하고 있다. 또, 절연층으로 비정질 실리콘박막(6)과 기판(5)과의 열적 분리를 도모하도록 하고 있다.

제1D도에 나타낸 바와 같이 어닐공정이 행해지고, 비정질 반도체박막(6)에 레이저광(2)을 조사하여 열에너지를 가하여 비정질막(6)을 다결정 반도체박막으로 전환한다. 조사영역(8)에 포함되는 비정질 실리콘은 일단 용융된 후 결정화된다. 비조사영역(9)에 있는 비정질 실리콘은 그대로의 상태로 남는다.

다음에, 제2도를 참조하여 결정화의 메카니즘을 상세히 설명한다. 도시한 바와 같이, 기판(도시하지 않음)의 위에 성막된 비정질 실리콘박막(6)에 대하여 레이저광(2)을 조사한다. 그리고, 본 예에서는 설명의 편의상 레이저광(2)은 강도분포가 균일하지 않은 상태를 나타내고 있으며, 비교적 에너지강도가 높은 부분(2a)과 비교적 에너지강도가 낮은 부분(2b)으로 나누어져 있다. 레이저광(2)이 비정질 실리콘박막(6)에 의하여 흡수되어, 그 융점까지 가열된다. 그 후, 냉각과정에서 비정질 실리콘은 결정화를 일으킨다. 본 발명과 같이 비정질 실리콘박막(6)이 35nm 이하의 두께인 경우, 종방향의 결정성장은 물리적으로 제한된다. 그러나, 에너지강도가 낮은 부분(2b)에 있어서도, 종방향에의 결정성장이 신속히 진행할 뿐만 아니고, 레이저광의 열에너지가 35nm 보다 두꺼운 경우에 비하면 상대적으로 충분히 가해지므로, 화살표(10)로 나타낸 바와 같이 횡방향으로도 결정화가 진행한다. 그러므로, 레이저광(2)의 에너지분포에 다소의 불균일성이 있어도, 결과적으로 얻어지는 실리콘결정립(11)의 입경은 수십 nm 정도의 균일한 것으로 된다. 또, 실리콘결정립(11)의 입경이 비교적 작은 경우에도, 박막(6)에는 충분한 에너지가 가해지고 있으므로, 결정과 결정의

사이의 입계(그레인 바운더리)(12)는 전기적 결함이 매우 작고, TFT 등 디바이스로서 이 실리콘을 응용한 경우에 있어서도, 전기적 특성은 매우 양호한 것으로 된다. 충분히 큰 온전류와 충분히 작은 오프전류가 얻어진다. 이와 같 이, 비정질 실리콘박막(6)의 두께를 35nm 이하로 한 경우, 균일 또한 전기적 특성이 양호한 다결정 실리콘박막이 레이저 어닐에 의하여 얻이진다.

제3도는 비정질 실리콘박막(6)의 두께가 35nm 이상의 경우에 있어서의 결정화의 메카니즘을 참고로 나타낸 것이다. 이해를 용이하게 하기 위하여, 제2도와 대응하는 부분에는 대응하는 참조번호를 붙인다. 비정질 실리콘박막(6)이 35nm를 초과하여 두꺼워지면, 개개의 결정립(11)이 화살표(10)로 나타낸 바와 같이 종방향에 따라서 자유로이 성장하여 특히 두께의 의한 물리적 제한을 받지 않는다. 따라서, 레이저어닐에 의하여 생긴 결정립(11)의 입경은 에너지강도에 크게 의존하고 있다. 도시한 바와 같이, 레이저광(2)의 단면에너지분포에 불균일성이 있을 경우, 결정립(11)의 사이즈에 불균일이나 차가 발생한다. 예를 들면, 에너지강도가 강한 부분(2a)에서는 결정립(11)이 비교적 대형화하고, 에너지강도가 약한 부분(2b)에서는 결정립(11)이 비교적 작은 채로 그치는 경향이 있다. 즉, 비정질 실리콘박막(6)이 비교적 두꺼우면, 종방향의 결정성장이 전혀 물리적 규제를 받지 않고 비교적 자유로이 진행하여, 횡방향의 결정성장까지 진행하지 않는다. 이 결과, 에너지강도에 의존하여 결정립의 불균일이 발생한다.

제4도는 레이저광(2)의 단면주변부(2c)에 에너지구배가 발생하고 있는 경우에 있어서의 결정화 메카니즘을 모식적으로 나타낸 것이다. 본 발명과 같이, 비정질 실리콘박막(6)의 두께를 35 nm 이하로 한 경우, 에너지분포의 불균일성에 대하여 결정성장의 정도의 허용범위가 넓어지므로, 주변부분(2c)에 있어서도 결정립(11)의 성장이 비교적 커진다.

이에 대하여, 제5도는 비정질 실리콘박막(6)의 두께가 35nm 이상의 경우에 있어서의 결정화 메카니즘을 모식적으로 나타내고 있다. 레이저광(2)의 단면에너지분포가 작아지는 주변부(2c)에서는, 결정립(11)의 사이즈가 단면중심부에 비하여 극단으로 작아져 있다.

제6도는 레이저광을 이동주사하면서 순차 조사한 경우에 있어서의 결정화의 메카니즘을 모식적으로 나타낸 것이다. 전술한 바와 같이, 레이저광의 단면강도분포는 주변부에 구배를 가지고 있다. 도시한 바와 같이, 최초의 1숏째의 레이저광(21)과 다음의 2숏째의 레이저광(22)은 서로 일부 중첩된 부분(2d)을 가지고 있다. 이 경우에도, 비정질 실리콘박막(6)의 두께를 35nm 이하로 함으로써, 중첩된 부분(2d)과 중첩되어 있지 않은 부분과의 사이에서, 결정립(11)의 사이즈의 차는 작아진다. 최초의 레이저광(21)의 경계선상에 따른 영역 A을 부분적으로 확대하여 나타내고 있다. 1숏째의 레이저광(21)의 끝부조사영역(8)에서 생긴 결정화는 중앙부에서 생긴 것보다 약간 작지만, 2숏째의 레이저광(22)의 조사에너지에 의하여 횡방향으로 결정화가 진행하므로, 다른 부분의 결정립의 사이즈와 동일한 크기로 된다.

제7도는 레이저광(2)을 이동주사하면서 투명절연기판(5)의 위에 성막된 비정질 실리콘박막(6)의 다결정화를 행하는 상태를 모식적으로 나타낸 것이다. 전술한 바와 같이, 레이저광(2)이 부분적으로 중첩된 부분(2d)에서도, 다른 부분과 동일 정도의 사이즈의 결정립이 얻어진다. 그리고, 그와 같은 반복에 의하여 대면적영역 B의 비정질 실리콘도 균일한 다결정화가 가능하게 된다. 즉, 레이저광을 부분적으 로 중첩된 상태로 조사해도, 경계부에서의 결정립의 연속성이 유지되므로, 대면적에 걸쳐서 균일한 입경을 가지는 실리콘다결정박막이 작성가능하게 된다.

다음에, 제8A도 제8G도를 참조하여 표시용 TFT장치(액티브매트릭스어레이기판)의 제조방법을 설명한다. 먼저 최초에, 제8A도의 공정에서 투명절연기판(61)을 준비한다. 이 투명절연기판(61)은 예를 들면 유리재료로 이루어지고, 내열(耐熱)온도는 600℃ 정도이다. 이 투명절연기판(61)의 위에 TFT의 활성층으로 될 반도체박막(62)을 성막한다. 예를 틀면 플라즈마 CVD(PCVD)법으로 비정질 실리콘을 35nm 이하의 두께로 성막한다. 다음에, 제8B도의 공정에서 반도체박막(62)을 소정의 형상으로 패터닝하여 TFT의 소자영역으로 한다. 소자영역에 대하여 이온주입 등에 의하여 불순물을 도핑하여 소스영역 S 및 드레인영역 D을 형성한다. 다음에, 제8C도의 공정에서 레이저광의 조사효율을 올리기 위하여 반사방지막(63)을 미리 성막한다. 이 반사방지막은, 예를 들면 SiO_2 로 이루어지고, 30nm 100nm의 두께로 퇴적한다. 이어서, 제8D도의 공정에서 반사방지막(63)을 통하여 반도체박막(62)에 레이저광을 조사한다. 그 에너지는 150mJ/cm^2 ~500mJ/cm^2 정도이고, 조사시간은 10 nsec 이상으로 설정되어 있다. 이 레이저광조사에 의하여 반도체박막(62)의 채널영역 Ch으로 될 부분이 다결정화되는 동시에, 소스영역 S 및 드레인영역 D에 주입된 불순물의 활성화를 동시에 행할 수 있다. 레이저광의 원숏 조사에 의하여 투명절연기판(61)의 내열온도 이하에서 비정질 실리콘의 결정화와 불순물의 활성화를 행하는 것이 가능하게 된다.

다음에, 제8E도의 공정으로 이행하여, 레이저광의 조사 후, 불필요하게 된 반사방지막(63)을 박리한다. 그 후, 채널영역 Ch의 위에 게이트절연막(66)을 형성한다. 이 게이트절연막(66)은 SiO_2 나 P - SiN 등으로 이루어지고, 예를 들면 150nm의 두께를 가지고 있다. 게이트절연막(66)의 위에 게이트전극(67)을 형성한다. 그 재료로서 여기서는 알루미늄을 사용하고 있으며, 600℃ 이하에서의 가공을 가능하게 하고 있다. 또한, PSG로 이루어지는 제1 층간절연막(68)을 500nm의 두께로 성막하였다. 이 제1 층간절연막(68)을 에칭하여 소스영역 S에 연통하는 콘택트홀(69)을 개구한다. 다음에, 제8F도의 공정에서 소스영역 S에 접속하는 배선(70)을 패터닝형성한다. 그 위에 PSG를 500nm의 두께로 성막하여 제2 층간절연막(71)을 형성한다. 제2 층간절연막(71) 및 제1 층간절연막(68)을 통하여 드레인영역 D에 연통하는 콘택트홀(72)을 개구한다. 최후에, 제8G도의 공정에서 제2 층간절연막(71)의 위에 ITO를 성막하여 소정의 형상으로 패터닝하여 화소전극(73)으로 한다. 이와 같이 하여 표시용 TFT장치가 완성된다.

최후에, 제9도는 표시용 TFT장치를 액티브매트릭스어레이기판으로 하여 조립된 액티브매트릭스형 액정표시장치의 일예를 나타낸다. 도시한 바와 같이, 본 액정표시장치는 액티브매트릭스어레이기판(101)과 대향기판(102)과의 양자의 사이에 보유된 액정(103)을 구비한 패널구조를 가진다. 액티브매트릭스어레이기판(101)에는 다수의 화소어레이(104)와 구동회로부가 집적형성되어 있다. 구동회로부는 수직주사회로(105)와 수평주사회로(106)로 나누어져 있다. 또, 액티브매트릭스어레이기판(101)의 주변부 상단에는 외부접속용의 단자부(107)가 형성되어 있다. 단자부(107)는 배선(108)을 통하여 수직주사회로(105) 및 수평주사회로(106)에 접속되어 있다. 화소어레이(104)는 서로 직교배치한 게이트라인(109) 및 신호라인(110)을 포함하고 있다. 양 라인(109),(110)의 교차부에는 화소전극(111)과 이것을

구동하는 TFT(112)가 배설되어 있다. 개개의 TFT(112)의 소스전극은 대응하는 신호라인(110)에 접속되고, 게이트 전극은 대응하는 게이트라인(109)에 접속되고, 드레인전극은 대응하는 화소전극(111)에 접속되어 있다. 각 게이트라인(109)은 수직주사회로(105)에 접속되고, 각 신호라인(110)은 수평주사회로(106)에 접속되어 있다.
이상 설명한 바와 같이, 본 발명에 의하면, 비정질 반도체박막의 두께를 35nm 이하로 하여 레이저어닐을 행하고 있다. 이로써, 종방향의 결정성장이 제한되고, 결과로서 입경이 균일한 다결정을 용이하게 얻을 수 있다. 비정질 반도체박막의 두께를 35nm 이하로 함으로써, 레이저어닐에 있어서의 광에너지의 최적분포폭이 넓어진다. 그러므로, 레이저어닐에 있어서 광에너지의 단면내 균일성의 불균일에 대한 결정입경의 불균일의 정도가 감소한다. 또, 비정질 반도체박막에 대하여 레이저광을 조금씩 시프트하면서 중첩하여 조사를 행하는 레이저어닐방법에 있어서도, 균일한 결정화를 달성하는 것이 가능하게 된다. 또한, 비정질 반도체박막의 두께가 35nm 이상의 경우에 비하여, 결정화에 필요로 하는 에너지가 적으므로, 보다 효율적 레이저어닐처리가 행하여지게 된다.

(57) 청구의 범위

청구항 1.
열전도율이 낮은 20 nm 이상 두께의 절연층을 준비하는 단계,
열전도율이 높은 비정질 반도체 박막을 35 nm 이하의 두께로 상기 절연층 위에 형성하는 단계,
상기 비정질 반도체 박막에 레이저광을 조사(照射)하여 상기 비정질 반도체 박막을 다결정 반도체 박막으로 전환하는 레이저 어닐링을 수행하는 단계
를 포함하는 다결정 반도체 박막의 제조 방법.

청구항 2.
제1항에서, 상기 절연층은 절연 기판인 다결정 반도체 박막의 제조 방법.

청구항 3.
제1항에서, 상기 절연층은 절연 기판의 위에 성막된 절연막인 다결정 반도체 박막의 제조 방법.

청구항 4.
제1항에서, 상기 비정질 반도체 박막은 비정질 실리콘으로 다결정 반도체 박막의 제조 방법.

청구항 5.
제1항에서, 상기 절연층은 산화 실리콘으로 다결정 반도체 박막의 제조 방법.

청구항 6.
제1항에서, 상기 비정질 반도체 박막의 형성 단계는 플라즈마 CVD 또는 저압 CVD에 의하여 수행되는 다결정 반도체 박막의 제조 방법.

청구항 7.
절연 기판을 준비하는 단계,
20 nm 이상 두께의 절연층을 상기 절연 기판 위에 형성하는 단계,
열전도율이 상기 절연층보다 높은 비정질 반도체박막을 35nm 이하의 두께로 상기 절연층 위에 형성하는 단계,
상기 비정질 반도체 박막을 박막 반도체 장치의 장치 영역내에 패터닝하는 단계,
이온 주입으로 상기 장치 영역내에 불순물을 도입하여 각 장치 영역마다 소스 및 드레인 영역을 형성하는 단계,
상기 장치 영역위에 반사 방지막을 형성하는 단계,
상기 반사 방지막을 형성한 후, 상기 절연기판의 최대 처리 온도 이하의 온도에서 상기 비정질 반도체 박막에 레이저광을 분균일하게 조사함으로써 상기 비정질 반도체 박막을 균일한 결정 입경을 갖는 다결정 반도체 박막 채널 영역으로 변환함과 동시에 상기 소스 및 드레인 영역에 도입된 불순물을 활성화하는 레이저 어닐링 단계,
상기 반사 방지막을 제거하는 단계,
상기 채널 영역 위에만 게이트 절연막을 형성하는 단계, 그리고
상기 게이트 절연막 위에 게이트 전극을 형성하는 단계
를 포함하는 박막 반도체 장치의 제조 방법.

청구항 8.
제7항에서, 상기 레이저광의 불균일한 조사는 상기 레이저 빔의 단면 에너지 분포의 불균일에 기인하는 박막반도체 장치의 제조 방법.

청구항 9.
제7항에서, 상기 레이저광의 불균일한 조사는 상기 비정질 실리콘 박막의 일부를 중첩해서 조사함에 기인하는 박막 반도체 장치의 제조 방법.

청구항 10.
제7항에서, 상기 레이저 어닐링은 상기 레이저광의 원숏에 의하여 수행되는 박막 반도체 장치의 제조 방법.

청구항 11.
제7항에서, 상기 레이저 어닐링은 상기 레이저광을 주사(scanning)하여 수행되는 박막 반도체 장치의 제조 방법.

청구항 12.
제7항에서, 상기 비정질 반도체 박막은 비정질 실리콘으로 이루어지는 박막 반도체 장치의 제조 방법.

청구항 13.

20 nm 이상 두께의 절연층을 갖는 제1 절연 기판을 준비하는 단계,
열전도율이 상기 절연층보다 높은 비정질 반도체 박막을 35nm 이하의 두께로 상기 제1 절연 기판 위에 형성하는 단계,
상기 비정질 반도체 박막을 박막 반도체 장치의 장치 영역내에 패터닝하는 단계,
이온 주입으로 상기 장치 영역내에 불순물을 도입하여 각 장치 영역마다 소스 및 드레인 영역을 형성하는 단계,
상기 장치 영역 위에 반사 방지막을 형성하는 단계,
상기 반사 방지막을 형성한 후, 상기 절연기판의 최대 처리 온도 이하의 온도에서 상기 비정질 반도체 박막에 레이저광을 불균일하게 조사함으로써 상기 비정질 반도체 박막을 균일한 결정 입경을 갖는 다결정 반도체 박막 채널 영역으로 변환함과 동시에 상기 소스 및 드레인 영역에 도입된 불순물을 활성화하는 단계,
상기 반사 방지막을 제거하는 단계,
상기 채널 영역 위에만 게이트 절연막을 형성하는 단계,
상기 게이트 절연막 위에 게이트 전극을 형성하는 단계,
상기 드레인 영역과 통하는 화소 전극을 형성하는 단계,
대향 전극을 갖는 제2 절연기판을 준비하는 단계,
일정 간극을 사이에 두고 상기 제1 기판과 상기 제2 기판을 접합하는 단계, 그리고
액정 물질을 상기 간극에 주입하는 단계
를 포함하는 액정 표시 장치의 제조 방법.

청구항 14.

제13항에서, 상기 비정질 반도체 박막은 비정질 실리콘으로 이루어지는 액정 표시 장치의 제조 방법.

청구항 15.

제13항에서, 상기 비정질 반도체 박막에 대한 상기 레이저광의 조사는 상기 레이저광의 원숏에 의하여 수행되는 액정 표시 장치의 제조 방법.

청구항 16.

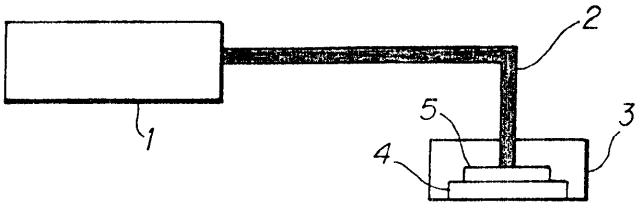
제13항에서, 상기 레이저광의 불균일한 조사는 상기 레이저 빔의 단면 에너지 분포의 불균일에 기인하는 박막반도체 장치의 제조 방법.

청구항 17.

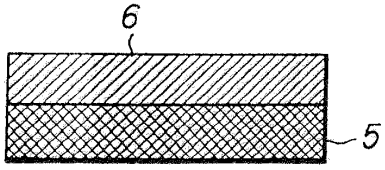
제13항에서, 상기 레이저광의 불균일한 조사는 상기 비정질 실리콘 박막의 일부를 중첩해서 조사함에 기인하는 박막 반도체 장치의 제조 방법.

도면

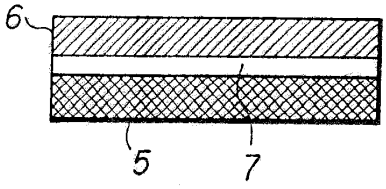
도면1a



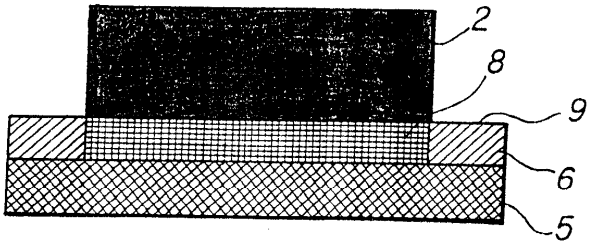
도면1b



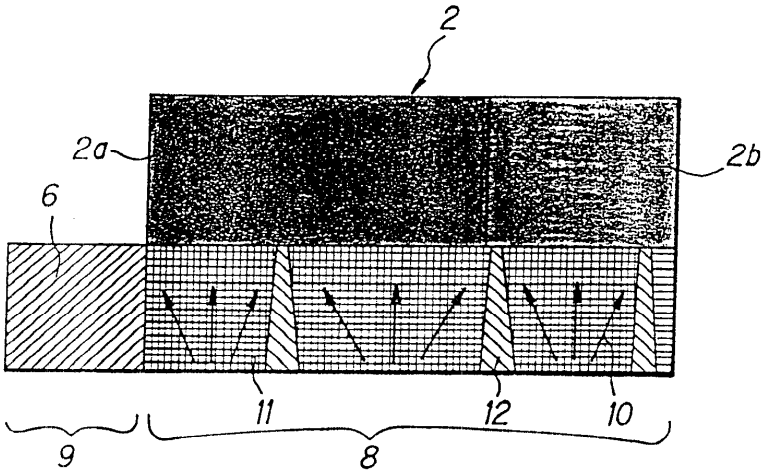
도면1c



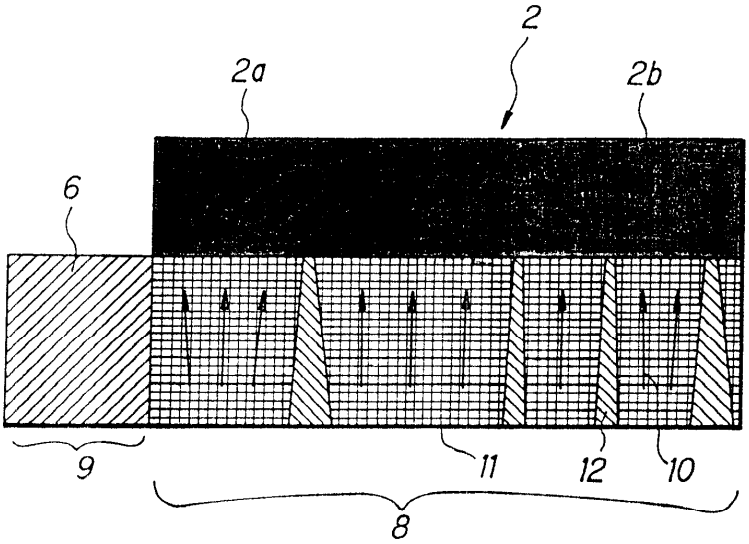
도면1d



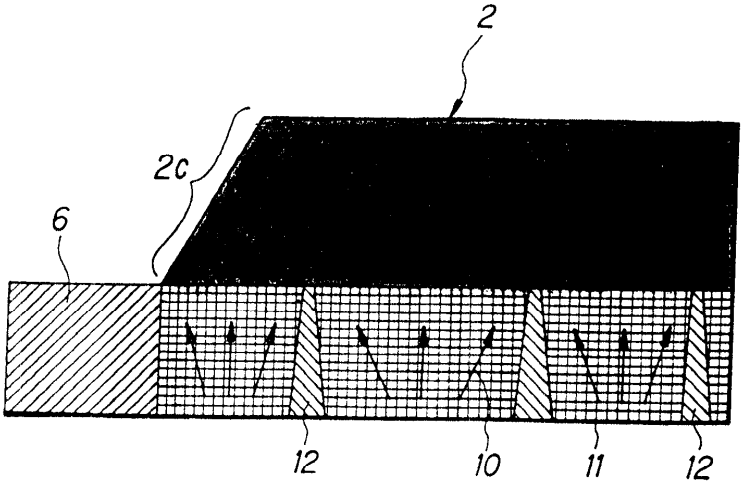
도면2



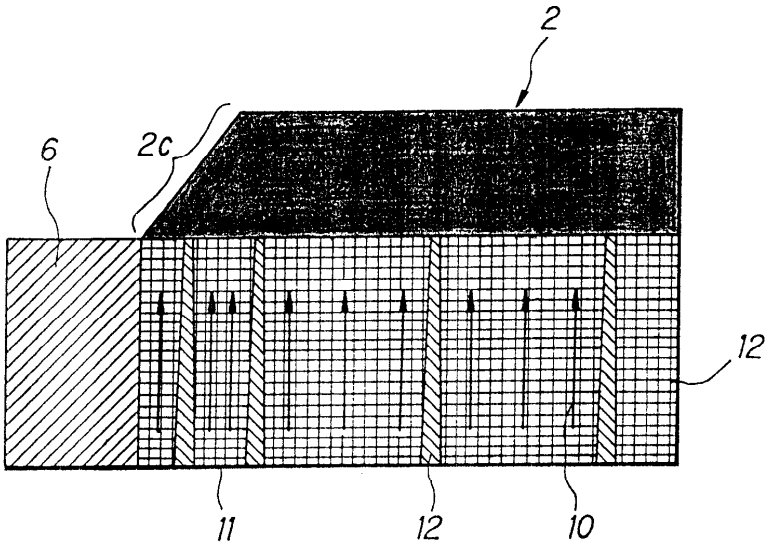
도면3



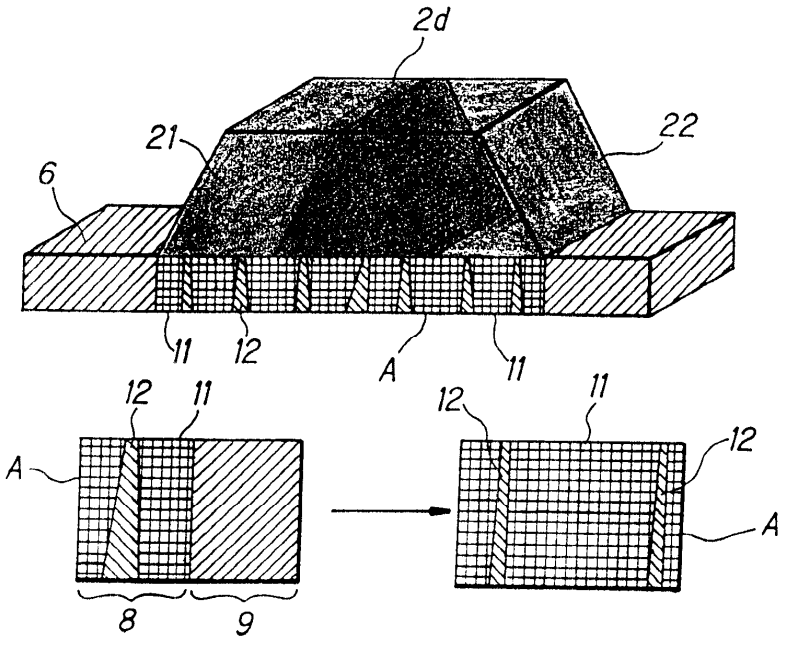
도면4


2
2c
6
12
10
11
12

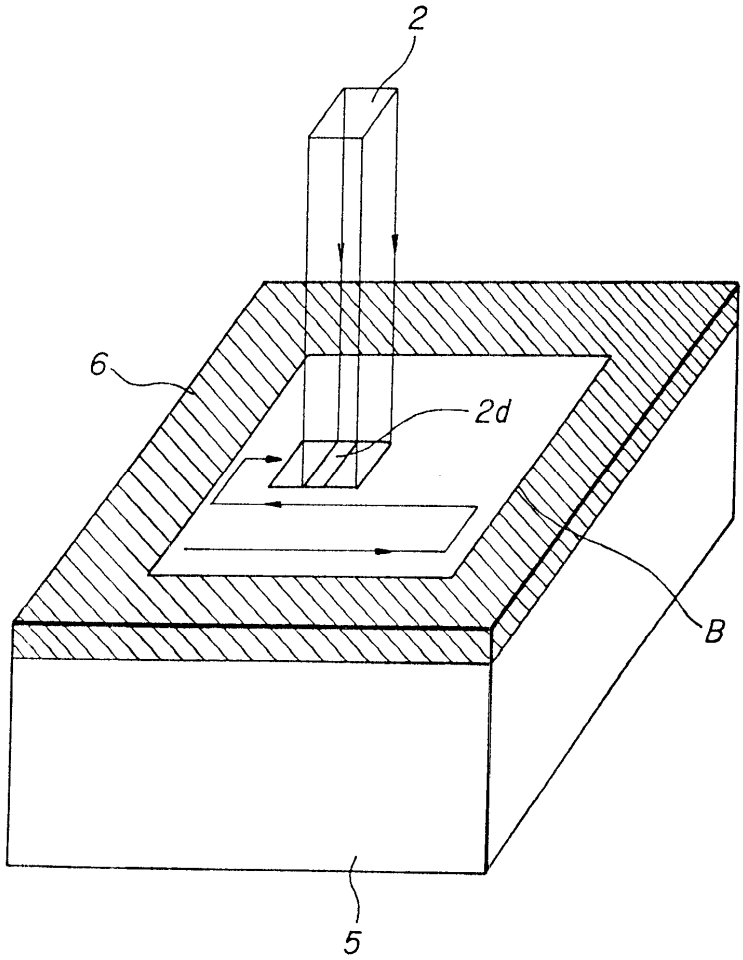
도면5


2
6
2c
12
11
12
10

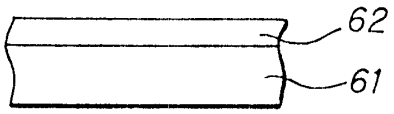
도면6


2d
21
22
6
11
12
A
11
12
11
A
12
11
12
A
8
9

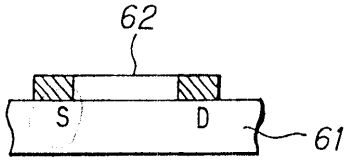
도면7



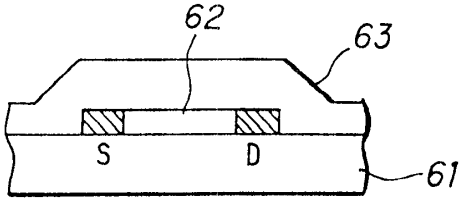
도면8a



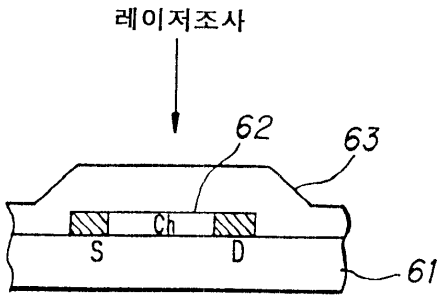
도면8b



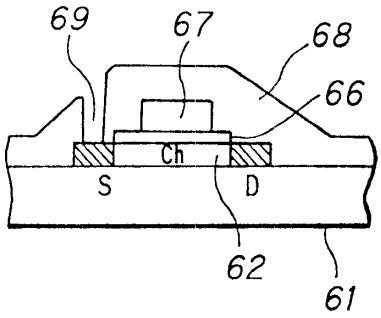
도면8c



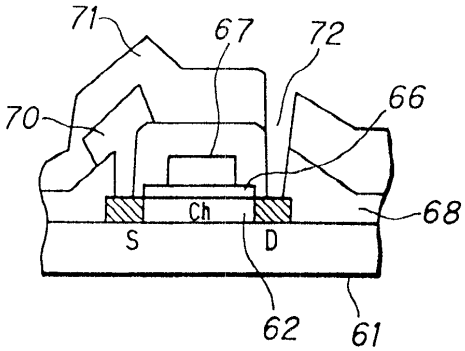
도면8d



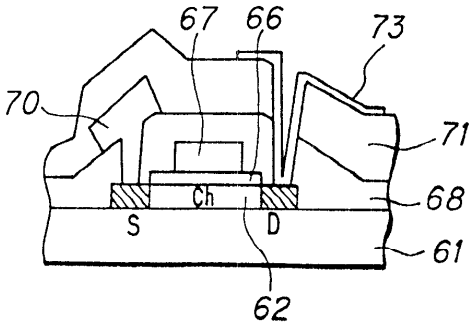
도면8e



도면8f



도면8g



도면9

