

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/52

H01L 21/768



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98125600.7

[45] 授权公告日 2004 年 2 月 25 日

[11] 授权公告号 CN 1139986C

[22] 申请日 1998.12.18 [21] 申请号 98125600.7

[30] 优先权

[32] 1997.12.22 [33] US [31] 995476

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 沃尔夫冈·伯格纳 马丁·高尔

彼得·韦甘德

审查员 张 莉

[74] 专利代理机构 北京市柳沈律师事务所

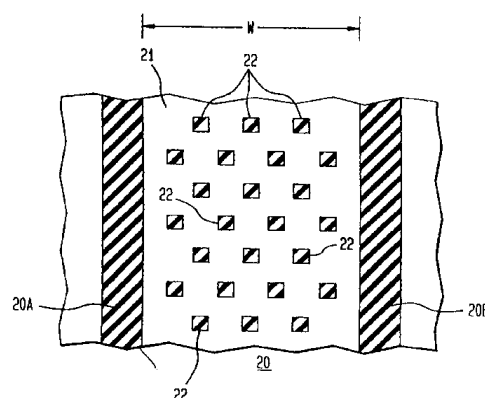
代理人 黄 敏

权利要求书 2 页 说明书 3 页 附图 1 页

[54] 发明名称 集成电路器件中的互连

[57] 摘要

用镶嵌法形成集成电路器件的导电互连网，在绝缘层(20A, 20B)中的较宽沟槽(21)中设置绝缘栓 22 的阵列，以防止用化学机械抛光平面化表面时在金属导电路径中产生凹坑。



ISSN 1008-4274

1. 一种集成电路器件，包括：其中已形成有待互连的多个电路元件的半导体芯片；在芯片表面上的互连网络，该芯片包括有多个较宽和较窄沟槽的绝缘材料层和填充沟槽的导电层，其特征是，所述较宽沟槽包括多个绝缘材料的局部栓。
2. 按权利要求 1 的集成电路器件，其中，所述绝缘材料的局部栓按棋盘图形排列。
3. 按权利要求 1 的集成电路器件，其中，所述栓的长和宽的尺寸为零点几微米。
4. 按权利要求 3 的集成电路器件，其中，所述栓相互之间的间距至少是每个栓的长度或宽度的几倍。
5. 按权利要求 1 的集成电路器件，其中，绝缘材料选自由氧化硅，氮化硅，硅酸盐玻璃和有机材料组成的材料组。
6. 按权利要求 5 的集成电路器件，其中，导电材料选自由 Al, AlCu, AlCuSi, Cu, W, 金属硅化物和掺杂多晶硅组成的材料组。
7. 按权利要求 6 的集成电路器件，其中，局部栓按棋盘图形排列，彼此之间的间距是每个栓的长度或宽度的几倍。
8. 一种在包含集成电路的半导体芯片顶表面上形成导电互连的方法，包括以下步骤：
 - 在半导体芯片顶表面上淀积绝缘材料层；
 - 在绝缘层中形成相应于所要求的互连图形的沟槽图形，在至少一些沟槽中留下多个独立的绝缘材料层栓；
 - 用导电材料层覆盖半导体芯片的顶表面；
 - 抛光该覆盖芯片顶表面的导电材料层至绝缘层和独立栓，使导电层留在沟槽中。
9. 按权利要求 8 的方法，其中，抛光步骤包括化学机械抛光。
10. 按权利要求 9 的方法，其中，沟槽图形包括较宽和较窄的沟槽和仅在较宽沟槽中留下的所述独立栓。
11. 按权利要求 9 的方法，其中，在较宽沟槽内按棋盘图形形成所述的独立栓。

12. 按权利要求 11 的方法, 其中, 所述栓彼此之间的间距是独立栓的长度或宽度的几倍。

13. 按权利要求 12 的方法, 其中, 所述栓的长度和宽度均为零点几微米。

5 14. 按权利要求 13 的方法, 其中, 导电层材料选自由 Al, AlCu, AlCuSi, Cu, W, 金属硅化物和掺杂多晶硅组成的材料组, 绝缘层材料选自由氧化硅, 氮化硅, 硅玻璃和有机材料构成的组。

集成电路器件中的互连

5 技术领域

本发明涉及集成电路器件，特别涉及这些器件所需的导电互连方法。

背景技术

10 集成电路的各种电路元件，如晶体管，二极管和电阻器，在包含集成电路的半导体芯片中已被制成，必须互连这些电路元件以构成集成电路。通常，在例如硅的半导体芯片表面设置导体，合适的图形和绝缘来完成互连。

随着芯片中电路元件密度增大，构成互连的导体的宽度和深度会减小，因此通常测量这些深度尺寸范围在纳米(nm)级，而宽度尺寸范围是零点几微米，此外，为使互连保持在所要求的低电阻，用例如金属的导电率高的导体已变得越来越重要。金属的构图，特别是实现所要求的各种尺寸是极困难的。为了把金属导体构成互连网络图形，镶嵌方法成了通用方法。这种方法中，首先在硅芯片顶表面上淀积绝缘层，之后，用标准的光刻和反应离子腐蚀(RIE)法对该绝缘层构图，形成按规定互连图形的沟槽。之后，在20 绝缘层表面上淀积所要求的金属导体层，以填在已腐蚀形成的沟槽内。之后，对表面进行化学机械抛光(CMP)，使表面平整，只留下沟槽内的金属。在该抛光中，绝缘材料作为停止层。沟槽中形成的导电图形通常包括能密封电路元件的较窄的线和要求较大电流时能提供较小电阻路径的较宽的线。而且，绝缘层中要填充的开口图形应包括两类沟槽，一类是在 10 与 10025 微米之间的较宽的沟槽，另一类是尺寸为零点几微米的较窄的沟槽。在用 CMP 平整表面时会出现在较宽的沟槽中淀积金属层时金属层太薄而呈现凹坑的问题。由于金属层通常很薄，凹坑会使其导电率明显降低。

为避免出现凹坑，通常在宽沟中插入细长的绝缘材料线或绝缘材料条，以使沟槽中绝缘区之间的间距变窄，用作在沟槽中进行 CMP 的停止层，以30 减少凹坑。但是，该设计方法会使芯片面积增大百分之几，而且，使常规金属 RIE 法构成的布图范围与镶嵌金属化法所用的布图范围不能兼容。

此外，包含这些线条的待腐蚀的图形设计是极其复杂，在设计中设计者必须付出更多的努力。

发明内容

- 5 本发明提供了一种解决该凹坑问题的方法，能用极简单的方法完成设计。

本发明用多个局部的独立栓，最好按棋盘图形交错设置的局部的独立栓代替为减小宽沟槽间隔用的中间绝缘材料细长线或细条。该局部图形的执行软件开发要比常规的细长图形容易得多。

- 10 本发明的一个方案涉及集成电路器件，它包括其中已形成有要互连的多个电路元件的半导体芯片，芯片表面上的互连网络，该芯片包括有较宽和较窄沟槽的绝缘材料层和填充沟槽的导电材料层，其特征是，较宽沟槽包括多个绝缘材料的局部栓。

- 15 本发明的另一方案涉及包含集成电路的半导体芯片顶表面上形成导电互连的方法，包括以下步骤：在半导体芯片顶表面上淀积绝缘材料层；在绝缘材料层中形成基本上相当于规定的互连图形的沟槽图形，在至少一些沟槽中留下多个独立的绝缘层栓；用导电材料层覆盖半导体芯片顶表面；对覆盖的芯片顶表面进行化学机械抛光至绝缘层和独立栓为了留下基本在该沟槽中的导电层。

20

附图说明

从以下结合附图所作的更详细说明中将能更好地理解发明。

图 1 是展示构成互连网用的镶嵌方法进行之前在较宽沟槽中用的常规填充示意图。

- 25 图 2 是按本发明的较宽沟槽中用的填充示意图。

具体实施方式

- 30 图 1 是高密度集成电路器件 10 的互连网络中用的较宽沟槽中插入的绝缘材料的常规图形的顶视图。绝缘材料侧壁 10A 与 10B 之间的间隔限定沟槽 11 的总宽度 W，它通常的宽度范围是 10 至 100 微米。为了避免出现凹坑要减小该间隔，通常是插入另外的绝缘材料的细长线 12A、12B 和 12C；

每根细线的宽度范围一般是1至5微米，由沟槽宽度确定。

图2是按本发明的具有在绝缘体侧壁20A与20B之间的沟槽21的集成电路20的部分顶视图。通常每个为一平方微米大的多个绝缘栓22在绝缘侧壁20A与20B之间最好按所示的棋盘图形以彼此间隔几倍栓宽度的间距排列。当然，也可按其它图形排列。由于能用两个槽的交叉区不变的图形，因此用于设置这种图形的软件很简单，而在图1所示的细长线图形中，为了避免电流路径中断必须改变两个槽的交叉区。

从而可知，绝缘栓的尺寸，形状和密度能在一个大范围内变化。通常可用的绝缘材料有氧化硅或硅酸盐玻璃。尽管发明与用于构成互连的绝缘材料或导体的实际选择无关。但是，通常所用的导电材料是选自由Al, AlCu, AlCuSi, Cu, W, 掺杂的多晶硅和金属硅化物组成的材料组。绝缘材料通常也选自氧化硅，氮化硅，硅酸盐玻璃和有机介质材料组成的组。

而且可根据实际的设计适当选择栓的尺寸、形状和间隔。通常，栓的长和宽均为零点几微米，间隔是其宽度或长度的几倍。这些尺寸可在CMP处理期间按凹坑数量选择。而且可以用增大沟槽深度来补偿与用常规金属RIE处理而产生的金属线相比而增大的薄层电阻。用RIE(金属面积-填充图形面积)/RIE金属面积能容易地得出补偿系数，这就允许按照常规金属RIE设计规则再加上计算机产生的要填充的图形产生布图。

图 1

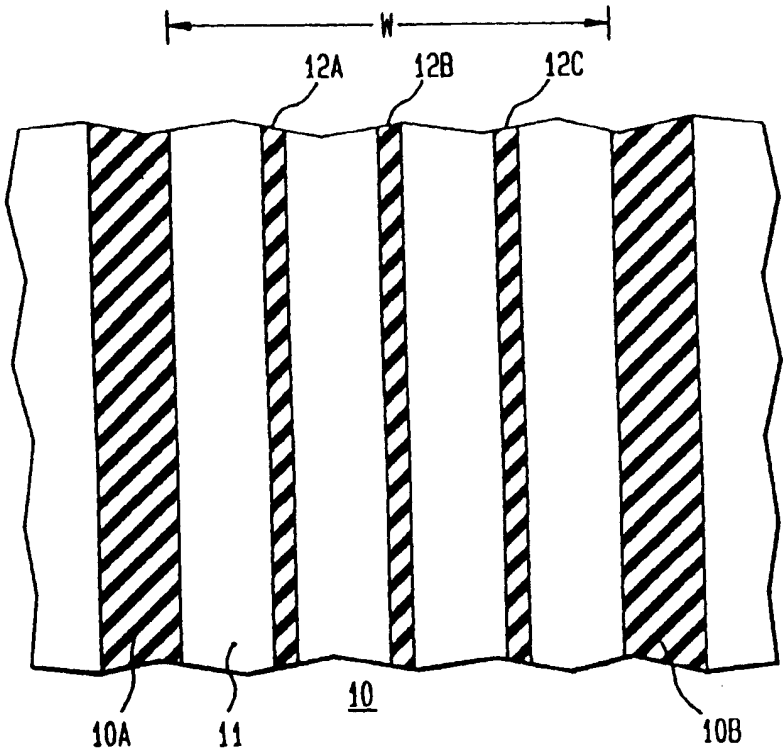


图 2

