



(12)发明专利

(10)授权公告号 CN 102270504 B

(45)授权公告日 2016.08.31

(21)申请号 201110141841.0

CN 101261945 A, 2008.09.10,

(22)申请日 2011.05.30

审查员 曹雄斐

(30)优先权数据

10-2010-0051733 2010.06.01 KR

(73)专利权人 三星电子株式会社

地址 韩国京畿道

(72)发明人 吴台荣 朴光一 梁润硕 孙宁洙
金始弘 裴升浚

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 邵亚丽

(51)Int.Cl.

G11C 16/06(2006.01)

(56)对比文件

WO 2009/051716 A2, 2009.04.23,

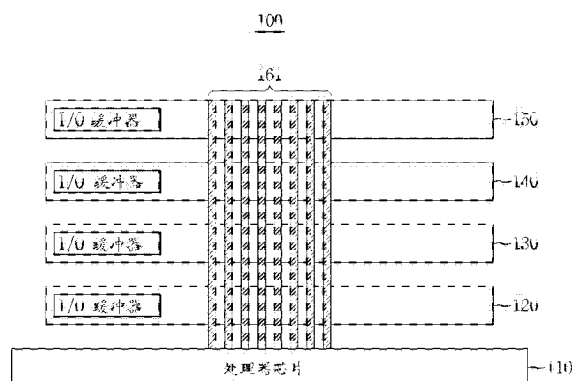
权利要求书4页 说明书11页 附图15页

(54)发明名称

堆叠半导体存储器件、存储器系统及修复硅
通孔缺陷的方法

(57)摘要

根据本发明构思的一种堆叠半导体存储器件可以包括：多个存储器芯片，堆叠在处理器芯片之上；多个TSV；以及I/O缓冲器。TSV可以穿过存储器芯片并且连接到处理器芯片。I/O缓冲器可以耦接在全部或部分存储器芯片与TSV之间，并且可以基于TSV的缺陷状态选择性地激活。



1. 一种堆叠半导体存储器件,包括:
多个堆叠的存储器芯片;
多个穿过存储器芯片的硅通孔(TSV);以及
多个I/O缓冲器,每个I/O缓冲器耦接在至少一个存储器芯片与至少一个TSV之间,I/O缓冲器被配置为基于TSV的缺陷状态而选择性地激活,
其中I/O缓冲器被配置为使得,当至少一个TSV包含缺陷点时,包含在位于所述缺陷点下方的存储器芯片中的I/O缓冲器被激活,
其中I/O缓冲器被配置为使得,当至少一个TSV包含缺陷点时,包含在位于所述缺陷点上方的存储器芯片中的I/O缓冲器不被激活。
2. 根据权利要求1所述的堆叠半导体存储器件,其中多个堆叠的存储器芯片的每一个包括缓冲器控制电路,其被配置为基于TSV的缺陷状态使能多个堆叠的存储器芯片的每一个内部的I/O缓冲器。
3. 根据权利要求2所述的堆叠半导体存储器件,其中缓冲器控制电路包括非易失性存储器件。
4. 根据权利要求2所述的堆叠半导体存储器件,其中缓冲器控制电路包括一次编程(OTP)存储器或电可擦除可编程只读存储器(EEPROM)。
5. 根据权利要求1所述的堆叠半导体存储器件,其中多个堆叠的存储器芯片的每一个包括用于每个I/O缓冲器的独立的缓冲器控制电路,所述缓冲器控制电路被配置为基于TSV的缺陷状态使能I/O缓冲器。
6. 根据权利要求1所述的堆叠半导体存储器件,其中多个堆叠的存储器芯片包括:
第1存储器芯片;
第2存储器芯片,堆叠在第1存储器芯片上方;
第3存储器芯片,堆叠在第2存储器芯片上方;
第4存储器芯片,堆叠在第3存储器芯片上方;
其中多个TSV包括第1到第4TSV,第1到第4TSV贯穿第4存储器芯片到第1存储器芯片;
其中I/O缓冲器包括第1到第16I/O缓冲器,
包含在第1存储器芯片中的第1到第4I/O缓冲器分别连接到第1到第4TSV,并且被配置为由第1缓冲器使能信号选择性地激活;
包含在第2存储器芯片中的第5到第8I/O缓冲器分别连接到第1到第4TSV,并且被配置为由第2缓冲器使能信号选择性地激活;
包含在第3存储器芯片中的第9到第12I/O缓冲器分别连接到第1到第4TSV,并且被配置为由第3缓冲器使能信号选择性地激活;
包含在第4存储器芯片中的第13到第16I/O缓冲器分别连接到第1到第4TSV,并且被配置为由第4缓冲器使能信号选择性地激活。
7. 根据权利要求1所述的堆叠半导体存储器件,其中多个堆叠的存储器芯片包括:
第1存储器芯片;
第2存储器芯片,堆叠在第1存储器芯片上方;
第3存储器芯片,堆叠在第2存储器芯片上方;
第4存储器芯片,堆叠在第3存储器芯片上方;

其中多个TSV包括第1到第4TSV,第1到第4TSV贯穿第4存储器芯片到第1存储器芯片;
其中I/O缓冲器包括第1到第8I/O缓冲器,

包含在第1存储器芯片中的第1和第2I/O缓冲器分别连接到第1和第2TSV,并且被配置为由第1缓冲器使能信号选择性地激活;

包含在第2存储器芯片中的第3和第4I/O缓冲器分别连接到第3和第4TSV,并且被配置为由第2缓冲器使能信号选择性地激活;

包含在第3存储器芯片中的第5和第6I/O缓冲器分别连接到第1和第2TSV,并且被配置为由第3缓冲器使能信号选择性地激活;

包含在第4存储器芯片中的第7和第8I/O缓冲器分别连接到第3和第4TSV,并且被配置为由第4缓冲器使能信号选择性地激活。

8.根据权利要求1所述的堆叠半导体存储器件,其中多个TSV包括地址/命令TSV和数据TSV,其被配置为使得,由至少一个数据TSV的缺陷引起的数据总线映射改变导致地址/命令总线映射改变。

9.根据权利要求1所述的堆叠半导体存储器件,其中多个堆叠的存储器芯片包括:

第1存储器芯片;

第2存储器芯片,堆叠在第1存储器芯片上方;

第3存储器芯片,堆叠在第2存储器芯片上方;

第4存储器芯片,堆叠在第3存储器芯片上方;

其中,多个TSV包括第1到第8TSV,

第1到第4TSV贯穿第4存储器芯片到第1存储器芯片;

第5到第8TSV贯穿第4存储器芯片到第1存储器芯片;

其中I/O缓冲器包括第1到第32I/O缓冲器,

包含在第1存储器芯片中的第1到第4I/O缓冲器分别连接到第1到第4TSV,并且被配置为由第1缓冲器使能信号选择性地激活;

包含在第1存储器芯片中的第5到第8I/O缓冲器分别连接到第5到第8TSV,并且被配置为由第2缓冲器使能信号选择性地激活;

包含在第2存储器芯片中的第9到第12I/O缓冲器分别连接到第1到第4TSV,并且被配置为由第3缓冲器使能信号选择性地激活;

包含在第2存储器芯片中的第13到第16I/O缓冲器分别连接到第5到第8TSV,并且被配置为由第4缓冲器使能信号选择性地激活;

包含在第3存储器芯片中的第17到第20I/O缓冲器分别连接到第1到第4TSV,并且被配置为由第5缓冲器使能信号选择性地激活;

包含在第3存储器芯片中的第21到第24I/O缓冲器分别连接到第5到第8TSV,并且被配置为由第6缓冲器使能信号选择性地激活;

包含在第4存储器芯片中的第25到第28I/O缓冲器分别连接到第1到第4TSV,并且被配置为由第7缓冲器使能信号选择性地激活;

包含在第4存储器芯片中的第29到第32I/O缓冲器分别连接到第5到第8TSV,并且被配置为由第8缓冲器使能信号选择性地激活。

10.根据权利要求9所述的堆叠半导体存储器件,其中I/O缓冲器被配置为使得,当第1

存储器芯片与第2存储器芯片之间的第6TSV的部分有缺陷并且第3存储器芯片与第4存储器芯片之间的第8TSV的部分有缺陷时,连接到第6TSV的第1存储器芯片的第6I/O缓冲器被激活,而且连接到第8TSV的第3存储器芯片的第24I/O缓冲器被激活。

11.根据权利要求10所述的堆叠半导体存储器件,其中I/O缓冲器被配置为使得,连接到用于地址/命令的第2TSV的第1存储器芯片的第2I/O缓冲器也被激活,而且连接到用于地址/命令的第4TSV的第3存储器芯片的第20I/O缓冲器也被激活。

12.根据权利要求1所述的堆叠半导体存储器件,其中多个TSV包括地址/命令TSV和数据TSV,其被配置为使得,由至少一个地址/命令TSV的缺陷引起的地址/命令总线映射改变导致数据总线映射改变。

13.一种存储器系统,包括:

处理器芯片;

多个存储器芯片,堆叠在处理器芯片上方;

多个硅通孔(TSV),贯穿多个存储器芯片且连接到处理器芯片;以及

多个I/O缓冲器,每个I/O缓冲器耦接在多个存储器芯片的至少一个与多个TSV的至少一个之间,并且被配置为基于多个TSV的缺陷状态选择性地激活,

其中I/O缓冲器被配置为使得,当至少一个TSV包含缺陷点时,包含在位于所述缺陷点下方的存储器芯片中的I/O缓冲器被激活,

其中I/O缓冲器被配置为使得,当至少一个TSV包含缺陷点时,包含在位于所述缺陷点上方的存储器芯片中的I/O缓冲器不被激活。

14.根据权利要求13所述的存储器系统,其中多个TSV包括地址/命令TSV和数据TSV,其被配置为使得,由至少一个数据TSV的缺陷引起的数据总线映射改变导致地址/命令总线映射改变。

15.根据权利要求14所述的存储器系统,其中处理器芯片包括修复电路,其被配置为将数据总线映射改变恢复到原始的数据总线映射。

16.根据权利要求15所述的存储器系统,其中修复电路被包含在处理器芯片内部的存储器控制器中。

17.一种修复堆叠半导体存储器件中的硅通孔(TSV)缺陷的方法,包括:

在多个存储器芯片的至少一个与多个TSV的至少一个之间耦接多个I/O缓冲器的每一个;以及

基于TSV的缺陷状态选择性地激活I/O缓冲器,

其中选择性地激活I/O缓冲器包括:

激活包含在位于缺陷TSV的缺陷点下方的一个存储器芯片中的I/O缓冲器,而不激活连接到缺陷TSV的其他I/O缓冲器;以及

激活连接到非缺陷TSV的I/O缓冲器,

其中选择性地激活I/O缓冲器包括:

当TSV有缺陷点并且I/O缓冲器连接到带有缺陷点的TSV时,包含在位于缺陷点上方的存储器芯片中的I/O缓冲器不被激活。

18.根据权利要求17所述的方法,其中选择性地激活I/O缓冲器包括:

由于用于数据的至少一个TSV的缺陷而改变数据总线映射;以及

改变地址/命令总线映射。

19. 根据权利要求18所述的方法,其中选择性地激活I/O缓冲器进一步包括:
将改变的数据总线映射恢复到原始的数据总线映射。

20. 一种堆叠半导体存储器件,包括:

多个存储器芯片,沿第一方向堆叠;

多个I/O缓冲器,布置在多个存储器芯片的每一个中;以及

多个硅通孔(TSV),沿第一方向穿过多个存储器芯片,多个TSV的每一个耦接到多个I/O缓冲器的至少两个,多个I/O缓冲器被配置为如果多个TSV的一个或多个中存在缺陷则选择性地激活,

其中相关联的I/O缓冲器被配置为如果多个TSV的缺陷TSV中存在缺陷则被激活,相关联的I/O缓冲器耦接到缺陷TSV并且位于缺陷的下方,

其中耦接到缺陷TSV并且位于缺陷上方的其它I/O缓冲器被配置为使得不被激活。

21. 根据权利要求20所述的堆叠半导体存储器件,其中相关联的I/O缓冲器布置在多个存储器芯片的相邻存储器芯片中,相邻存储器芯片是在缺陷下方并且最靠近缺陷的存储器芯片。

堆叠半导体存储器件、存储器系统及修复硅通孔缺陷的方法

技术领域

[0001] 本发明构思的实施例涉及半导体存储器件,而且更具体地,涉及其中以三维形式堆叠多个存储器芯片的堆叠半导体存储器件以及包含它的存储器系统。

背景技术

[0002] 已经研究其中利用用于半导体集成电路之间超高速通信的硅通孔(TSV)作为通信手段以三维形式堆叠存储器芯片的堆叠半导体存储器件。

[0003] 在堆叠半导体存储器件中制造TSV以连接存储器芯片的过程中可能出现缺陷。因此,制造具有更高产量的TSV是有益的。

发明内容

[0004] 本发明构思的示例实施例涉及能够修复TSV的缺陷并且提高产量的堆叠半导体存储器件。

[0005] 本发明构思的示例实施例另外涉及包含堆叠半导体存储器件的存储器系统。

[0006] 本发明构思的示例实施例进一步涉及修复堆叠半导体存储器件中的TSV缺陷的方法。

[0007] 应当理解,本发明构思不限于这里具体公开的那些。更确切地,基于以下的描述,其它方面对于本领域普通技术人员可以变得显而易见。

[0008] 根据本发明构思的非限定性方面,一种堆叠半导体存储器件可以包括多个堆叠的存储器芯片。多个硅通孔(TSV)可以穿过全部的存储器芯片。I/O缓冲器可以耦接在全部或部分存储器芯片与TSV之间。I/O缓冲器可以被配置为基于TSV的缺陷状态选择性地激活。

[0009] 在一些实施例中,I/O缓冲器可以被包含在存储器芯片中。

[0010] 在一些实施例中,当一部分TSV有缺陷时,在连接到缺陷TSV的I/O缓冲器当中,包含在位于缺陷点下方的存储器芯片中的I/O缓冲器可以被激活。

[0011] 在一些实施例中,当部分TSV有缺陷时,在连接到缺陷TSV的I/O缓冲器当中,包含在位于缺陷点上方的存储器芯片中的I/O缓冲器可以不被激活。

[0012] 在一些实施例中,每个存储器芯片可以包括缓冲器控制电路,用于基于TSV的缺陷状态使能每个存储器芯片内部的I/O缓冲器。

[0013] 在一些实施例中,缓冲器控制电路可以包括非易失性存储器件。

[0014] 在一些实施例中,缓冲器控制电路可以是OTP或者EEPROM。

[0015] 在一些实施例中,每个存储器芯片可以独立地具有用于每个I/O缓冲器的缓冲器控制电路,以便基于TSV的缺陷状态使能每个存储器芯片内的I/O缓冲器。

[0016] 在一些实施例中,当包括用于地址/命令的多个TSV和用于数据的多个TSV、并且数据总线映射由于用于数据的部分TSV的缺陷而改变时,地址/命令总线映射也可以改变。

[0017] 在一些实施例中,当包括用于地址/命令的多个TSV和用于数据的多个TSV、并且地址/命令总线映射由于用于地址/命令的部分TSV的缺陷而改变时,数据总线映射也可以改

变。

[0018] 根据本发明构思的另一个非限制性实施例中,一种堆叠半导体存储器件可以包括:沿第一方向堆叠的多个存储器芯片;布置在多个存储器芯片的每一个中的多个I/O缓冲器;以及沿第一方向穿过多个存储器芯片的多个硅通孔(TSV),多个TSV的每一个耦接到多个I/O缓冲器的至少两个,多个I/O缓冲器被配置为如果多个TSV的一个或多个中存在缺陷则选择性地激活。

[0019] 根据本发明构思的另一个非限制性方面,一种存储器系统可以包括存储器芯片。多个存储器芯片可以堆叠在存储器芯片的上方。多个TSV可以穿过全部的存储器芯片并且可以连接到处理器芯片。I/O缓冲器可以耦接在全部或部分存储器芯片与TSV之间。I/O缓冲器可以被配置为基于TSV的缺陷状态选择性地激活。

[0020] 在一些实施例中,当包括用于地址/命令的多个TSV和用于数据的多个TSV、并且数据总线映射由于用于数据的部分TSV的缺陷而改变时,地址/命令总线映射也可以改变。

[0021] 在一些实施例中,处理器芯片可以包括用于将改变的数据总线映射恢复到原始的修复电路。

[0022] 在一些实施例中,所述的修复电路可以被包含在处理器芯片内部的存储器控制器中。

[0023] 根据本发明构思的另一个非限制性方面,一种修复堆叠半导体存储器件中的TSV缺陷的方法可以包括在多个存储器芯片的全部或部分与TSV之间耦接I/O缓冲器。I/O缓冲器可以基于TSV的缺陷状态选择性地激活。

[0024] 在一些实施例中,选择性地激活I/O缓冲器可以包括:激活连接到缺陷TSV的I/O缓冲器当中包含在位于缺陷点下方的一个存储器芯片中的I/O缓冲器,并且激活连接到无缺陷TSV的I/O缓冲器。

[0025] 在一些实施例中,选择性地激活I/O缓冲器可以包括:由于用于数据的TSV部分的缺陷而改变数据总线映射,并且还改变地址/命令总线映射。

附图说明

[0026] 从本发明构思的非限制实施例的更特定描述中,本发明构思的前述和其它特点和优点将是显而易见的。如附图中所示,附图中的不同视图中,相同的参考字符指代相同的部件。附图不是必须按比例,而是强调以说明本发明构思的原理。附图中:

[0027] 图1是显示根据本发明构思的第一实施例的包含堆叠半导体存储器件的存储器系统的示意性截面图;

[0028] 图2是显示图1的存储器系统中包含的存储器芯片的结构示例的平面视图;

[0029] 图3是显示图1的存储器系统的三维结构的示意性透视图;

[0030] 图4是显示根据本发明构思的第二实施例的包含堆叠半导体存储器件的存储器系统的截面图;

[0031] 图5是显示根据本发明构思的第三实施例的包含堆叠半导体存储器件的存储器系统的截面图;

[0032] 图6是显示构成图5中所示的堆叠半导体存储器件的一个芯片的结构示例的示意性电路图;

- [0033] 图7是显示图6的电路图中包含的缓冲器控制电路的非限制性实施例的电路图；
- [0034] 图8是显示图6的电路图中包含的缓冲器控制电路的另一个非限制性实施例的电路图；
- [0035] 图9是显示构成图5中所示的堆叠半导体存储器件的一个芯片的结构的一个示例的示意性电路图；
- [0036] 图10是显示图9的电路图中包含的缓冲器控制电路的示例的电路图；
- [0037] 图11是显示图9的电路图中包含的缓冲器控制电路的另一个示例的电路图；
- [0038] 图12是显示根据本发明构思的第四实施例的包含堆叠半导体存储器件的存储器系统的截面图；
- [0039] 图13是显示根据本发明构思的第六实施例的包含堆叠半导体存储器件的存储器系统的截面图；
- [0040] 图14是显示根据本发明构思的第六实施例的包含堆叠半导体存储器件的存储器系统的截面图；
- [0041] 图15是显示根据本发明构思的第七实施例的包含堆叠半导体存储器件的存储器系统的截面图；
- [0042] 图16是显示图13、14、和15的存储器系统中用于将改变的数据映射恢复到原始的修复电路的电路图；
- [0043] 图17是显示根据本发明构思的实施例的堆叠半导体存储器件中的TSV缺陷修复方法的流程图；
- [0044] 图18是显示图17的TSV缺陷修复方法中选择性地激活I/O缓冲器的步骤的示例的流程图；以及
- [0045] 图19是显示图17的TSV缺陷修复方法中选择性激活I/O缓冲器的步骤的另一个示例的流程图。

具体实施方式

[0046] 现在将参考其中显示几个示例的附图更全面地描述各种实施例。然而，这些发明构思可以以不同的形式具体化，而不应当被解读为限于这里阐述的实施例。更确切地，这些实施例仅仅被提供用于确保本公开是彻底和完整的，并且将本发明构思全面地传达给本领域技术人员。附图中，为了清晰起见，层和区域的大小或相对大小可能已经被夸大。

[0047] 应当理解，当元件或层被称为“在另一个元件或层之上”、“连接到”或者“耦接到”另一个元件或层时，其可以被直接在另一个元件或层之上，或者连接到或耦接到另一个元件或层，或者可以存在中间元件或层。相反，当元件被称为“直接在另一个元件或层之上”、“直接连接到”或者“直接耦接到”另一个元件或层时，没有中间元件或层存在。全文中相同的编号指代相同的元件。这里所使用的术语“和/或”包括一个或多个关联列出项的任意和全部组合。

[0048] 应当理解，虽然术语第一、第二、第三等可以在这里用于描述各种元件、组件、区域、层和/或区段，这些元件、组件、区域、层和/或区段不应当受这些术语限制。这些术语仅仅用于区分一个元件、组件、区域、层或区段与另一个区域、层或区段。因而，可以将下面讨论的第一元件、组件、区域、层或区段称为第二元件、组件、区域、层或区段而不背离本发明

构思的教导。

[0049] 例如“之下”、“下方”、“低于”、“之上”、“上方”等空间相对术语在这里为了便于描述可以被用于描述一个元件或特征与另一个元件或特征的关系,如图中所说明。应当理解,除了图中描述的定向之外,空间相对术语意图涵盖使用或操作中的设备的不同定向。例如,如果图中的设备被翻转,则被描述为在其它元件或特征“之下”或“下方”的元件于是应当被定向为在其它元件或特征“之上”。因此,术语“之下”可以包括之上和之下两个方向。可以将所述设备另外地定向(旋转90度或者沿其它定向)并且相应地解释这里所使用的空间相对描述符。

[0050] 这里所使用的术语仅仅是为了描述特定的实施例,并不意图限制本发明构思。这里所使用的单数形式“一个”意图同样包括复数形式,除非上下文清楚地指示否定。进一步应当理解,术语“包括”,当在此说明书中被使用时,规定所述特征、整数、步骤、操作、元件和/或组件的存在,但是并不排除存在或增加一个或多个其它特征、整数、步骤、操作、元件、组件和/或其组合。

[0051] 这里参照作为理想化实施例(以及中间结构)的示意性说明的截面图示来描述实施例。如此,可以预期作为例如生产技术和/或容差的结果的图示形状的变形。因而,实施例不应当被解读为限于这里所说明的区域的特定形状,而是包括来源于例如生产的形状变形。例如,被图示为矩形的植入(implant)区域将典型地在其边缘处具有圆滑的或弯曲的特征和/或植入浓度的梯度,而不是从植入到非植入区域的二元改变。同样,由植入形成的埋藏(buried)区域可以导致埋藏区域与通过其发生植入的表面之间的区域中的一些植入。因而,图中所说明的区域本质上是示意性的,并且它们的形状并不意图说明器件的区域的实际形状,并且不意图限制本发明构思的范围。

[0052] 除非另外定义,这里所使用的全部术语(包括技术和科学术语)具有与本发明构思所属领域普通技术人员的共同理解相同的含义。进一步应当理解,例如在公用辞典中定义的术语应当被解释为具有与它们在相关领域的背景下的含义相一致的含义,而不应当以理想化或过于形式的意义来解释,除非在这里被清楚地如此定义。

[0053] 还应当注意,在一些另外的实现中,记载的功能/动作可以不按照图中所记载的顺序发生。例如,依赖于涉及的功能/动作,相继显示的两个图形实际上可以基本上同时执行,或者有时可以按照相反的顺序执行。

[0054] 现在将参考附图描述本发明构思的非限制性实施例。

[0055] 图1是显示根据本发明构思第一实施例的包含堆叠半导体存储器件的存储器系统100的示意性剖面视图。

[0056] 参考图1,存储器系统100包括处理器芯片110、存储器芯片120、130、140、和150、以及TSV 161。存储器件120、130、140、和150堆叠在处理器芯片110的上方,并且组成堆叠半导体存储器件。TSV 161穿过全部的存储器芯片120、130、140、和150,并且连接到处理器芯片110。存储器芯片120、130、140、和150包括耦接在存储器芯片120、130、140、和150的全部或部分与TSV 161之间的输入/输出(I/O)缓冲器。I/O缓冲器基于TSV 161的状态选择性地激活。

[0057] 图2是显示图1的存储器系统100中包含的存储器芯片的结构示例的平面视图。

[0058] 参考图2,存储器芯片120a包括TSV 161a以及包含存储体(memory bank)121、122、

123、和124的存储器核心。如图1中所示的I/O缓冲器连接在存储体121、122、123、和124与TSV 161a之间,但是为了描述方便而从图2中省略。将TSV 161电连接到存储体121、122、123、和124内部的电路块的内部电极排列在存储体121、122、123、和124上。为了方便起见,图2中示出用于每个存储体的一个内部电极。TSV 161排列在图1的存储器芯片120、130、140、和150的中心部分,但是也可以排列在存储器芯片120、130、140、和150的其它位置。

[0059] 图3是显示图1的存储器系统的三维结构的示意性透视图。

[0060] 参考图3,存储器系统100a包括由TSV 161电连接的处理器芯片110以及存储器芯片120、130、140、和150。虽然图3中显示排列为两行的TSV161,但是应当理解,存储器系统100a可以具有TSV的其它适当配置。

[0061] 图4是显示根据本发明构思的第二实施例的包含堆叠半导体存储器件的存储器系统200的截面图。

[0062] 参考图4,存储器系统200包括处理器芯片210以及包含堆叠在处理器芯片210之上的存储器芯片220、230、240、和250的半导体存储器件。处理器芯片210可以包括存储器控制器211。

[0063] 第1存储器芯片220堆叠在处理器芯片210的上方,第2存储器芯片230堆叠在第1存储器芯片220的上方,第3存储器芯片240堆叠在第2存储器芯片230的上方,而第4存储器芯片250堆叠在第3存储器芯片240的上方。TSV TSV1、TSV2、TSV3、和TSV4从第4存储器芯片250贯穿到第1存储器芯片220,并且连接到处理器芯片210。

[0064] 第1到第4I/O缓冲器221、222、223、和224包含在第1存储器芯片220中,分别连接到第1到第4TSV TSV1、TSV2、TSV3、和TSV4,并且由作为4位信号的第1缓冲器使能信号EN_BUF_1<0:3>选择性地激活。

[0065] 第5到第8I/O缓冲器231、232、233、和234包含在第2存储器芯片230中,分别连接到第1到第4TSV TSV1、TSV2、TSV3、和TSV4,并且由作为4位信号的第2缓冲器使能信号EN_BUF_2<0:3>选择性地激活。

[0066] 第9到第12I/O缓冲器241、242、243、和244包含在第3存储器芯片240中,分别连接到第1到第4TSV TSV1、TSV2、TSV3、和TSV4,并且由作为4位信号的第3缓冲器使能信号EN_BUF_3<0:3>选择性地激活。

[0067] 第13到第16I/O缓冲器251、252、253、和254包含在第4存储器芯片250中,分别连接到第1到第4TSV TSV1、TSV2、TSV3、和TSV4,并且由作为4位信号的第4缓冲器使能信号EN_BUF_4<0:3>选择性地激活。

[0068] 图4的存储器系统在第2TSV TSV2的点DP1中具有例如开路状态的缺陷,并且在第4TSV TSV4的点DP2中有缺陷。在第2TSV TSV2的DP1与处理器芯片210之间能够通信。因此,在连接到具有缺陷的第2TSV TSV2的I/O缓冲器222、232、242、和252当中,包含在恰好位于缺陷点DP1下方的第1存储器芯片220中的第2I/O缓冲器222被激活。此外,在第4TSV TSV4的DP2与处理器芯片210之间能够通信。因此,在连接到具有缺陷的第4TSV TSV4的I/O缓冲器224、234、244、和254当中,包含在恰好位于缺陷点DP2下方的第3存储器芯片240中的第12I/O缓冲器244被激活。

[0069] 由于包含在第1存储器芯片220中的第2I/O缓冲器222已经被激活,在连接到第1TSV TSV1的I/O缓冲器221、231、241、和251当中,包含在第2存储器芯片230中的第5I/O缓

冲器231被激活。此外,由于包含在第3存储器芯片240中的第12I/O缓冲器244已经被激活,在连接到第3TSVTSV3的I/O缓冲器223、233、243、和253当中,包含在第4存储器芯片250中的第15I/O缓冲器253被激活。

[0070] 图5是显示根据本发明构思的第三实施例的包含堆叠半导体存储器件的存储器系统的横截面图。

[0071] 参考图5,存储器系统200a包括处理器芯片210a以及包含堆叠在处理器芯片210a上方的存储器芯片220a、230a、240a、和250a的堆叠半导体存储器件。处理器芯片210a可以包括存储器控制器211。TSV TSV1、TSV2、TSV3、和TSV4从第4存储器芯片250a贯穿到第1存储器芯片220a。并且连接到处理器芯片210a。

[0072] 在图5的堆叠半导体存储器件以及包含所述堆叠半导体存储器件的存储器系统中,缓冲器控制电路被包含在存储器芯片220a、230a、240a、和250a的每一个的内部。包含在第1存储器芯片220a中的第1缓冲器控制电路225产生第1缓冲器使能信号EN_BUF_1,并且激活或不激活包含在第1存储器芯片220a中的I/O缓冲器221、222、223、和224。包含在第2存储器芯片230a中的第2缓冲器控制电路235产生第2缓冲器使能信号EN_BUF_2,并且激活或不激活包含在第2存储器芯片230a中的I/O缓冲器231、232、233、和234。包含在第3存储器芯片240a中的第3缓冲器控制电路245产生第3缓冲器使能信号EN_BUF_3,并且激活或不激活包含在第3存储器芯片240a中的I/O缓冲器241、242、243、和244。包含在第4存储器芯片250a中的第4缓冲器控制电路255产生第4缓冲器使能信号EN_BUF_4,并且激活或不激活包含在第4存储器芯片250a中的I/O缓冲器251、252、253、和254。

[0073] 图6是显示构成图5中所示的堆叠半导体存储器件的一个芯片的结构示例的示意性电路图。

[0074] 参考图6,第1存储器芯片220a的缓冲器控制电路225通过第1连接线CL1连接到I/O缓冲器BUF11、BUF21、...、BUFn1。I/O缓冲器BUF11、BUF21、...、BUFn1分别连接到TSV TSV11、TSV21、...、TSVn1。缓冲器控制电路225通过第2连接线CL2连接到I/O缓冲器BUF12、BUF22、...、BUFn2。I/O缓冲器BUF12、BUF22、...、BUFn2分别连接到TSV TSV12、TSV22、...、TSVn2。缓冲器控制电路225通过第3连接线CL3连接到I/O缓冲器BUF13、BUF23、...、BUFn3。I/O缓冲器BUF13、BUF23、...、BUFn3分别连接到TSV TSV13、TSV23、...、TSVn3。缓冲器控制电路225通过第4连接线CL4连接到I/O缓冲器BUF14、BUF24、...、BUFn4。I/O缓冲器BUF14、BUF24、...、BUFn4分别连接到TSV TSV14、TSV24、...、TSVn4。

[0075] I/O缓冲器BUF11、BUF21、...、BUFn1通过TSV TSV11、TSV21、...、TSVn1输出输出数据DQ0_0、DQ0_1、...、DQ0_n。I/O缓冲器BUF12、BUF22、...、BUFn2通过TSV TSV12、TSV22、...、TSVn2输出输出数据DQ1_0、DQ1_1、...、DQ1_n。I/O缓冲器BUF13、BUF23、...、BUFn3通过TSV TSV13、TSV23、...、TSVn3输出输出数据DQ2_0、DQ2_1、...、DQ2_n。I/O缓冲器BUF14、BUF24、...、BUFn4通过TSV TSV14、TSV24、...、TSVn4输出输出数据DQ3_0、DQ3_1、...、DQ3_n。

[0076] 缓冲器控制电路225产生4位的第1缓冲器使能信号EN_BUF_1<0:3>。第1缓冲器使能信号EN_BUF_1<0:3>的第1位EN_BUF_1<0>通过第1连接线CL1激活I/O缓冲器BUF11、BUF21、...、BUFn1。第1缓冲器使能信号EN_BUF_1<0:3>的第2位EN_BUF_1<1>通过第2连接线CL2激活I/O缓冲器BUF12、BUF22、...、BUFn2。第1缓冲器使能信号EN_BUF_1<0:3>的第3位

EN_BUF_1<2>通过第3连接线CL3激活I/O缓冲器BUF13、BUF23、...、BUFn3。第1缓冲器使能信号EN_BUF_1<0:3>的第4位EN_BUF_1<3>通过第4连接线CL4激活I/O缓冲器BUF14、BUF24、...、BUFn4。

[0077] 图7和8是显示图6的电路图中包含的缓冲器控制电路的非限制性实施例的电路图。

[0078] 参考图7,缓冲器控制电路225a可以利用一次编程(OTP)来实现。或者,参考图8,缓冲器控制电路225b可以利用电可擦除可编程只读存储器(EEPROM)来实现。

[0079] 图9是显示构成图5中所示的堆叠半导体存储器件的一个芯片的结构的一个示例的示意性电路图。

[0080] 参考图9,存储器芯片220b独立地包括用于每个I/O缓冲器的缓冲器控制电路。例如,I/O缓冲器BUF11由缓冲器控制电路BCC11控制,I/O缓冲器BUF12由缓冲器控制电路BCC12控制,I/O缓冲器BUF13由缓冲器控制电路BCC13控制,而I/O缓冲器BUF14由缓冲器控制电路BCC14控制。类似地,I/O缓冲器BUF21由缓冲器控制电路BCC21控制,I/O缓冲器BUF22由缓冲器控制电路BCC22控制,I/O缓冲器BUF23由缓冲器控制电路BCC23控制,而I/O缓冲器BUF24由缓冲器控制电路BCC24控制。同样地,I/O缓冲器BUFn1由缓冲器控制电路BCCn1控制,I/O缓冲器BUFn2由缓冲器控制电路BCCn2控制,I/O缓冲器BUFn3由缓冲器控制电路BCCn3控制,而I/O缓冲器BUFn4由缓冲器控制电路BCCn4控制。

[0081] 图10和11是显示图9的电路图中包含的缓冲器控制电路的非限制性实施例的电路图。参考图10,缓冲器控制电路BCC11可以利用OTP来实现。或者,参考图11,缓冲器控制电路BCC11可以利用EEPROM来实现。

[0082] 图12是显示根据本发明构思第四实施例的包含堆叠半导体存储器件的存储器系统的截面图。

[0083] 参考图12,存储器系统300包括处理器芯片310以及包含堆叠在处理器芯片310的上方的存储器芯片320、330、340、和350的堆叠半导体存储器件。处理器芯片310可以包括存储器控制器311。

[0084] 第1存储器芯片320堆叠在处理器芯片310的上方,第2存储器芯片330堆叠在第1存储器芯片320的上方,第3存储器芯片340堆叠在第2存储器芯片330的上方,而第4存储器芯片350堆叠在第3存储器芯片340的上方。TSV TSV1、TSV2、TSV3和TSV4从第4存储器芯片350贯穿到第1存储器芯片320,并且连接到处理器芯片310。

[0085] 第1和第2I/O缓冲器321和322包含在第1存储器芯片320中,分别连接到第1和第2TSV TSV1和TSV2,并且由作为2位信号的第1缓冲器使能信号EN_BUF_1<0:1>选择性地激活。

[0086] 第3和第4I/O缓冲器331和332包含在第2存储器芯片330中,分别连接到第3和第4TSV TSV3和TSV4,并且由作为2位信号的第2缓冲器使能信号EN_BUF_2<0:1>选择性地激活。

[0087] 第5和第6 I/O缓冲器341和342包含在第3存储器芯片340中,分别连接到第1和第2TSV TSV1和TSV2,并且由作为2位信号的第3缓冲器使能信号EN_BUF_3<0:1>选择性地激活。

[0088] 第7和第8I/O缓冲器351和352包含在第4存储器芯片350中,分别连接到第3和第4TSV TSV3和TSV4,并且由作为2位信号的第4缓冲器使能信号EN_BUF_4<0:1>选择性地激活。

[0089] 因而,包含图12的堆叠半导体存储器件的存储器系统可以不同于图4的示例。例如,存储器芯片320、330、340、和350不是连接到全部的TSV TSV1、TSV2、TSV3、和TSV4。而是将

存储器芯片320、330、340、和350的每一个连接到TSV TSV1、TSV2、TSV3、和TSV4的两个,尽管示例实施例不限于此。

[0090] 图12的存储器系统在第2 TSV TSV2的点DP1中有例如开路状态的缺陷,并且在第4 TSV TSV4的点DP2中有缺陷。在第2 TSV TSV2的DP1与处理器芯片310之间能够通信。因此,在连接到具有缺陷的第2 TSV TSV2的I/O缓冲器322和342之间,包含在恰好位于缺陷点DP1下方的第1存储器芯片320中的第2I/O缓冲器322被激活。此外,在第4 TSV TSV4的DP2与处理器芯片310之间能够通信。因此,在连接到具有缺陷的第4 TSV TSV4的I/O缓冲器332和352之间,包含在恰好位于缺陷点DP2下方的第2存储器芯片330中的第4I/O缓冲器332被激活。

[0091] 由于包含在第1存储器芯片320中的第2 I/O缓冲器322已经被激活,在连接到第1 TSV TSV1的I/O缓冲器321和341之间,包含在第3存储器芯片340中的第5 I/O缓冲器341被激活。由于包含在第2存储器芯片330中的第4 I/O缓冲器332已经被激活,在连接到第3 TSV TSV3的I/O缓冲器331和351之间,包含在第4存储器芯片350中的第7 I/O缓冲器351被激活。

[0092] 图13是显示根据本发明构思第五实施例的包含堆叠半导体存储器件的存储器系统400的截面图。

[0093] 参考图13,存储器系统400包括处理器芯片410以及包含堆叠在处理器芯片410上方的存储器芯片420、430、440、和450的堆叠半导体存储器件。处理器芯片410可以包括存储器控制器411。

[0094] 第1存储器芯片420堆叠在处理器芯片410的上方,第2存储器芯片430堆叠在第1存储器芯片420的上方,第3存储器芯片440堆叠在第2存储器芯片430的上方,而第4存储器芯片450堆叠在第3存储器芯片440的上方。TSV TSV11、TSV12、TSV13、TSV14、TSV15、TSV16、TSV17、和TSV18从第4存储器芯片450贯穿到第1存储器芯片420,并且连接到处理器芯片410。TSV TSV11、TSV12、TSV13、和TSV14传递地址/命令ADD/CMD,而TSV TSV15、TSV16、TSV17、和TSV18传递数据DQ。

[0095] 第1到第4 I/O缓冲器421、422、423和424包含在第1存储器芯片420中,并且分别连接到第1到第4TSV TSV11、TSV12、TSV13、和TSV14,并且由作为4位信号的第1缓冲器使能信号EN_ABUF_1<0:3>选择性地激活。第5到第8 I/O缓冲器425、426、427、和428包含在第1存储器芯片420中,并且分别连接到第5到第8 TSV TSV15、TSV16、TSV17、和TSV18,并且由作为4位信号的第2缓冲器使能信号EN_ABUF_1<0:3>选择性地激活。

[0096] 第9到第12 I/O缓冲器431、432、433、和434包含在第2存储器芯片430中,并且分别连接到第1到第4 TSV TSV11、TSV12、TSV13、和TSV14,并且由作为4位信号的第3缓冲器使能信号EN_ABUF_2<0:3>选择性地激活。第13到第16 I/O缓冲器435、436、437、和438包含在第2存储器芯片430中,并且分别连接到第5到第8 TSV TSV15、TSV16、TSV17、和TSV18,并且由作为4位信号的第4缓冲器使能信号EN_ABUF_2<0:3>选择性地激活。

[0097] 第17到第20 I/O缓冲器441、442、443、和444包含在第3存储器芯片440中,并且分别连接到第1到第4 TSV TSV11、TSV12、TSV13、和TSV14,并且由作为4位信号的第5缓冲器使能信号EN_ABUF_3<0:3>选择性地激活。第21到第24I/O缓冲器445、446、447、和448包含在第3存储器芯片440中,并且分别连接到第5到第8 TSV TSV15、TSV16、TSV17、和TSV18,并且由作为4位信号的第6缓冲器使能信号EN_ABUF_3<0:3>选择性地激活。

[0098] 第25到第28 I/O缓冲器451、452、453、和454包含在第4存储器芯片450中,并且分别连接到第1到第4 TSV TSV11、TSV12、TSV13、和TSV14,并且由作为4位信号的第7缓冲器使能信号EN_ABUF_4<0:3>选择性地激活。第29到第32 I/O缓冲器455、456、457、和458包含在第4存储器芯片450中,并且分别连接到第5到第8 TSV TSV15、TSV16、TSV17、和TSV18,并且由作为4位信号的第8缓冲器使能信号EN_ABUF_4<0:3>选择性地激活。

[0099] 在图13的实施例中,第1缓冲器使能信号EN_ABUF_1<0:3>、第3缓冲器使能信号EN_ABUF_2<0:3>、第5缓冲器使能信号EN_ABUF_3<0:3>、和第7缓冲器使能信号EN_ABUF_4<0:3>控制连接到用于命令/地址的第1到第4 TSV TSV11、TSV12、TSV13、和TSV14的I/O缓冲器。第2缓冲器使能信号EN_DBUF_1<0:3>、第4缓冲器使能信号EN_DBUF_2<0:3>、第6缓冲器使能信号EN_DBUF_3<0:3>、和第8缓冲器使能信号EN_ABUF_4<0:3>控制连接到用于数据的第5到第8 TSV TSV15、TSV16、TSV17、和TSV18的I/O缓冲器。

[0100] 如果第6 TSV TSV16在第1存储器芯片420与第2存储器芯片430之间的点DP1中有缺陷,并且第8 TSV TSV18在第3存储器芯片440与第4存储器芯片450之间的点DP2中有缺陷,则连接到第6 TSV TSV16的第1存储器芯片420的第6 I/O缓冲器426被激活,并且连接到第8 TSV TSV18的第3存储缓冲器440的第24缓冲器448被激活。

[0101] 由于包含在第1存储器芯片420中的第6 I/O缓冲器426已经被激活,在连接到第5 TSV TSV15的I/O缓冲器425、435、445、和455当中,包含在第2存储器芯片430中的第13 I/O缓冲器435被激活。此外,由于包含在第3存储器芯片440中的第24 I/O缓冲器448已经被激活,在连接到第7 TSV TSV17的I/O缓冲器427、437、447、和457当中,包含在第4存储器芯片450中的第31 I/O缓冲器457被激活。

[0102] 如果数据映射因为缺陷TSV而改变,则也根据改变的数据映射来改变地址/命令映射。在图13的示例中的连接到用于数据的TSV的I/O缓冲器当中,连接到第5 TSV TSV15的第13 I/O缓冲器435被激活,连接到第6 TSV TSV16的第6 I/O缓冲器426被激活,连接到第7 TSV TSV17的第31 I/O缓冲器457被激活,而且连接到第8 TSV TSV18的第24 I/O缓冲器448被激活。因此,在连接到用于地址/命令(ADD/CMD)TSV的I/O缓冲器当中,连接到第1 TSV TSV11的第9 I/O缓冲器431可以被激活,连接到第12 TSV TSV12的第21 I/O缓冲器422可以被激活,连接到第3 TSV TSV13的第27 I/O缓冲器453可以被激活,而且连接到第4 TSV TSV14的第20 I/O缓冲器444可以被激活。

[0103] 图14是显示根据本发明构思的第六实施例的包含堆叠半导体存储器件的存储器系统400a的截面图。

[0104] 在图14的存储器系统400a中,用于产生缓冲器使能信号的缓冲器控制电路429、439、449、和459分别构建在存储器芯片420a、430a、440a、和450a中。图14的处理器芯片410a可以如同图13的处理器芯片410相关描述的。由于图14的存储器系统400a的操作类似于图13中所示的存储器系统400的操作,为简洁起见已省略图14的存储器系统400a的操作的描述。

[0105] 图15是显示根据本发明构思第七实施例的包含堆叠半导体存储器件的存储器系统400b的截面图。

[0106] 图15的存储器芯片410b可以如同图13的处理器芯片410相关描述的。此外,存储器芯片420b、430b、440b、和450b可以如同图13的存储器芯片420、430、440、和450相关描述的。

参考图15,如果存储器系统400b中用于地址/命令(ADD/CMD)的TSV有缺陷,则改变数据映射。

[0107] 图15的存储器系统400b在第2 TSV TSV12的点DP3和第4 TSV TSV14的点DP4中有缺陷。在连接到用于地址/命令(ADD/CMD)的TSV的I/O缓冲器当中,连接到第1 TSV TSV11的第9缓冲器431被激活,连接到第2TSV TSV12的第2 I/O缓冲器422被激活,连接到第3 TSV TSV13的第27 I/O缓冲器453被激活,而且连接到第4 TSV TSV14的第20 I/O缓冲器444被激活。因此,在连接到用户数据的TSV的I/O缓冲器当中,连接到第5 TSV TSV15的第13 I/O缓冲器435可以被激活,连接到第6 TSV TSV16的第6 I/O缓冲器426可以被激活,连接到第7 TSV TSV17的第31 I/O缓冲器457可以被激活,而且连接到第8 TSV TSV18的第24 I/O缓冲器448可以被激活。

[0108] 如果堆叠半导体存储器件的数据映射被改变,则处理器芯片410b应当将改变的数据映射恢复为原始。

[0109] 图16是显示图13、14、和15的存储器系统中用于将改变的数据映射恢复到原始的修复电路412的电路图。

[0110] 参考图6,修复电路412包括连接到TSV TSV15、TSV16、TSV17、和TSV18的解复用器DM1、DM2、DM3、和DM4。响应于控制信号CTRL,修复电路412将数据DQ0、DQ1、DQ2、和DQ3提供给TSV TSV15、TSV16、TSV17、和TSV18之一。控制信号CTRL可以基于映射表获得,并且可以通过处理芯片410对存储器芯片执行训练操作获得。

[0111] 图17是显示根据本发明构思示例实施例的堆叠半导体存储器件中的TSV缺陷修复方法的流程图。

[0112] 参考图17,能够通过以下步骤来修复堆叠半导体存储器件的TSV缺陷。

[0113] 在步骤S10中,在全部或部分存储器芯片与TSV之间耦接I/O缓冲器。

[0114] 在步骤S20中,基于TSV的状态选择性地激活I/O缓冲器。

[0115] 图18是图17的TSV缺陷修复的方法中选择性地激活I/O缓冲器的步骤的示例的流程图。

[0116] 参考图18,选择性地激活I/O缓冲器的步骤可以包括以下步骤。

[0117] 在步骤S21中,在连接到缺陷TSV的I/O缓冲器当中,激活包含在位于缺陷点下方的一个存储器芯片中的I/O缓冲器。

[0118] 在步骤S22中,激活连接到非缺陷TSV的I/O缓冲器。

[0119] 图19是显示图17的TSV缺陷修复方法中选择性地激活I/O缓冲器的步骤的另一个示例的流程图。

[0120] 参考图19,选择性地激活I/O缓冲器的步骤可以包括以下步骤。

[0121] 在步骤S23中,由于用于数据的部分TSV的缺陷而改变数据总线映射。

[0122] 在步骤S24中,改变地址/命令总线映射。

[0123] 在步骤S25中,将改变的数据总线映射恢复到原始。

[0124] 正如这里所讨论,本发明构思的许多实施例可以应用于包含堆叠半导体存储器件的存储器系统。

[0125] 根据本发明构思的非限制性实施例,堆叠半导体器件基于TSV的缺陷状态选择性地激活包含在连接到TSV的存储器芯片中的I/O缓冲器。

[0126] 根据本发明构思的非限制实施例,堆叠半导体存储器件以及包含其的存储器系统可以提高产量。

[0127] 前述仅仅是对各种实施例的说明而不应当被解读为其限制。虽然已经描述几个非限制性实施例,本领域技术人员应当容易理解,可以进行许多修改而在本质上不脱离这里的新颖教导和优点。因此,意图将全部这样的修改包含在如权利要求书限定的本发明构思的范围内。权利要求书中,手段加功能句式意图覆盖这里所描述的作为执行所记载的功能的结构,以及不仅结构的等价而且等价的结构。因此,应当理解,前述仅仅是对各种实施例的说明而不应当被解读为限于公开的具体实施例,而且意图将公开的实施例的修改以及其他实施例包含在所附权利要求书的范围之内。

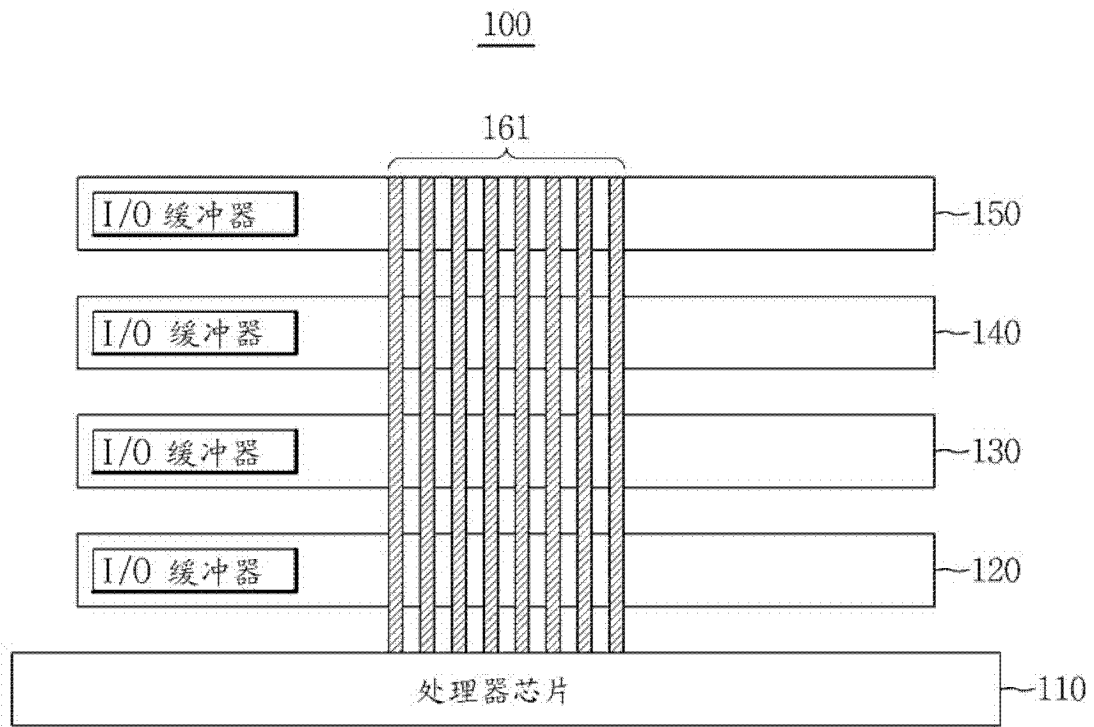


图1

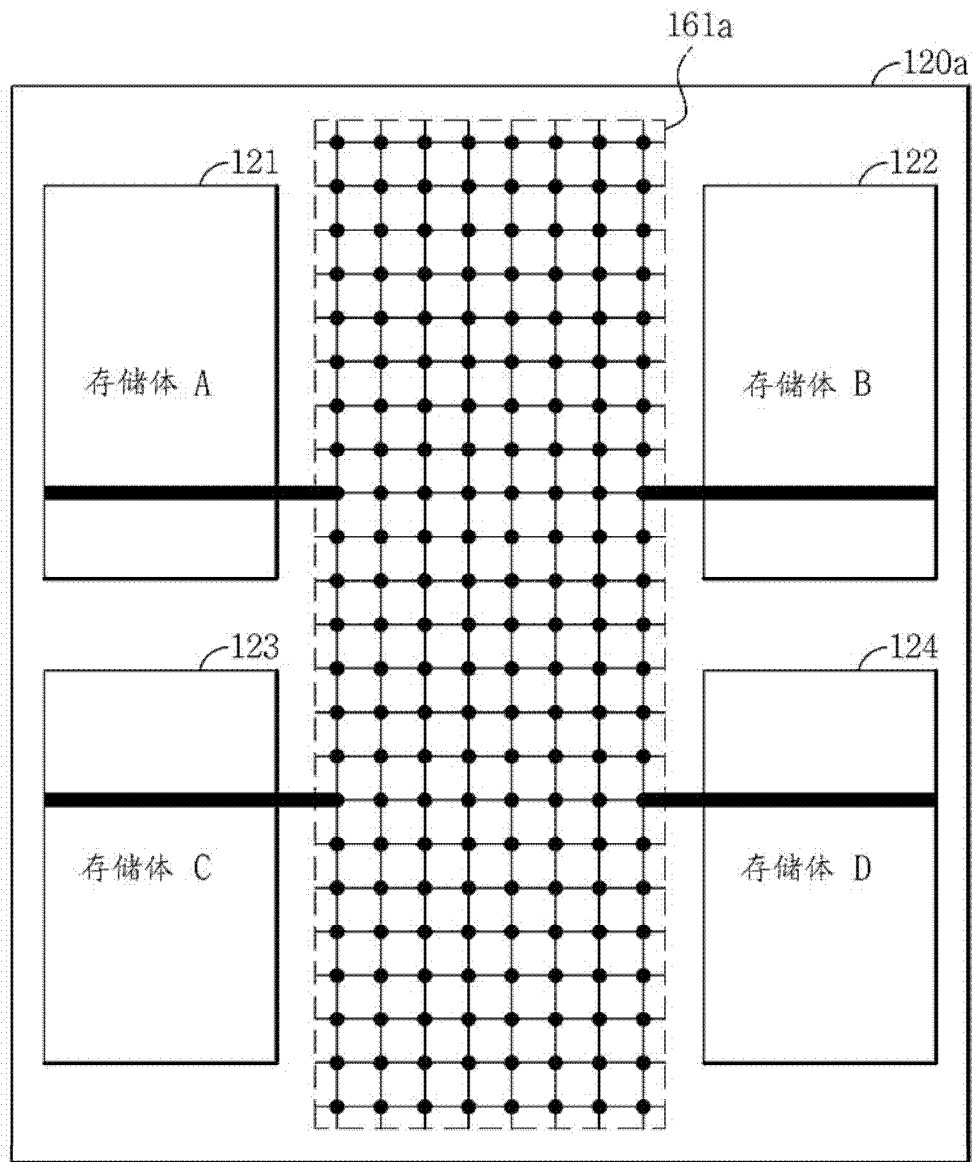


图2

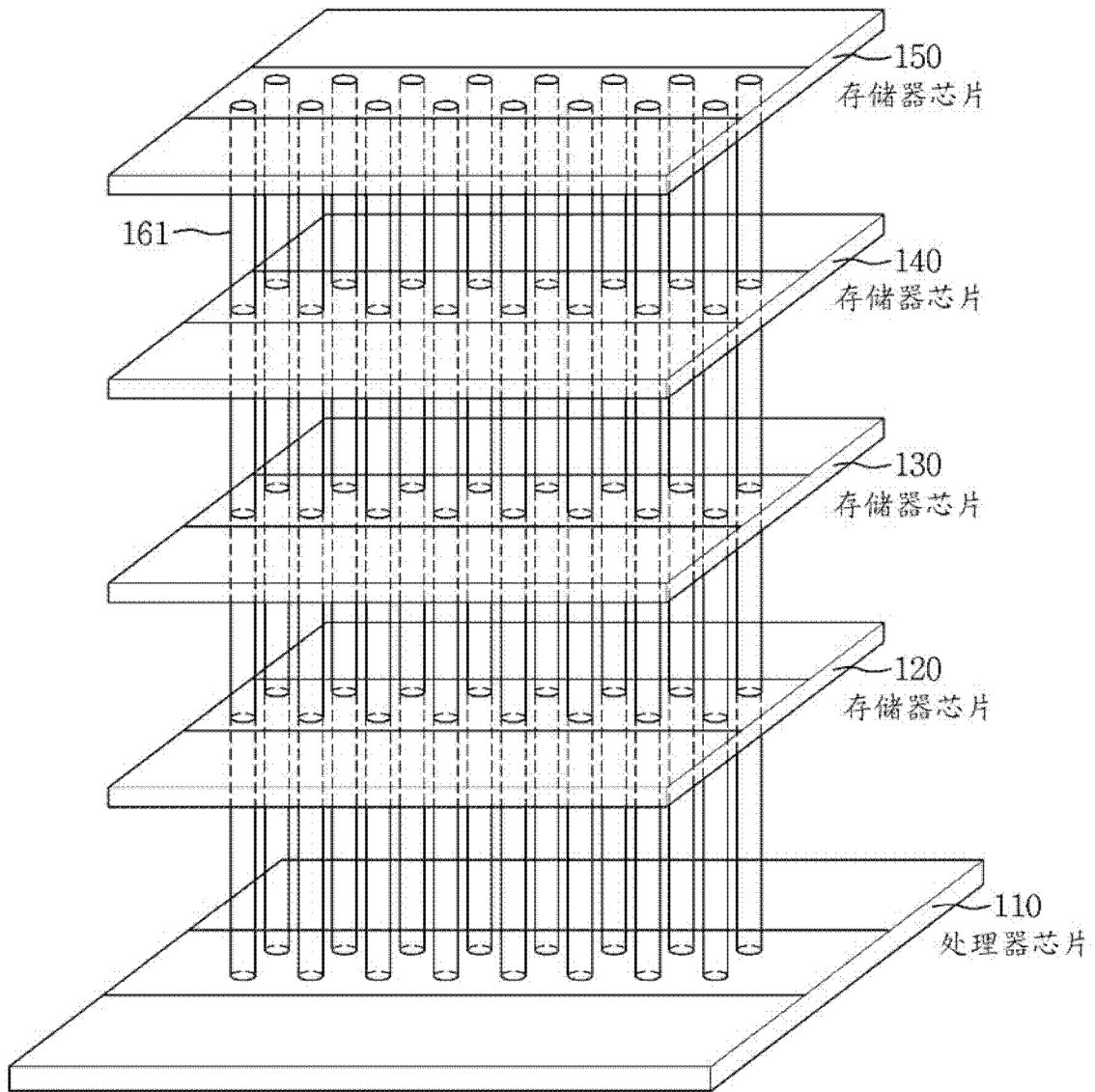
100a

图3

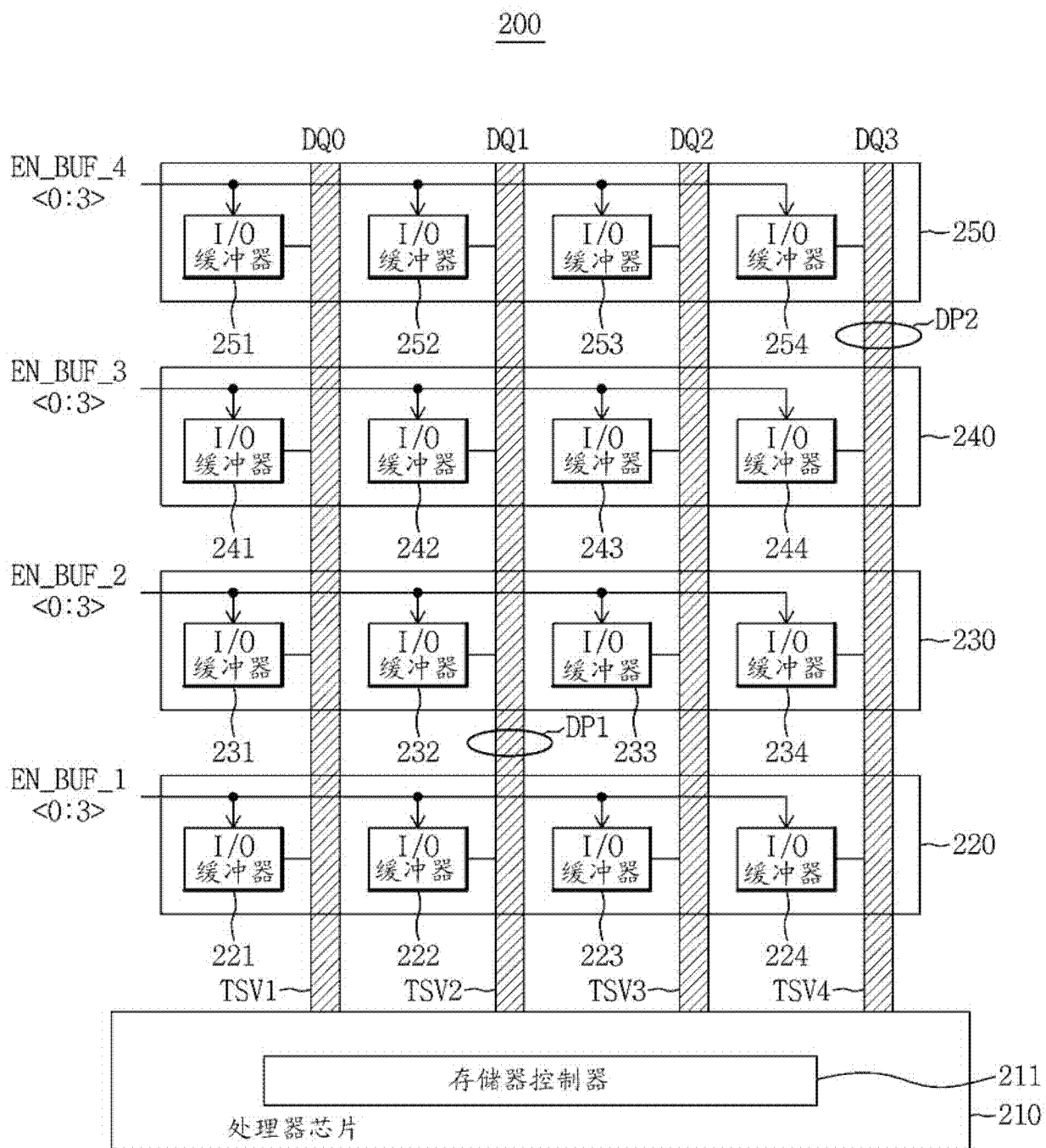


图4

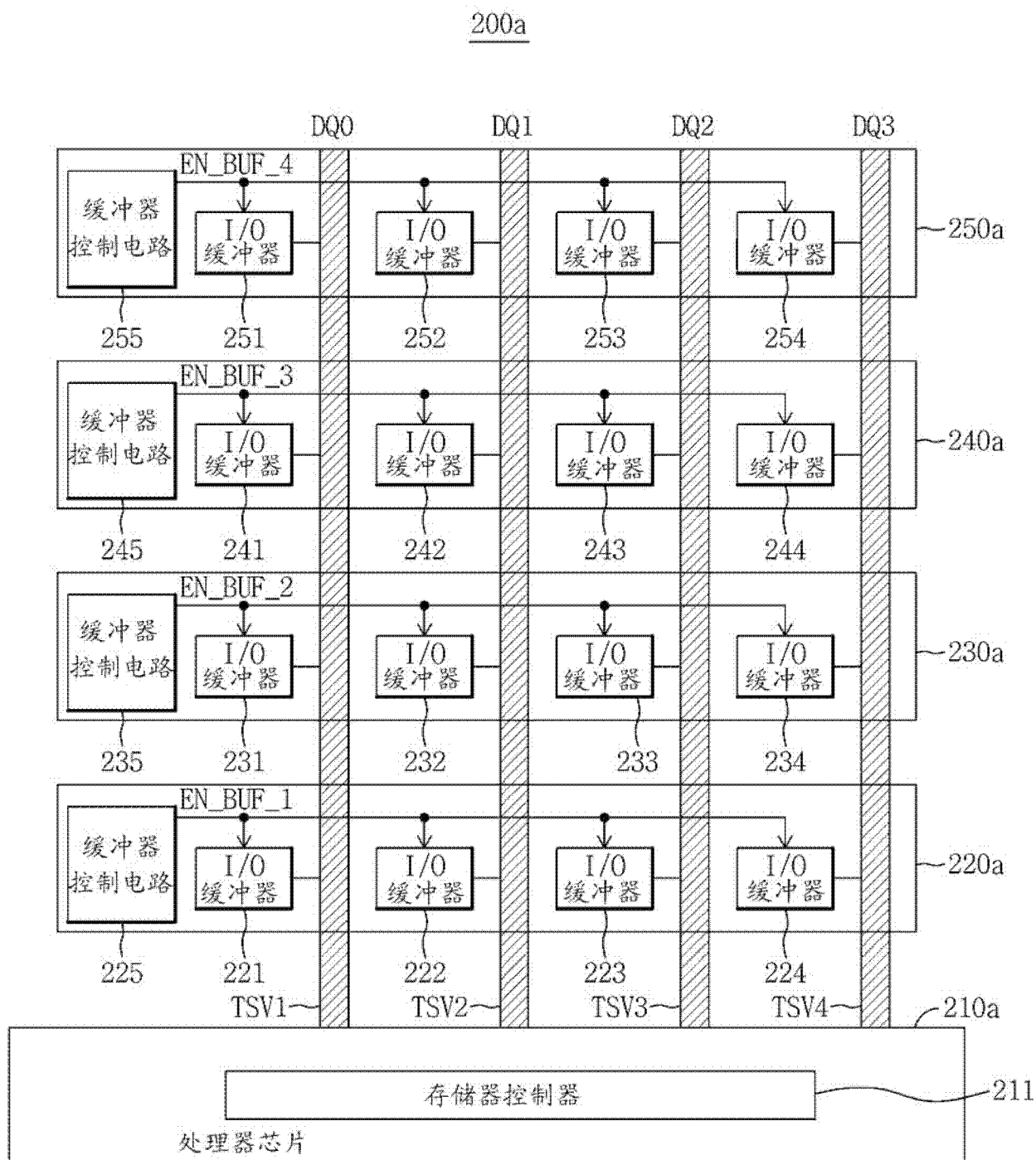


图5

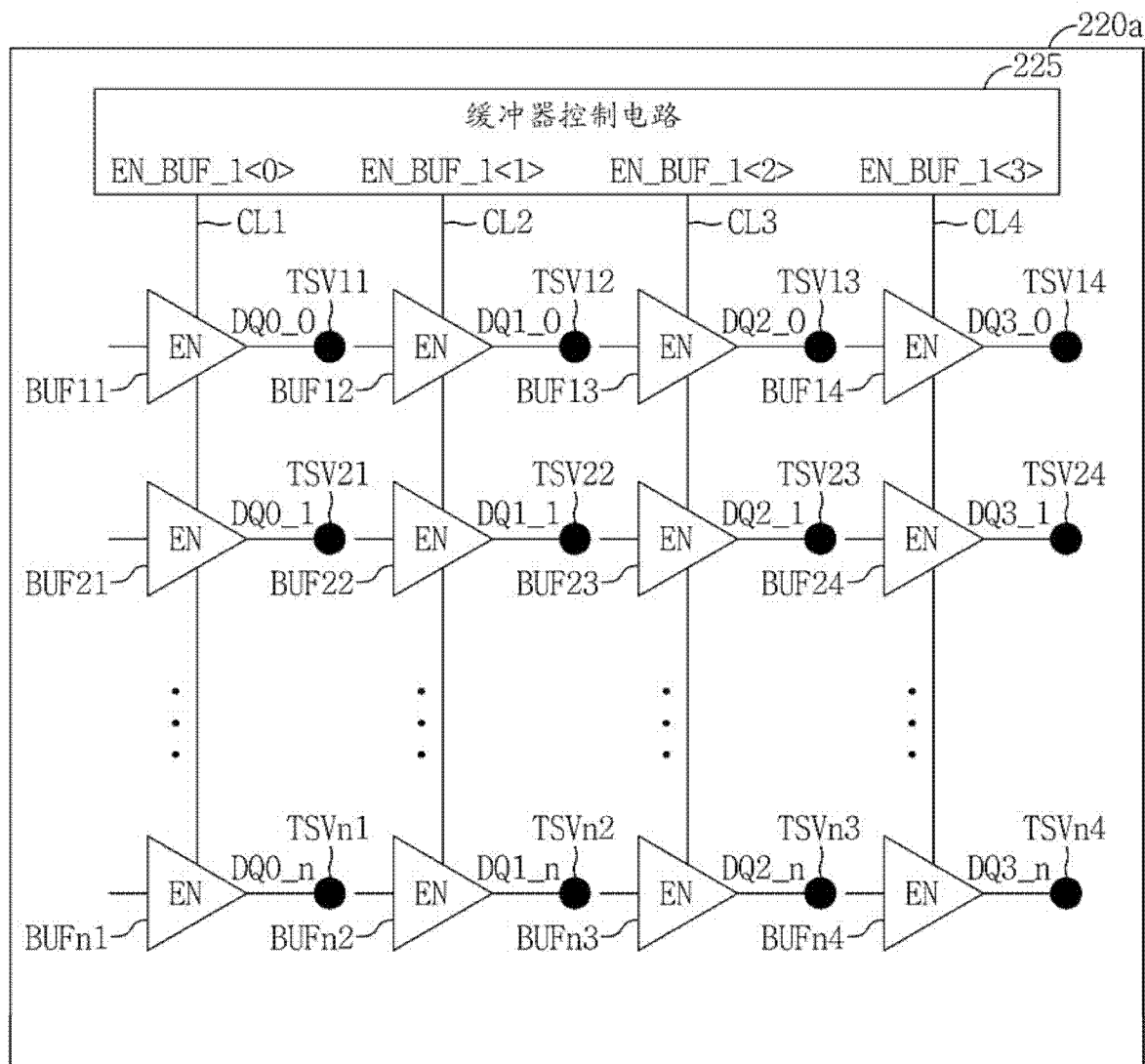


图6

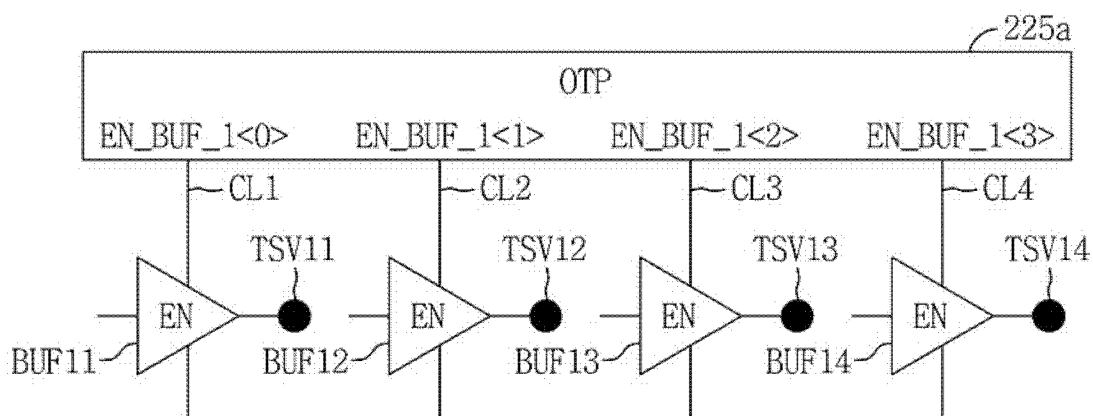


图7

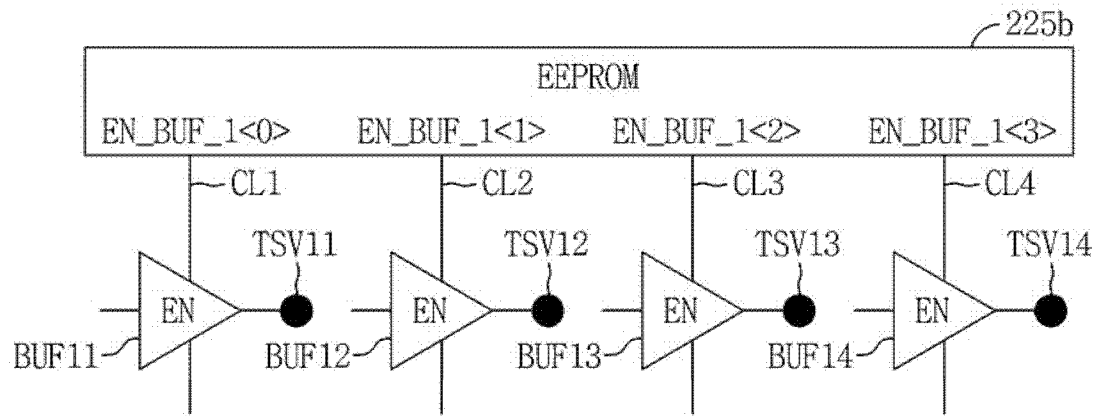


图8

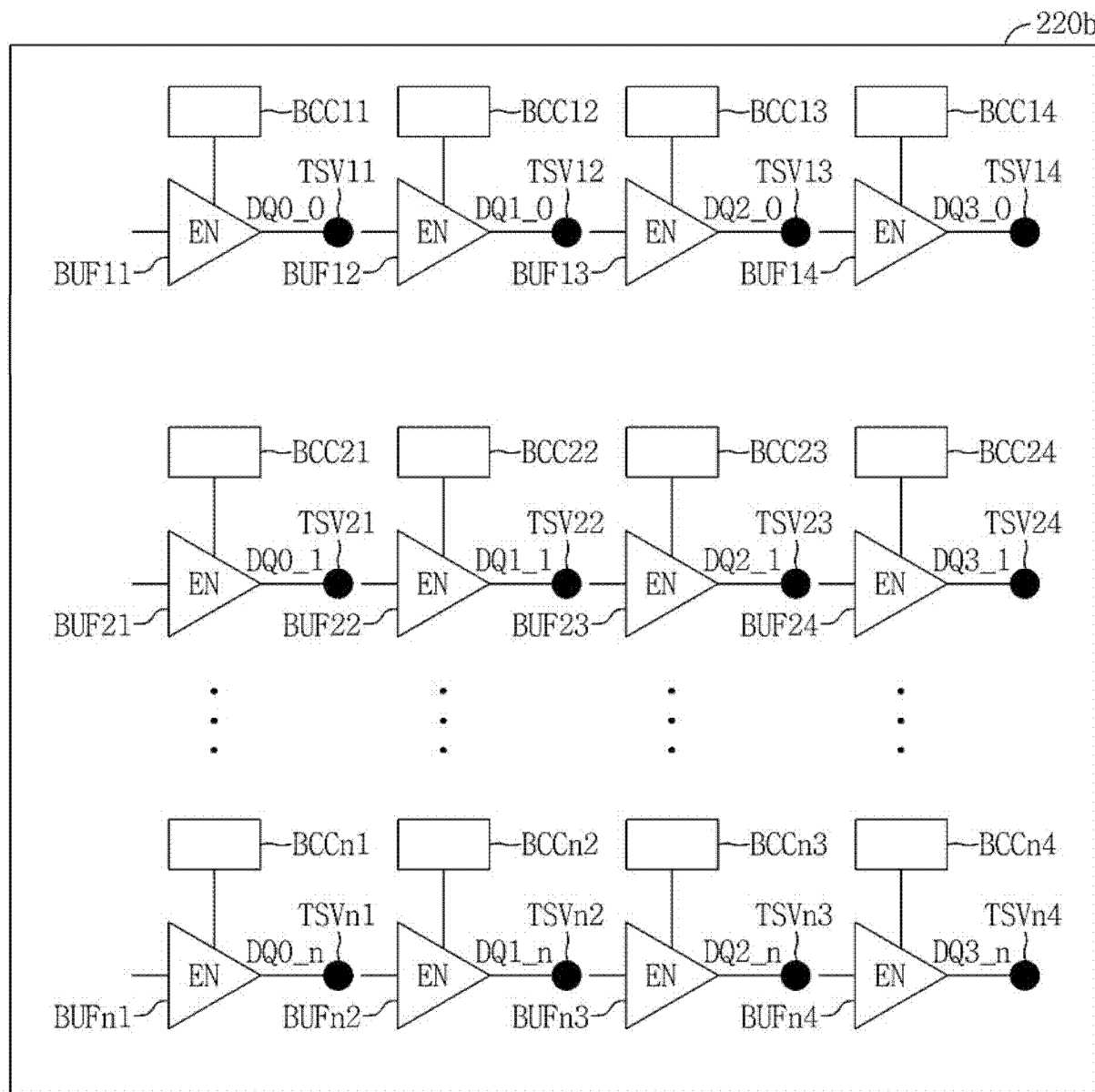


图9

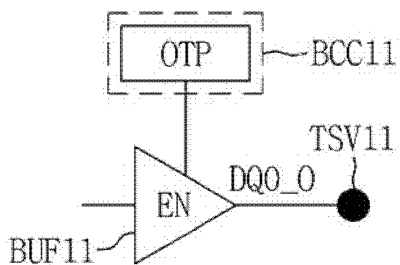


图10

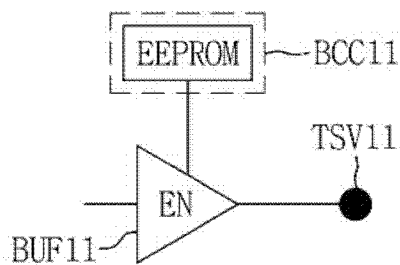


图11

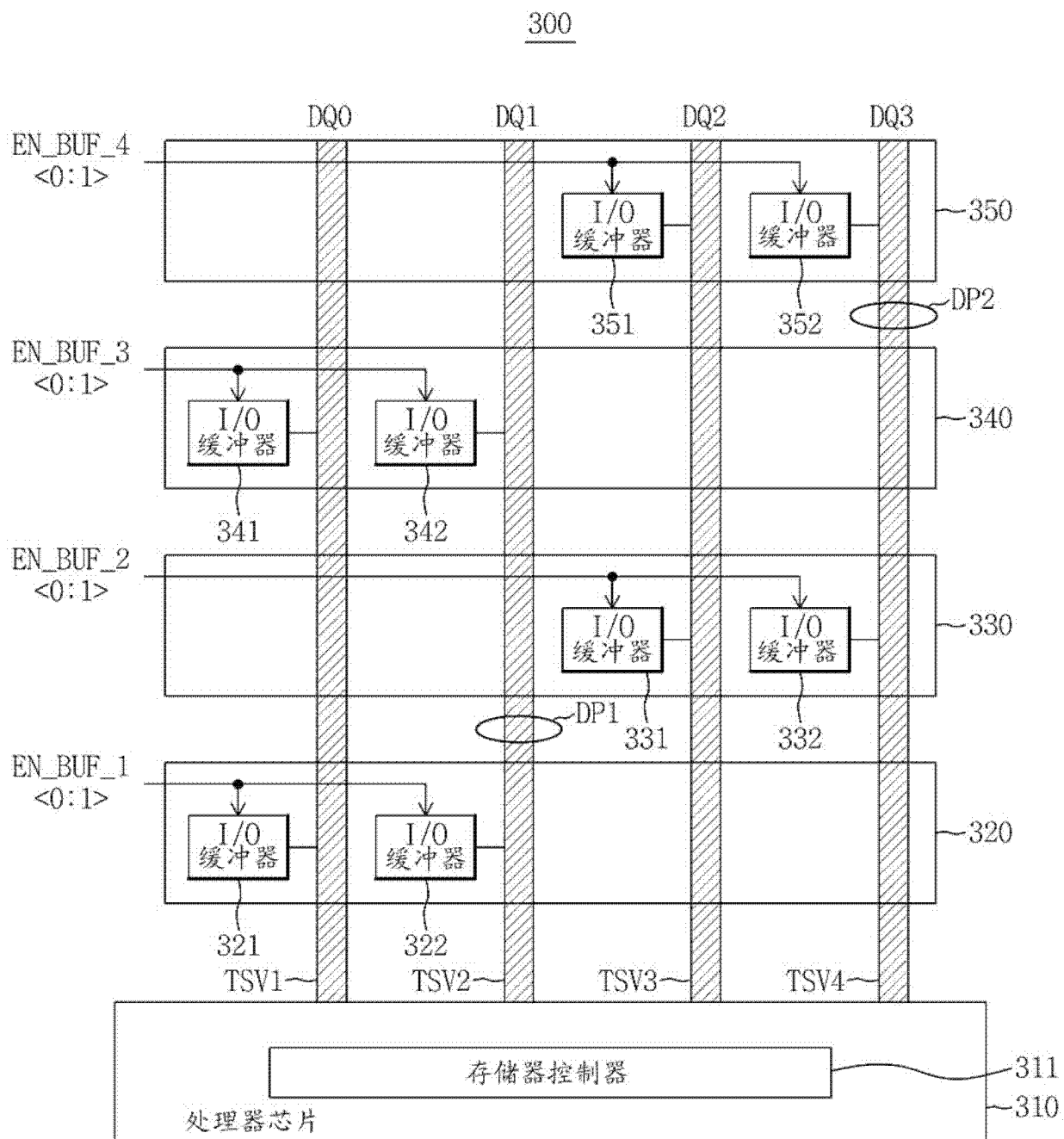


图12

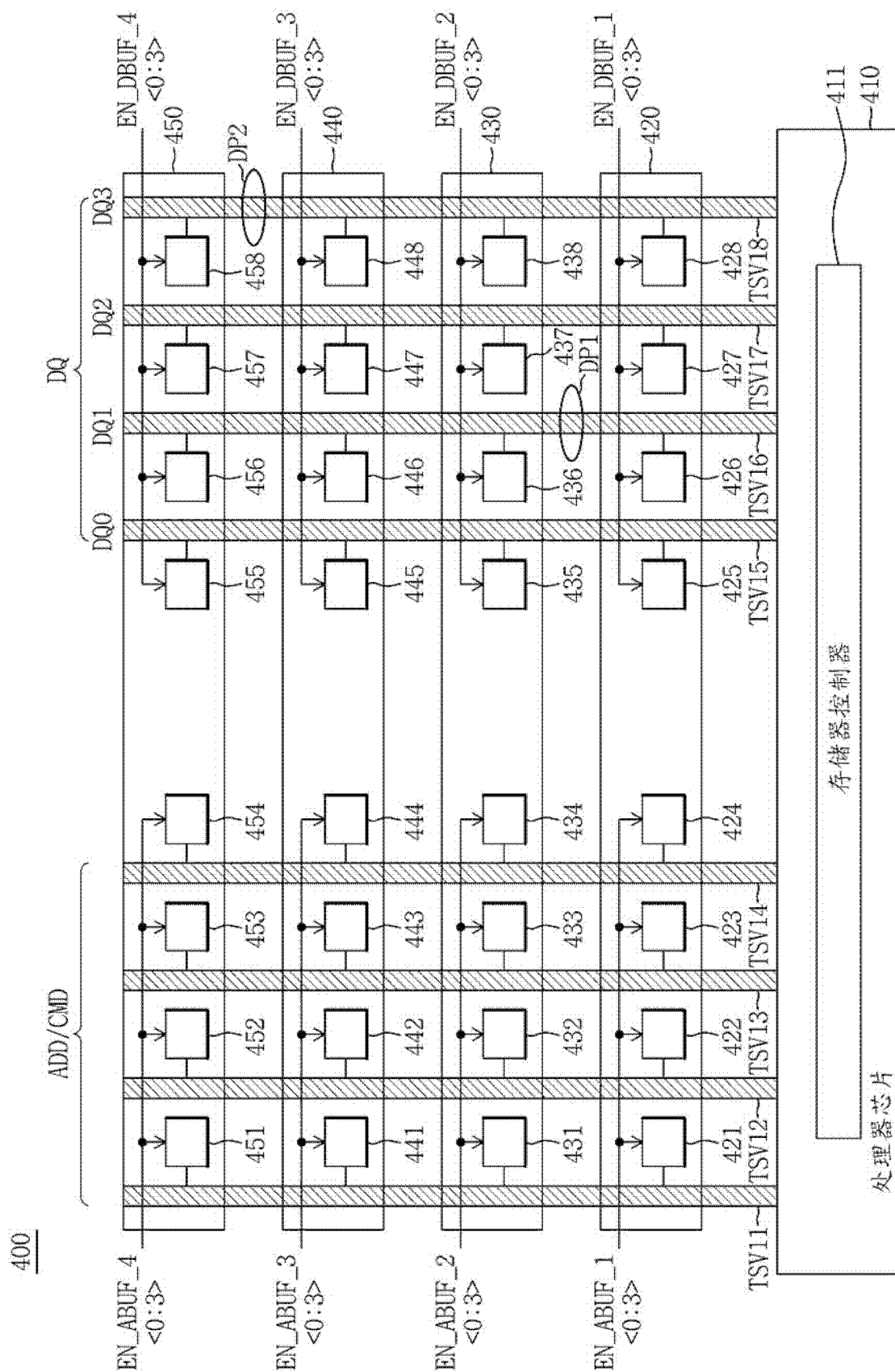


图13

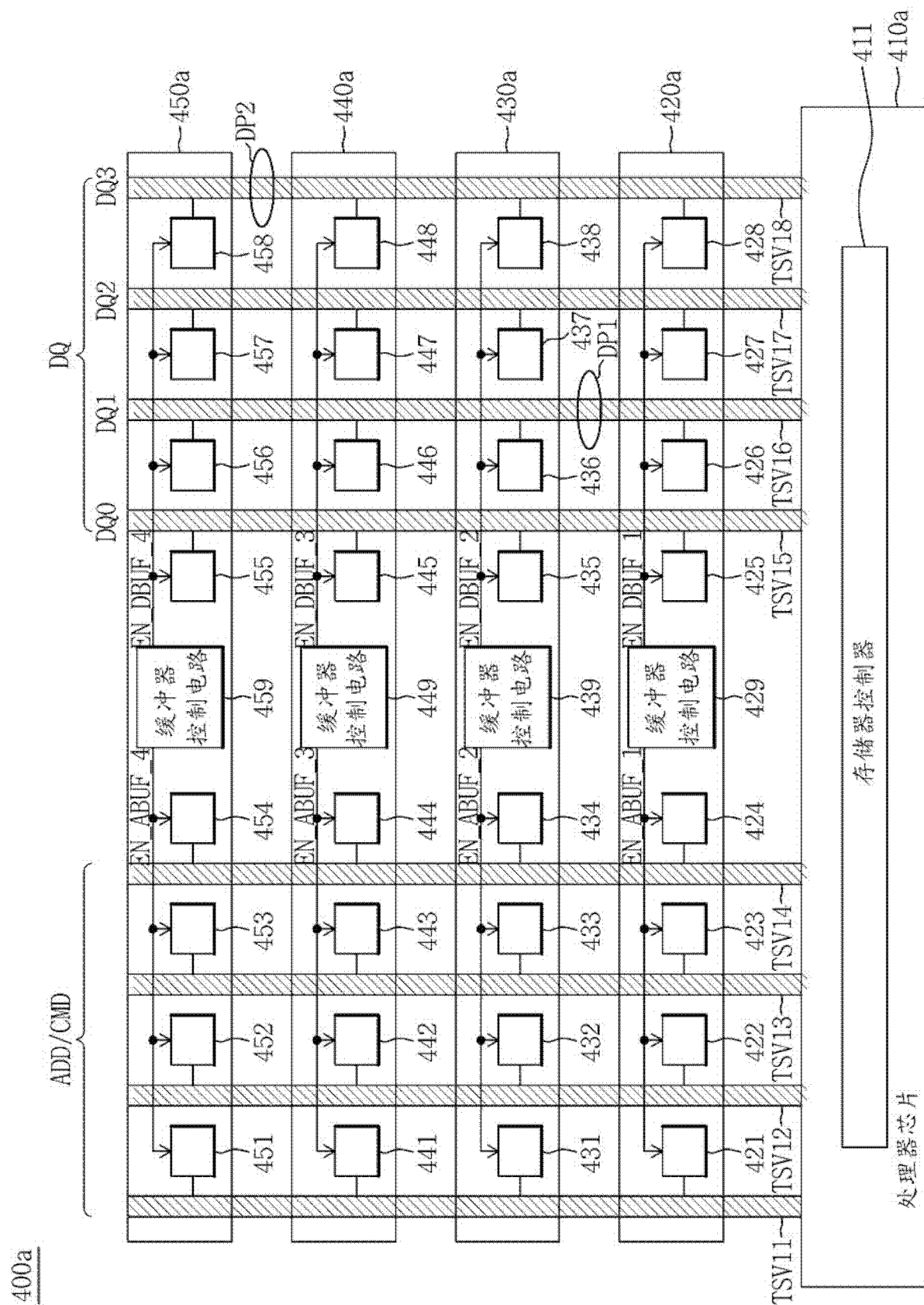


图14

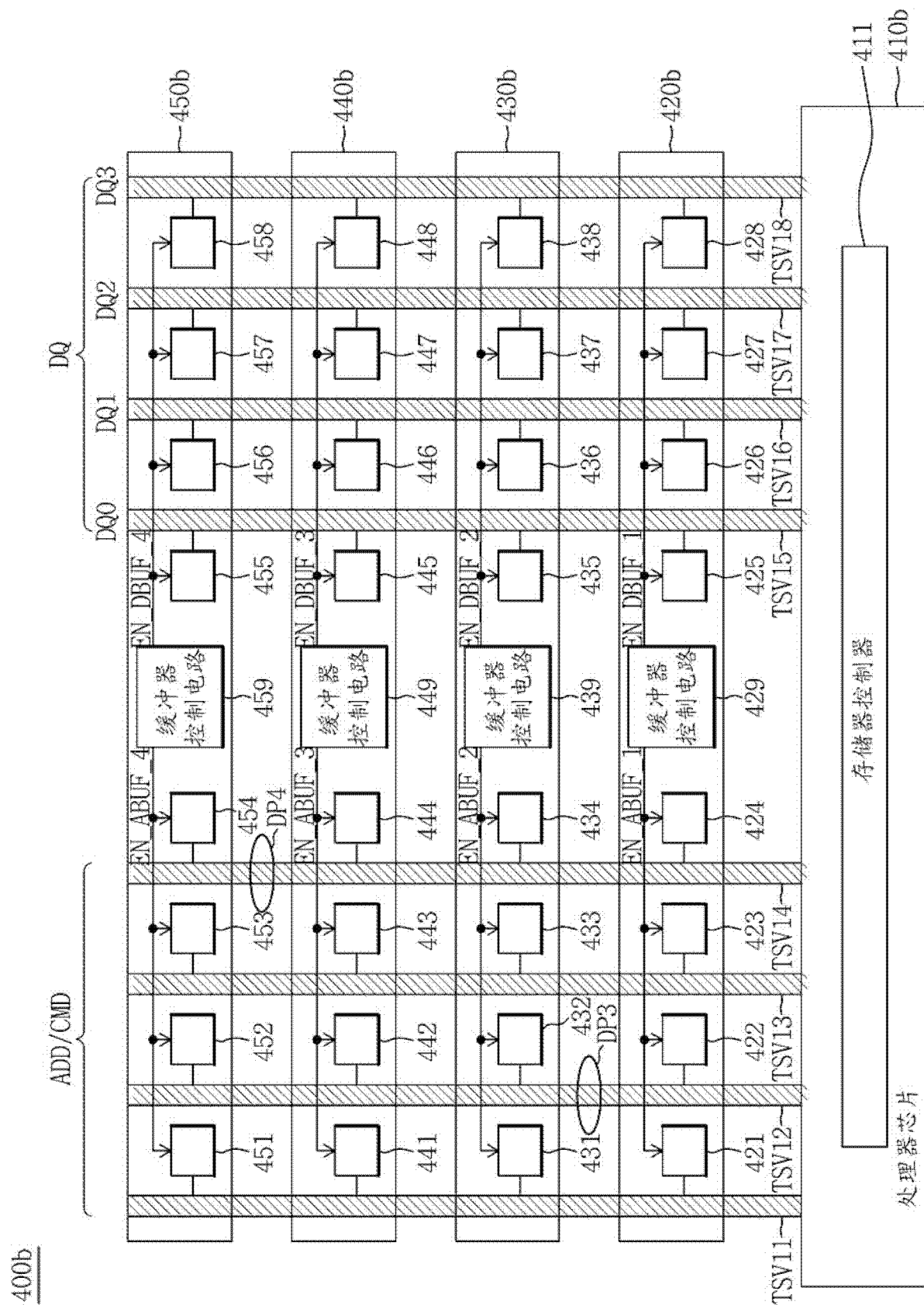


图15

412

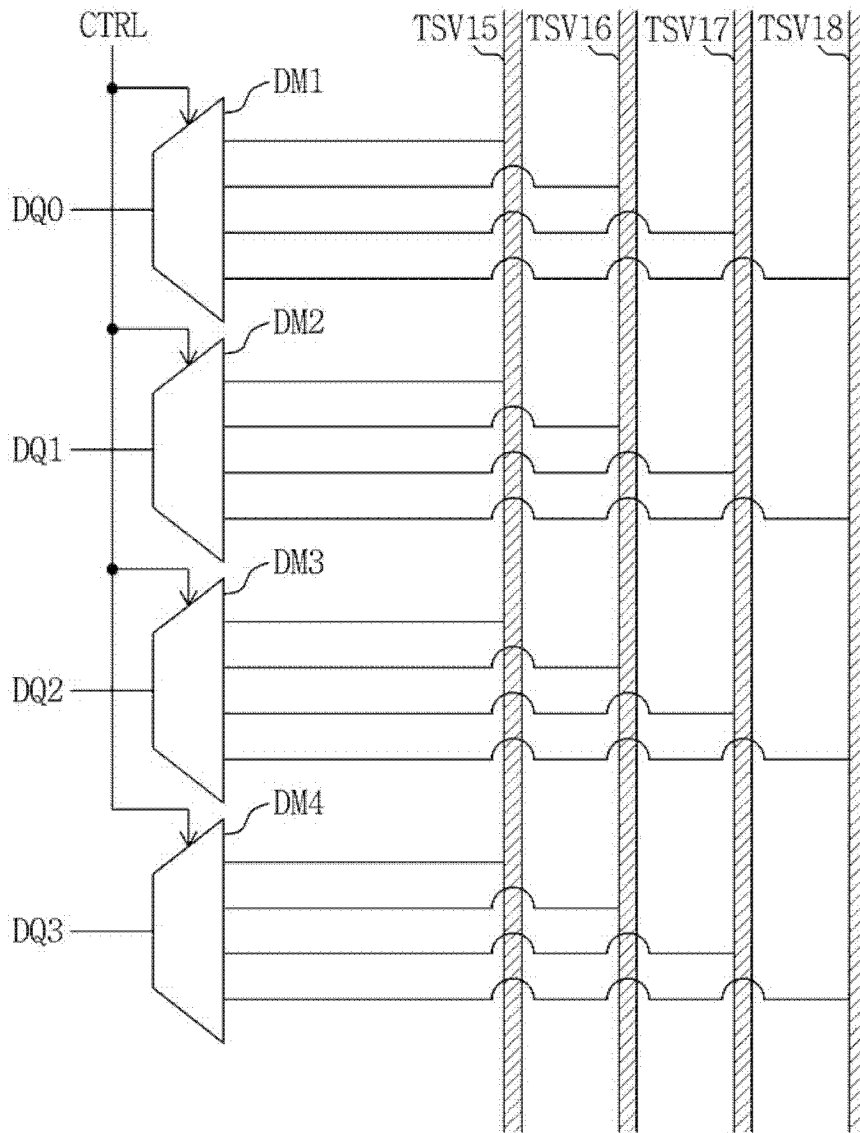


图16

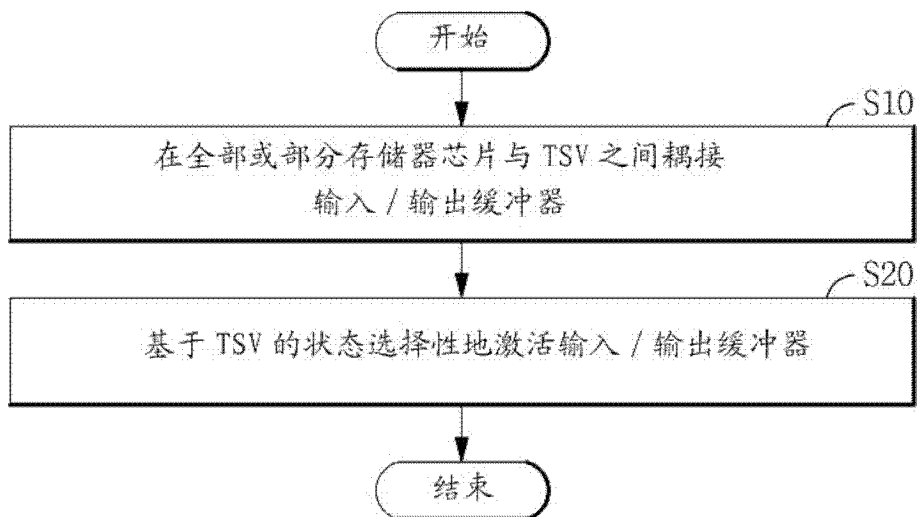


图17

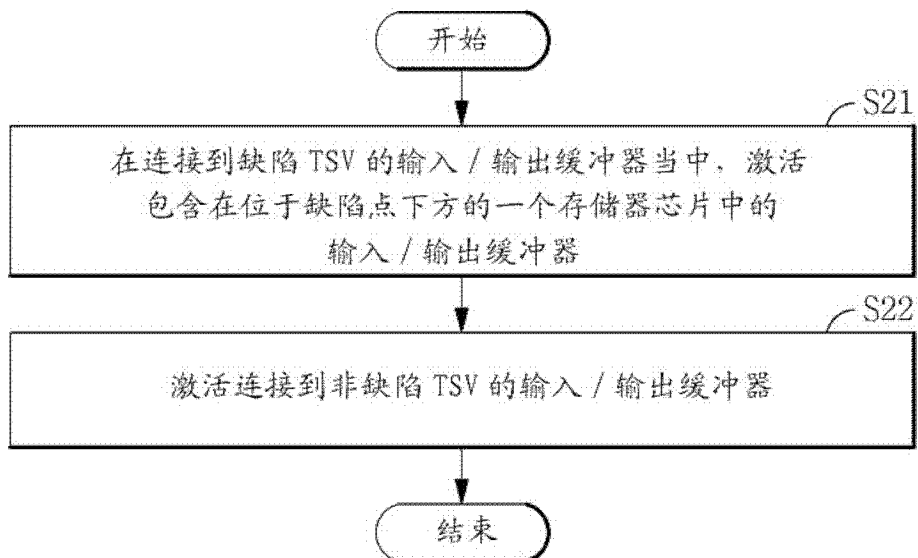


图18

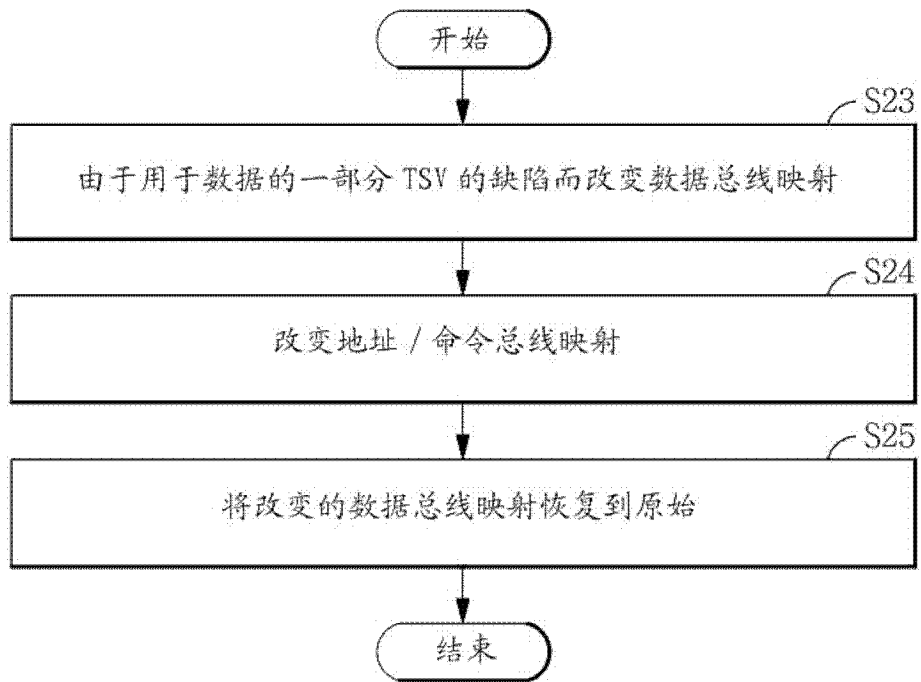


图19