



(12) 发明专利申请

(10) 申请公布号 CN 119856587 A

(43) 申请公布日 2025. 04. 18

(21) 申请号 202380064158.2

(22) 申请日 2023.08.28

(30) 优先权数据

2022-143916 2022.09.09 JP

(85) PCT国际申请进入国家阶段日

2025.03.06

(86) PCT国际申请的申请数据

PCT/JP2023/030991 2023.08.28

(87) PCT国际申请的公布数据

W02024/053457 JA 2024.03.14

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 大井信敬

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 金成哲 郑毅

(51) Int.Cl.

H10D 30/66 (2025.01)

H10D 30/01 (2025.01)

H10D 64/20 (2025.01)

H10D 64/23 (2025.01)

H10D 64/27 (2025.01)

H10D 64/66 (2025.01)

H10D 12/00 (2025.01)

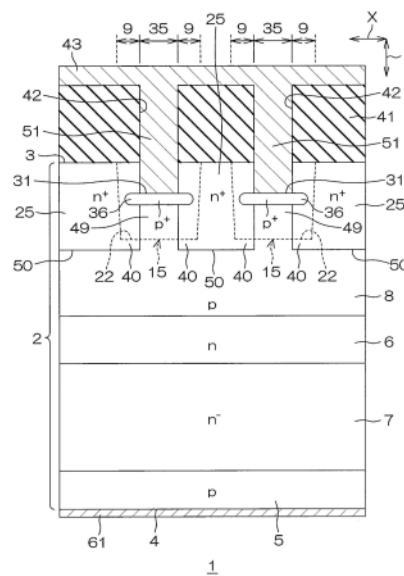
权利要求书2页 说明书16页 附图31页

(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种半导体装置,包括:栅极电极层,其埋入到栅极沟槽;接触沟槽,其包括与栅极沟槽交叉的第一交叉区域;以及发射极接触电极层,其埋入到接触沟槽。在栅极沟槽中的第一交叉区域以及第一交叉区域的周边部形成有栅极电极凹部,在栅极电极凹部埋入有栅极覆盖绝缘层,发射极区域形成得比第一交叉区域的周边部处的栅极电极层的上表面深。



1. 一种半导体装置,其特征在于,包括:

芯片,其具有形成有栅极沟槽的第一主面,该栅极沟槽具有底壁以及侧壁且在第一方向上延伸;

第一导电型的主体区域,其在所述第一主面的表面部沿着所述栅极沟槽的所述侧壁而形成;

第二导电型的第一杂质区域,其在所述主体区域的表面部沿着所述栅极沟槽的所述侧壁而形成;

栅极绝缘层,其形成于所述栅极沟槽的所述底壁以及所述侧壁;

栅极电极,其埋入于所述栅极沟槽,且隔着所述栅极绝缘层而与所述主体区域以及所述第一杂质区域对置;

接触沟槽,其包括与所述栅极沟槽交叉的交叉区域,且沿着与所述第一方向交叉的第二方向从所述交叉区域向所述栅极沟槽的外侧引出;以及

接触电极,其埋入于所述接触沟槽,在所述接触沟槽的内部与所述主体区域以及所述第一杂质区域电连接,

在所述栅极沟槽中的至少所述交叉区域以及所述交叉区域的周边部,在所述栅极电极上形成有空间区域,

在所述空间区域埋入有覆盖绝缘层,该覆盖绝缘层在所述交叉区域以及所述交叉区域的周边部覆盖所述栅极电极的上表面,并将所述栅极电极与所述接触电极之间绝缘,

所述第一杂质区域形成得比所述交叉区域的周边部处的所述栅极电极的上表面深。

2. 根据权利要求1所述的半导体装置,其特征在于,

所述第一杂质区域具有在所述交叉区域的周边部的下方与所述栅极电极对置的对置部。

3. 根据权利要求1或2所述的半导体装置,其特征在于,

所述接触电极在所述接触沟槽的底壁与所述主体区域连接,在所述接触沟槽的侧壁与所述第一杂质区域连接。

4. 根据权利要求1~3中任一项所述的半导体装置,其特征在于,

所述第一方向上的所述第一杂质区域的宽度为 $1.0\mu\text{m}$ 以下。

5. 根据权利要求4所述的半导体装置,其特征在于,

所述第一杂质区域的宽度为 $0.5\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下。

6. 根据权利要求1~5中任一项所述的半导体装置,其特征在于,

所述交叉区域的周边部包括距所述交叉区域 $0.05\mu\text{m}$ 以上且 $0.5\mu\text{m}$ 以下的范围的区域。

7. 根据权利要求1~6中任一项所述的半导体装置,其特征在于,

包括多个所述接触沟槽,该多个所述接触沟槽沿着所述第一方向隔开间隔而形成,所述栅极电极具有由栅极电极凹部形成的电极凹凸结构,该栅极电极凹部沿着所述第一方向形成于各所述接触沟槽的所述交叉区域以及该交叉区域的周边部,所述覆盖绝缘层埋入于所述栅极电极凹部。

8. 根据权利要求7所述的半导体装置,其特征在于,

所述覆盖绝缘层独立地埋入于每个所述栅极电极凹部,

在相邻的所述接触沟槽之间,所述栅极电极的上表面的一部分露出。

9. 根据权利要求7或8所述的半导体装置,其特征在于,
所述栅极电极凹部横跨所述第一方向上的所述交叉区域的一侧的周边部以及另一侧的周边部而形成,

所述覆盖绝缘层具有:第一部分,其配置于所述交叉区域;以及第二部分,其相对于所述第一部分分别配置于所述第一方向的一侧的周边部以及另一侧的周边部。

10. 根据权利要求7~9中任一项所述的半导体装置,其特征在于,
所述第一方向上的所述接触沟槽的宽度为 $0.3\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下,
所述栅极电极凹部的侧壁在所述第一方向上的所述接触沟槽的两侧分别隔开 $0.05\mu\text{m}$ 以上且 $0.5\mu\text{m}$ 以下的间隔而形成。

11. 根据权利要求1~6中任一项所述的半导体装置,其特征在于,
包括多个所述接触沟槽,该多个所述接触沟槽沿着所述第一方向隔开间隔而形成,
所述栅极电极具有通过所述上表面的深度位置在整体上恒定而形成的平坦结构。

12. 根据权利要求11所述的半导体装置,其特征在于,
所述覆盖绝缘层具有沿着所述第一方向横穿多个所述接触沟槽而延伸的一体结构,并且具有由绝缘层凹部形成的绝缘层凹凸结构,该绝缘层凹部形成于各所述接触沟槽的所述交叉区域,

所述接触电极埋入于所述绝缘层凹部。

13. 根据权利要求12所述的半导体装置,其特征在于,
所述覆盖绝缘层包括:基底部,其具有沿着所述第一方向与所述栅极电极的所述上表面接触的平坦的下表面;以及凸部,其在相邻的所述绝缘层凹部之间从所述基底部突出,
通过沿着所述第一方向交替地排列所述凸部以及所述绝缘层凹部而形成所述绝缘层凹凸结构。

14. 根据权利要求1~13中任一项所述的半导体装置,其特征在于,
所述第一杂质区域包括发射极区域,
所述接触电极包括发射极接触电极。

15. 根据权利要求1~13中任一项所述的半导体装置,其特征在于,
所述第一杂质区域包括源极区域,
所述接触电极包括源极接触电极。

半导体装置

[0001] 关联申请

[0002] 本申请对应于在2022年9月9日提交给日本专利局的日本特愿2022-143916号,该申请的全部公开通过引用而编入本申请中。

技术领域

[0003] 本公开涉及一种半导体装置。

背景技术

[0004] 专利文献1公开了一种半导体装置,其包括:半导体层,其具有形成有沟槽的主面;第一导电型的主体区域,其在所述半导体层的所述主面的表面部沿着所述沟槽的侧壁而形成;第二导电型的杂质区域,其在所述主体区域的表面部沿着所述沟槽的侧壁而形成;栅极绝缘层,其形成在所述沟槽的内壁上;栅极电极,其被埋入至所述沟槽中,并隔着所述栅极绝缘层而与所述主体区域以及所述杂质区域对置;接触电极,其从所述沟槽内贯穿所述沟槽的侧壁而被引出至所述半导体层的所述主面的表面部,并与所述主体区域以及所述杂质区域电连接;埋入绝缘层,其在所述沟槽内介于所述栅极电极以及所述接触电极之间,并对所述栅极电极以及所述接触电极进行绝缘。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:国际公开第2019/103135号

发明内容

[0008] 发明所要解决的课题

[0009] 本公开的一个实施方式提供一种半导体装置,能够提高发射极区域以及源极区域等第一杂质区域的尺寸的设计自由度,由此能够提高破坏耐量。

[0010] 本公开的一个实施方式提供一种半导体装置,在包括与栅极沟槽交叉的接触沟槽的结构中,能够抑制沟道宽度的缩小,降低导通电阻。

[0011] 用于解决课题的方案

[0012] 本公开的一个实施方式的半导体装置包括:芯片,其具有形成有栅极沟槽的第一主面,该栅极沟槽具有底壁以及侧壁且在第一方向上延伸;第一导电型的主体区域,其在所述第一主面的表面部沿着所述栅极沟槽的所述侧壁而形成;第二导电型的第一杂质区域,其在所述主体区域的表面部沿着所述栅极沟槽的所述侧壁而形成;栅极绝缘层,其形成于所述栅极沟槽的所述底壁以及所述侧壁;栅极电极,其埋入于所述栅极沟槽,且隔着所述栅极绝缘层而与所述主体区域以及所述第一杂质区域对置;接触沟槽,其包括与所述栅极沟槽交叉的交叉区域,且沿着与所述第一方向交叉的第二方向从所述交叉区域向所述栅极沟槽的外侧引出;以及接触电极,其埋入于所述接触沟槽,在所述接触沟槽的内部与所述主体区域以及所述第一杂质区域电连接,在所述栅极沟槽中的至少所述交叉区域以及所述交叉

区域的周边部,在所述栅极电极上形成有空间区域,在所述空间区域埋入有覆盖绝缘层,该覆盖绝缘层在所述交叉区域以及所述交叉区域的周边部覆盖所述栅极电极的上表面,并将所述栅极电极与所述接触电极之间绝缘,所述第一杂质区域形成得比所述交叉区域的周边部处的所述栅极电极的上表面深。

[0013] 发明效果

[0014] 根据本公开的一个实施方式,第一杂质区域形成得比交叉区域的周边部的栅极电极的上表面深。由此,能够在交叉区域的周边部形成沟道,因此能够抑制沟道宽度的缩小,降低导通电阻。

[0015] 根据本公开的一个实施方式,第一杂质区域形成得比栅极电极的上表面深。由此,在交叉区域的周边部的下部区域也能够形成沟道。因此,不需要考虑蚀刻、接触图案形成时的图案化的余量,能够提高第一杂质区域的尺寸的设计自由度,由此能够提高破坏耐量。

附图说明

[0016] 图1是表示本公开的第一实施方式的半导体装置的部分区域的示意性截面立体图。

[0017] 图2是从图1中去除了芯片的第一主面上的结构的图。

[0018] 图3是从图2去除了发射极接触电极层的图。

[0019] 图4是从所述芯片的第一主面观察图3的示意性俯视图。

[0020] 图5是沿着图4所示的V-V线的剖视图。

[0021] 图6是沿着图4所示的VI-VI线的剖视图。

[0022] 图7是沿着图4所示的VII-VII线的剖视图。

[0023] 图8A是表示所述半导体装置的制造方法的一例的图。

[0024] 图8B是表示图8A之后的工序的图。

[0025] 图8C是表示图8B之后的工序的图。

[0026] 图8D是表示图8C之后的工序的图。

[0027] 图8E是表示图8D之后的工序的图。

[0028] 图8F是表示图8E之后的工序的图。

[0029] 图8G是表示图8F之后的工序的图。

[0030] 图8H是表示图8G之后的工序的图。

[0031] 图8I是表示图8H之后的工序的图。

[0032] 图8J是表示图8I之后的工序的图。

[0033] 图8K是表示图8J之后的工序的图。

[0034] 图8L是表示图8K之后的工序的图。

[0035] 图8M是表示图8L之后的工序的图。

[0036] 图8N是表示图8M之后的工序的图。

[0037] 图9A是用于说明条件1的半导体装置的沟道形成的图。

[0038] 图9B是用于说明条件1的半导体装置的发射极区域以及接触区域的配置图案的图。

[0039] 图10A是用于说明条件2的半导体装置的沟道形成的图。

- [0040] 图10B是用于说明条件2的半导体装置的发射极区域以及接触区域的配置图案的图。
- [0041] 图11是通过模拟求出条件1以及2的半导体装置的短路波形的曲线图。
- [0042] 图12是通过模拟求出条件1以及2的半导体装置的电流-电压特性的曲线图。
- [0043] 图13是将图12的曲线图的一部分放大表示的图。
- [0044] 图14是通过模拟求出条件1以及2的半导体装置的电流-电压特性的曲线图。
- [0045] 图15是表示本公开的第二实施方式的半导体装置的部分区域的示意性截面立体图。
- [0046] 图16是表示图15的半导体装置的一部分的示意性剖视图。
- [0047] 图17是表示图15的半导体装置的一部分的示意性剖视图。
- [0048] 图18是表示本公开的第三实施方式的半导体装置的部分区域的示意性截面立体图。

具体实施方式

[0049] 《半导体装置1(第一实施方式)的结构说明》

[0050] 图1是表示本公开的第一实施方式的半导体装置1的部分区域的示意性截面立体图。图2是从图1中去除了芯片2的第一主面3上的结构的图。图3是从图2去除了发射极接触电极层51的图。

[0051] 图4是从芯片2的第一主面3观察图3的示意性俯视图。图5是沿着图4所示的V-V线的剖视图。图6是沿着图4所示的VI-VI线的剖视图。图7是沿着图4所示的VII-VII线的剖视图。图5至图7还示出了芯片2的第一主面3上的结构。

[0052] 在该实施方式中,半导体装置1具有具备沟槽栅型的IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极晶体管)的基本形态。参照图1~图7,半导体装置1包括n⁻型芯片2。在该实施方式中,芯片2由n⁻型的单晶硅基板构成。单晶硅基板使用经过FZ(Floating Zone,浮区)法制造的n⁻型单晶硅的半导体晶片而形成。芯片2可以被称为半导体芯片,也可以被称为半导体层。

[0053] 芯片2具有一侧的第一主面3以及另一侧的第二主面4。芯片2的厚度可以为50 μm 以上且300 μm 以下。芯片2的厚度可以为50 μm 以上且100 μm 以下、100 μm 以上且150 μm 以下、150 μm 以上且200 μm 以下、200 μm 以上且250 μm 以下、或250 μm 以上且300 μm 以下。

[0054] 在第二主面4的表面部形成有p型的集电极区域5。在第一主面3的表面部形成有n型的电荷蓄积区域6。电荷蓄积区域6相对于集电极区域5在第一主面3侧隔开间隔地形成。

[0055] 在芯片2中,在集电极区域5与电荷蓄积区域6之间的区域形成有n⁻型的漂移区域7。漂移区域7由在芯片2中位于集电极区域5以及电荷蓄积区域6之间的区域形成。在电荷蓄积区域6的表面部形成有p型的主体区域8。在第一主面3的表面部隔开间隔地形成有多个沟槽栅极电极结构10以及多个沟槽发射极电极结构11。

[0056] 在图1~图7中,仅示出了彼此相邻的一个沟槽栅极电极结构10以及一个沟槽发射极电极结构11。以下,着眼于这些一个沟槽栅极电极结构10以及一个沟槽发射极电极结构11的结构,对半导体装置1的结构进行说明。

[0057] 沟槽栅极电极结构10以及沟槽发射极电极结构11在俯视时沿着任意的第一方向X

以带状延伸。沟槽栅极电极结构10以及沟槽发射极电极结构11沿着与第一方向X交叉的第二方向Y隔开间隔地形成。

[0058] 更具体而言,俯视是指从第一主面3的法线方向Z(以下,简称为“法线方向Z”)观察的俯视图。更具体而言,第二方向Y是与第一方向X正交的方向。第一方向X以及第二方向Y也是第一主面3的切线方向。

[0059] 沟槽栅极电极结构10与沟槽发射极电极结构11之间的沟槽间距P0可以为 $0.1\mu\text{m}$ 以上且小于 $0.6\mu\text{m}$ 。沟槽间距P0可以为 $0.1\mu\text{m}$ 以上且 $0.2\mu\text{m}$ 以下、 $0.2\mu\text{m}$ 以上且 $0.3\mu\text{m}$ 以下、 $0.3\mu\text{m}$ 以上且 $0.4\mu\text{m}$ 以下、 $0.4\mu\text{m}$ 以上且 $0.5\mu\text{m}$ 以下、或者 $0.5\mu\text{m}$ 以上且小于 $0.6\mu\text{m}$ 。沟槽间距P0优选为 $0.2\mu\text{m}$ 以上且 $0.4\mu\text{m}$ 以下(例如 $0.25\mu\text{m}$ 左右)。

[0060] 沟槽栅极电极结构10包括栅极沟槽12、栅极绝缘层13、栅极电极层14、多个栅极电极凹部15(空间区域)以及多个栅极覆盖绝缘层16。栅极沟槽12从第一主面3贯通主体区域8以及电荷蓄积区域6而到达漂移区域7。

[0061] 栅极沟槽12的深度可以为 $2.0\mu\text{m}$ 以上且 $4.0\mu\text{m}$ 以下。栅极沟槽12的深度可以为 $2.0\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上且 $3.0\mu\text{m}$ 以下、 $3.0\mu\text{m}$ 以上且 $3.5\mu\text{m}$ 以下、或者 $3.5\mu\text{m}$ 以上且 $4.0\mu\text{m}$ 以下。栅极沟槽12的深度优选为 $2.5\mu\text{m}$ 以上且 $3.5\mu\text{m}$ 以下(例如 $3.0\mu\text{m}$ 左右)。

[0062] 栅极沟槽12的第二方向宽度也可以为 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。栅极沟槽12的第二方向宽度可以为 $0.5\mu\text{m}$ 以上且 $0.75\mu\text{m}$ 以下、 $0.75\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下、 $1.0\mu\text{m}$ 以上且 $1.25\mu\text{m}$ 以下、或者 $1.25\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。栅极沟槽12的第二方向宽度优选为 $0.5\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下(例如 $0.75\mu\text{m}$ 左右)。

[0063] 栅极绝缘层13也可以由氧化硅形成。栅极绝缘层13沿着栅极沟槽12的内壁形成成为膜状。栅极绝缘层13在栅极沟槽12内划分出凹状的空间。

[0064] 栅极电极层14也可以由导电性的多晶硅形成。栅极电极层14由栅极电压控制。栅极电极层14隔着栅极绝缘层13埋入于栅极沟槽12。更具体而言,栅极电极层14在栅极沟槽12内埋入于由栅极绝缘层13划分出的凹状的空间。栅极电极层14的上端部相对于主体区域8的底部位于第一主面3侧。

[0065] 在该实施方式中,多个栅极电极凹部15沿着第一方向X隔开间隔地形成于栅极电极层14的主面。由此,栅极电极层14的上端部具有包括多个栅极电极凹部15的凹凸结构。

[0066] 彼此相邻的多个栅极电极凹部15的间隔可以超过 $0\mu\text{m}$ 且为 $10\mu\text{m}$ 以下。彼此相邻的多个栅极电极凹部15的间隔也是在栅极电极层14中由彼此相邻的两个栅极电极凹部15夹着的部分的第一方向X的宽度。彼此相邻的多个栅极电极凹部15的间隔可以超过 $0\mu\text{m}$ 且为 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上且 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上且 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上且 $8\mu\text{m}$ 以下、或者 $8\mu\text{m}$ 以上且 $10\mu\text{m}$ 以下。

[0067] 在本实施方式中,各栅极电极凹部15的侧壁由栅极绝缘层13以及栅极电极层14形成。各栅极电极凹部15的底壁22由栅极电极层14形成。参照图6以及图7,各栅极电极凹部15的底壁22在法线方向Z上位于第一主面3与发射极区域25(后述)的底部50之间的区域。

[0068] 参照图6,各栅极电极凹部15形成为底面积比开口面积小的锥形状。栅极电极层14的主面以及栅极电极凹部15的侧壁在栅极电极层14内所成的角度 θ 也可以超过 90° 且为 105° 以下(例如 102° 左右)。

[0069] 多个栅极覆盖绝缘层16在栅极沟槽12内分别埋入到栅极电极层14的上端部。更具

体而言,栅极覆盖绝缘层16按每个栅极电极凹部15独立地埋入。各栅极覆盖绝缘层16从栅极沟槽12的开口露出。

[0070] 沟槽发射极电极结构11包括发射极沟槽17、发射极绝缘层18、发射极电极层19、发射极电极凹部20以及发射极覆盖绝缘层21。发射极沟槽17从第一主面3贯通主体区域8以及电荷蓄积区域6而到达漂移区域7。

[0071] 发射极沟槽17的深度可以为 $2.0\mu\text{m}$ 以上且 $4.0\mu\text{m}$ 以下。发射极沟槽17的深度可以为 $2.0\mu\text{m}$ 以上且 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上且 $3.0\mu\text{m}$ 以下、 $3.0\mu\text{m}$ 以上且 $3.5\mu\text{m}$ 以下、或者 $3.5\mu\text{m}$ 以上且 $4.0\mu\text{m}$ 以下。发射极沟槽17的深度优选为 $2.5\mu\text{m}$ 以上且 $3.5\mu\text{m}$ 以下(例如 $3.0\mu\text{m}$ 左右)。发射极沟槽17的深度优选与栅极沟槽12的深度大致相等。

[0072] 发射极沟槽17的第二方向宽度也可以为 $0.5\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。发射极沟槽17的第二方向宽度可以为 $0.5\mu\text{m}$ 以上且 $0.75\mu\text{m}$ 以下、 $0.75\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下、 $1.0\mu\text{m}$ 以上且 $1.25\mu\text{m}$ 以下、或者 $1.25\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下。发射极沟槽17的第二方向宽度优选为 $0.5\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下(例如 $0.75\mu\text{m}$ 左右)。发射极沟槽17的第二方向宽度优选与栅极沟槽12的第二方向宽度大致相等。

[0073] 发射极绝缘层18也可以由氧化硅形成。发射极绝缘层18沿着发射极沟槽17的内壁面形成为膜状。发射极绝缘层18在发射极沟槽17内划分出凹状的空间。

[0074] 发射极电极层19可以由导电性的多晶硅形成。发射极电极层19由发射极电压控制。发射极电压具有小于栅极电压的电压值。发射极电压也可以是基准电压(例如接地电压)。发射极电极层19隔着发射极绝缘层18埋入于发射极沟槽17。更具体地,发射极电极层19埋入在由发射极沟槽17内的发射极绝缘层18限定的凹状的空间中。

[0075] 在该实施方式中,发射极电极凹部20形成为挖掘发射极电极层19的主面的大致整个面。换言之,发射极电极层19被埋入到由发射极绝缘层18划分的凹状的空间的深度方向中途部。

[0076] 在该实施方式中,发射极电极凹部20的侧壁由发射极绝缘层18形成。发射极电极凹部20的底壁由发射极电极层19形成。发射极电极凹部20的底壁在法线方向Z上位于第一主面3以及发射极区域25(后述)的底部50之间的区域。即,发射极电极层19的上端部相对于发射极区域25的底部50位于第一主面3侧。在法线方向Z上,发射极电极凹部20的深度也可以与栅极电极凹部15的深度大致相等。

[0077] 发射极覆盖绝缘层21在发射极沟槽17内埋入于发射极电极层19的上表面中。更具体而言,发射极覆盖绝缘层21埋入于发射极电极凹部20。由此,发射极覆盖绝缘层21密封发射极电极层19。发射极覆盖绝缘层21从发射极沟槽17的开口露出。

[0078] 在主体区域8的表面部,在沿着栅极沟槽12的侧壁的区域形成有 n^+ 型的发射极区域25(第一杂质区域)。更具体而言,发射极区域25在第一方向X上沿着栅极沟槽12的一侧的侧壁以及另一侧的侧壁形成有多个。多个发射极区域25分别形成为沿着第一方向X延伸的带状。发射极区域25与栅极沟槽12的侧壁相接。发射极区域25也与发射极沟槽17的侧壁相接。

[0079] 在第一主面3的表面部,在沿着栅极沟槽12的侧壁的区域,从第一主面3朝向第二主面4侧依次形成有发射极区域25、主体区域8、电荷蓄积区域6以及漂移区域7。在主体区域8中,在隔着栅极绝缘层13与栅极电极层14对置的区域形成IGBT的沟道CH。

[0080] 参照图3、图4、图6以及图7,在第一主面3的表面部形成有多个接触沟槽31。多个接触沟槽31沿着第一方向X隔开间隔而形成。多个接触沟槽31分别形成为沿着第二方向Y延伸的带状。各接触沟槽31的第一方向宽度比栅极沟槽12的第二方向宽度小。各接触沟槽31的第一方向宽度例如可以为 $0.3\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下。

[0081] 更具体而言,各接触沟槽31从对应的栅极覆盖绝缘层16的内侧区域贯通栅极沟槽12的侧壁而引出到第一主面3的表面部。在该实施方式中,各接触沟槽31在第一方向X上从栅极覆盖绝缘层16的内侧区域贯通栅极沟槽12的一侧的侧壁以及另一侧的侧壁。各接触沟槽31的第一方向宽度比对应的栅极覆盖绝缘层16的第一方向宽度小。

[0082] 各接触沟槽31包括在俯视下与栅极电极层14交叉的第一交叉区域33。在第一交叉区域33中,各接触沟槽31的侧壁以及底壁由栅极覆盖绝缘层16形成。

[0083] 各接触沟槽31包括在俯视时与发射极电极层19交叉的第二交叉区域34。在第二交叉区域34中,各接触沟槽31的侧壁以及底壁由发射极覆盖绝缘层21形成。

[0084] 各接触沟槽31还包括从第一交叉区域33向栅极沟槽12的外侧引出的接触区域35。接触区域35也可以被称为在俯视时在栅极沟槽12与发射极沟槽17之间的区域中连接第一交叉区域33以及第二交叉区域34的连接区域。在接触区域35中,各接触沟槽31的底壁由主体区域8形成,各接触沟槽31的侧壁由发射极区域25形成。即,在接触区域35中,发射极区域25在接触沟槽31的侧壁露出。

[0085] 各接触沟槽31还具有从发射极沟槽17的一侧的侧壁向外侧引出的引出部32。各引出部32从第一主面3的表面部贯通发射极沟槽17的一侧的侧壁,到达发射极沟槽17内。

[0086] 各接触沟槽31的侧壁在第一交叉区域33、第二交叉区域34及接触区域35中形成为表面一致。各接触沟槽31的底壁在第一交叉区域33、第二交叉区域34以及接触区域35中形成为表面一致。

[0087] 在第一交叉区域33中,栅极电极层14的上端部相对于发射极区域25的底部50位于第一主面3侧。由此,参照图6以及图7,发射极区域25在第一方向X上的第一交叉区域33的两侧的周边部9的下方,具有经由栅极绝缘层13与栅极电极层14对置的对置部40。

[0088] 栅极电极层14具有由沿着第一方向X形成于各接触沟槽31的第一交叉区域33以及周边部9的栅极电极凹部15形成的电极凹凸结构。栅极电极层14的上表面的一部分(电极凹凸结构的凸部的上表面23)在相邻的接触沟槽31之间露出。

[0089] 栅极电极凹部15跨越第一方向X上的第一交叉区域33的一侧的周边部9以及另一侧的周边部9而形成。由此,参照图6以及图7,栅极覆盖绝缘层16具有:第一部分47,其配置于第一交叉区域33;以及第二部分48,其相对于第一部分47分别配置于第一方向X的一侧的周边部9以及另一侧的周边部9。

[0090] 第一交叉区域33的周边部9例如也可以是从接触沟槽31的侧壁到栅极电极凹部15的侧壁的区域。周边部9例如也可以是从第一交叉区域33的侧壁起 $0.05\mu\text{m}$ 以上且 $0.5\mu\text{m}$ 以下的范围的区域。即,在该实施方式中,栅极电极凹部15的侧壁在第一方向X上的接触沟槽31的两侧分别隔开 $0.05\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下的间隔而形成。

[0091] 多个接触沟槽31的配置是任意的。多个接触沟槽31也可以沿着第一方向X等间隔地形成。多个接触沟槽31也可以沿着第一方向X不等间隔地形成。

[0092] 在主体区域8中,在各接触沟槽31的沿着底壁的区域内形成有 p^+ 型的接触区域36。

接触区域36也可以在主体区域8中形成在各接触沟槽31的沿着底壁以及侧壁的区域。

[0093] 接触区域36具有从接触沟槽31的底壁露出的露出面。接触区域36的露出面形成于第一主面3与主体区域8的底部之间的区域。更具体而言,接触区域36的露出面形成于第一主面3与发射极区域25的底部50之间的区域。在该实施方式中,主体区域8具有沿着接触沟槽31向第一主面3侧选择性地突出的主体区域凸部49。接触区域36形成于主体区域凸部49的前端部。主体区域凸部49在第一方向X上由发射极区域25夹着。

[0094] 在图1~图3中,示出了接触区域36通过一次离子注入而较浅地形成于接触沟槽31的底面的例子。但是,接触区域36也可以通过调整离子注入的次数、离子注入的能量而形成得更深。例如,接触区域36也可以形成得比发射极区域25的底部50深。

[0095] 在第一主面3上形成有层间绝缘层41。层间绝缘层41覆盖沟槽栅极电极结构10以及沟槽发射极电极结构11。层间绝缘层41覆盖从栅极沟槽12露出的栅极覆盖绝缘层16以及从发射极沟槽17露出的发射极覆盖绝缘层21。

[0096] 层间绝缘层41也可以由氧化硅或氮化硅形成。层间绝缘层41也可以具有包括氧化膜(SiO_2 膜)以及氮化膜(SiN 膜)的层叠结构。氧化膜(SiO_2 膜)可以包括不含有杂质的NSG(Nondoped Silicon Glass,无掺杂硅玻璃)膜和/或含有磷的PSG(Phosphorus Silicon Glass,磷硅玻璃)膜。

[0097] 层间绝缘层41也可以具有包括从第一主面3依次层叠的NSG膜以及PSG膜的层叠结构。NSG膜的厚度可以为 2000\AA 以上且 8000\AA 以下(例如 5000\AA 左右)。PSG膜的厚度可以为 2000\AA 以上且 6000\AA 以下(例如 4000\AA 左右)。

[0098] 在层间绝缘层41形成有多个接触孔42。多个接触孔42分别与对应的接触沟槽31连通。即,多个接触孔42沿着第一方向X隔开间隔地形成,分别形成为沿着第二方向Y延伸的带状。

[0099] 多个接触孔42贯通层间绝缘层41,分别与对应的接触沟槽31连通。由此,多个接触孔42在与对应的接触沟槽31之间形成一个发射极接触沟槽31、42。

[0100] 各接触孔42的第一方向宽度也可以为各接触沟槽31的第一方向宽度以上。即,各接触孔42的第一方向宽度可以与各接触沟槽31的第一方向宽度相等,也可以超过各接触沟槽31的第一方向宽度。在各接触孔42的第一方向宽度超过各接触沟槽31的第一方向宽度的情况下,各接触孔42的内壁也可以包围对应的接触沟槽31的内壁。

[0101] 多个接触孔42的配置是任意的,根据接触沟槽31的配置来调整。多个接触孔42也可以沿着第一方向X等间隔地形成。多个接触孔42也可以沿着第一方向X不等间隔地形成。

[0102] 在层间绝缘层41上形成有发射极主面电极层43。发射极主面电极层43从层间绝缘层41上进入接触孔42以及接触沟槽31(即,发射极接触沟槽31、42)。发射极主面电极层43例如也可以包括钛等阻挡层与钨等电极层的层叠结构。在该实施方式中,通过在发射极主面电极层43中位于多个接触沟槽31内的部分,形成多个发射极接触电极层51。由此,形成多个发射极接触电极层51埋入到芯片2的表面部的结构。

[0103] 多个发射极接触电极层51分别具有与多个接触沟槽31的排列以及形状对应的排列以及形状。即,多个发射极接触电极层51沿着第一方向X隔开间隔地形成,分别形成为沿着第二方向Y延伸的带状。

[0104] 各发射极接触电极层51在俯视时与栅极电极层14交叉的第一交叉区域33中,在法

线方向Z以及第一方向X上,隔着栅极覆盖绝缘层16与栅极电极层14对置。各发射极接触电极层51通过栅极覆盖绝缘层16而与栅极电极层14绝缘。各发射极接触电极层51的第一方向宽度比栅极沟槽12的第一方向宽度小。

[0105] 各发射极接触电极层51从对应的栅极覆盖绝缘层16的内侧区域贯通栅极沟槽12的侧壁而引出到第一主面3的表面部。在该实施方式中,各发射极接触电极层51在第二方向Y上从栅极覆盖绝缘层16的内侧区域贯通栅极沟槽12的一侧的侧壁以及另一侧的侧壁。各发射极接触电极层51的第一方向宽度比对应的栅极覆盖绝缘层16的第一方向宽度小。

[0106] 各发射极接触电极层51在俯视时与发射极电极层19交叉的第二交叉区域34中,在法线方向Z以及第一方向X上,隔着发射极覆盖绝缘层21与发射极电极层19对置。各发射极接触电极层51通过发射极覆盖绝缘层21与发射极电极层19绝缘。各发射极接触电极层51的第一方向宽度比发射极沟槽17的第一方向宽度小。

[0107] 各发射极接触电极层51在接触区域35与从接触沟槽31的底壁露出的主体区域8(接触区域36)连接,与从接触沟槽31的侧壁露出的发射极区域25连接。

[0108] 在芯片2的第二主面4上形成有集电极电极层61。集电极电极层61与集电极区域5连接。虽未图示,但也可以在层间绝缘层41上形成具有与发射极主面电极层43相同的结构的栅极主面电极层。栅极主面电极层也可以经由形成于层间绝缘层41的栅极接触孔而与栅极电极层14电连接。

[0109] 《半导体装置1的制造方法的说明》

[0110] 图8A~图8N是表示半导体装置1的制造方法的一例的图。图8A~图8N是与图1对应的部分的剖视立体图。

[0111] 参照图8A,首先,准备n⁻型的芯片2。接着,在芯片2内形成p型集电极区域5以及n型电荷蓄积区域6。集电极区域5通过对芯片2的第二主面4导入p型杂质而形成。集电极区域5也可以通过经由离子注入掩模(未图示)的离子注入法而形成于芯片2的第二主面4的表面部。

[0112] 电荷蓄积区域6通过对第一主面3导入n型杂质而形成。电荷蓄积区域6也可以通过经由离子注入掩模(未图示)的离子注入法形成于第一主面3的表面部。

[0113] 接着,参照图8B,在第一主面3上形成具有预定图案的掩模71。掩模71具有使应形成栅极沟槽12以及发射极沟槽17的区域露出的多个开口72。

[0114] 接着,参照图8C,将芯片2的不需要的部分从第一主面3除去。芯片2的不需要的部分也可以通过经由掩模71的蚀刻法(例如湿蚀刻法)去除。由此,形成栅极沟槽12以及发射极沟槽17。之后,去除掩模71。

[0115] 接着,参照图8D,成为栅极绝缘层13以及发射极绝缘层18的基底的基底绝缘层73以覆盖第一主面3的方式形成。基底绝缘层73也可以通过对第一主面3的氧化处理法来形成。

[0116] 氧化处理法可以是热氧化处理法或湿式氧化处理法。基底绝缘层73也可以包括氧化硅。基底绝缘层73也可以通过CVD(chemical vapor deposition,化学气相沉积)法来代替氧化处理法而形成。

[0117] 接着,参照图8E,在第一主面3上形成成为栅极电极层14以及发射极电极层19的基底的第一基底导电体层74。第一基底导电体层74也可以是导电性的多晶硅层。第一基底导

电体层74也可以通过CVD法形成。CVD法也可以是LP-CVD (Low Pressure-CVD, 低压CVD) 法。

[0118] 接着,除去第一基底导电体层74的不需要的部分。第一基底导电体层74的不需要的部分被除去至至少基底绝缘层73露出。第一基底导电体层74的不需要的部分也可以通过蚀刻法(例如湿式蚀刻法)除去。

[0119] 第一基底导电体层74的不需要的部分也可以在第一基底导电体层74的主面通过CMP (Chemical Mechanical Polishing, 化学机械抛光) 法平坦化之后,通过蚀刻法(例如湿式蚀刻法)除去。

[0120] 接着,参照图8F,在第一主面3上形成具有预定图案的掩模75。掩模75具有使应形成栅极电极凹部15以及发射极电极凹部20的区域露出的多个开口76。

[0121] 接着,去除栅极电极层14的不必要部分以及发射极电极层19的不必要部分。栅极电极层14的不需要的部分以及发射极电极层19的不需要的部分也可以通过经由掩模75的蚀刻法(例如湿蚀刻法)来除去。由此,形成栅极电极凹部15以及发射极电极凹部20。

[0122] 之后,参照图8G,去除掩模75。栅极电极凹部15以及发射极电极凹部20也可以经由不同的掩模(未图示)分别形成。即,也可以形成具有相互不同的深度的栅极电极凹部15以及发射极电极凹部20。

[0123] 接着,参照图8H,在第一主面3上形成成为栅极覆盖绝缘层16以及发射极覆盖绝缘层21的基底的基底绝缘层77。基底绝缘层77也可以包括氧化硅。基底绝缘层77也可以通过CVD法形成。CVD法也可以是LP-CVD法。

[0124] 接着,参照图8I,去除基底绝缘层77的不需要的部分。基底绝缘层73的不需要的部分也可以利用蚀刻法(例如湿蚀刻法)去除。由此,形成栅极覆盖绝缘层16以及发射极覆盖绝缘层21。

[0125] 在该工序中,基底绝缘层73中覆盖第一主面3的部分也被去除。由此,形成栅极绝缘层13以及发射极绝缘层18。由此,形成沟槽栅极电极结构10以及沟槽发射极电极结构11。

[0126] 接着,参照图8J,在芯片2内形成p型的主体区域8以及n⁺型的发射极区域25。主体区域8通过对第一主面3导入p型杂质而形成。主体区域8也可以通过经由离子注入掩模(未图示)的离子注入法形成于第一主面3的表面部。

[0127] 发射极区域25通过对第一主面3导入n型杂质而形成。发射极区域25也可以通过经由离子注入掩模(未图示)的离子注入法形成于第一主面3的表面部。

[0128] 接着,参照图8K,在第一主面3上形成层间绝缘层41。层间绝缘层41形成在第一主面3上以覆盖沟槽栅极电极结构10以及沟槽发射极电极结构11。该工序可以包括通过CVD法,从第一主面3上依次形成NSG膜(例如5000Å)以及PSG膜(例如4000Å)的工序。

[0129] 接着,参照图8L,在层间绝缘层41上形成具有预定图案的掩模78。掩模78具有使应形成接触沟槽31以及接触孔42的区域露出的多个开口79。

[0130] 接着,参照图8M,除去层间绝缘层41的不需要的部分、栅极覆盖绝缘层16的不需要的部分以及发射极覆盖绝缘层21的不需要的部分。层间绝缘层41等不需要的部分也可以通过经由掩模78的蚀刻法(例如干蚀刻法)除去。

[0131] 进而,在该工序中,在去除诸如层间绝缘层41的不必要部分之后,去除芯片2的不必要部分。芯片2的不需要的部分也可以通过经由掩模78的蚀刻法(例如干蚀刻法)去除。

[0132] 由此,在第一主面3形成接触沟槽31,在层间绝缘层41形成与接触沟槽31连通的接

触孔42。之后,去除掩模78。

[0133] 接着,在第一主面3的表面部形成接触区域36。更具体而言,接触区域36在主体区域8的表面部处形成在接触沟槽31的沿着底壁的区域。接触区域36也可以形成于接触沟槽31的沿着侧壁以及底壁的区域。

[0134] 接触区域36通过对接触沟槽31导入p型杂质而形成。接触区域36也可以通过经由离子注入掩模(未图示)的离子注入法而被导入至接触沟槽31中。由此,形成接触沟槽31的沿着底壁的接触区域36。

[0135] 接触区域36也可以通过在图8J的工序中对第一主面3导入p型杂质而形成。在该情况下,接触区域36也可以通过经由离子注入掩模(未图示)的离子注入法形成于第一主面3的表面部。通过该工序,也形成接触沟槽31的沿着底壁的接触区域36。

[0136] 接着,参照图8N,在层间绝缘层41上形成发射极主面电极层43。而且,通过发射极主面电极层43中进入接触沟槽31的部分,形成发射极接触电极层51。另外,在芯片2的第二主面4形成集电极电极层61。经过包括以上的工序,形成半导体装置1。

[0137] 《发射极区域25的深度与沟道形成区域102、202的面积的关系》

[0138] 图9A是用于说明条件1的半导体装置101的沟道形成的图。图9B是用于说明条件1的半导体装置101的发射极区域25以及接触区域36的配置图案的图。图10A是用于说明条件2的半导体装置201的沟道形成的图。图10B是用于说明条件2的半导体装置201的发射极区域25以及接触区域36的配置图案的图。在半导体装置101、201中,对与半导体装置1对应的结构标注相同的参照符号并省略说明。

[0139] 参照图9A,半导体装置101具有与半导体装置1相同的结构。发射极区域25形成得比栅极电极凹部15中的栅极电极层14的上表面(栅极电极凹部15的底壁22)深。即,发射极区域25的底部50在第一方向X上的第一交叉区域33的两侧的周边部9,相对于栅极电极层14的上表面(栅极电极凹部15的底壁22)位于第二主面4侧(第一主面3的相反侧)。发射极区域25距第一主面3的深度D1大于栅极电极凹部15距第一主面3的深度D2($D1 > D2$)。由此,发射极区域25在第一方向X上的第一交叉区域33的两侧的周边部9的下方,具有隔着栅极绝缘层13与栅极电极层14对置的对置部40。

[0140] 参照图9B,第一方向X上的发射极区域25的宽度W1例如为 $1.0\mu\text{m}$ 以下,优选为 $0.5\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下。第一方向X上的接触区域36的宽度W2也可以是与前述的接触沟槽31的第一方向宽度相等、或者比接触沟槽31的第一方向宽度稍宽的宽度。

[0141] 参照图10A,在半导体装置201中,发射极区域25形成得比栅极电极凹部15中的栅极电极层14的上表面(栅极电极凹部15的底壁22)浅。即,发射极区域25的底部50在第一方向X上的第一交叉区域33的两侧的周边部9,相对于栅极电极层14的上表面(栅极电极凹部15的底壁22)位于第一主面3侧。发射极区域25距第一主面3的深度D1小于栅极电极凹部15距第一主面3的深度D2($D1 < D2$)。由此,在半导体装置201中,不存在图9A所示的对置部40,发射极区域25在第一方向X上的第一交叉区域33的两侧的周边部9的下方不与栅极电极层14对置。

[0142] 参照图10B,第一方向X上的发射极区域25的宽度W3例如超过 $1.0\mu\text{m}$ 。第一方向X上的接触区域36的宽度W4也可以是与前述的接触沟槽31的第一方向宽度相等、或者比接触沟槽31的第一方向宽度稍宽的宽度。

[0143] 参照图9A以及图10A,栅极电极凹部15的第一方向宽度 W_5 设定得比接触沟槽31的第一方向宽度 W_6 宽。这是为了考虑用于形成接触沟槽31的掩模78的图案化(参照图8L以及图8M)时的位置偏移来确保余量。通过确保该余量,发射极接触电极层51收敛于栅极覆盖绝缘层16的范围内,发射极接触电极层51通过栅极覆盖绝缘层16与栅极电极层14可靠地绝缘。由此,避免发射极-栅极间的短路。即,需要使栅极电极层14的挖入宽度(栅极电极凹部15的宽度 W_5)比发射极接触电极层51的接触尺寸(接触沟槽31的宽度 W_6)宽。

[0144] 因此,如图10A的半导体装置201那样,若发射极区域25的深度 D_1 小于栅极电极凹部15的深度 D_2 ($D_1 < D_2$),则周边部9的下方区域成为不存在发射极区域25的区域,能够在该区域形成沟道CH,但无法形成主要的电流路径。因此,在半导体装置201中,主体区域8中的除了栅极电极凹部15的下方区域以外的区域是能够形成沟道CH的沟道形成区域202中的能够形成主要的电流路径的区域,栅极电极凹部15的下方区域成为难以形成主要的电流路径的区域。结果,存在沟道宽度缩小、导通电阻增加的倾向。在图10A中,沟道形成区域202由包括实线以及虚线的阴影线表示。

[0145] 另外,如图10B所示,存在必须考虑蚀刻余量而将发射极区域25的宽度 W_3 设计得比较宽这样的制约。这是因为,若发射极区域25的宽度 W_3 过窄,则在形成栅极电极凹部15后,发射极区域25中与栅极电极层14对置的部分大幅缩小。

[0146] 与此相对,如图9A的半导体装置101那样,若发射极区域25的深度 D_1 大于栅极电极凹部15的深度 D_2 ($D_1 > D_2$),则在周边部9的下方区域也存在发射极区域25,能够在该区域形成主要的电流路径。因此,在半导体装置101中,包括栅极电极凹部15的下方区域的遍及主体区域8的第一方向X的整体的区域是能够形成主要的电流路径的沟道形成区域102。结果,与半导体装置201相比,能够增大沟道宽度,能够降低导通电阻。在图9A中,由包括实线以及虚线的阴影线表示沟道形成区域102。

[0147] 另外,在设计发射极区域25的宽度 W_1 时,不需要考虑蚀刻余量以及栅极电极凹部15的图案。这是因为,在形成栅极电极凹部15后,也能够周边部9的下方确保发射极区域24的对置部40,由此能够确保具有足够的沟道宽度的沟道形成区域102。因此,与半导体装置201的发射极区域25的宽度 W_3 相比,能够缩窄发射极区域25的宽度 W_1 。

[0148] 《发射极区域25的深度与半导体装置101、201的特性之间的关系》

[0149] 接着,参照图11~图14,对发射极区域25的深度与半导体装置101、201的特性之间的关系进行说明。

[0150] 图11是通过模拟求出条件1的半导体装置101以及条件2的半导体装置201的短路波形的曲线图。在图11中,左侧的纵轴是集电极电流 I_C [A],右侧的纵轴是集电极-发射极电压 V_{CE} [V],横轴是时间[s]。在图11中,条件1以及2的栅极电压用虚线曲线表示,条件1以及2的集电极电压用实线曲线表示,条件1以及2的集电极电流用点划线曲线表示。

[0151] 参照条件1的栅极电压、集电极电压以及集电极电流,在半导体装置101中,确认了从短路波的上升起未超过稳定值,确认了即使随着时间推移也未产生闩锁的举动。另一方面,参照条件2的栅极电压、集电极电压以及集电极电流,确认了集电极电流过冲而大幅超过条件1所示的稳定值,达到闩锁的举动。

[0152] 综上可知,根据半导体装置101,通过具备具有比半导体装置201的发射极区域25的宽度 W_3 窄的宽度 W_1 的发射极区域25,能够提高破坏耐量。

[0153] 图12是通过模拟求出条件1的半导体装置101以及条件2的半导体装置201的电流-电压特性的曲线图。图13是放大表示图12的曲线图的一部分的图。在图12以及图13中,纵轴是集电极电流 I_C [A],横轴是集电极-发射极电压 V_{CE} [V]。在图13中示出图12的集电极-发射极电压 V_{CE} 为0~2V的范围的曲线图。

[0154] 在图12中,用实线曲线表示条件1的半导体装置101的特性,用虚线曲线表示条件2的半导体装置201的特性。条件1以及条件2均表示使集电极-发射极电压 V_{CE} 从0V变化到10V时的电流-电压特性。

[0155] 参照条件1的特性,在半导体装置101中,集电极电流 I_C 为20A、40A、60A、80A以及100A时的集电极-发射极电压 V_{CE} 分别为1.26V、1.60V、1.91V、2.25V以及2.66V。另一方面,参照条件2的特性,在半导体装置201中,集电极电流 I_C 为20A、40A、60A、80A以及100A时的集电极-发射极电压 V_{CE} 分别为1.28V、1.65V、2.01V、2.42V以及3.20V。

[0156] 综上可知,根据半导体装置101,与半导体装置201相比,能够降低上升所需的集电极-发射极电压 V_{CE} ,因此能够降低导通损耗。

[0157] 图14是通过模拟求出条件1的半导体装置101以及条件2的半导体装置201的电流-电压特性的曲线图。在图14中,纵轴是集电极电流 I_C [A],横轴是栅极-发射极电压 V_{GE} [V]。在图14中,用实线曲线表示条件1的半导体装置101的特性,用虚线曲线表示条件2的半导体装置201的特性。条件1以及条件2均表示使栅极-发射极电压 V_{GE} 从0V变化到15V时的电流-电压特性。

[0158] 《半导体装置81(第二实施方式)的结构说明》

[0159] 图15是表示本公开的第二实施方式的半导体装置81的部分区域的示意性截面立体图。图16是表示图15的半导体装置81的一部分的示意性剖视图。图17是表示图15的半导体装置81的一部分的示意性剖视图。以下,对与针对半导体装置1叙述的结构对应的结构标注相同的参照附图标记并省略说明。

[0160] 在前述的半导体装置1中,对栅极电极层14具有包括多个栅极电极凹部15的凹凸结构的例子进行了说明。与此相对,在半导体装置81中,栅极电极层14具有通过上表面82的深度位置在整体上恒定而形成的平坦结构。更具体而言,参照图16以及图17,栅极电极层14的上表面82在法线方向Z上位于第一主面3以及发射极区域25的底部50之间的区域。由此,与半导体装置1同样,发射极区域25在第一方向X上的第一交叉区域33的附近,具有隔着栅极绝缘层13与栅极电极层14对置的对置部40。

[0161] 参照图16,栅极覆盖绝缘层16具有沿着第一方向X横穿多个接触沟槽31而延伸的一体结构。栅极覆盖绝缘层16具有由形成于各接触沟槽31的第一交叉区域33的绝缘层凹部83形成的绝缘层凹凸结构。发射极接触电极层51埋入于绝缘层凹部83。更具体而言,栅极覆盖绝缘层16也可以包括具有沿着第一方向X与栅极电极层14的上表面82相接的平坦的下表面84的基底部85、以及在相邻的绝缘层凹部83之间从基底部85突出的凸部86。栅极覆盖绝缘层16的凹凸结构通过沿着第一方向X交替地排列凸部86以及绝缘层凹部83而形成。

[0162] 以上,通过半导体装置81,也能够起到与对半导体装置1叙述的效果同样的效果。即,能够将遍及主体区域8的第一方向X的整体的区域作为能够形成沟道CH的沟道形成区域102。半导体装置81能够通过半导体装置1的制造方法中的第一基底导电体层74的蚀刻时(参照图8F),不对第一基底导电体层74进行图案化,而挖下第一基底导电体层74的主面的

大致整个面来制造。

[0163] 《半导体装置91(第二实施方式)的结构说明》

[0164] 图18是表示本公开的第三实施方式的半导体装置91的一部分区域的示意性的截面立体图。以下,对与针对半导体装置1叙述的结构对应的结构标注相同的参照附图标记并省略说明。

[0165] 在前述的半导体装置1中,对在第二主面4的表面部形成有p型的集电极区域5的例子进行了说明。与此相对,在半导体装置91中,在第二主面4的表面部形成有n型的漏极区域92来代替p型的集电极区域5。由此,半导体装置91具有具备沟槽栅型的MISFET(Metal Insulator Semiconductor Field Effect Transistor,金属绝缘体半导体场效应晶体管)的基本形态。前述的半导体装置1的说明将“发射极”替换为“源极”,将“集电极”替换为“漏极”,适用于半导体装置91的说明。

[0166] 以上,通过半导体装置91,也能够起到与对半导体装置1叙述的效果同样的效果。半导体装置91在半导体装置1的制造方法中,形成n型的漏极区域92代替p型的集电极区域5,并且仅通过改变各掩模的布局就能够制造。

[0167] 对本公开的实施方式进行了说明,但本公开也能够以其他方式实施。

[0168] 例如,在前述的各实施方式中,也可以采用将各半导体部分的导电型反转而成的结构。即,可以将p型的一部分设为n型,将n型的一部分设为p型。

[0169] 在前述的各实施方式中,对芯片2由单晶硅构成的例子进行了说明。然而,芯片2可以包括SiC。另外,芯片2也可以由SiC单晶构成。

[0170] 以上,本公开的实施方式在所有方面都是例示,不应被限定性地解释,意图在所有方面都包括改变。

[0171] 能够从本说明书以及附图的记载中提取以下附记的特征。

[0172] [附记1-1]

[0173] 一种半导体装置1、81、91、101,包括:

[0174] 芯片2,其具有形成有栅极沟槽12的第一主面3,该栅极沟槽具有底壁以及侧壁且在第一方向X上延伸;

[0175] 第一导电型的主体区域8,其在所述第一主面3的表面部沿着所述栅极沟槽12的所述侧壁形成;

[0176] 第二导电型的第一杂质区域25,其在所述主体区域8的表面部沿着所述栅极沟槽12的所述侧壁而形成;

[0177] 栅极绝缘层13,其形成于所述栅极沟槽12的所述底壁以及所述侧壁;

[0178] 栅极电极14,其埋入于所述栅极沟槽12,隔着所述栅极绝缘层13而与所述主体区域8以及所述第一杂质区域25对置;

[0179] 接触沟槽31,其包括与所述栅极沟槽12交叉的交叉区域33,沿着与所述第一方向X交叉的第二方向Y从所述交叉区域33向所述栅极沟槽12的外侧引出;以及

[0180] 接触电极51,其埋入于所述接触沟槽31,在所述接触沟槽31的内部与所述主体区域8以及所述第一杂质区域25电连接,

[0181] 在所述栅极沟槽12中的至少所述交叉区域33以及所述交叉区域33的周边部9,在所述栅极电极14上形成有空间区域15,

[0182] 在所述空间区域15埋入有覆盖绝缘层16,该覆盖绝缘层在所述交叉区域33以及所述交叉区域33的周边部9覆盖所述栅极电极14的上表面22,并将所述栅极电极14与所述接触电极51之间绝缘,

[0183] 所述第一杂质区域25形成得比所述交叉区域33的周边部9的所述栅极电极14的上表面22深。

[0184] [附记1-2]

[0185] 根据附记1-1所述的半导体装置1、81、91、101,其中,

[0186] 所述第一杂质区域25具有在所述交叉区域33的周边部9的下方与所述栅极电极14对置的对置部40。

[0187] [附记1-3]

[0188] 根据附记1-1或附记1-2所述的半导体装置1、81、91、101,其中,

[0189] 所述接触电极51在所述接触沟槽31的底壁与所述主体区域8连接,在所述接触沟槽31的侧壁与所述第一杂质区域25连接。

[0190] [附记1-4]

[0191] 根据附记1-1~附记1-3中任一项所述的半导体装置1、81、91、101,其中,

[0192] 所述第一方向X上的所述第一杂质区域25的宽度W1为 $1.0\mu\text{m}$ 以下。

[0193] [附记1-5]

[0194] 根据附记1-4所述的半导体装置1、81、91、101,其中,

[0195] 所述第一杂质区域25的宽度W1为 $0.5\mu\text{m}$ 以上且 $1.0\mu\text{m}$ 以下。

[0196] [附记1-6]

[0197] 根据附记1-1~附记1-5中任一项所述的半导体装置1、81、91、101,其中,

[0198] 所述交叉区域33的周边部9包括距所述交叉区域33为 $0.05\mu\text{m}$ 以上且 $0.5\mu\text{m}$ 以下的范围的区域。

[0199] [附记1-7]

[0200] 根据附记1-1~附记1-6中任一项所述的半导体装置1、91、101,其中,

[0201] 包括多个所述接触沟槽31,该多个所述接触沟槽沿着所述第一方向X隔开间隔地形成,

[0202] 所述栅极电极14具有由栅极电极凹部15形成的电极凹凸结构,该栅极电极凹部沿着所述第一方向X形成于各所述接触沟槽31的所述交叉区域33以及该交叉区域33的周边部9,

[0203] 所述覆盖绝缘层16埋入于所述栅极电极凹部15。

[0204] [附记1-8]

[0205] 根据附记1-7所述的半导体装置1、91、101,其中,

[0206] 所述覆盖绝缘层16独立地埋入于每个所述栅极电极凹部15,

[0207] 在相邻的所述接触沟槽31之间,所述栅极电极14的上表面23的一部分露出。

[0208] [附记1-9]

[0209] 根据附记1-7或附记1-8所述的半导体装置1、91、101,其中,

[0210] 所述栅极电极凹部15跨越所述第一方向X上的所述交叉区域33的一侧的周边部9以及另一侧的周边部9而形成,

[0211] 所述覆盖绝缘层16具有:第一部分47,其配置于所述交叉区域33;以及第二部分48,其相对于所述第一部分47分别配置于所述第一方向X的一侧的周边部9以及另一侧的周边部9。

[0212] [附记1-10]

[0213] 根据附记1-7~附记1-9中任一项所述的半导体装置1、91、101,其中,

[0214] 所述第一方向X上的所述接触沟槽31的宽度W6为0.3 μm 以上且1.0 μm 以下,

[0215] 所述栅极电极凹部15的侧壁在所述第一方向X上的所述接触沟槽31的两侧分别隔开0.05 μm 以上且0.5 μm 以下的间隔而形成。

[0216] [附记1-11]

[0217] 根据附记1-1~附记1-6中任一项所述的半导体装置81,其中,

[0218] 包括多个所述接触沟槽31,该多个所述接触沟槽沿着所述第一方向X隔开间隔地形成,

[0219] 所述栅极电极14具有通过所述上表面82的深度位置在整体上恒定而形成的平坦结构。

[0220] [附记1-12]

[0221] 根据附记1-11中任一项所述的半导体装置81,其中,

[0222] 所述覆盖绝缘层16具有沿着所述第一方向X横穿多个所述接触沟槽31而延伸的一体结构,并且具有由形成于各所述接触沟槽31的所述交叉区域33的绝缘层凹部83形成的绝缘层凹凸结构,

[0223] 所述接触电极51埋入于所述绝缘层凹部83。

[0224] [附记1-13]

[0225] 根据附记1-12所述的半导体装置81,其中,

[0226] 所述覆盖绝缘层16包括:基底部85,其具有沿着所述第一方向X与所述栅极电极14的所述上表面82接触的平坦的下表面84;以及凸部86,其在相邻的所述绝缘层凹部83之间从所述基底部85突出,

[0227] 通过沿着所述第一方向X交替地排列所述凸部86以及所述绝缘层凹部83而形成所述绝缘层凹凸结构。

[0228] [附记1-14]

[0229] 根据附记1-1~1-13中任一项所述的半导体装置1,其中,

[0230] 所述第一杂质区域25包括发射极区域25,

[0231] 所述接触电极51包括发射极接触电极51。

[0232] [附记1-15]

[0233] 根据附记1-1~1-13中任一项所述的半导体装置91,其中,

[0234] 所述第一杂质区域25包括源极区域25,

[0235] 所述接触电极51包括源极接触电极51。

[0236] 符号说明

[0237] 1—半导体装置;2—芯片;3—第一主面;4—第二主面;5—集电极区域;6—电荷蓄积区域;7—漂移区域;8—主体区域;9—周边部;10—沟槽栅极电极结构;11—沟槽发射极电极结构;12—栅极沟槽;13—栅极绝缘层;14—栅极电极层;15—栅极电极凹部;16—栅极

覆盖绝缘层;17—发射极沟槽;18—发射极绝缘层;19—发射极电极层;20—发射极电极凹部;21—发射极覆盖绝缘层;22—底壁;23—上表面;24—发射极区域;25—发射极区域;31—接触沟槽;32—引出部;33—第一交叉区域;34—第二交叉区域;35—接触区域;36—接触区域;40—对置部;41—层间绝缘层;42—接触孔;43—发射极主面电极层;47—第一部分;48—第二部分;49—主体区域凸部;50—底部;51—发射极接触电极层;61—集电极电极层;71—掩模;72—开口;73—基底绝缘层;74—第一基底导电体层;75—掩模;76—开口;77—基底绝缘层;78—掩模;79—开口;81—半导体装置;82—上表面;83—绝缘层凹部;84—下表面;85—基底部;86—凸部;91—半导体装置;92—漏极区域;101—半导体装置;102—沟道形成区域;201—半导体装置;202—沟道形成区域;CH—沟道;D1—深度;D2—深度;P0—沟槽间距;W1—宽度;W2—宽度;W3—宽度;W4—宽度;W5—宽度;W6—宽度;X—第一方向;Y—第二方向;Z—法线方向; θ —角度。

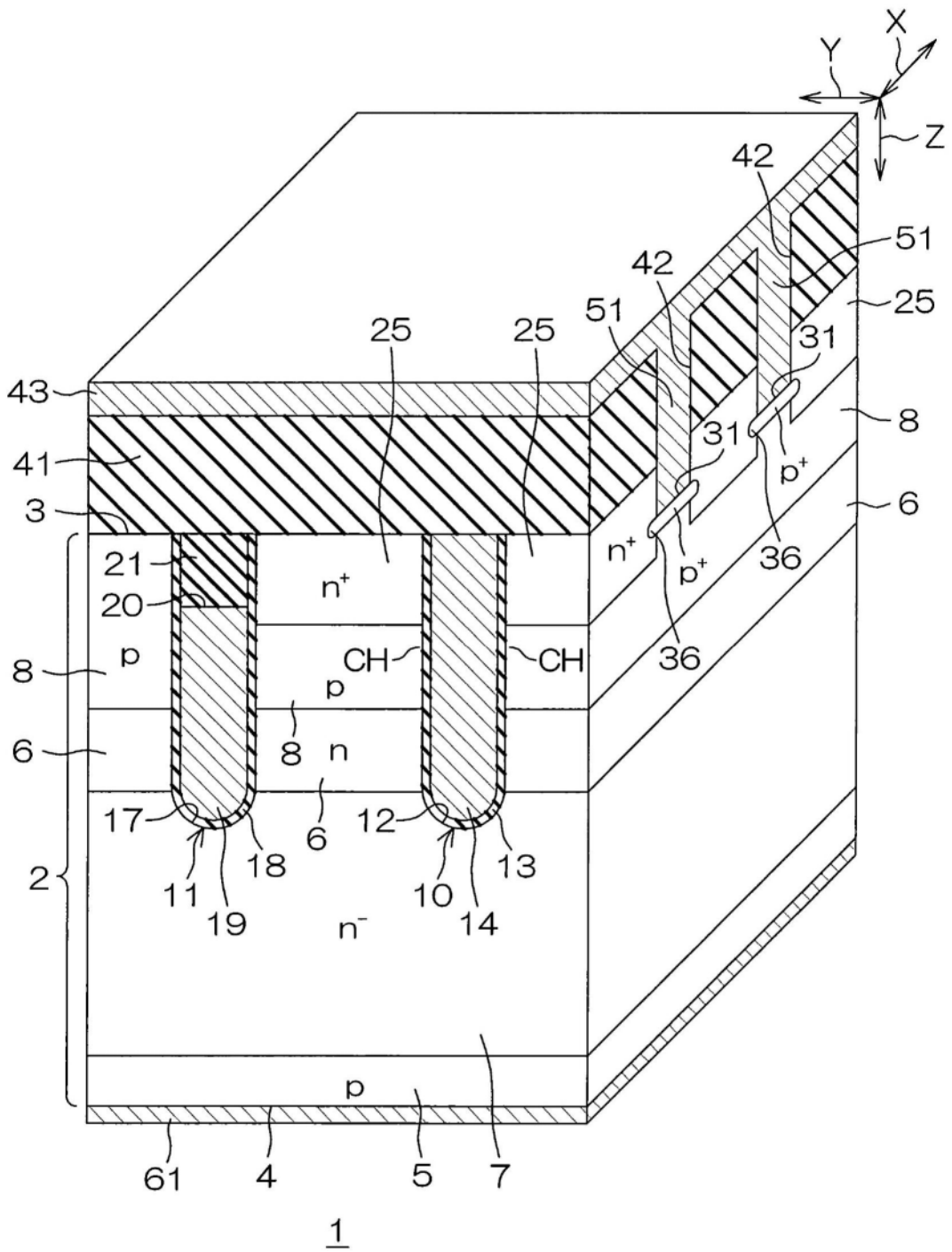


图1

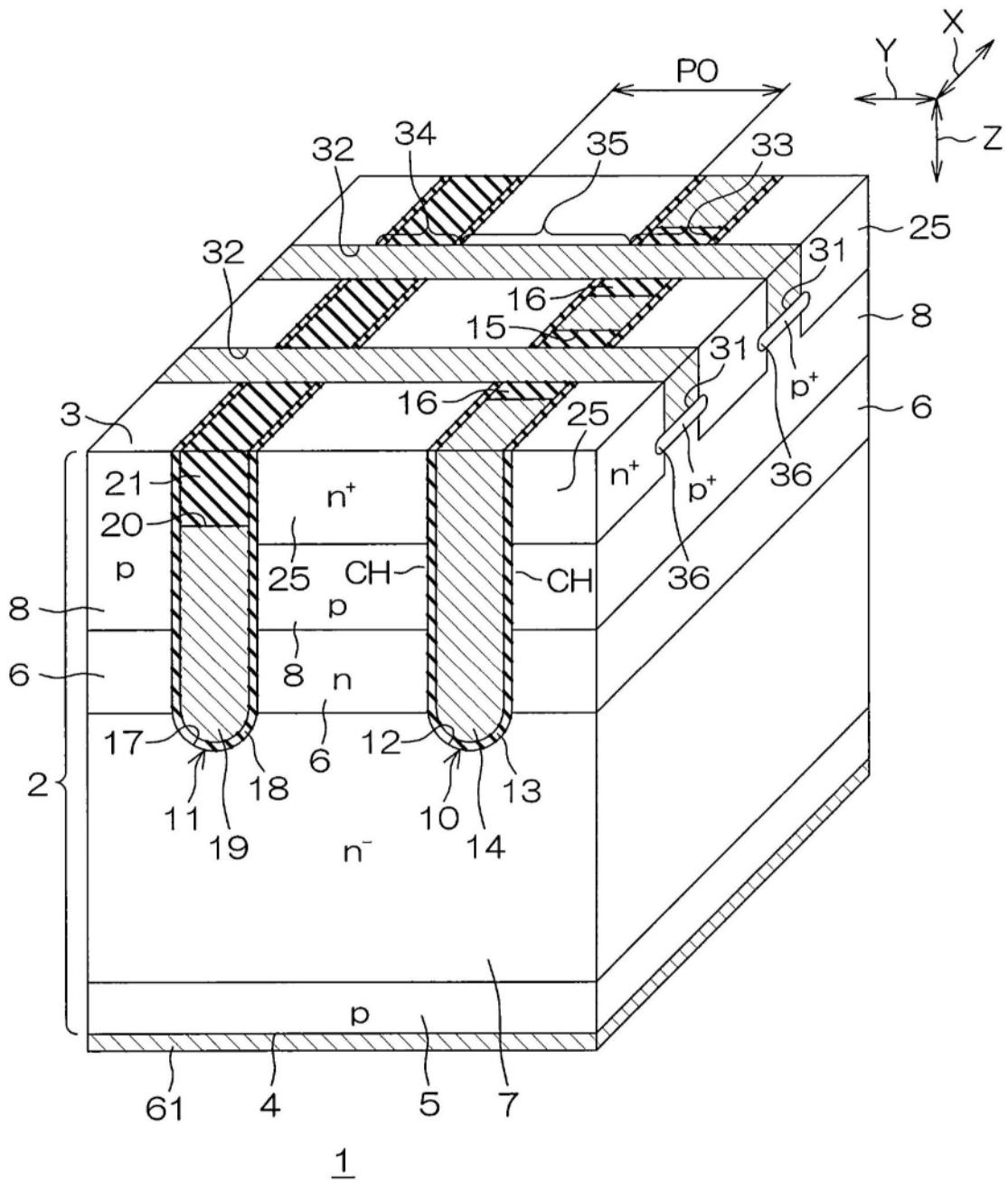
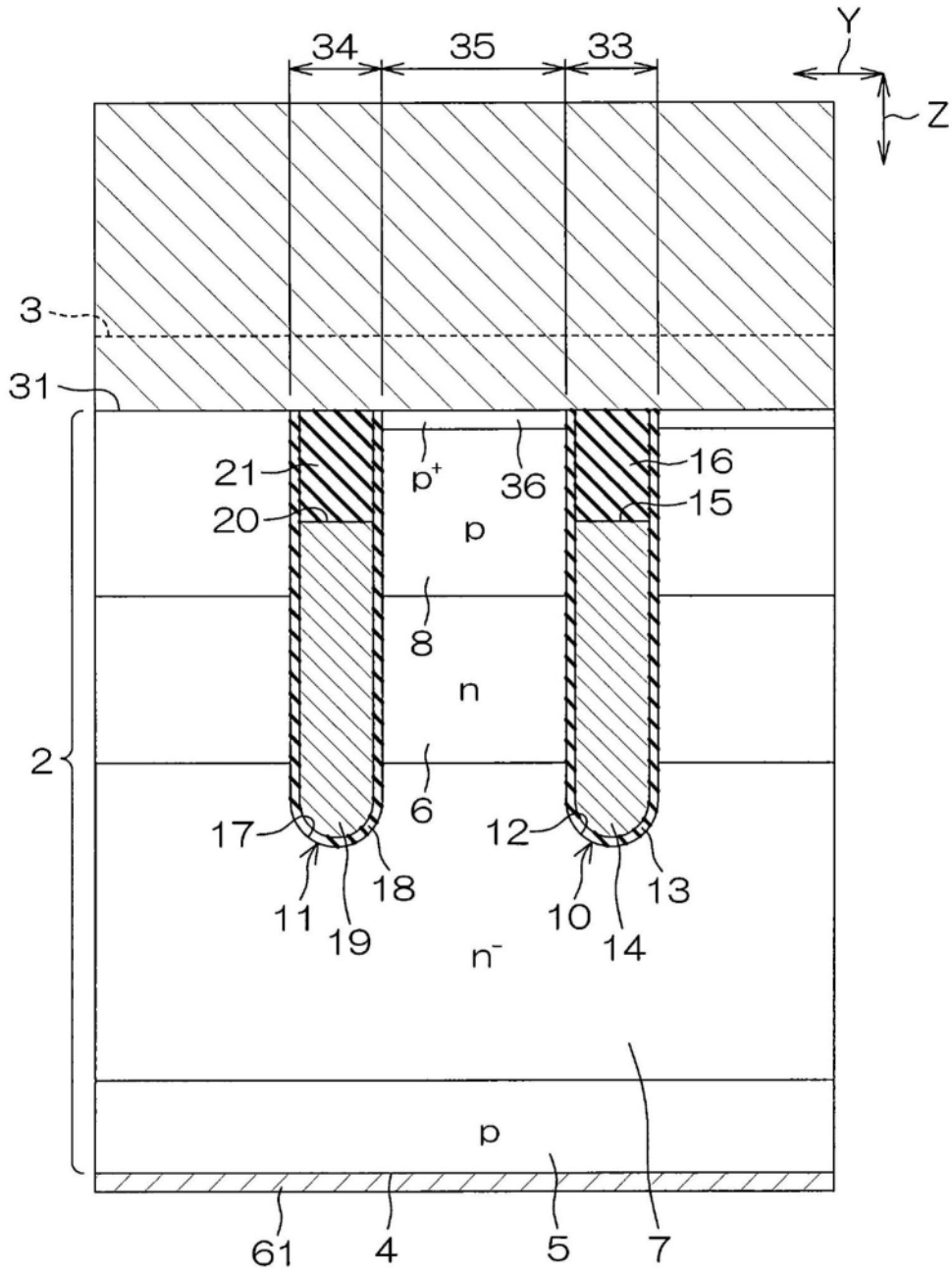


图2



1

图5

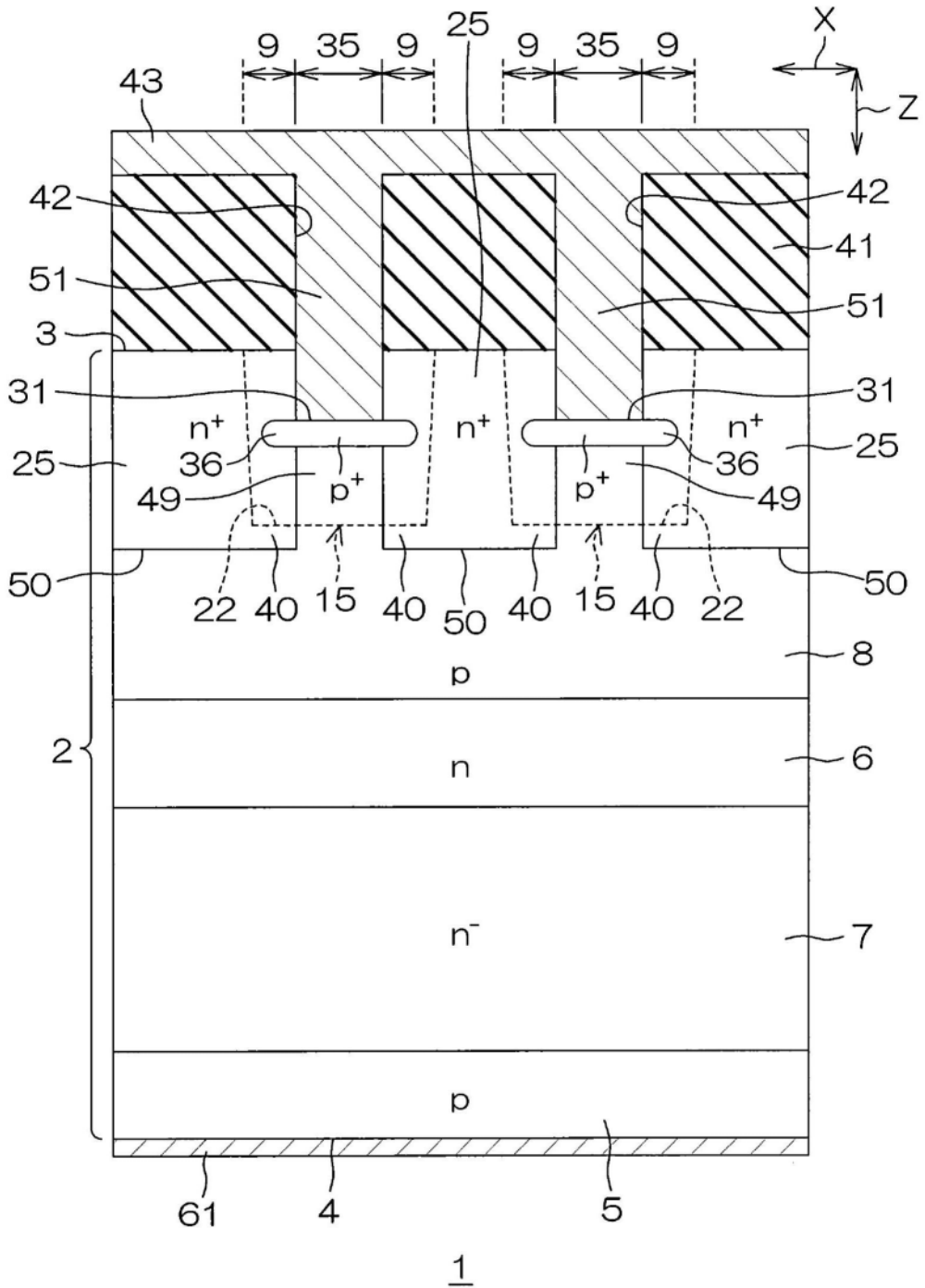


图7

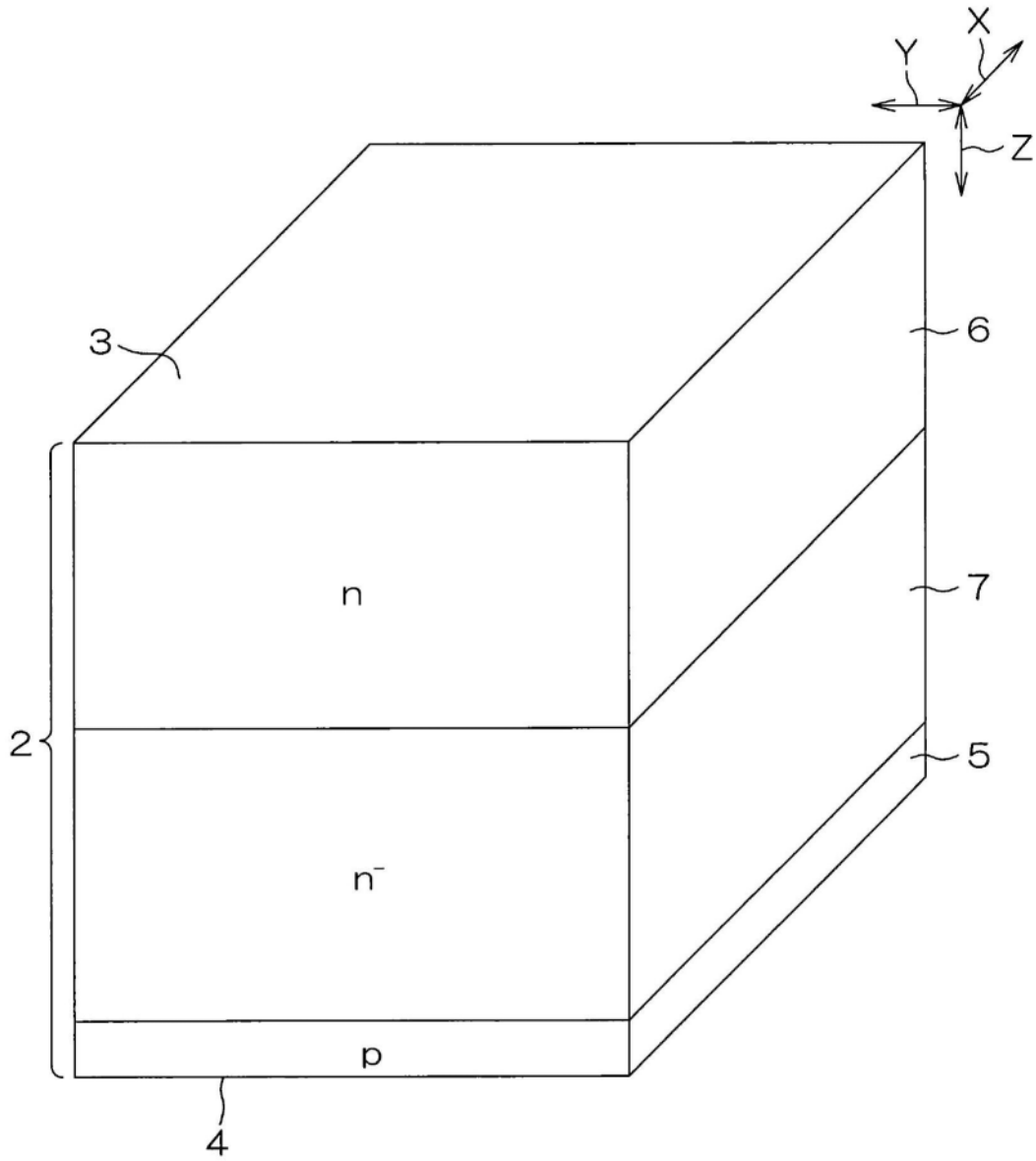


图8A

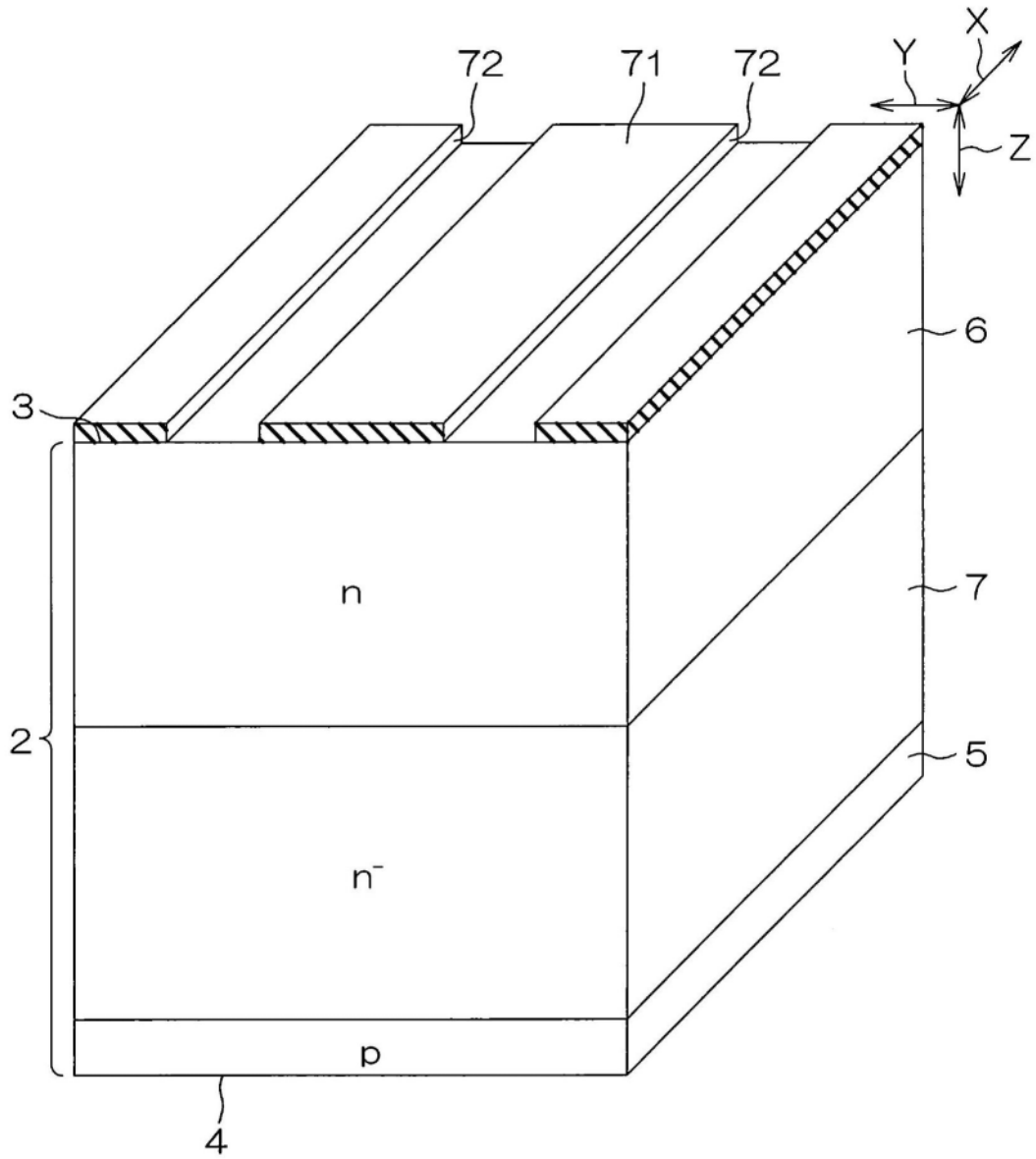


图8B

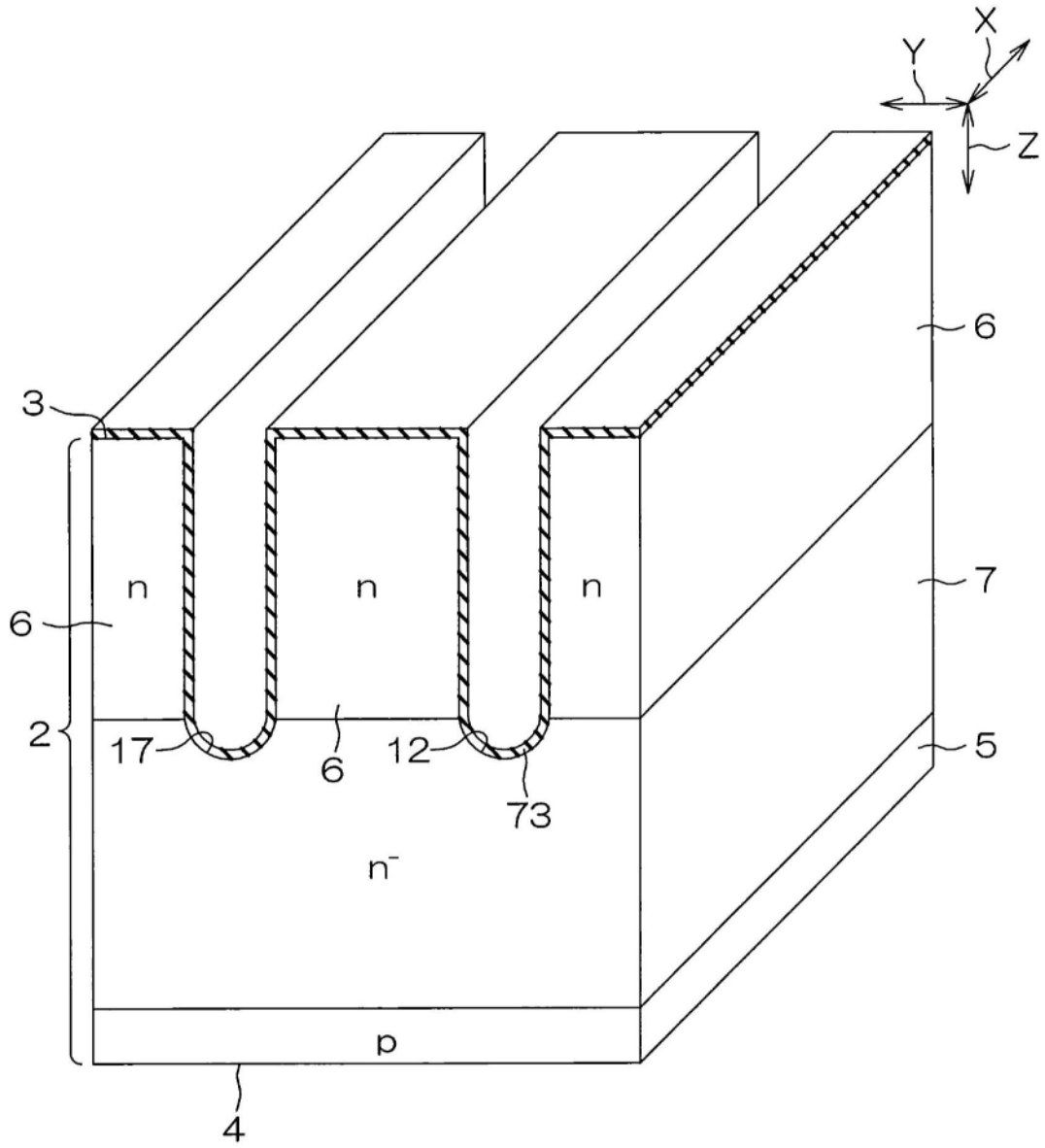


图8D

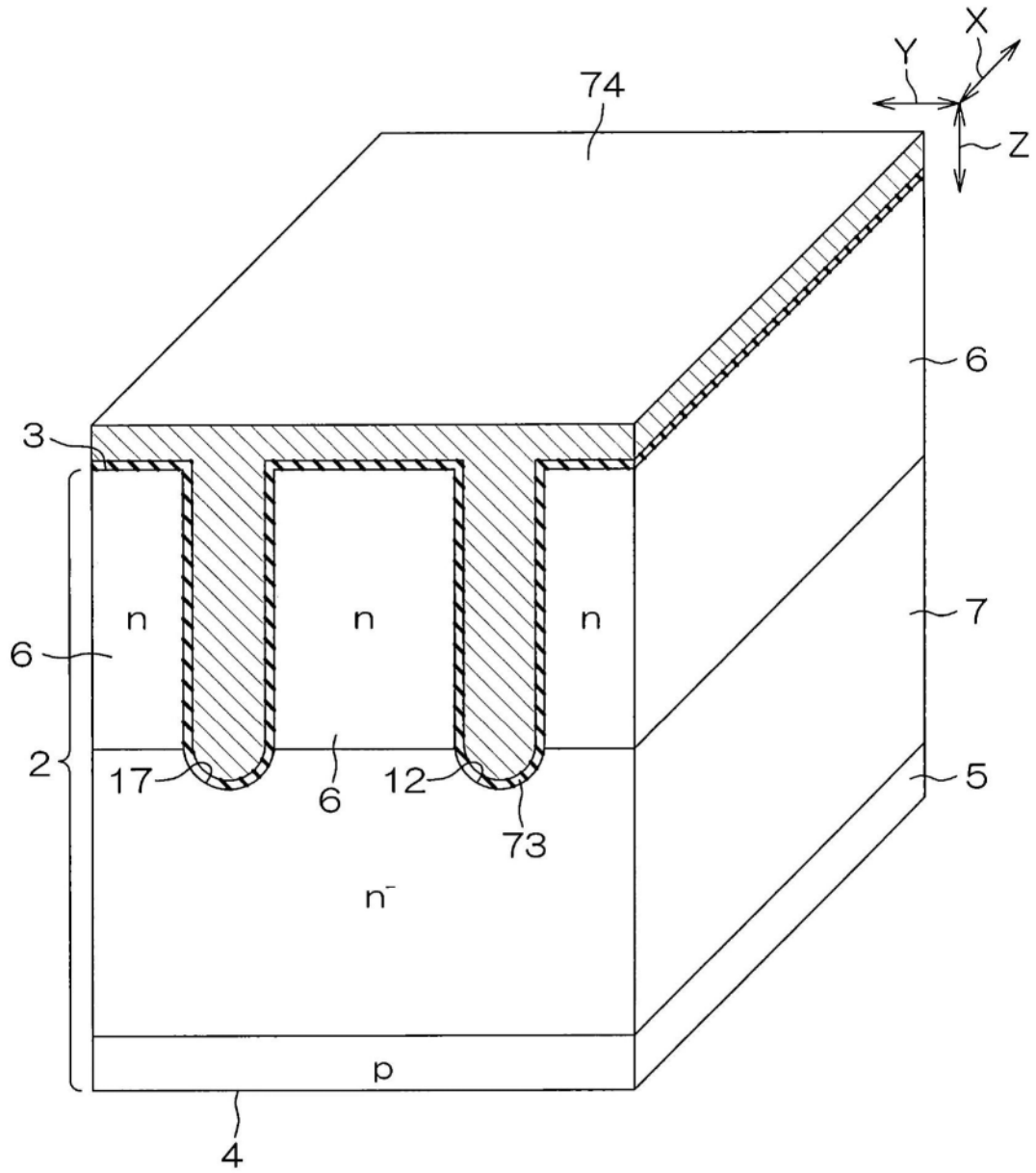


图8E

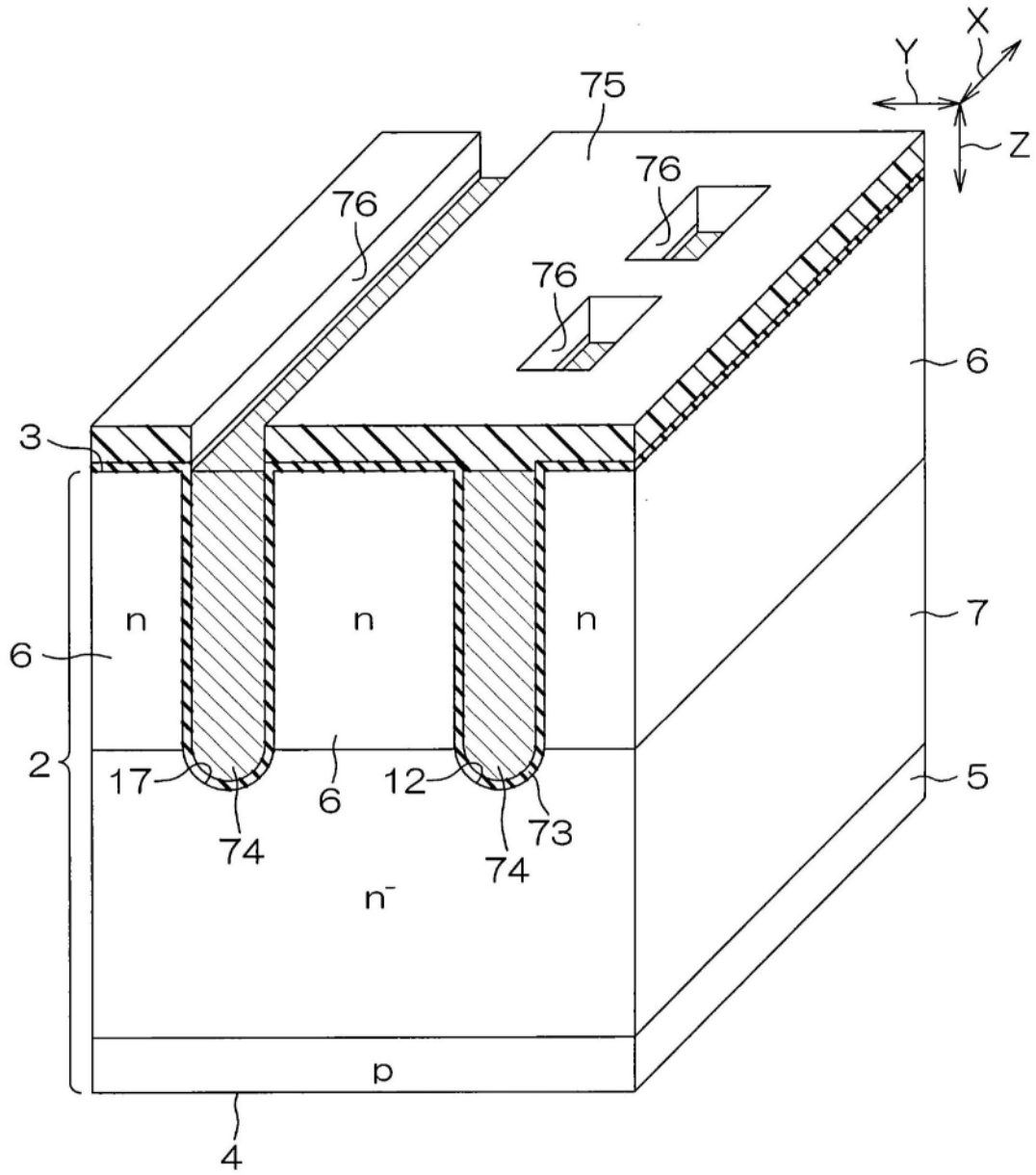


图8F

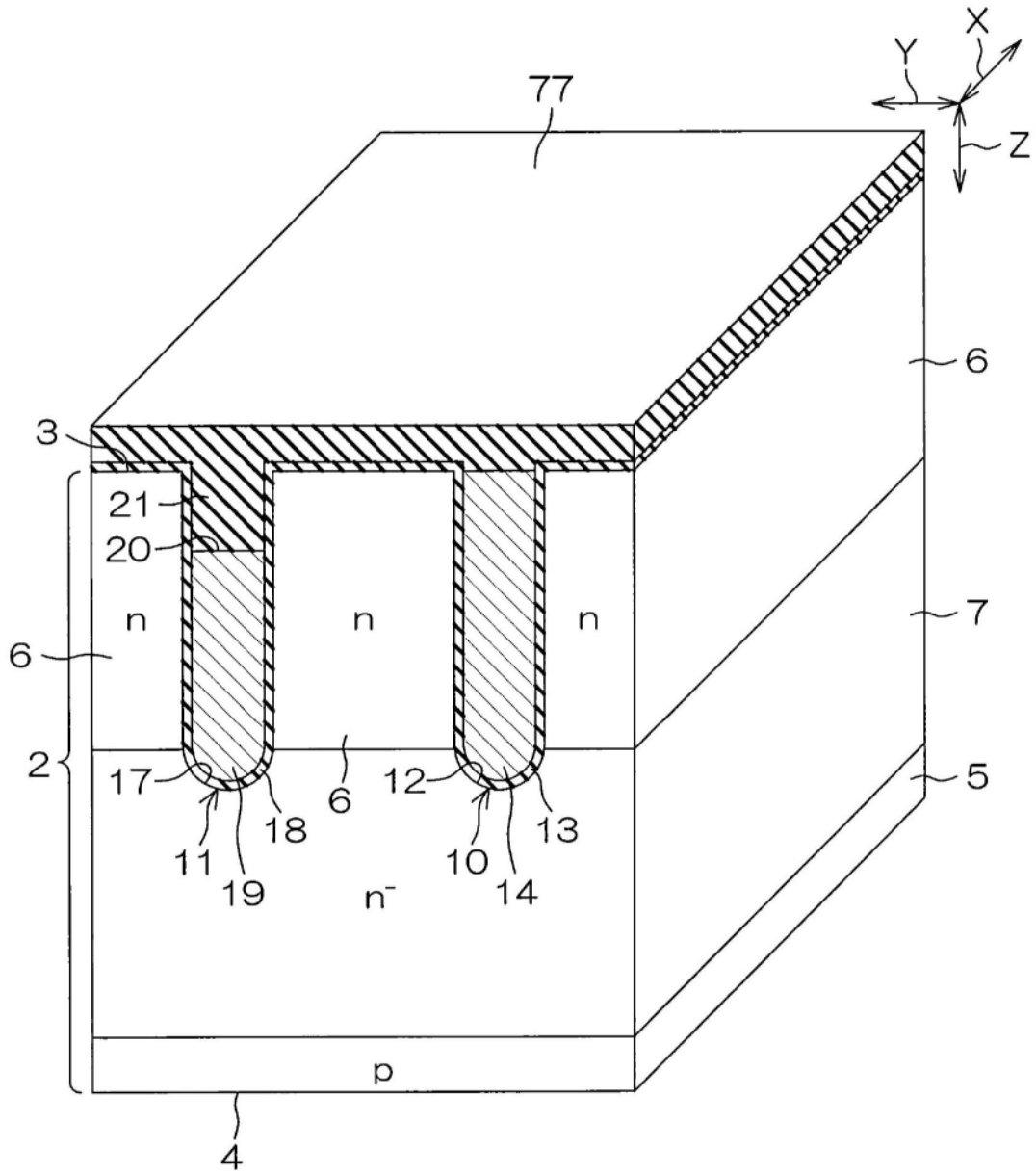


图8H

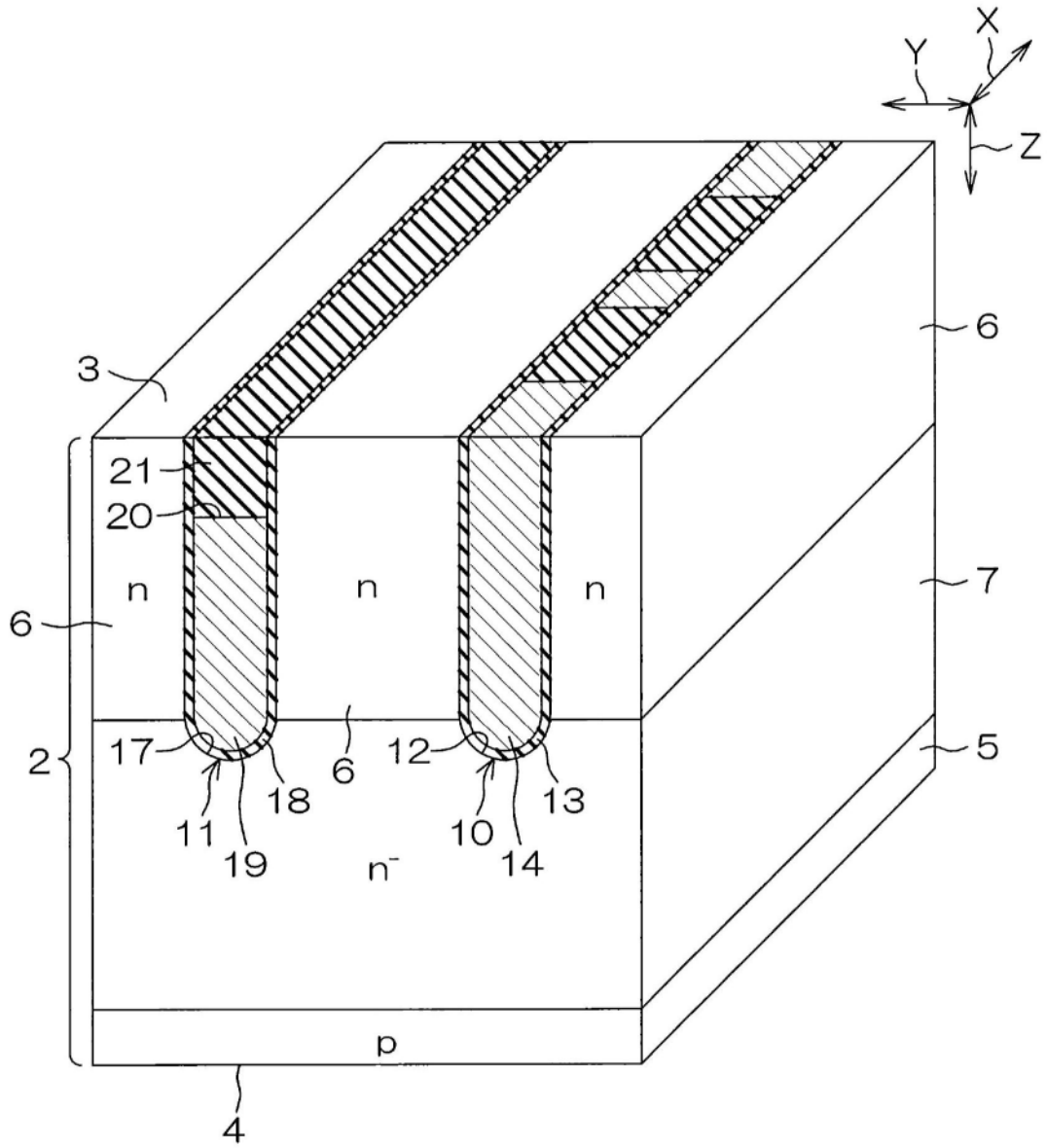


图8I

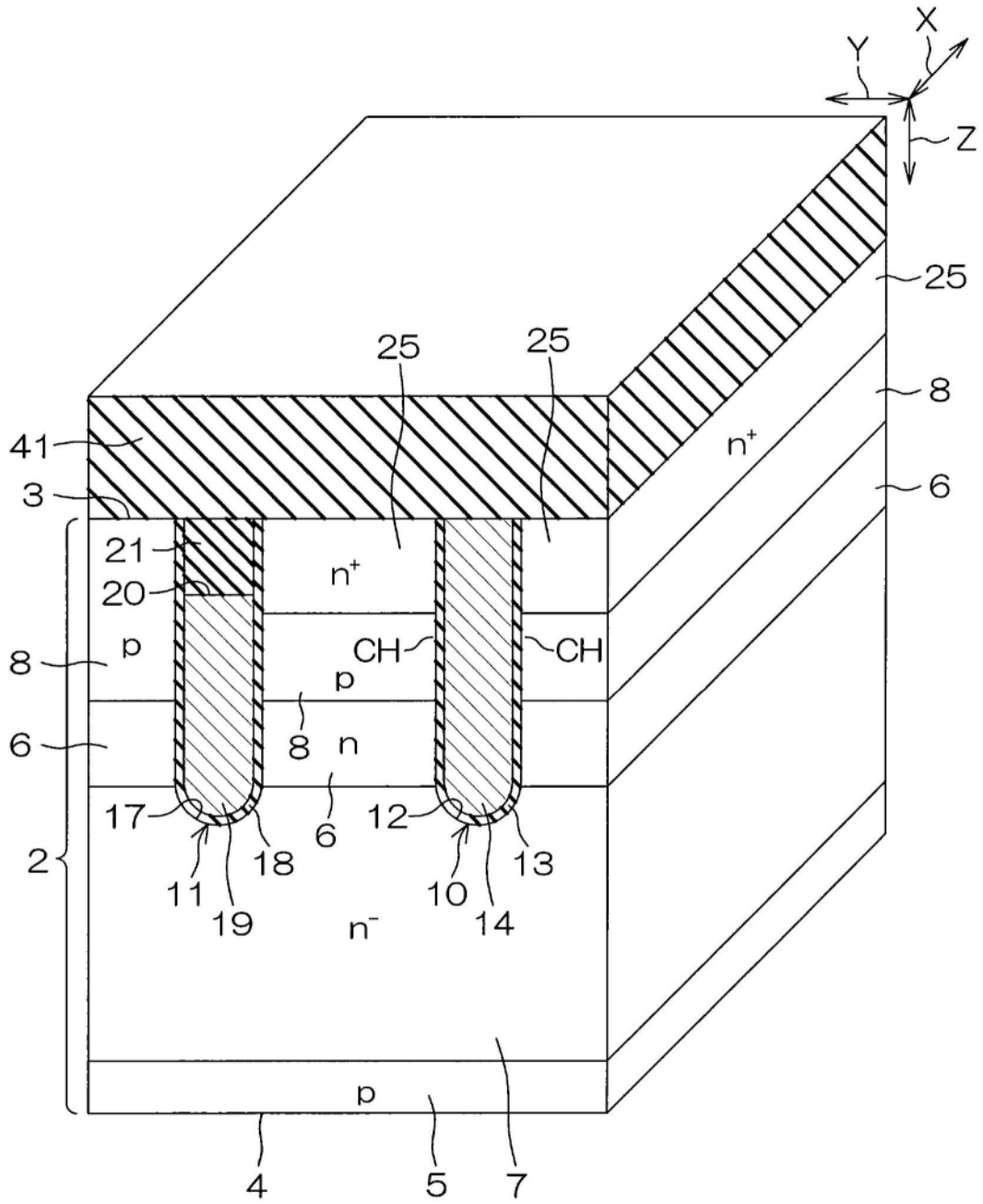


图8K

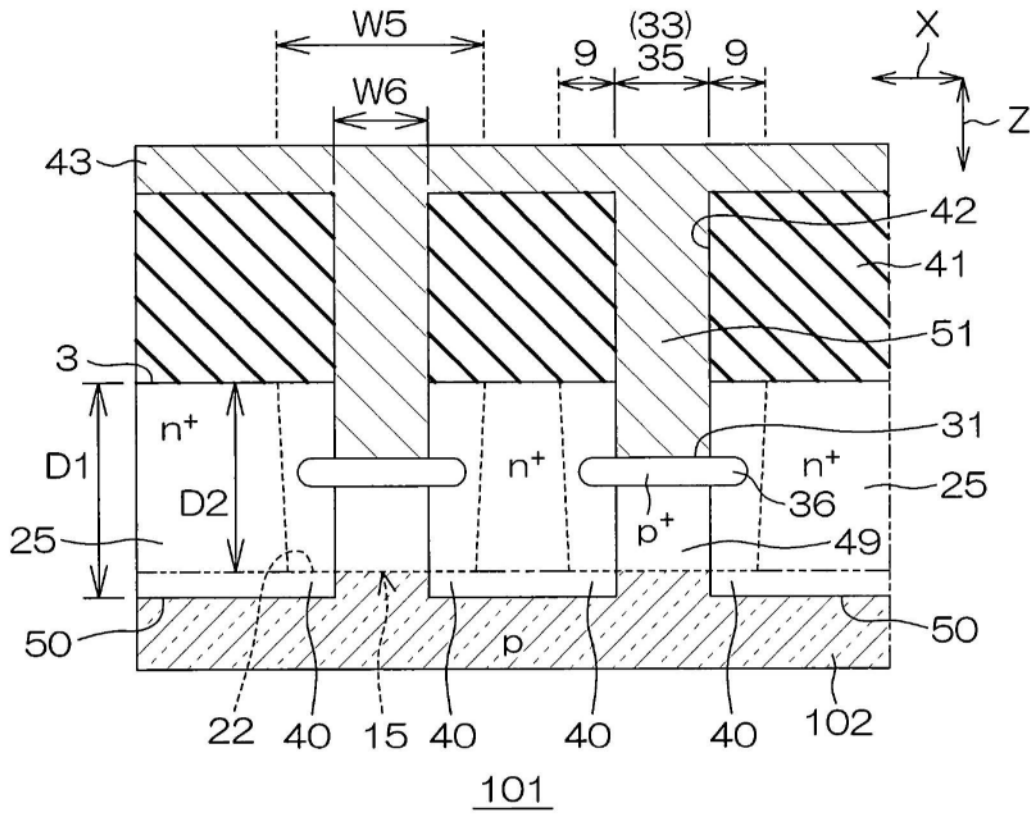


图9A

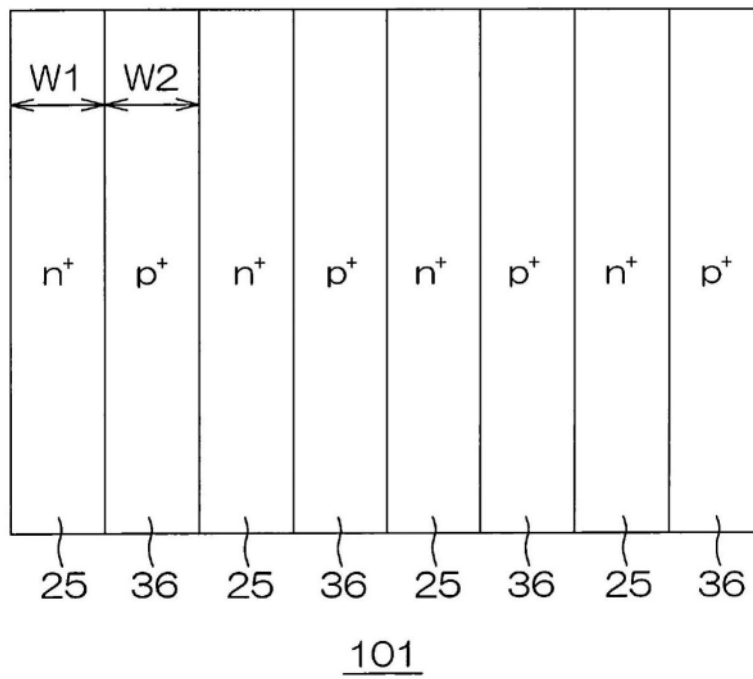


图9B

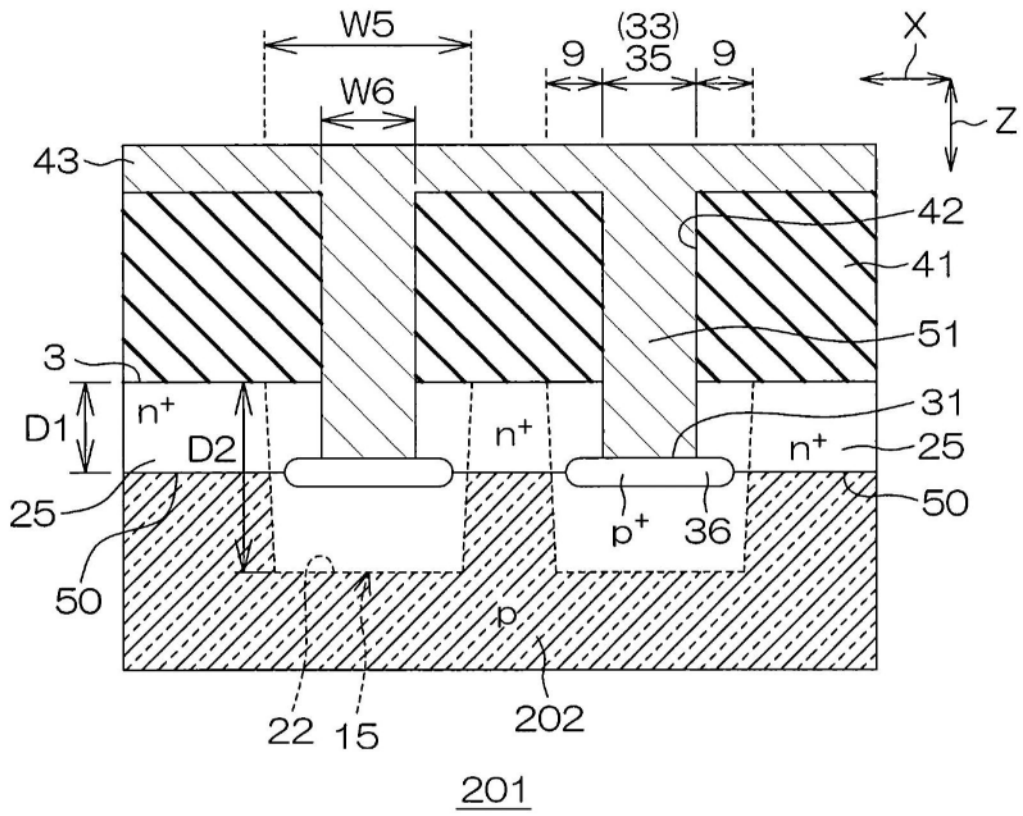


图10A

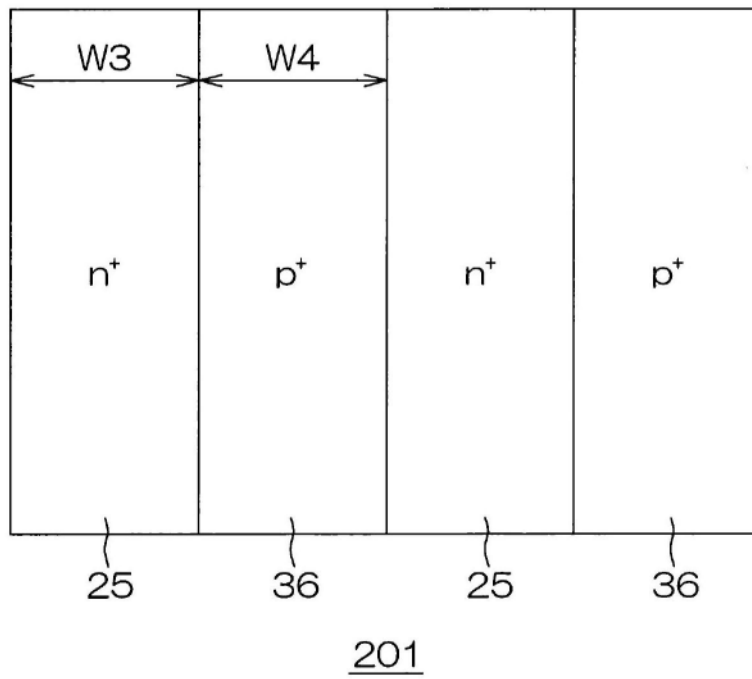


图10B

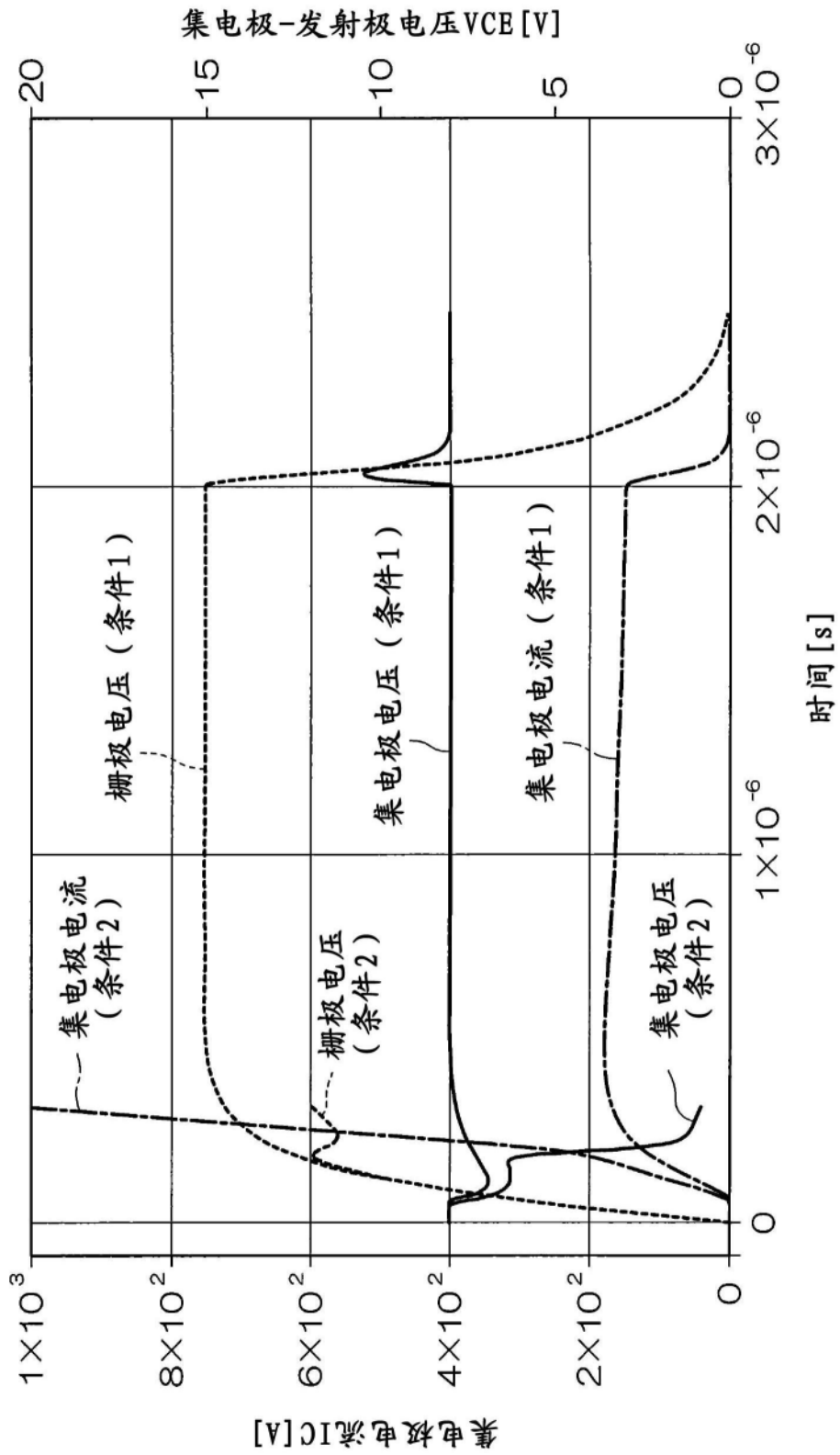


图11

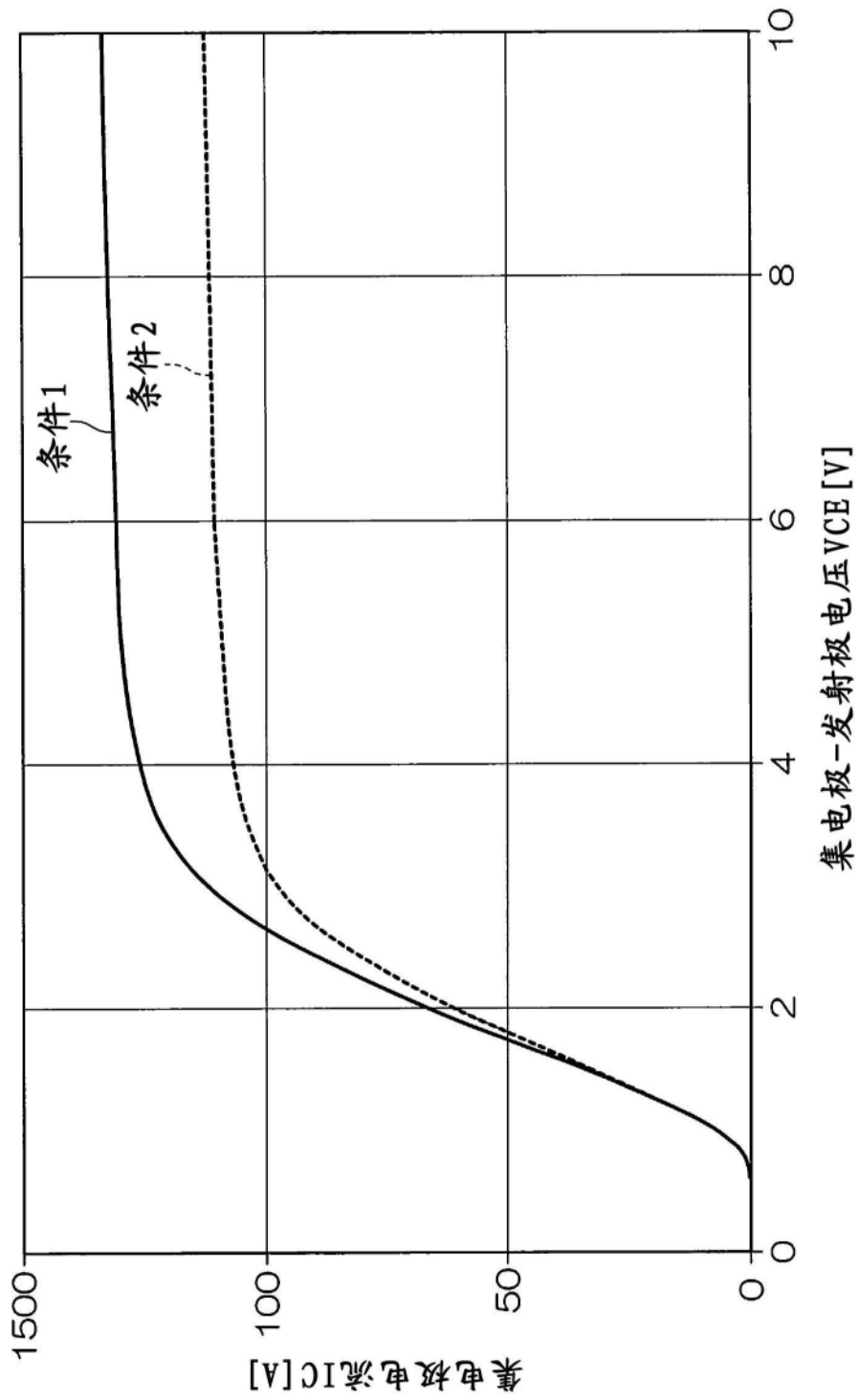


图12

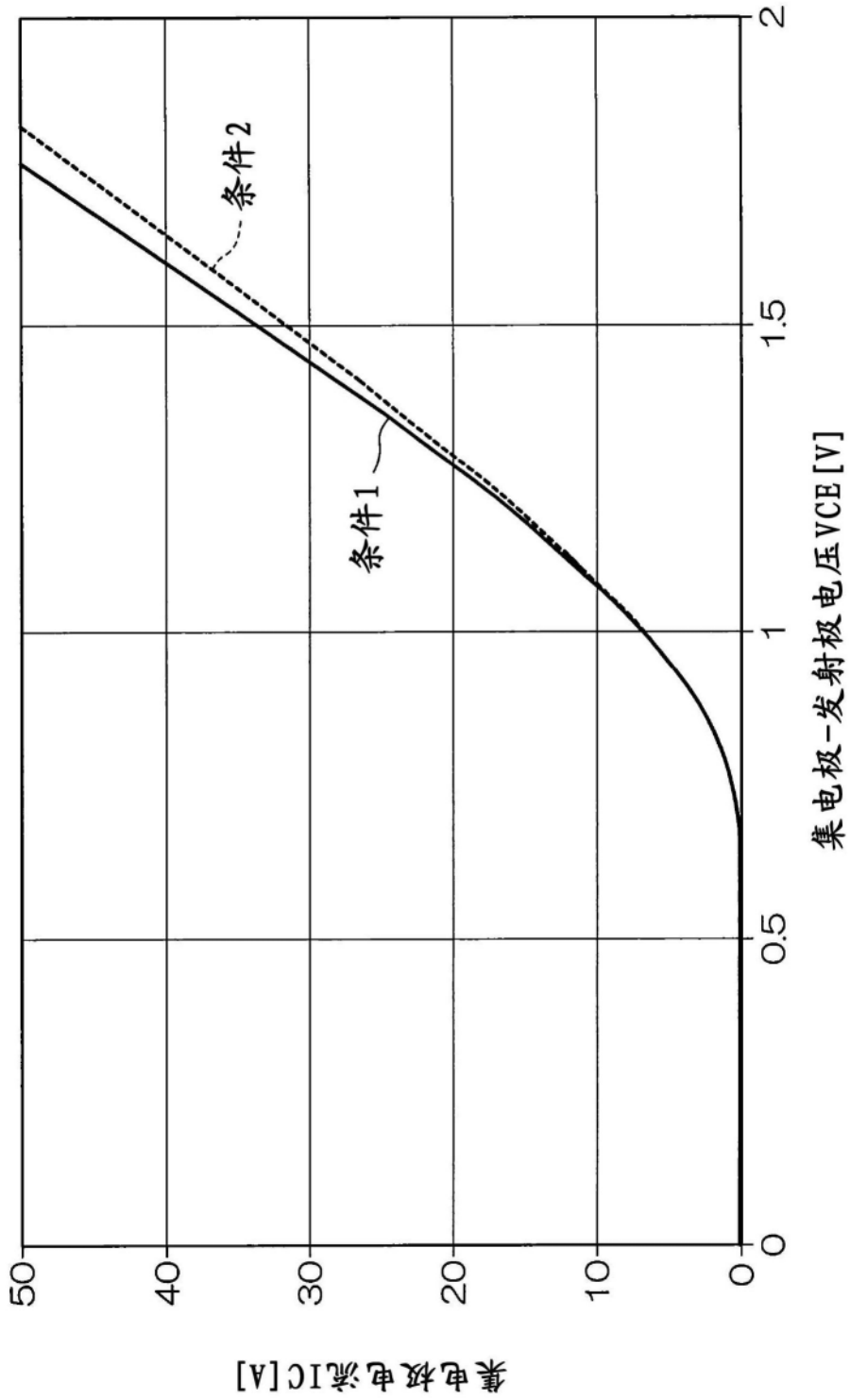


图13

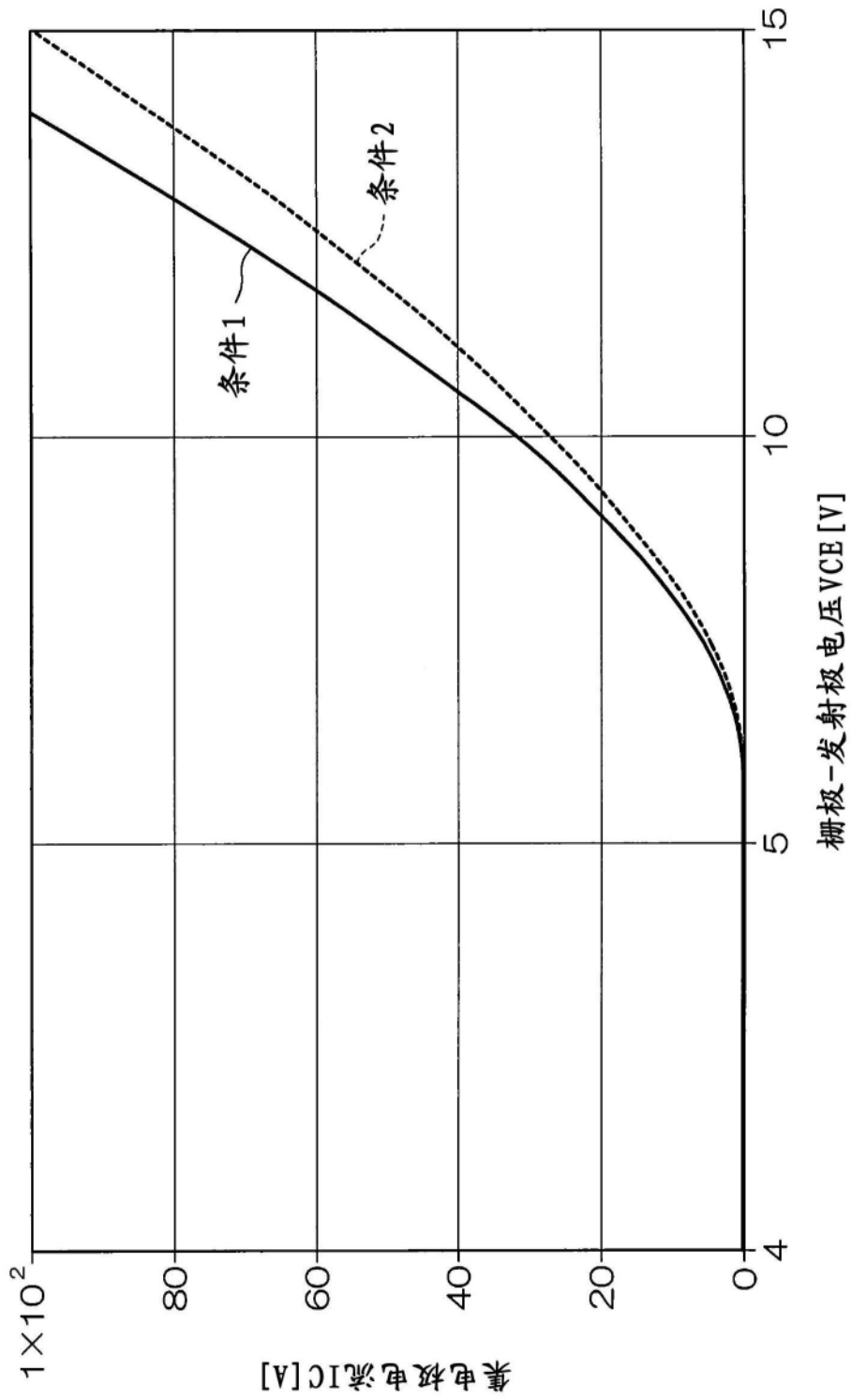


图14

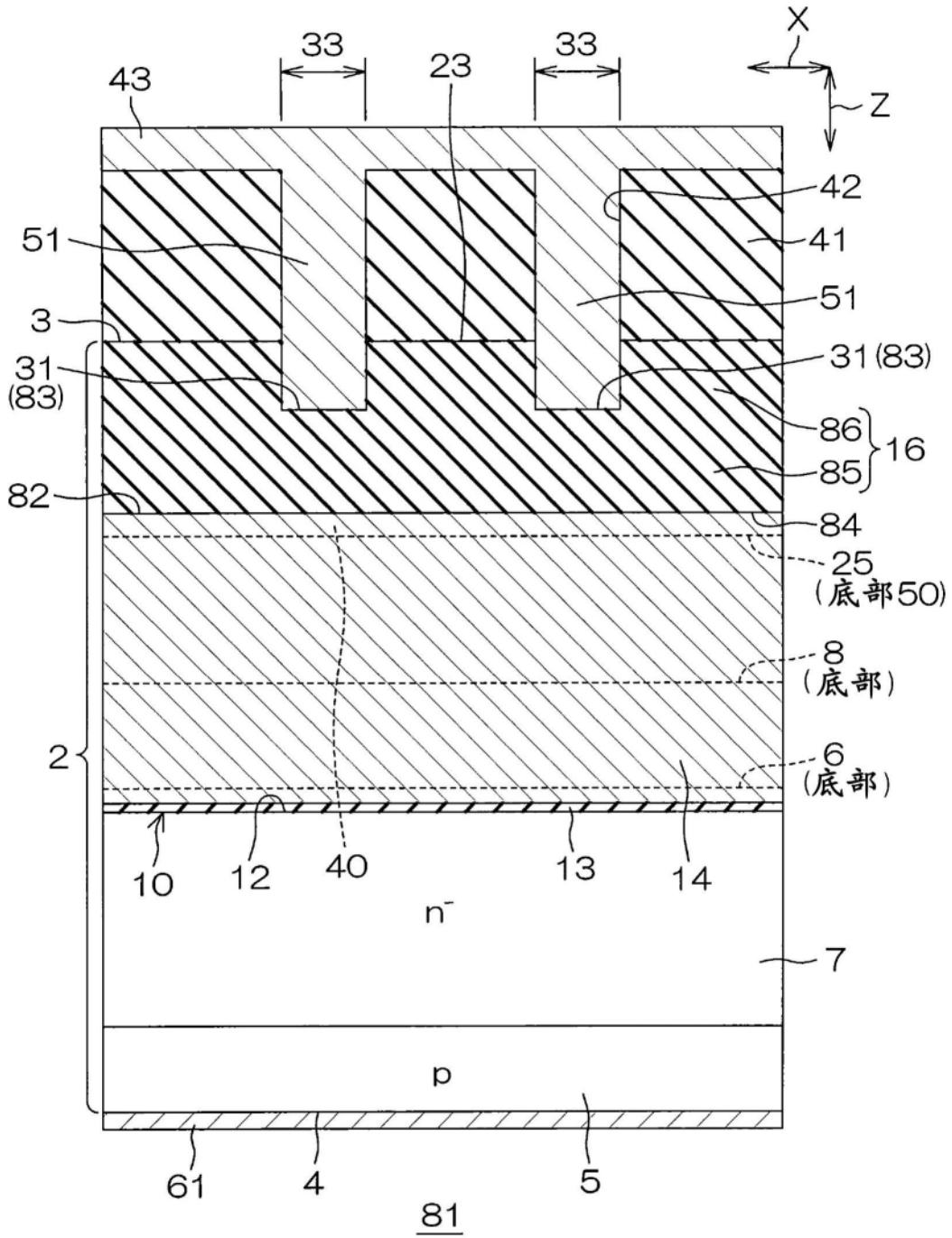


图16

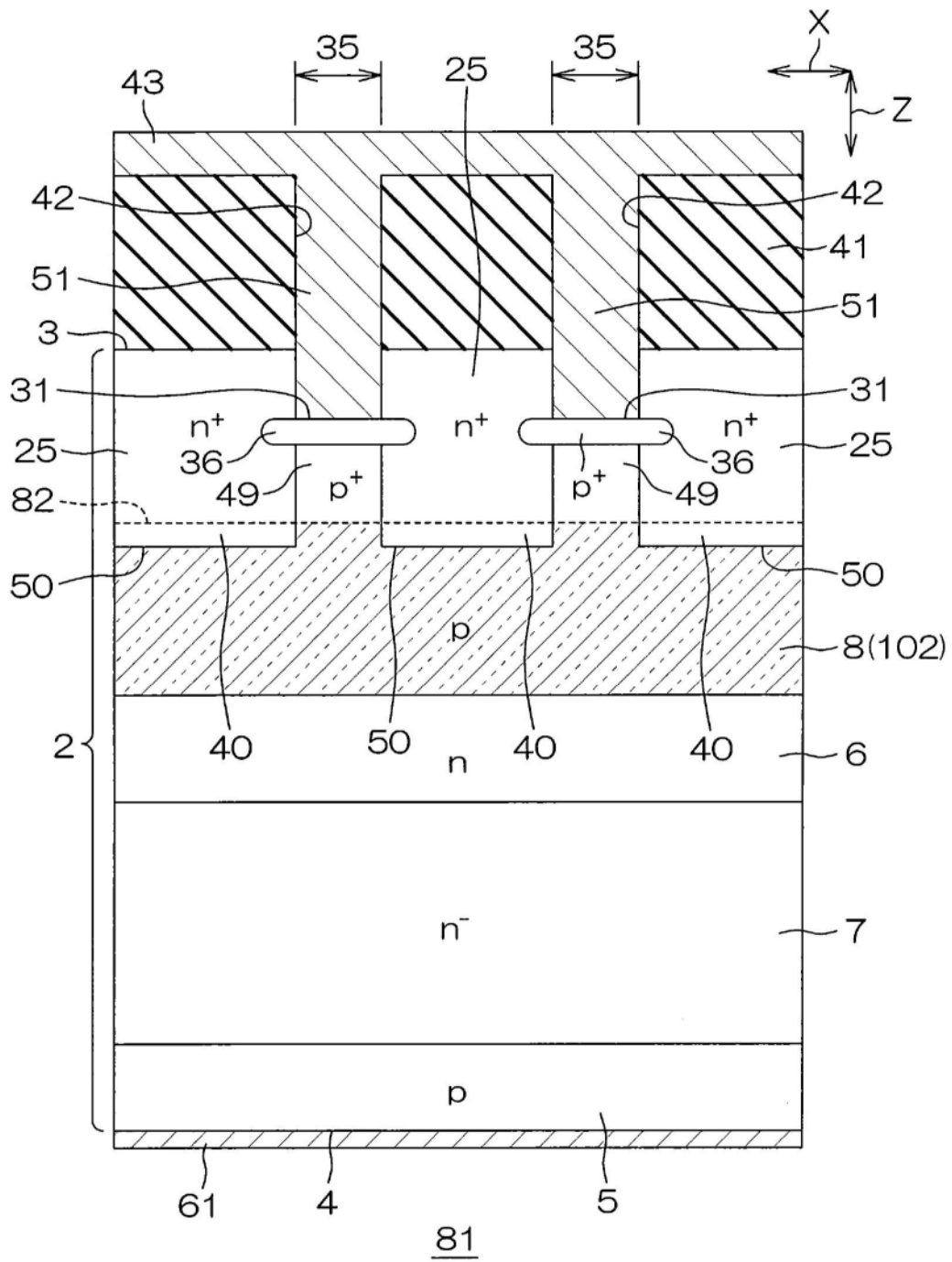


图17

