

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4339828号
(P4339828)

(45) 発行日 平成21年10月7日(2009.10.7)

(24) 登録日 平成21年7月10日(2009.7.10)

(51) Int.Cl.

F 1

H03K	3/356	(2006.01)	H03K	3/356	B
G09G	3/20	(2006.01)	G09G	3/20	623H
G09G	3/36	(2006.01)	G09G	3/36	
G11C	19/00	(2006.01)	G09G	3/20	621J
G11C	19/28	(2006.01)	G09G	3/20	670E

請求項の数 22 (全 33 頁) 最終頁に続く

(21) 出願番号

特願2005-221583 (P2005-221583)

(22) 出願日

平成17年7月29日 (2005.7.29)

(62) 分割の表示

特願2002-152745 (P2002-152745)

の分割

原出願日 平成14年5月27日 (2002.5.27)

(65) 公開番号

特開2006-54870 (P2006-54870A)

(43) 公開日

平成18年2月23日 (2006.2.23)

審査請求日 平成17年8月24日 (2005.8.24)

(31) 優先権主張番号

特願2001-160140 (P2001-160140)

(32) 優先日

平成13年5月29日 (2001.5.29)

(33) 優先権主張国

日本国 (JP)

前置審査

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(74) 代理人 100110858

弁理士 柳瀬 瞳肇

(72) 発明者 長尾 祥

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 浅見 宗広

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 棚田 好文

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファと、前記バッファの出力が入力されるシフトレジスタとを有し、

前記レベルシフタ回路を構成するトランジスタ、前記バッファを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記バッファは、第1のインバータ回路と第2のインバータ回路とを有し、

前記第1のインバータ回路には、前記レベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記レベルシフタ回路の出力及び前記第1のインバータ回路の出力が入力され、

前記レベルシフタ回路は、第1のトランジスタ乃至第4のトランジスタを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接

10

20

続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項2】

スタートパルス用レベルシフタと、クロックパルス用レベルシフタと、前記スタートパルス用レベルシフタの出力及び前記クロックパルス用レベルシフタの出力が入力されるシフトレジスタとを有し、

前記スタートパルス用レベルシフタ及び前記クロックパルス用レベルシフタの各々は、レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファとを有し、

前記スタートパルス用レベルシフタを構成するトランジスタ、前記クロックパルス用レベルシフタを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記スタートパルス用レベルシフタが有する前記バッファは、第1のインバータ回路と第2のインバータ回路とを有し、

前記第1のインバータ回路には、前記スタートパルス用レベルシフタが有する前記レベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記スタートパルス用レベルシフタが有する前記レベルシフタ回路の出力及び前記第1のインバータ回路の出力が入力され、

前記レベルシフタ回路は、第1のトランジスタ乃至第4のトランジスタを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項3】

レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファと、前記バッファの出力が入力されるシフトレジスタとを有し、

前記レベルシフタ回路を構成するトランジスタ、前記バッファを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記レベルシフタ回路は、第1のレベルシフタ回路と、第2のレベルシフタ回路とを有し、

前記バッファは、第1のインバータ回路と、第2のインバータ回路とを有し、

前記第1のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレ

10

20

30

40

50

ペルシフタ回路の出力が入力され、

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、10

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、、

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項4】

20

レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファと、前記バッファの出力が入力されるシフトレジスタとを有し、

前記レベルシフタ回路を構成するトランジスタ、前記バッファを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記レベルシフタ回路は、第1のレベルシフタ回路と、第2のレベルシフタ回路とを有し、

前記バッファは、第1のインバータ回路乃至第4のインバータ回路を有し、

前記第1のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、30

前記第2のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第3のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第4のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、40

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは50

、前記第3の配線と電気的に接続され、

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項5】

レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファと、前記バッファの出力が入力されるシフトレジスタとを有し、

前記レベルシフタ回路を構成するトランジスタ、前記バッファを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記レベルシフタ回路は、第1のレベルシフタ回路と、第2のレベルシフタ回路とを有し、

10

前記バッファは、第1のインバータ回路乃至第6のインバータ回路を有し、

前記第1のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第3のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第4のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第5のインバータ回路には、前記第3のインバータ回路の出力及び前記第4のインバータ回路の出力が入力され、

20

前記第6のインバータ回路には、前記第3のインバータ回路の出力及び前記第4のインバータ回路の出力が入力され、

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

30

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

40

【請求項6】

スタートパルス用レベルシフタと、クロックパルス用レベルシフタと、前記スタートパルス用レベルシフタの出力及び前記クロックパルス用レベルシフタの出力が入力されるシフトレジスタとを有し、

前記スタートパルス用レベルシフタ及び前記クロックパルス用レベルシフタの各々は、レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファとを有し、

前記スタートパルス用レベルシフタを構成するトランジスタ、前記クロックパルス用レベルシフタを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

50

前記クロックパルス用レベルシフタが有する前記レベルシフタ回路は、第1のレベルシフタ回路と、第2のレベルシフタ回路とを有し、

前記クロックパルス用レベルシフタが有する前記バッファは、第1のインバータ回路と、第2のインバータ回路とを有し、

前記第1のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項7】

スタートパルス用レベルシフタと、クロックパルス用レベルシフタと、前記スタートパルス用レベルシフタの出力及び前記クロックパルス用レベルシフタの出力が入力されるシフトレジスタとを有し、

前記スタートパルス用レベルシフタ及び前記クロックパルス用レベルシフタの各々は、レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファとを有し、

前記スタートパルス用レベルシフタを構成するトランジスタ、前記クロックパルス用レベルシフタを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記クロックパルス用レベルシフタが有する前記レベルシフタ回路は、第1のレベルシフタ回路と、第2のレベルシフタ回路とを有し、

前記クロックパルス用レベルシフタが有する前記バッファは、第1のインバータ回路乃至第4のインバータ回路を有し、

前記第1のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第3のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第4のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲ

10

20

30

40

50

ートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項8】

スタートパルス用レベルシフタと、クロックパルス用レベルシフタと、前記スタートパルス用レベルシフタの出力及び前記クロックパルス用レベルシフタの出力が入力されるシフトレジスタとを有し、

前記スタートパルス用レベルシフタ及び前記クロックパルス用レベルシフタの各々は、レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファとを有し、

前記スタートパルス用レベルシフタを構成するトランジスタ、前記クロックパルス用レベルシフタを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記クロックパルス用レベルシフタが有する前記レベルシフタ回路は、第1のレベルシフタ回路と、第2のレベルシフタ回路とを有し、

前記クロックパルス用レベルシフタが有する前記バッファは、第1のインバータ回路乃至第6のインバータ回路を有し、

前記第1のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第3のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第4のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第5のインバータ回路には、前記第3のインバータ回路の出力及び前記第4のインバータ回路の出力が入力され、

前記第6のインバータ回路には、前記第3のインバータ回路の出力及び前記第4のインバータ回路の出力が入力され、

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

10

20

30

40

50

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項9】

レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファと、前記バッファの出力が入力されるシフトレジスタとを有し、

前記レベルシフタ回路を構成するトランジスタ、前記バッファを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記バッファは、第1のインバータ回路と第2のインバータ回路とを有し、

前記第1のインバータ回路には、前記レベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記レベルシフタ回路の出力及び前記第1のインバータ回路の出力が入力され、

前記レベルシフタ回路は、第1のトランジスタ乃至第4のトランジスタと、容量とを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、前記第3のトランジスタのソース及びドレインの他方は、前記容量を介して前記第3のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項10】

スタートパルス用レベルシフタと、クロックパルス用レベルシフタと、前記スタートパルス用レベルシフタの出力及び前記クロックパルス用レベルシフタの出力が入力されるシフトレジスタとを有し、

前記スタートパルス用レベルシフタ及び前記クロックパルス用レベルシフタの各々は、レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファとを有し、

前記スタートパルス用レベルシフタを構成するトランジスタ、前記クロックパルス用レベルシフタを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記スタートパルス用レベルシフタが有する前記バッファは、第1のインバータ回路と第2のインバータ回路とを有し、

前記第1のインバータ回路には、前記スタートパルス用レベルシフタが有する前記レベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記スタートパルス用レベルシフタが有する前記レベ

10

20

30

40

50

ルシフタ回路の出力及び前記第1のインバータ回路の出力が入力され、

前記レベルシフタ回路は、第1のトランジスタ乃至第4のトランジスタと、容量とを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、10

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、前記第3のトランジスタのソース及びドレインの他方は、前記容量を介して前記第3のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、15

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。20

【請求項11】

レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファと、前記バッファの出力が入力されるシフトレジスタとを有し、

前記レベルシフタ回路を構成するトランジスタ、前記バッファを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記レベルシフタ回路は、第1のレベルシフタ回路と、第2のレベルシフタ回路とを有し、25

前記バッファは、第1のインバータ回路と、第2のインバータ回路とを有し、

前記第1のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、30

前記第2のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタと、容量とを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、35

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、40

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、前記第3のトランジスタのソース及びドレインの他方は、前記容量を介して前記第3のトランジスタのゲートと電気的に接続され、45

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、50

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチ

ゲート型であることを特徴とする半導体装置。

【請求項 1 2】

レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファと、前記バッファの出力が入力されるシフトレジスタとを有し、

前記レベルシフタ回路を構成するトランジスタ、前記バッファを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記レベルシフタ回路は、第 1 のレベルシフタ回路と、第 2 のレベルシフタ回路とを有し、

前記バッファは、第 1 のインバータ回路乃至第 4 のインバータ回路を有し、

前記第 1 のインバータ回路には、前記第 1 のレベルシフタ回路の出力及び前記第 2 のレベルシフタ回路の出力が入力され、10

前記第 2 のインバータ回路には、前記第 1 のレベルシフタ回路の出力及び前記第 2 のレベルシフタ回路の出力が入力され、

前記第 3 のインバータ回路には、前記第 1 のインバータ回路の出力及び前記第 2 のインバータ回路の出力が入力され、

前記第 4 のインバータ回路には、前記第 1 のインバータ回路の出力及び前記第 2 のインバータ回路の出力が入力され、

前記第 1 のレベルシフタ回路及び第 2 のレベルシフタ回路の各々は、第 1 のトランジスタ乃至第 4 のトランジスタと、容量とを有し、

前記第 1 のトランジスタのソース及びドレインの一方は、前記第 1 のトランジスタのゲートと電気的に接続され、且つ第 1 の配線と電気的に接続され、前記第 1 のトランジスタのソース及びドレインの他方は、前記第 2 のトランジスタのソース及びドレインの一方と電気的に接続され、20

前記第 2 のトランジスタのソース及びドレインの一方は、前記第 3 のトランジスタのゲートと電気的に接続され、前記第 2 のトランジスタのソース及びドレインの他方は、第 2 の配線と電気的に接続され、前記第 2 のトランジスタのゲートは、第 3 の配線と電気的に接続され、

前記第 3 のトランジスタのソース及びドレインの一方は、前記第 1 の配線と電気的に接続され、前記第 3 のトランジスタのソース及びドレインの他方は、前記容量を介して前記第 3 のトランジスタのゲートと電気的に接続され、30

前記第 4 のトランジスタのソース及びドレインの一方は、前記第 3 のトランジスタのソース及びドレインの他方と電気的に接続され、前記第 4 のトランジスタのソース及びドレインの他方は、前記第 2 の配線と電気的に接続され、前記第 4 のトランジスタのゲートは、前記第 3 の配線と電気的に接続され、

前記第 1 のトランジスタ及び前記第 3 のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項 1 3】

レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファと、前記バッファの出力が入力されるシフトレジスタとを有し、

前記レベルシフタ回路を構成するトランジスタ、前記バッファを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、40

前記レベルシフタ回路は、第 1 のレベルシフタ回路と、第 2 のレベルシフタ回路とを有し、

前記バッファは、第 1 のインバータ回路乃至第 6 のインバータ回路を有し、

前記第 1 のインバータ回路には、前記第 1 のレベルシフタ回路の出力及び前記第 2 のレベルシフタ回路の出力が入力され、

前記第 2 のインバータ回路には、前記第 1 のレベルシフタ回路の出力及び前記第 2 のレベルシフタ回路の出力が入力され、

前記第 3 のインバータ回路には、前記第 1 のインバータ回路の出力及び前記第 2 のインバータ回路の出力が入力され、50

前記第4のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第5のインバータ回路には、前記第3のインバータ回路の出力及び前記第4のインバータ回路の出力が入力され、

前記第6のインバータ回路には、前記第3のインバータ回路の出力及び前記第4のインバータ回路の出力が入力され、

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタと、容量とを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、10

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、前記第3のトランジスタのソース及びドレインの他方は、前記容量を介して前記第3のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、20

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項14】

請求項3乃至請求項5、請求項11乃至請求項13のいずれか一項において、

前記第1のレベルシフタ回路及び前記第2のレベルシフタ回路は、一入力型レベルシフタ回路であることを特徴とする半導体装置。

【請求項15】

スタートパルス用レベルシフタと、クロックパルス用レベルシフタと、前記スタートパルス用レベルシフタの出力及び前記クロックパルス用レベルシフタの出力が入力されるシフトレジスタとを有し、

前記スタートパルス用レベルシフタ及び前記クロックパルス用レベルシフタの各々は、レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファとを有し、

前記スタートパルス用レベルシフタを構成するトランジスタ、前記クロックパルス用レベルシフタを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記クロックパルス用レベルシフタが有する前記レベルシフタ回路は、第1のレベルシフタ回路と、第2のレベルシフタ回路とを有し、40

前記クロックパルス用レベルシフタが有する前記バッファは、第1のインバータ回路と、第2のインバータ回路とを有し、

前記第1のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタと、容量とを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタ50

のソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、前記第3のトランジスタのソース及びドレインの他方は、前記容量を介して前記第3のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、

前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項16】

スタートパルス用レベルシフタと、クロックパルス用レベルシフタと、前記スタートパルス用レベルシフタの出力及び前記クロックパルス用レベルシフタの出力が入力されるシフトレジスタとを有し、

前記スタートパルス用レベルシフタ及び前記クロックパルス用レベルシフタの各々は、レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファとを有し、

前記スタートパルス用レベルシフタを構成するトランジスタ、前記クロックパルス用レベルシフタを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記クロックパルス用レベルシフタが有する前記レベルシフタ回路は、第1のレベルシフタ回路と、第2のレベルシフタ回路とを有し、

前記クロックパルス用レベルシフタが有する前記バッファは、第1のインバータ回路乃至第4のインバータ回路を有し、

前記第1のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第2のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第3のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第4のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタと、容量とを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、前記第3のトランジスタのソース及びドレインの他方は、前記容量を介して前記第3のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソ

10

20

30

40

50

ース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項17】

スタートパルス用レベルシフタと、クロックパルス用レベルシフタと、前記スタートパルス用レベルシフタの出力及び前記クロックパルス用レベルシフタの出力が入力されるシフトレジスタとを有し、

前記スタートパルス用レベルシフタ及び前記クロックパルス用レベルシフタの各々は、10
レベルシフタ回路と、前記レベルシフタ回路の出力が入力されるバッファとを有し、

前記スタートパルス用レベルシフタを構成するトランジスタ、前記クロックパルス用レベルシフタを構成するトランジスタ、及び前記シフトレジスタを構成するトランジスタは、同一導電型であり、

前記クロックパルス用レベルシフタが有する前記レベルシフタ回路は、第1のレベルシフタ回路と、第2のレベルシフタ回路とを有し、

前記クロックパルス用レベルシフタが有する前記バッファは、第1のインバータ回路乃至第6のインバータ回路を有し、

前記第1のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、20

前記第2のインバータ回路には、前記第1のレベルシフタ回路の出力及び前記第2のレベルシフタ回路の出力が入力され、

前記第3のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第4のインバータ回路には、前記第1のインバータ回路の出力及び前記第2のインバータ回路の出力が入力され、

前記第5のインバータ回路には、前記第3のインバータ回路の出力及び前記第4のインバータ回路の出力が入力され、

前記第6のインバータ回路には、前記第3のインバータ回路の出力及び前記第4のインバータ回路の出力が入力され、30

前記第1のレベルシフタ回路及び第2のレベルシフタ回路の各々は、第1のトランジスタ乃至第4のトランジスタと、容量とを有し、

前記第1のトランジスタのソース及びドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、且つ第1の配線と電気的に接続され、前記第1のトランジスタのソース及びドレインの他方は、前記第2のトランジスタのソース及びドレインの一方と電気的に接続され、

前記第2のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第2のトランジスタのソース及びドレインの他方は、第2の配線と電気的に接続され、前記第2のトランジスタのゲートは、第3の配線と電気的に接続され、40

前記第3のトランジスタのソース及びドレインの一方は、前記第1の配線と電気的に接続され、前記第3のトランジスタのソース及びドレインの他方は、前記容量を介して前記第3のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのソース及びドレインの一方は、前記第3のトランジスタのソース及びドレインの他方と電気的に接続され、前記第4のトランジスタのソース及びドレインの他方は、前記第2の配線と電気的に接続され、前記第4のトランジスタのゲートは、前記第3の配線と電気的に接続され、前記第1のトランジスタ及び前記第3のトランジスタは、ダブルゲート型またはマルチゲート型であることを特徴とする半導体装置。

【請求項18】

10

20

30

40

50

請求項 6 乃至請求項 8 、請求項 15 乃至請求項 17 のいずれか一項において、前記第 1 のレベルシフタ回路及び前記第 2 のレベルシフタ回路は、一入力型レベルシフタ回路であることを特徴とする半導体装置。

【請求項 19】

請求項 1 乃至請求項 18 のいずれか一項において、

前記シフトレジスタを有する駆動回路と、前記駆動回路から信号が入力される複数の画素とを有し、

前記複数の画素が有するトランジスタと前記駆動回路を構成するトランジスタとは、同一導電型であることを特徴とする半導体装置。

【請求項 20】

10

請求項 1 乃至請求項 18 のいずれか一項において、

前記シフトレジスタを有する駆動回路と、前記駆動回路から信号が入力される複数の画素とを有し、

前記複数の画素が有するトランジスタと前記駆動回路を構成するトランジスタとは、同一導電型の薄膜トランジスタであり、同一の絶縁体上に形成されることを特徴とする半導体装置。

【請求項 21】

請求項 19 または請求項 20 において、

前記駆動回路は、ゲート信号線駆動回路であることを特徴とする半導体装置。

【請求項 22】

20

請求項 19 または請求項 20 において、

前記駆動回路は、ソース信号線駆動回路であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パルス出力回路、シフトレジスタ、および表示装置に関する。なお本明細書中、表示装置とは、画素に液晶素子を用いてなる液晶表示装置および、エレクトロルミネッセンス(E L)素子を始めとした自発光素子を用いてなる自発光表示装置を含むものとする。表示装置の駆動回路とは、表示装置に配置された画素に映像信号を入力し、映像の表示を行うための処理を行う回路を指し、シフトレジスタ、インバータ等を始めとするパルス出力回路や、アンプ等を始めとする増幅回路を含むものとする。

30

【背景技術】

【0002】

近年、ガラス基板等の絶縁体上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ(以下、TFTと表記)を用いたアクティブマトリクス型表示装置は、多くの製品に利用され、普及している。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置されたTFTによって各画素の電荷を制御することによって映像の表示を行っている。

30

【0003】

さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺領域にTFTを用いて駆動回路を基板上に同時形成するポリシリコンTFTに関する技術が発展しており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル情報端末の表示部等に、表示装置は不可欠なデバイスとなってきた。

40

【0004】

一般的に、表示装置の駆動回路を構成する回路としては、Nチャネル型TFTとPチャネル型TFTを組み合わせたCMOS回路が一般的に使用されている。このCMOS回路の一例として、シフトレジスタを例に挙げる。図11(A)は、シフトレジスタの一例であり、点線枠1100で囲まれた部分が1段分のパルスを出力する回路である。図11(A)は3段分を抜き出して示している。1段分の回路は、クロックドインバータ1101、1

50

103、およびインバータ1102によって構成されている。図11(B)に詳細な回路構造を示す。図11(B)において、TFT1104～1107によって、クロックドインバータ1101が構成され、TFT1108、1109によって、インバータ1102が構成され、TFT1110～1113によって、クロックドインバータ1103が構成される。

【0005】

回路を構成するTFTは、ゲート電極、ソース電極、ドレイン電極の3電極を有するが、ソース領域とドレイン領域とは、TFTの構造上区別が出来ない。一般的なCMOS回路において、Nチャネル型TFTについては、ソース領域とドレイン領域のうち電位の低い方をソース電極、電位の高い方をドレイン電極として用い、Pチャネル型TFTについては、電位の高い方をソース電極、電位の低い方をドレイン電極として用いることが多いが、本明細書においてTFTの接続を説明する際、ソース電極とドレイン電極との混同を避けるため、いずれか一方を第1の電極、他方を第2の電極として表記している。

【0006】

回路の動作について説明する。なお、TFTの動作については、ゲート電極に電位が与えられて不純物領域間にチャネルが形成され、導通している状態をON、不純物領域のチャネルが消失して非導通となった状態をOFFと表記する。

【0007】

図11(A)(B)、および図11(C)に示したタイミングチャートを参照する。TFT1107、1104にはそれぞれクロック信号(以後CKと表記)、クロック反転信号(以後CKBと表記)が入力される。TFT1105、1106にはスタートパルス(以後SPと表記)が入力される。CKがHレベル、CKBがLレベル、SPがHレベルのとき、TFT1106、1107がONし、Lレベルが出力されてTFT1108、1109にて構成されるインバータに入力され、反転されて出力ノード(SROUT1)にHレベルが出力される。その後、SPがHレベルの状態でCKがLレベル、CKBがHレベルになると、インバータ1102およびクロックドインバータ1103によって構成されたループにおいて、保持動作を行う。よって出力ノードにはHレベルが出力され続ける。次にCKがHレベル、CKBがLレベルになると、再びクロックドインバータ1101で書き込み動作を行う。このとき、既にSPはLレベルとなっているので、出力ノードにはLレベルが出力される。以後、CKがLレベル、CKBがHレベルとなると再び保持動作を行い、このときの出力ノードのLレベルは、インバータ1102およびクロックドインバータ1103によって構成されたループにおいて保持される。

【0008】

以上が1段分の動作である。次段は、CK、CKBの接続が逆になっており、上記とはクロック信号の極性が逆の状態で同様の動作をする。これが交互に繰り返され、以後同様に、図11(C)に示すようにサンプリングパルスが順次出力される。

【0009】

CMOS回路の特徴としては、論理が変わる(HレベルからLレベルへ、あるいはLレベルからHレベルへ)瞬間にのみ電流が流れ、ある論理の保持中には電流が流れない(実際に微小なリーク電流の存在があるが)ため、回路全体での消費電流を低く抑えることが可能な点が挙げられる。

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところで、液晶や自発光素子を用いた表示装置の需要は、モバイル電子機器の小型化、軽量化に伴って急速にその需要が増加しているが、歩留まり等の面から、その製造コストを十分に低く抑えることが難しい。今後の需要はさらに急速に増加することは容易に予測され、そのため表示装置をより安価に供給できるようにすることが望まれている。

【0011】

絶縁体上に駆動回路を作製する方法としては、複数のフォトマスクを用いて、活性層、

10

20

30

40

50

配線等のパターンを露光、エッチングを行って作りこんでいく方法が一般的であるが、このときの工程数の多さが製造コストに直接影響しているため、可能な限り少ない工程数で製造出来ることが理想的である。そこで、従来CMOS回路によって構成されていた駆動回路を、Nチャネル型もしくはPチャネル型のいずれか一方の導電型のみのTFTを用いて構成することが出来れば、イオンドーピング工程の一部を省略することが出来、さらにフォトマスクの枚数も削減することが出来る。

【0012】

図9(A)は、一般的に用いられているCMOSインバータ(I)と、一極性のみのTFTを用いて構成したインバータ(II)(III)の例を示している。(II)はTFTを負荷に用いたインバータ、(III)は抵抗を負荷に用いたインバータである。以下に、それぞれの動作について述べる。10

【0013】

図9(B)は、インバータに入力する信号の波形を示している。ここで、入力信号振幅は、Lレベル/Hレベル = VSS / VDD ($VSS < VDD$)とする。ここではVSS = 0 [V]として考える。

【0014】

回路動作について説明する。なお、説明を明確かつ簡単にするため、回路を構成するNチャネル型TFTのしきい値電圧は、そのばらつきがないものとして一律(V_{thN})とする。また、Pチャネル型TFTについても同様に、一律(V_{thP})とする。

【0015】

CMOSインバータに図9(B)のような信号が入力されると、入力信号の電位がHレベルのとき、Pチャネル型TFT901はOFFし、Nチャネル型TFT902がONすることにより、出力ノードの電位はLレベルとなる。逆に、入力信号の電位がLレベルのとき、Pチャネル型TFT901がONし、Nチャネル型TFT902がOFFすることにより、出力ノードの電位はHレベルとなる(図9(C))。

【0016】

続いて、TFTを負荷に用いたインバータ(II)の動作について説明する。同じく図9(B)に示すような信号が入力される場合を考える。まず、入力信号がLレベルのとき、Nチャネル型TFT904はOFFする。一方、負荷TFT903は常に飽和動作していることから、出力ノードの電位はHレベル方向に引き上げられる。一方、入力信号がHレベルのとき、Nチャネル型TFT904はONする。ここで、負荷TFT903の電流能力よりも、Nチャネル型TFT904の電流能力を十分に高くしておくことにより、出力ノードの電位はLレベル方向に引き下げられる。30

【0017】

抵抗を負荷に用いたインバータ(III)についても同様に、Nチャネル型TFT906のON抵抗値を、負荷抵抗905の抵抗値よりも十分に低くしておくことにより、入力信号がHレベルのときは、Nチャネル型TFT906がONすることにより、出力ノードはLレベル方向に引き下げられる。入力信号がLレベルのときは、Nチャネル型TFT906はOFFし、出力ノードはHレベル方向に引き上げられる。

【0018】

ただし、TFTを負荷に用いたインバータや抵抗を負荷に用いたインバータを用いる際、以下のような問題点がある。図9(D)は、TFTを負荷に用いたインバータの出力波形を示したものであるが、出力がHレベルのときに、907で示す分だけVDDよりも電位が低くなる。負荷TFT903において、出力ノード側の端子をソース、電源VDD側の端子をドレインとすると、ゲート電極とドレイン領域が接続されているので、このときのゲート電極の電位はVDDである。また、この負荷TFTがONしているための条件は、(TFT903のゲート・ソース間電圧 $> V_{thN}$)であるから、出力ノードの電位は、最大でも($VDD - V_{thN}$)までしか上昇しない。つまり、907は V_{thN} に等しい。さらに、負荷TFT903とNチャネル型TFT904の電流能力の比によっては、出力電位がLレベルのとき、908で示す分だけVSSよりも電位が高くなる。これを十分にV4050

S S に近づけるためには、負荷 TFT903 に対し、N チャネル型 TFT904 の電流能力を十分に大きくする必要がある。同様に、図 9(E) は抵抗を負荷に用いたインバータの出力波形を示したものであるが、負荷抵抗 905 の抵抗値と N チャネル型 TFT906 の ON 抵抗の比によっては、909 で示す分だけ電位が高くなる。つまり、ここに示した一極性のみの TFT を用いて構成したインバータを用いると、入力信号の振幅に対し、出力信号の振幅減衰が生ずることになる。

【0019】

本発明は、以上のような課題を鑑みてなされたものであり、一極性のみの TFT を用いて回路を構成することにより、製造工程を削減して低コストで作製が可能であり、かつ振幅減衰のない出力を得ることが出来るパルス出力回路およびシフトレジスタを提供することを目的とする。10

【課題を解決するための手段】

【0020】

先程の図 9(A) の (II) に示した TFT を負荷に用いたインバータにおいて、出力信号の振幅が正常に L レベル / H レベル = VSS / VDD を取るための条件を考える。第 1 に、図 10(A) のような回路において、出力信号の電位が L レベルとなるとき、その電位を十分に VSS に近づけるためには、電源 VDD・出力ノード(Out) 間の抵抗値に対し、電源 VSS・出力ノード(Out) 間の抵抗値が十分に低くなっていればよい。すなわち、N チャネル型 TFT1002 が ON している期間、N チャネル型 TFT1001 が OFF していればよい。20

【0021】

第 2 に、出力信号の電位が H レベルとなるとき、その電位が VDD に等しくなるには、N チャネル型 TFT1001 のゲート・ソース間電圧の絶対値が VthN を常に上回り、かつ TFT1002 が確実に OFF していればよい。つまり、出力ノードの H レベルが VDD となる条件を満たすには、N チャネル型 TFT1001 のゲート電極の電位は (VDD + VthN) よりも高くなる必要がある。

【0022】

そこで、本発明では以下のよう手段を講じた。図 10(B) に示すように、N チャネル型 TFT1001 のゲート・ソース間に容量 1003 を設ける。N チャネル型 TFT1001 のゲート電極がある電位をもって浮遊状態となったとき、出力ノードの電位を上昇させると、この容量 1003 による容量結合によって、出力ノードの電位上昇分に伴って、N チャネル型 TFT1001 のゲート電極の電位も持ち上げられる。この効果を利用すれば、N チャネル型 TFT1001 のゲート電極の電位を VDD よりも高く(正確には (VDD + VthN) よりも高く)することが可能となる。よって出力ノードの電位を十分に VDD まで引き上げることが可能となる。30

【0023】

なお、図 10(B) において示した容量 1003 は、TFT1001 のゲート・ソース間に寄生する容量を利用するようにしても良いし、実際に容量部分を作製しても良い。容量部分を独立して作製する場合は、活性層材料、ゲート材料、および配線材料のうちいずれか 2 つを用いて、間に絶縁層を挟んだ構成として作製するのが簡単であり、望ましいが、他の材料を用いて作製しても構わない。このとき、活性層を用いる場合は、活性層中に不純物添加等を行って抵抗を下げておくのが望ましい。40

【0024】

本発明の構成を以下に示す。

【0025】

本発明のパルス出力回路は、

第 1 のトランジスタ乃至第 3 のトランジスタと、第 1 の信号入力部乃至第 3 の信号入力部と、信号出力部と、電源とを有するパルス出力回路であって、前記第 1 乃至第 3 のトランジスタはいずれも同一導電型であり、

前記第 1 のトランジスタのゲート電極は、前記第 1 の信号入力部と電気的に接続され、50

前記第1のトランジスタの第1の電極は、前記第2の信号入力部と電気的に接続され、前記第1のトランジスタの第2の電極は、前記第2のトランジスタのゲート電極と電気的に接続され、

前記第2のトランジスタの第1の電極は、前記第3の信号入力部と電気的に接続され、前記第2のトランジスタの第2の電極は、前記信号出力部と電気的に接続され、

前記第3のトランジスタのゲート電極は、前記第1の信号入力部と電気的に接続され、前記第3のトランジスタの第1の電極は、前記電源と電気的に接続され、

前記第3のトランジスタの第2の電極は、前記信号出力部と電気的に接続され、

前記第2のトランジスタのゲート電極と第1の電極との間、あるいは前記第2のトランジスタのゲート電極と第2の電極との間に容量手段を有することを特徴としている。 10

【0026】

本発明のパルス出力回路は、

第1のトランジスタ乃至第3のトランジスタと、第1の信号入力部乃至第4の信号入力部と、信号出力部と、電源と、入力切替回路とを有するパルス出力回路であって、

前記第1乃至第3のトランジスタはいずれも同一導電型であり、

前記第1のトランジスタのゲート電極は、前記第1の信号入力部と電気的に接続され、前記第1のトランジスタの第1の電極は、前記入力切替回路と電気的に接続され、

前記入力切替回路は、第2の信号入力部および第3の信号入力部と電気的に接続され、

前記第1のトランジスタの第2の電極は、前記第2のトランジスタのゲート電極と電気的に接続され、 20

前記第2のトランジスタの第1の電極は、前記第4の信号入力部と電気的に接続され、前記第2のトランジスタの第2の電極は、前記信号出力部と電気的に接続され、

前記第3のトランジスタのゲート電極は、前記第1の信号入力部と電気的に接続され、前記第3のトランジスタの第1の電極は、前記電源と電気的に接続され、

前記第3のトランジスタの第2の電極は、前記信号出力部と電気的に接続され、

前記第2のトランジスタのゲート電極と第1の電極との間、あるいは前記第2のトランジスタのゲート電極と第2の電極との間に容量手段を有することを特徴としている。

【0027】

本発明のパルス出力回路は、

第1のトランジスタ乃至第3のトランジスタと、第1の信号入力部乃至第4の信号入力部と、信号出力部と、電源と、入力切替回路とを有するパルス出力回路であって、 30

前記第1乃至第3のトランジスタはいずれも同一導電型であり、

前記第1のトランジスタのゲート電極は、前記第1の信号入力部と電気的に接続され、

前記第1のトランジスタの第1の電極は、前記入力切替回路と電気的に接続され、

前記入力切替回路は、第2の信号入力部および第3の信号入力部と電気的に接続され、

前記第1のトランジスタの第2の電極は、前記第2のトランジスタのゲート電極と電気的に接続され、

前記第2のトランジスタの第1の電極は、前記第4の信号入力部と電気的に接続され、前記第2のトランジスタの第2の電極は、前記信号出力部と電気的に接続され、

前記第3のトランジスタのゲート電極は、前記第1の信号入力部と電気的に接続され、前記第3のトランジスタの第1の電極は、前記電源と電気的に接続され、 40

前記第3のトランジスタの第2の電極は、前記信号出力部と電気的に接続され、

前記第2のトランジスタのゲート電極と第1の電極との間、あるいは前記第2のトランジスタのゲート電極と第2の電極との間に容量手段を有し、

前記入力切替回路が第1の状態のとき、前記第1のトランジスタの第1の電極は、前記第2の信号入力部と導通し、かつ前記第3の信号入力部と非導通となり、

前記入力切替回路が第2の状態のとき、前記第1のトランジスタの第1の電極は、前記第3の信号入力部と導通し、かつ前記第2の信号入力部と非導通となることを特徴としている。

【0028】

10

20

30

40

50

本発明のパルス出力回路において、

前記入力切替回路は、

第4のトランジスタと、第5のトランジスタと、第5の信号入力部と、第6の信号入力部とを有し、

前記第4のトランジスタと、前記第5のトランジスタとは、いずれも前記第1のトランジスタ乃至前記第3のトランジスタと同一導電型であり、

前記第4のトランジスタのゲート電極は、前記第5の信号入力部と電気的に接続され、

前記第4のトランジスタの第1の電極は、前記第2の信号入力部と電気的に接続され、

前記第4のトランジスタの第2の電極は、前記第1のトランジスタの第1の電極と電気的に接続され、10

前記第5のトランジスタのゲート電極は、前記第6の信号入力部と電気的に接続され、

前記第5のトランジスタの第1の電極は、前記第3の信号入力部と電気的に接続され、

前記第5のトランジスタの第2の電極は、前記第1のトランジスタの第1の電極と電気的に接続され、10

前記第5の信号入力部に、入力切替信号が入力され、かつ前記第6の信号入力部に、入力切替反転信号が入力されるとき、前記第4のトランジスタが導通し、かつ前記第5のトランジスタが非導通となり、10

前記入力切替信号の極性が反転し、かつ前記入力切替反転信号の極性が反転するとき、前記第4のトランジスタが非導通となり、かつ前記第5のトランジスタが導通することを特徴としている。20

【0029】

本発明のパルス出力回路においては、

前記容量手段は、前記第2のトランジスタのゲート電極と、前記第2のトランジスタの活性層との間で形成されていても良いし、活性層材料、ゲート電極を形成する材料、あるいは配線材料のうちいずれか2つの材料の間で形成されていても良い。

【0030】

本発明のパルス出力回路を用いて、

第1のクロック信号乃至第4のクロック信号と、スタートパルスとにしたがって順次サンプリングパルスを出力することを特徴とするシフトレジスタが提供される。

【0031】

本発明のシフトレジスタは、

第1のクロック信号線乃至第4のクロック信号線と、スタートパルス入力線とを有し、

$4n - 3$ 段目(n は自然数、 $1 \leq n$)の前記パルス出力回路において、

前記第1の信号入力部は、前記第1のクロック信号線と電気的に接続され、

前記第2の信号入力部は、 $n = 1$ のとき、前記スタートパルス入力線と電気的に接続され、 $n > 1$ のとき、 $4(n - 1)$ 段目の前記パルス出力回路の前記信号出力部と電気的に接続され、30

前記第3の信号入力部は、前記第3のクロック信号線と電気的に接続され、

$4n - 2$ 段目の前記パルス出力回路において、

前記第1の信号入力部は、前記第2のクロック信号線と電気的に接続され、40

前記第2の信号入力部は、前記 $4n - 3$ 段目の前期パルス出力回路の前期信号出力部と電気的に接続され、

前記第3の信号入力部は、前記第4のクロック信号線と電気的に接続され、

$4n - 1$ 段目の前記パルス出力回路において、

前記第1の信号入力部は、前記第3のクロック信号線と電気的に接続され、

前記第2の信号入力部は、前記 $4n - 2$ 段目の前期パルス出力回路の前期信号出力部と電気的に接続され、40

前記第3の信号入力部は、前記第1のクロック信号線と電気的に接続され、

$4n$ 段目の前記パルス出力回路において、

前記第1の信号入力部は、前記第4のクロック信号線と電気的に接続され、50

前記第2の信号入力部は、前記 $4n - 1$ 段目の前期パルス出力回路の前期信号出力部と電気的に接続され、

前記第3の信号入力部は、前記第2のクロック信号線と電気的に接続され、

第1のクロック信号乃至第4のクロック信号と、スタートパルスとにしたがって順次サンプリングパルスを出力することを特徴としている。

【0032】

本発明のシフトレジスタは、

第1のクロック信号線乃至第4のクロック信号線と、スタートパルス入力線とを有し、

$4n - 3$ 段目(n は自然数、 $1 \leq n$)の前記パルス出力回路において、

前記第1の信号入力部は、前記第1のクロック信号線と電気的に接続され、

前記第2の信号入力部は、 $n = 1$ のとき、前記スタートパルス入力線と電気的に接続され、 $n > 1$ のとき、 $4(n - 1)$ 段目の前記パルス出力回路の前記信号出力部と電気的に接続され、

前記第3の信号入力部は、前記スタートパルス入力線、もしくは $4n - 2$ 段目の前記パルス出力回路の前記信号出力部のいずれか一方と電気的に接続され、

前記第4の信号入力部は、前記第3のクロック信号線と電気的に接続され、

$4n - 2$ 段目の前記パルス出力回路において、

前記第1の信号入力部は、前記第2のクロック信号線と電気的に接続され、

前記第2の信号入力部は、前記 $4n - 3$ 段目の前期パルス出力回路の前期信号出力部と電気的に接続され、

前記第3の信号入力部は、前記スタートパルス入力線、もしくは $4n - 1$ 段目の前記パルス出力回路の前記信号出力部のいずれか一方と電気的に接続され、

前記第4の信号入力部は、前記第4のクロック信号線と電気的に接続され、

$4n - 1$ 段目の前記パルス出力回路において、

前記第1の信号入力部は、前記第3のクロック信号線と電気的に接続され、

前記第2の信号入力部は、前記 $4n - 2$ 段目の前期パルス出力回路の前期信号出力部と電気的に接続され、

前記第3の信号入力部は、前記スタートパルス入力線、もしくは $4n$ 段目の前記パルス出力回路の前記信号出力部のいずれか一方と電気的に接続され、

前記第4の信号入力部は、前記第1のクロック信号線と電気的に接続され、

$4n$ 段目の前記パルス出力回路において、

前記第1の信号入力部は、前記第4のクロック信号線と電気的に接続され、

前記第2の信号入力部は、前記 $4n - 1$ 段目の前期パルス出力回路の前期信号出力部と電気的に接続され、

前記第3の信号入力部は、前記スタートパルス入力線、もしくは $4n + 1$ 段目の前記パルス出力回路の前記信号出力部のいずれか一方と電気的に接続され、

前記第4の信号入力部は、前記第2のクロック信号線と電気的に接続され、

第1のクロック信号乃至第4のクロック信号と、スタートパルスとにしたがって順次サンプリングパルスを出力することを特徴としている。

【0033】

本発明のパルス出力回路は、Nチャネル型のトランジスタのみを用いて構成されていても良いし、Pチャネル型のトランジスタのみを用いて構成されていても良い。

【0034】

本発明のシフトレジスタは、Nチャネル型のトランジスタのみを用いて構成されていても良いし、Pチャネル型のトランジスタのみを用いて構成されていても良い。

【発明の効果】

【0035】

本発明によって、表示装置の駆動回路および画素部を、一導電型のTFTのみによって構成した場合にも、TFTのしきい値に起因した出力パルスの振幅減衰を生ずることなく、正常な振幅の出力パルスを得ることが可能となり、表示装置の作製工程を削減すること

10

20

30

40

50

によって、低コスト化、歩留まりの向上に寄与し、より安価に表示装置の供給が可能となる。

【発明を実施するための最良の形態】

【0036】

図1(A)は、本発明のシフトレジスタの概略図である。図1(A)のブロック図中、100で示されるブロックが1段分のサンプリングパルスを出力するパルス出力回路であり、このパルス出力回路を複数段連続に接続して、図1(A)に示すシフトレジスタが構成される。図1(A)に示したシフトレジスタは、第1のクロック信号線～第4のクロック信号線、およびスタートパルス入力線を有している。第1のクロック信号線～第4のクロック信号線より、それぞれ第1のクロック信号～第4のクロック信号(C K 1～C K 4)が入力され、スタートパルス入力線より、スタートパルス(S P)が入力される。
10

【0037】

図1(B)に、ブロック100の詳細な回路構成を示す。TFT101のゲート電極およびTFT103のゲート電極は、第1の信号入力部(C K A)と接続されている。TFT101の入力電極は、第2の信号入力部(I n)と接続され、出力電極はTFT102のゲート電極および、容量104の電極の一端と接続されている。TFT102の入力電極は、第3の信号入力部(C K B)と接続されている。TFT102の出力電極と、TFT103の出力電極、および容量104の他の一端は、信号出力部(Out)と接続されている。TFT103の入力電極は、低電位側電源(V SS)と接続されている。
20

【0038】

なお、本実施形態で示す回路は。Nチャネル型TFTのみを用いて構成したものであるが、Pチャネル型TFTのみを用いて同様の回路を構成することも可能である。

【0039】

第1の信号入力部(C K A)に入力されるクロック信号と、第3の信号入力部(C K B)に入力されるクロック信号とは、互いの極性が反転した信号である。また、第1のクロック信号に対し、第2のクロック信号はその位相が1/4周期遅れたものであり、第3のクロック信号は、第2のクロック信号に対してさらに位相が1/4周期遅れている。第4のクロック信号は、第3のクロック信号に対してさらに位相が1/4周期遅れている。つまり、第3のクロック信号は第1のクロック信号に対して、1/2周期の遅れをもっており、ちょうど極性が反転したものに等しい。同様に、第4のクロック信号は第2のクロック信号に対して、1/2周期の遅れをもっており、ちょうど極性が反転したものに等しい。
30

【0040】

図1(B)に示したパルス出力回路を複数段連続に用いてなるシフトレジスタにおいて、第2の信号入力部(I n)には、前段からの出力パルスが入力される。ここで、第1段目においては、第2の信号入力部(I n)には、スタートパルスが入力される。

【0041】

また、表1に示すように、4n-3段目(nは自然数、1～n)において、第1の信号入力部(C K A)には、第1のクロック信号が入力され、第3の信号入力部(C K B)には、第3のクロック信号が入力される。4n-2段目(nは自然数、1～n)において、第1の信号入力部(C K A)には、第2のクロック信号が入力され、第3の信号入力部(C K B)には、第4のクロック信号が入力される。4n-1段目において、第1の信号入力部(C K A)には、第3のクロック信号が入力され、第3の信号入力部(C K B)には、第1のクロック信号が入力される。4n段目において、第1の信号入力部(C K A)には、第4のクロック信号が入力され、第3の信号入力部(C K B)には、第1のクロック信号が入力される。
40

【0042】

【表1】

信号入力部(CKA)	信号入力部(CKB)
第4(n-1)段目	第4のクロック信号
第4n-3段目	第1のクロック信号
第4n-2段目	第2のクロック信号
第4n-1段目	第3のクロック信号
第4n段目	第4のクロック信号

10

⋮	⋮	⋮
---	---	---

【0043】

つまり、本実施形態のシフトレジスタは、連続した4段のパルス出力回路を含む部分を構成単位とし、この構成単位が繰り返されてなる。また、仮にパルス出力回路の接続段数が4段以下の場合であっても、クロック信号の入力順序は、表1にしたがう。

20

【0044】

図1に示す回路図および、図2に示すタイミングチャートを用いて、回路の動作について説明する。ここで、クロック信号およびスタートパルスの電圧振幅は、Lレベル/Hレベル = VSS / VDDとし、このとき、VSS < VDDであるものとして説明する。

20

【0045】

<1> 1段目のパルス出力回路において、TFT101、103のゲート電極には第1のクロック信号(CK1)が入力されてHレベルとなり、TFT101、103がONする。このとき、スタートパルス(SP)はまだ入力されていないので、TFT102のゲート電極の電位はLレベルである。よって、信号出力部(Out)の電位がLレベルに確定される。

30

【0046】

<2> 次に、信号入力部(Inc)より入力されるスタートパルス(SP)がHレベルになると、TFT102のゲート電極の電位は、(VDD - VthN)まで上昇した後、浮遊状態となる。これにより、TFT102がONするが、信号入力部(CKB)に入力される第3のクロック信号(CK3)はこの時点ではLレベルであり、信号出力部(Out)の電位変化はない。

【0047】

<3> 次に、第1のクロック信号(CK1)がLレベルとなり、TFT101、103がOFFする。同時に第3のクロック信号(CK3)がHレベルとなる。TFT102はすでにONしているので、信号出力部(Out)の電位は上昇する。ここで、TFT101はすでにOFFしていることから、TFT102のゲート電極は、その電位が(VDD - VthN)のまま浮遊状態となっているが、信号出力部(Out)の電位が上昇するのに伴い、容量104の働きによって、TFT102のゲート電極の電位は、(VDD - VthN)からさらに上昇し、(VDD + VthN)よりも高い電位を取る。よって、信号出力部(Out)がHレベルとなったとき、その電位はVDDに等しくなる。

40

【0048】

<4> やがて、スタートパルス(SP)がLレベルとなる。続いて第1のクロック信号(CK1)が再びHレベルとなると、TFT101、103がONして、TFT102のゲート電極の電位はLレベルとなってOFFする。一方、TFT103がONしているので、信号出力部(Out)の電位はLレベルとなる。

50

【0049】

以上の動作が最終段まで行われ、順次サンプリングパルスが出力される。本発明のパルス出力回路を用いて構成したシフトレジスタは、一導電型のTFTのみによって構成されているが、TFTのしきい値に起因した出力パルスの振幅減衰を生ずることなく、正常な振幅の出力パルスを得ることが出来る。また、サンプリングパルスを出力しない期間においても、信号入力部(CKA)より入力されるクロック信号がHレベルとなるたびにTFT103がONし、信号出力部(Out)の電位をLレベルに確定する。よって信号出力部が長い期間浮遊状態とならないため、比較的動作周波数の低い回路、例えばゲート信号線駆動回路等においても用いることが出来る。

【0050】

以下に、本発明の実施例について記載する。

10

【実施例1】**【0051】**

図3(A)は、本発明の実施形態にて示したシフトレジスタに、走査方向反転機能を付加したものとの例である。図1(A)に示した回路と比較して、入力切替信号(LR)および入力切替反転信号(RL)を追加している。

【0052】

図3(B)は、図3(A)において、ブロック300で示される1段分のパルス出力回路の構成を詳細に示したものである。TFT301～303および容量304で構成されるパルス出力回路は、図1(B)に示したものと同様であるが、TFT305、306でなるスイッチ、第5の信号入力部、および第6の信号入力部とを用いて構成される入力切替回路310を有する。

20

【0053】

TFT305、306の出力電極は、いずれもTFT301の入力電極と接続されている。TFT305の入力電極は、第2の信号入力部(IncL)と接続され、ゲート電極は第5の信号入力部(L)と電気的に接続されている。TFT306の入力電極は、第3の信号入力部(IncR)と接続され、ゲート電極は第6の信号入力部(R)と電気的に接続されている。第5の信号入力部(L)には入力切替信号(LR)が入力され、第6の信号入力部(R)には入力切替反転信号(RL)が入力されている。LRおよびRLは、互いに排他的にHレベルもしくはLレベルをとり、したがって本実施例の入力切替回路310は、次の2つの状態をとる。

30

【0054】

第1に、LRがHレベル、RLがLレベルのとき、TFT305がONし、かつTFT306がOFFする。したがってTFT301の入力電極には、第2の信号入力部(IncL)から、前段のサンプリングパルスが入力される。第2に、LRがLレベル、RLがHレベルのとき、TFT305がOFFし、TFT306がONする。したがってTFT301の入力電極には、第3の信号入力部(IncR)から、前段のサンプリングパルスが入力される。

【0055】

図3(A)のシフトレジスタにおいては、LRがHレベル、RLがLレベルのとき、サンプリングパルスの出力は1段目、2段目、・・・、最終段の順となり、LRがLレベル、RLがHレベルのとき、サンプリングパルスの出力は最終段、・・・、2段目、1段目の順となる。

40

【0056】

また走査方向を切り替える際は、クロック信号の入力タイミングを変更する必要がある。図2に示したタイミングチャートは、順方向走査のときのものである。図4に、逆方向走査のときのタイミングチャートを示す。それぞれのクロック信号は、図2の時とは逆に、第4のクロック信号から1/4周期遅れて第3のクロック信号が入力され、さらに1/4周期遅れて第2のクロック信号が入力され、さらに1/4周期遅れて第1のクロック信号が入力される。このとき、スタートパルスの入力タイミングは、シフトレジスタに用い

50

ているパルス出力回路の段数、つまり、最初にサンプリングパルスを出力すべきパルス出力回路が、どのクロック信号によって駆動されるかによって決定する。図4は、端部のパルス出力回路において、信号入力部(CKA)には第4のクロック信号が、信号入力部(CKB)には第2のクロック信号が入力される場合を例としている。

【実施例2】

【0057】

本実施例においては、一極性のみのTFTを用いて表示装置を作製した例について説明する。

【0058】

図12は、表示装置の全体概略図である。基板1200上に、ソース信号線駆動回路1201、ゲート信号線駆動回路1202、および画素部1203を一体形成している。画素部1203において、点線枠1210で囲まれた部分が1画素である。図12の例では、液晶表示装置の画素を示しており、1個のTFT(以下、画素TFTと表記する)によって液晶素子の一方の電極に電荷を印加する際のON、OFF制御を行っている。ソース信号線駆動回路1201およびゲート信号線駆動回路1202を駆動する信号(クロック信号、スタートパルス等)は、フレキシブルプリント基板(Flexible Print Circuit: FPC)1204を介して、外部より入力される。

【0059】

図5は、図12に示した表示装置における、ソース信号線駆動回路1201の全体構成を示した図である。このソース信号線駆動回路は、クロック信号用レベルシフタ501、スタートパルス用レベルシフタ502、シフトレジスタを構成するパルス出力回路503、NAND回路504、バッファ505、サンプリングスイッチ506を有しており、外部より入力される信号は、第1～第4のクロック信号(CK1～CK4)、スタートパルス(SP)、入力切替信号(LR)および入力切替反転信号(RL)、アナログ映像信号(Videodeo1～Videodeo12)である。この中で、第1～第4のクロック信号(CK1～CK4)およびスタートパルス(SP)に関しては、外部から低電圧振幅の信号として入力された直後、レベルシフタによって振幅変換を受け、高電圧振幅の信号として駆動回路に入力される。また、本実施例の表示装置におけるソース信号線駆動回路は、シフトレジスタ中の1段のパルス出力回路より出力されるサンプリングパルスが、サンプリングスイッチ506を駆動することによって、ソース信号線12列分のアナログ映像信号を同時にサンプリングしている。

【0060】

図6(A)は、クロック信号用レベルシフタ501の構成を示している。これは、互いに逆の極性を有するクロック信号(CK1とCK3、あるいはCK2とCK4)を1組とし、1入力型レベルシフタ回路を並列に配置してそれぞれ振幅変換を行い(Stage1)、以後のバッファ段(Stage2～Stage4)では、互いの出力をそれぞれの反転入力として用いる構成をとっている。

【0061】

図6(A)に示した回路の動作について説明する。なお、ここで用いている電源の電位は、VSS、VDD1、VDD2の3電位であり、VSS < VDD1 < VDD2である。本実施例では、VSS = 0[V]、VDD1 = 5[V]、VDD2 = 16[V]とした。また、図6(A)において、TFT601、603、606、608はダブルゲート構造をとっているが、これらはシングルゲートでも良いし、3つ以上のゲート電極を有するマルチゲート構造であっても良い。その他のTFTに関しても、ゲート電極の数による制限は特に設けない。

【0062】

信号入力部(CKin1)より、Lレベル/Hレベル = VSS / VDD1の振幅を有する第1のクロック信号(CK1)が入力される。CK1がHレベルのとき、TFT602、604がONし、TFT603のゲート電極の電位がLレベルとなってOFFする。ここで、TFT602のON抵抗は、TFT601のそれよりも十分に低く設計しておく。よ

10

20

30

40

50

つてノードには、Lレベルが現れる。CK1がLレベルのとき、TFT602、604はOFFする。よって、飽和動作しているTFT601を通じて、TFT603のゲート電極の電位はVDD2側に引き上げられ、その電位が(VDD2 - VthN)となったところでTFT601はOFFし、TFT603のゲート電極が浮遊状態となる。これによりTFT603がONし、ノードの電位はVDD2側に引き上げられる。ここで、容量605の働きにより、ノードの電位上昇に伴って、浮遊状態となっているTFT603のゲート電極の電位が引き上げられ、その電位はVDD2よりも高い電位をとり、(VDD2 + VthN)を上回ることによって、ノードに現れるHレベルはVDD2に等しくなる。よって、出力信号のLレベルはVSS、HレベルはVDD2となり、振幅変換が完了する。

10

【0063】

一方、信号入力部(CK_in2)より、同じくVSS - VDD1の振幅を有する第3のクロック信号(CK3)が入力される。前述と同様の動作によって、TFT606 ~ 609および容量610で構成された1入力型レベルシフタ回路によって振幅変換が行われ、ノードにはVSS - VDD2の振幅を有する信号が出力される。なお、ノードに現れた信号は、入力されたCK1に対して極性が反転しており、ノードに現れた信号は、入力されたCK3に対して極性が反転している。

【0064】

本実施例の表示装置に用いたレベルシフタは、振幅変換後のパルスに対する負荷を考慮して、レベルシフタ回路(Stage1)の後に、バッファ段を設けている(Stage2 ~ Stage4)。このバッファ段を構成するインバータ回路は2入力型であり、入力信号およびその反転信号を要する。2入力型を用いる理由は、低消費電力化である。前述のレベルシフタ回路において、TFT602がONしているとき、TFT601 ~ TFT602を通じて、VSS - VDD2間に貫通電流が流れる。これを2入力型を用いることによって、動作中に貫通電流が流れないようにしている。

20

【0065】

図6では、Stage2のインバータ回路において、TFT611のゲート電極に入力される信号と、TFT612のゲート電極に入力される信号は、互いに逆の極性を有する信号である。そこで、CK1およびCK3が、互いに極性の反転した信号であることを利用し、ノードに現れた出力信号と、ノードに現れた出力信号とを、互いの信号の反転入力として用いている。

30

【0066】

インバータ回路の動作について説明する。ここでは、Stage2の一方である、TFT611 ~ 614および容量615でなるインバータ回路における動作について述べる。他のインバータ回路に関しても動作は同様である。

【0067】

TFT611のゲート電極に入力される信号がHレベルのとき、TFT611がONし、TFT613のゲート電極の電位はVDD2側に引き上げられ、その電位が(VDD2 - VthN)となったところでTFT611がOFFし、TFT613のゲート電極は浮遊状態となる。一方、TFT612、614のゲート電極に入力される信号はLレベルであるから、TFT612、614はOFFする。TFT613のゲート電極の電位は、(VDD2 - VthN)まで上昇しているから、TFT613はONし、ノードの電位がVDD2側に引き上げられる。ここで、前述のレベルシフタ回路の動作と同様、容量615の働きにより、ノードの電位上昇に伴って、浮遊状態となっているTFT613のゲート電極の電位が引き上げられ、その電位はVDD2よりも高い電位をとり、(VDD2 + VthN)を上回ることによって、ノードに現れるHレベルはVDD2に等しくなる。

40

【0068】

一方、TFT611のゲート電極に入力される信号がLレベルのとき、TFT611がOFFし、TFT612、614のゲート電極にはHレベルが入力されてONする。したが

50

つて、TFT613のゲート電極の電位はLレベルとなり、ノード₁にはLレベルが現れる。

【0069】

同様の動作により、ノード₁にもパルスが出力される。このとき、ノード₂には、ノード₁に現れるパルスと極性が反転したパルスが出力される。

【0070】

以後、Stage3、Stage4においても同様の動作によって、最終的に信号出力部(3)および信号出力部(4)にパルスが出力される。

【0071】

図6(B)は、クロック信号の振幅変換の様子を示したものである。入力信号の振幅は、
Lレベル/Hレベル = VSS / VDD1(0V / 5V)であり、出力信号の振幅は、Lレベル/Hレベル = VSS / VDD2(0V / 16V)となっている。
10

【0072】

図6(C)は、スタートパルス(SP)用のレベルシフタを示している。スタートパルスの場合、その反転信号を持たないことから、1入力型のレベルシフタ回路(Stage1)の出力が、1入力型のインバータ回路(Stage2)に入力され、さらにStage1の出力とStage2の出力を用いて、2入力型のインバータ回路(Stage3)へと続く。回路動作に関しては、1入力型レベルシフタ回路はクロック信号の場合と同様である。1入力型インバータ回路に関しても、1入力型レベルシフタ回路と比較して、入力される信号の振幅がLレベル/Hレベル = VSS / VDD2であって、入出力パルス間の振幅変換がないことを除いて、回路内の動作は同様であるので、ここでは説明を省略する。
20

【0073】

図6(D)は、スタートパルス(SP)の振幅変換の様子を示したものである。入力信号の振幅は、クロック信号と同様、Lレベル/Hレベル = VSS / VDD1(0V / 5V)、出力信号の振幅は、Lレベル/Hレベル = VSS / VDD2(0V / 16V)となっている。

【0074】

図7(A)は、2入力型NAND回路を示している。構成としては、1入力型インバータ回路と類似であり、1入力インバータ回路における信号入力部が2入力となり、TFT702、703およびTFT705、706が直列配置されている点のみが異なる。

【0075】

信号入力部(In1)および信号入力部(In2)に、ともにHレベルが入力されると、TFT702、703、705、706がONし、TFT704のゲート電極の電位がLレベルとなってOFFし、信号出力部(Out)にはLレベルが現れる。信号入力部(In1)および信号入力部(In2)のいずれか一方あるいは両方にLレベルが入力されると、TFT704のゲート電極と電源VSSとは導通しないため、TFT704のゲート電極の電位はVDD2側に引き上げられてONし、さらに容量707の働きによって、(VDD2 + VthN)よりも高い電位をとり、信号出力部(Out)には電位VDD2のHレベルが現れる。
30

【0076】

図7(B)はバッファの構成を示しており、1入力型インバータ回路(Stage1)および2入力型インバータ回路(Stage2～Stage4)によって構成されている。1入力型インバータ回路、2入力型インバータ回路とも、動作に関してはレベルシフタの項で説明したので、ここでは説明を省略する。
40

【0077】

図7(C)は、サンプリングスイッチの構成を示している。信号入力部(25)より、サンプリングパルスが入力され、並列配置された12個のTFT731が同時に制御される。12個のTFT731の入力電極(1)～(12)に、アナログ映像信号が入力され、サンプリングパルスが入力されたときの映像信号の電位を、ソース信号線に書き込む働きをする。
50

【0078】

本実施例にて示した表示装置の駆動回路を構成する回路のうち、インバータ回路、レベルシフタ回路に関しては、同発明者らにより、特願2001-133431号にて出願された発明に記載されているものと同様のものを用いている。

【0079】

本実施例にて示した表示装置は、画素部を含む表示装置全体を構成する駆動回路を、画素TFTと同一の極性を有する一極性のTFT(例えばNチャネル型TFT)のみを用いて作製している。これにより、半導体層にP型を付与するイオンドーピング工程を省略することが可能となり、製造コストの削減や歩留まり向上に寄与することが出来る。

【0080】

また、本実施例の表示装置を構成しているTFTの極性はNチャネル型であるが、Pチャネル型TFTのみを用いて駆動回路および画素TFTを構成することも、本発明によつて可能となる。この場合、省略されるイオンドーピング工程は、半導体層にN型を付与する工程であることを付記する。また、本発明は液晶表示装置のみならず、絶縁体上に駆動回路を一体形成して作製する半導体装置ならばいずれのものにも適用が可能である。

【実施例3】

【0081】

実施形態およびこれまでの実施例においては、Nチャネル型のTFTのみを用いて回路を構成した例を示したが、電源電位の高低を置き換えることにより、Pチャネル型TFTのみを用いても同様の回路が構成出来る。

【0082】

図13(A)(B)は、Pチャネル型のTFTのみを用いて構成したシフトレジスタの例である。図13(A)に示したブロック図に関しては、図1に示したNチャネル型のTFTのみを用いて構成したシフトレジスタと同様の構成であり、ブロック1300が、1段分のサンプリングパルスを出力するパルス出力回路である。Nチャネル型TFTによって構成されたシフトレジスタと異なる点として、図13(B)に示すように、電源電位の高低が逆となっている。

【0083】

図14に、タイミングチャートおよび出力パルスを示す。各部の動作は、実施形態にて図1、図2を用いて説明したので、ここでは詳細な説明は省略する。図2に示したものとは、ちょうどHレベルとLレベルが逆転した形となる。

【実施例4】

【0084】

今回、図15に示すようなしふとレジスタのテストピースを作製した。パルス出力回路9段をもつてなる構成であり、各TFTのチャネル長／チャネル幅および、容量値は図15に付した通りである。

【0085】

このシフトレジスタの回路シミュレーション結果を図16に示す。動作条件として、入力信号の振幅は、Lレベル／Hレベル = 0V / 10Vとし、回路の電源電位も同様とした。図16の出力は、グラフ上より、第1のクロック信号(CK1)、スタートパルス(SP)、シフトレジスタ第1段出力(SROut1)、シフトレジスタ第2段出力(SROut2)、シフトレジスタ第3段出力(SROut3)、シフトレジスタ第4段出力(SROut4)である。

【0086】

図17に、実際に作製したシフトレジスタのテストピースの動作検証結果を示す。図17(A)は、グラフ上より、第1のクロック信号(CK1)、スタートパルス(SP)、シフトレジスタ第1段出力(SROut1)、シフトレジスタ第2段出力(SROut2)、シフトレジスタ第3段出力(SROut3)、シフトレジスタ第4段出力(SROut4)を示しており、図17(B)は、グラフ上より、第1のクロック信号(CK1)、スタートパルス(SP)、シフトレジスタ第6段出力(SROut6)、シフトレジスタ第7段出力(SROut7)、シフトレジスタ第8段出力(SROut8)、シフトレジ

10

20

30

40

50

スタ最終段出力(S R O u t 9)を示している。図 17 (A) (B)によると、電源電圧 10V、駆動周波数 5MHz 程度で、正常動作を確認した。

【実施例 5】

【0087】

本発明は、様々な電子機器に用いられている表示装置の作製に適用が可能である。このような電子機器には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、携帯電話等が挙げられる。それらの一例を図 8 に示す。

【0088】

図 8 (A)は液晶ディスプレイ(L C D)であり、筐体 3001、支持台 3002、表示部 3003 等により構成されている。本発明は、表示部 3003 に適用が可能である。 10

【0089】

図 8 (B)はビデオカメラであり、本体 3011、表示部 3012、音声入力部 3013、操作スイッチ 3014、バッテリー 3015、受像部 3016 等により構成されている。本発明は、表示部 3012 に適用が可能である。

【0090】

図 8 (C)はノート型のパーソナルコンピュータであり、本体 3021、筐体 3022、表示部 3023、キーボード 3024 等により構成されている。本発明は、表示部 3023 に適用が可能である。 20

【0091】

図 8 (D)は携帯情報端末であり、本体 3031、スタイルス 3032、表示部 3033、操作ボタン 3034、外部インターフェイス 3035 等により構成されている。本発明は、表示部 3033 に適用が可能である。 20

【0092】

図 8 (E)は音響再生装置、具体的には車載用のオーディオ装置であり、本体 3041、表示部 3042、操作スイッチ 3043、3044 等により構成されている。本発明は表示部 3042 に適用が可能である。また、本実施例では車載用オーディオ装置を例に挙げたが、携帯型もしくは家庭用のオーディオ装置に用いても良い。

【0093】

図 8 (F)はデジタルカメラであり、本体 3051、表示部 (A) 3052、接眼部 3053、操作スイッチ 3054、表示部 (B) 3055、バッテリー 3056 等により構成されている。本発明は、表示部 (A) 3052 および表示部 (B) 3055 に適用が可能である。 30

【0094】

図 8 (G)は携帯電話であり、本体 3061、音声出力部 3062、音声入力部 3063、表示部 3064、操作スイッチ 3065、アンテナ 3066 等により構成されている。本発明は、表示部 3064 に適用が可能である。

【0095】

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【図面の簡単な説明】

【0096】

【図 1】本発明のパルス出力回路を用いて構成したシフトレジスタの一形態を示す図。

【図 2】図 1 に示したシフトレジスタを駆動するタイミングチャートを示す図。

【図 3】本発明の一実施例である、走査方向切替機能を付加したシフトレジスタを示す図。

【図 4】図 3 に示したシフトレジスタを駆動するタイミングチャートの一例を示す図。

【図 5】本発明によって提供される表示装置における、ソース信号線駆動回路の構成例を示す図。

【図 6】本発明によって提供される表示装置における、レベルシフタの回路構成の詳細図。

【図7】本発明によって提供される表示装置における、NAND回路、バッファ、サンプリングスイッチの回路構成の詳細図。

【図8】本発明の適用が可能な電子機器の例を示す図。

【図9】従来型CMOSインバータおよび負荷型インバータの構成と、それぞれの入出力信号の波形を示す図。

【図10】本発明のパルス出力回路の動作原理を説明する図。

【図11】従来型のシフトレジスタの回路構成とタイミングチャートを示す図。

【図12】本発明によって提供される表示装置の全体外観を示す図。

【図13】実施形態とは異なる導電型のトランジスタによって構成されたパルス出力回路を用いたシフトレジスタを示す図。 10

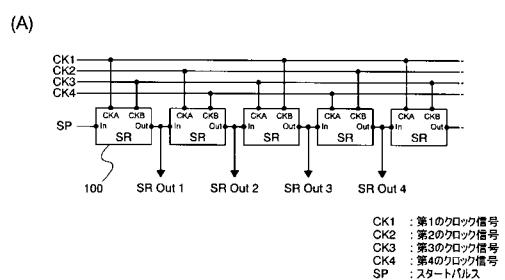
【図14】図13に示したシフトレジスタを駆動するタイミングチャートを示す図。

【図15】作製したシフトレジスタのテストピースにおけるTFTサイズおよび容量値を示す図。

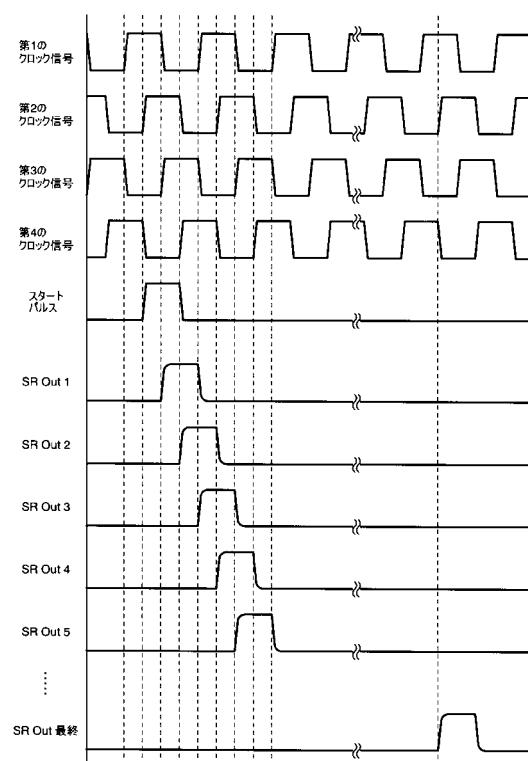
【図16】図15に示したシフトレジスタのシミュレーション結果を示す図。

【図17】図15に示したシフトレジスタを実際に作製し、測定した結果を示す図。

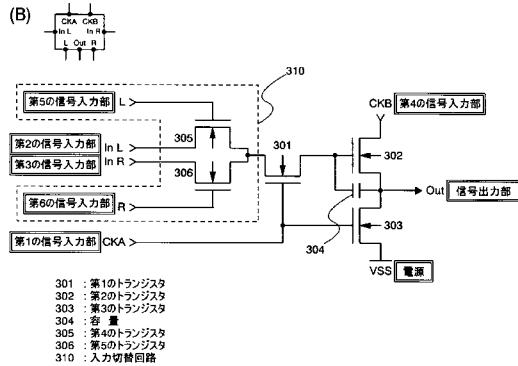
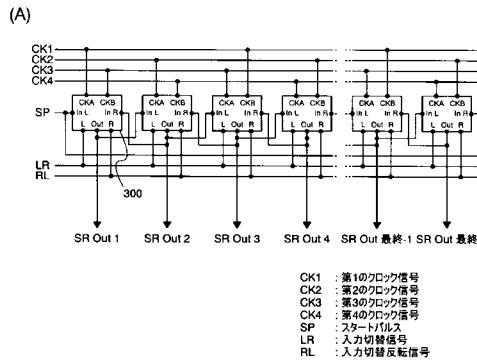
【図1】



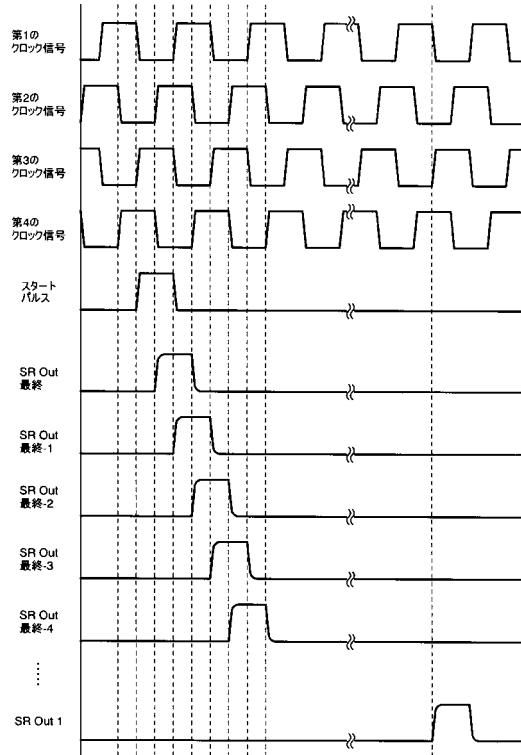
【図2】



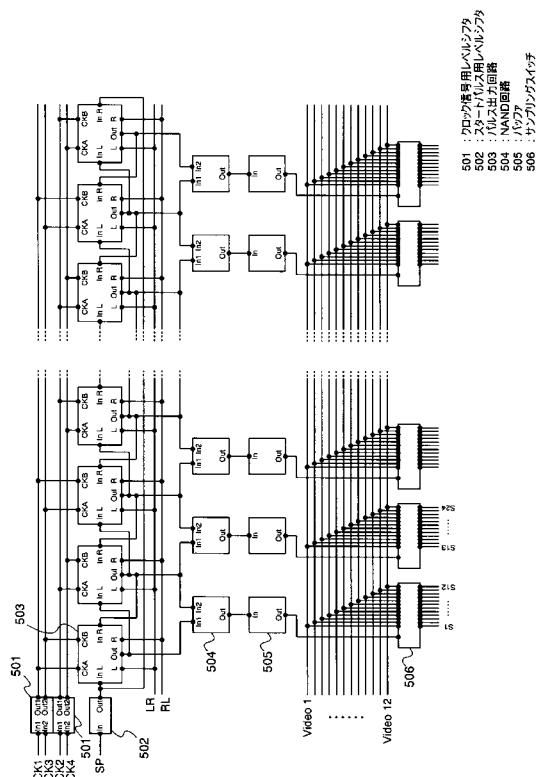
【図3】



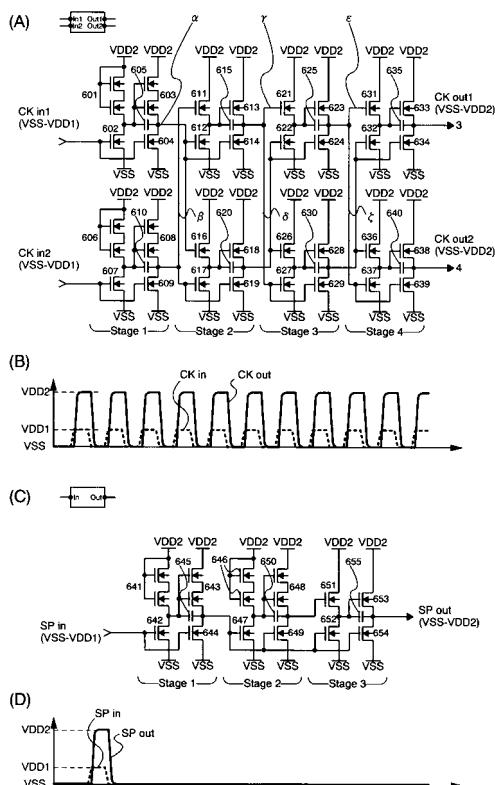
【図4】



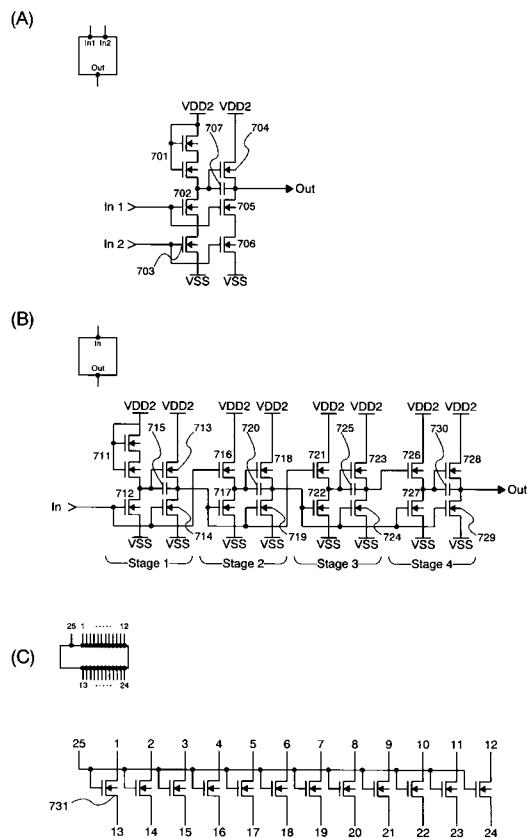
【図5】



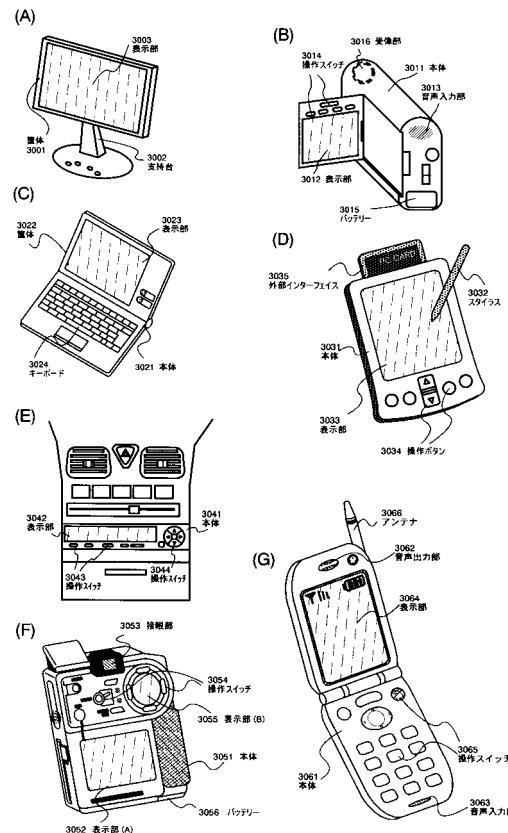
【図6】



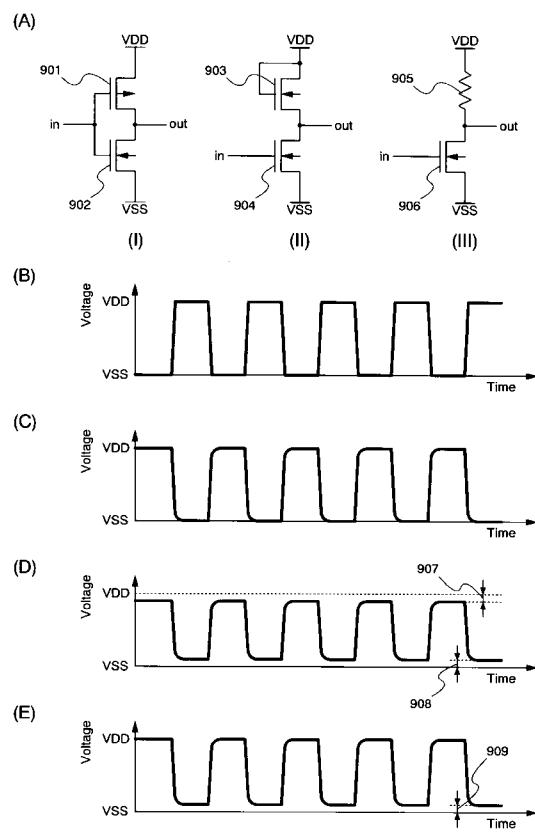
【図7】



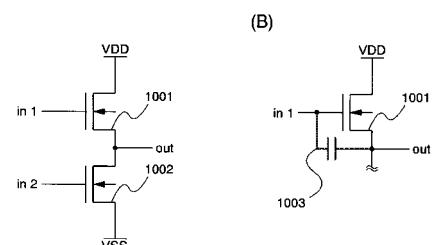
【図8】



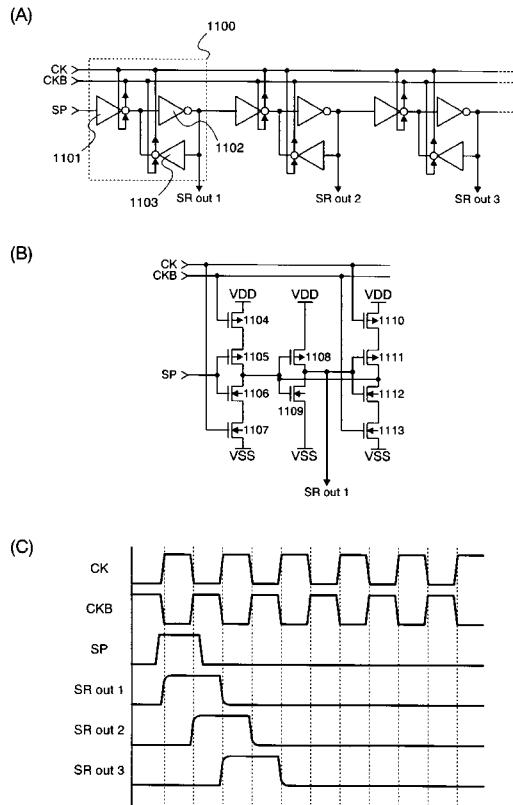
【図9】



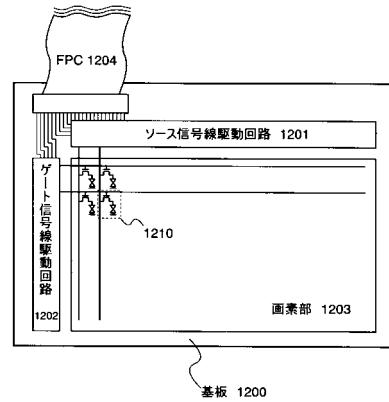
【図10】



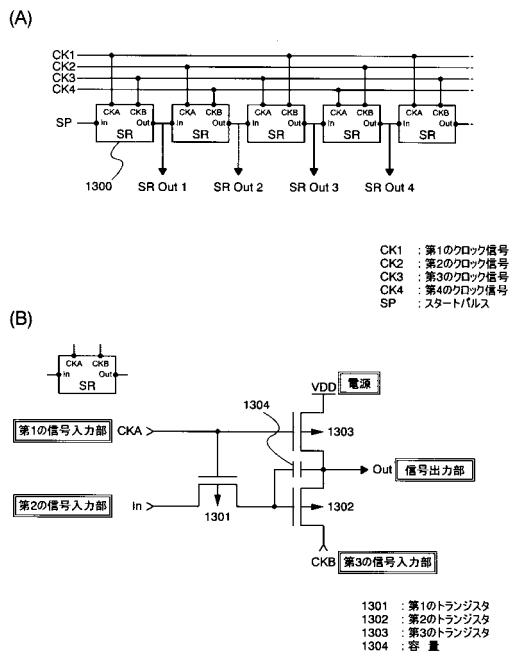
【図11】



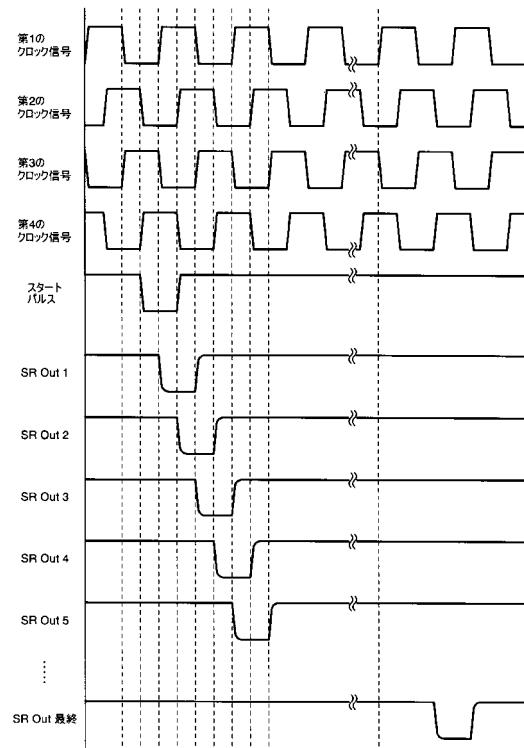
【図12】



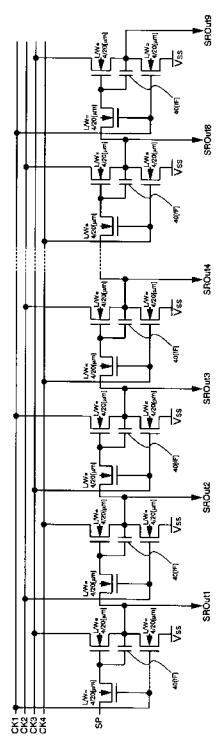
【図13】



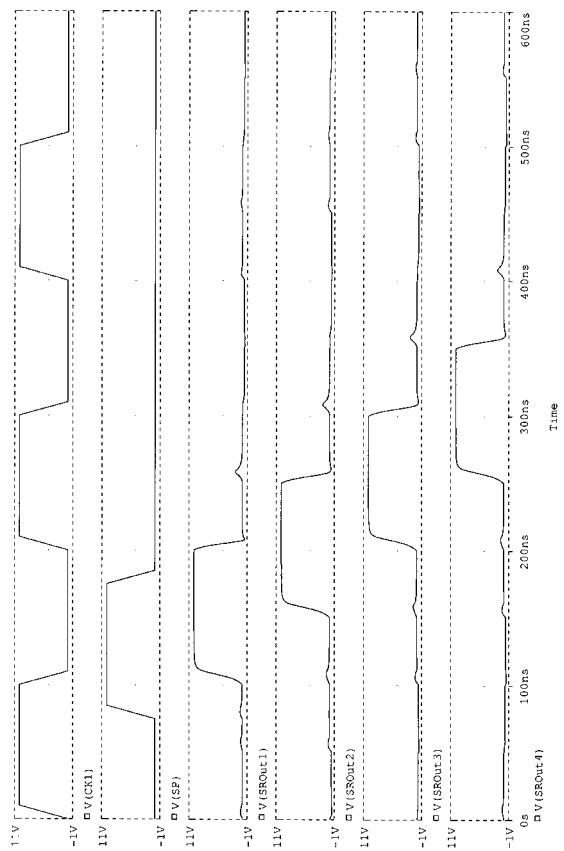
【図14】



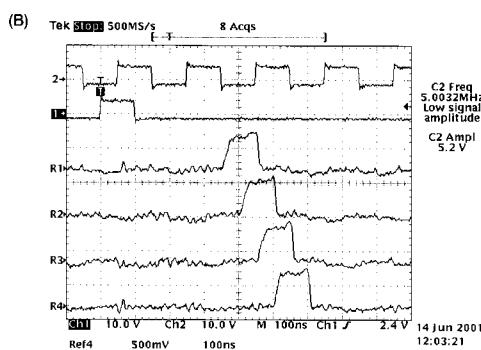
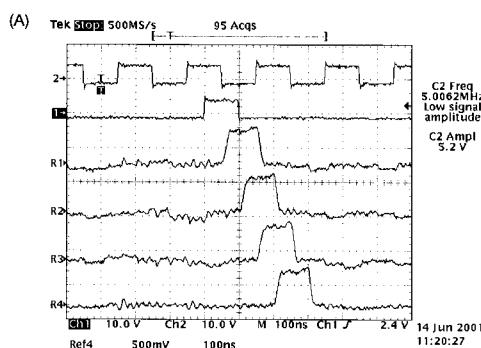
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl.

F I

G 1 1 C 19/00

J

G 1 1 C 19/28

D

審査官 石田 勝

(56)参考文献 特開平9-246936(JP,A)

特開平9-46216(JP,A)

特開平10-112645(JP,A)

特開昭64-044683(JP,A)

特開2000-259111(JP,A)

特開昭55-97092(JP,A)

特開昭64-62019(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 3 K 3 / 3 5 6

G 0 9 G 3 / 2 0

G 0 9 G 3 / 3 6

G 1 1 C 1 9 / 0 0

G 1 1 C 1 9 / 2 8