(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/41

(45) 공고일자 1998년12월01일
(11) 등록번호 특0150495
(24) 등록일자 1998년06월15일

(21) 출원번호 특1994-037925
(22) 출원일자 1994년12월28일
(65) 공개번호 특1995-020736
(43) 공개일자 1995년07월24일
(30) 우선권주장 93-337489 1993년12월28일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지도시바 마이크로일렉트로닉스 가부시키가이샤 오카모토 세이시
일본국 가나가와현 가와사키시 가와사키구 에키마에혼정 25번지 1
(72) 발명자 호시 사토루
일본국 가나가와현 가와사키시 가와사키구 에키마에혼정 25번지 1 도시바 마이크로일렉트로닉스 가부시키가이샤내
마스다 마사미
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가이샤 도시바 반도체시스템 기술센터내
(74) 대리인 이세진, 김윤배

심사관 : 정희환

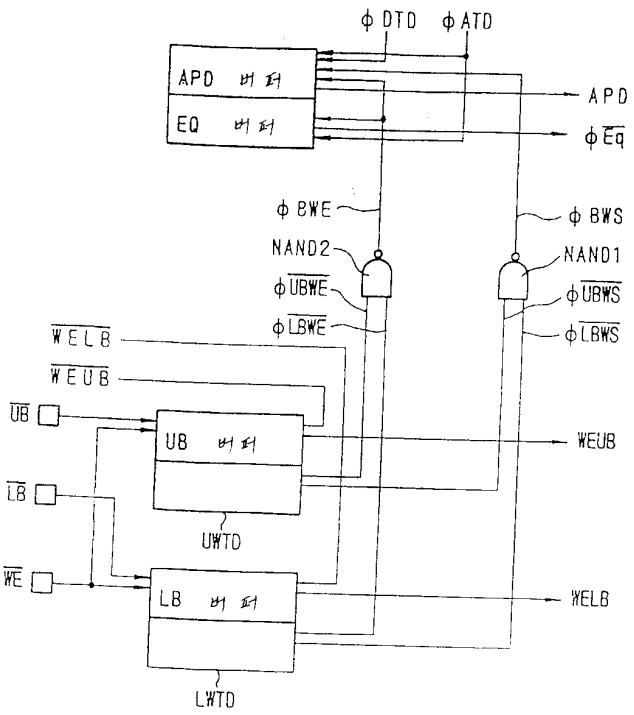
(54) 반도체 기억장치

요약

본 발명은, 복수의 바이트를 개별적으로 제어하는 비동기형의 메모리에 있어서, 바이트 제어신호가 가입사이클중에 임의로 변화한 경우에도, 기입시의 오토파워다운의 해제를 가능하게 하고, 다시 기입후의 데이터의 독출을 보정한다.

데이터 입출력단자(I/OUB, I/OLB)에서 상위바이트 데이터 입력버(DinUBm), 하위바이트 데이터 입력버퍼(DinLBn)를 통한 내부 데이터버스(DbusUB, DbusLB)에 데이터를 접속하는 것이면서 기입요구신호(/WE)와 상위바이트 제어신호(/UB)나 하위바이트 제어신호(/LB)의 각각의 논리조건에 있어서, 변화검출부(UWTD, LWTD)로 기입개시 동기펄스(φBWS)나 기입종료 동기펄스(φBWE)를 발생시켜 이용하는 것에 의해 바이트마다에 독립하여 데이터의 기입과 독출을 행하는 경우에 이것을 데이터의 조건에 의하지 않고 가능하게 함과 동시에 데이터를 기입한 상태로부터 어드레스를 변화하지 않고 바로 독출로 들어가는 경우도 이것을 방해하지 않는다.

대표도



명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 반도체 기억장치의 부분 블록도.

제2도는 제1도의 구성에 있어서, 하위 바이트 제어신호(/LB)만을 임의로 변화시킨 경우의 동작을 설명하기 위한 타이밍 챠트.

제3도는 본 발명의 제2실시예의 불록도.

제4도는 제3도의 구성에서의 동작을 설명하기 위한 타이밍 챠트.

제5도는 종래의 반도체 기억장치의 블록도.

제6도는 제5도의 구성의 동작을 설명하기 위한 타이밍 챠트.

제7도는 제5도의 구성에 있어서, 하위 바이트 데이터 입력버퍼(DinLBm)의 초기 단계의 구성을 도시한 블록도.

제8도는 제5도의 구성에 있어서, 하위 바이트 제어신호(/LB)만을 임의로 변화시킨 경우의 동작을 설명하기 위한 타이밍 챠트.

제9도는 제5도의 구성에 있어서, 기입 요구신호(/WE)가 변화한 경우의 동작을 설명하기 위한 타이밍 챠트.

* 도면의 주요부분에 대한 부호의 설명

I/OUBm, I/OLBn : 데이터 입출력 단자

DinUBm : 상위 바이트 데이터 입력버퍼

DinLBm : 하위 바이트 데이터 입력버퍼　　DTD : 데이터 천이 검출회로

APDbuffer : 오토파워다운회로　　EQbuffer : 이퀄라이저회로

UBbuffer : 상위 바이트 제어신호 버퍼

LBbuffer : 하위 바이트 제어신호 버퍼

WEdet : 기입요구신호 검출부　　SWBUB, SWBLB : 섹션기입버퍼

SSAUB, SSALB : 섹션독출버퍼　　G : 게이트

ZUB,ZLB : 선택셀 WL : 워드선

CD : 행디코더선 S : 섹션

DbusUB, DbuLB : 내부 데이터버스 UWTD, LWTD : 변화검출부

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은, 반도체 메모리장치에 있어서, 특히 2바이트 이상의 데이터입출력 버스를 갖고, 바이트 단위로 데이터의 기입이 가능한 비동기 스태틱 메모리소자에 적용하는 바람직한 반도체 메모리장치에 관한 것이다.

[종래의 기술 및 그 문제점]

최근의 CPU의 기능향상에 따라 데이터버스의 폭이 넓은 시스템이 사용되는 것이 많아져 오고 있다. 이 때문에, 메모리소자의 데이터버스 폭도 수바이트로 넓은 것이 요구되고 있고, 더욱이 바이트단위의 독출하며, 혹은 기입을 할 수 있도록 한 기능이 필요로 되고 있다.

제5도는, 일반적인 2바이트의 데이터 폭을 갖고, 종래의 비동기형 반도체 메모리장치의 시스템도를 도시한 것이다.

도면에 있어서 도시하는 바와 같이, 데이터는 상위바이트와, 하위바이트로서 취급하고 있다.

입출력데이터중에서, 상위바이트는 데이터 입출력단자(I/OUB1-I/OUB8(이하, I/OUBm))을 매개로 입출력된다. 한편, 하위바이트는 데이터 입출력단자(I/OUB1-I/OUB8(이하, I/OUBm))를 매개로 입출력된다.

데이터 입출력단자(I/OUBm)로의 입력데이터는 상위바이트가 기입동작 상태인 경우는 상위바이트 데이터입력 버퍼(DinUBm)를 매개로 상위바이트 내부 데이터버스에 출력된다. 또한, 상위바이트가 독출하는 동작상태인 경우는 상기의 상위바이트 내부 데이터버스의 데이터가 상위바이트 데이터 출력버퍼를 매개로 데이터 입출력단자(I/OUBm)로부터 외부로 출력된다.

데이터 입출력단자(I/OLBn)으로의 입력데이터는 하위바이트가 기입동작 상태인 경우는 하위바이트 데이터 입력버퍼(DinLBm)를 매개로 하위바이트 내부데이터에 출력된다. 또한, 하위바이트가 독출하는 동작상태인 경우는 상기의 하위바이트 내부데이터의 데이터가 하위바이트 데이터 출력버퍼를 매개로 데이터 입출력단자(I/OLBn)로부터 외부로 출력된다.

상위바이트 데이터 입력버퍼(DinUBm) 및 상위바이트 데이터 출력버퍼(DoutUBm)는 내부 데이터버스(DbusUB)에 접속된다. 상위바이트 데이터 입력버퍼(DinUBm)는 상위바이트 기입요구신호(WEUB)에 의해 제어된다. 덧붙여, 상위바이트 데이터 입력버퍼(DinUBm)으로의 입력데이터는 전원공급을 위한 대기상태 이외의 경우에 내부 데이터버스(DbusUB)로 출력된다.

하위바이트 데이터 입력버퍼(DinLBn) 및 하위바이트 데이터 출력버퍼(DoutLB)는 내부 데이터버스(DbusLB)에 접속된다. 하위바이트 데이터 입력버퍼(DinUBn)는 하위바이트 기입요구신호(WELB)에 의해 제어된다. 덧붙여, 하위데이터 입버퍼(DinLBn)으로의 입력데이터는 전원공급을 위한 대기상태 이외의 경우에 내부 데이터버스(DbusLB)로 출력된다.

이 메모리소자는 외부로부터의 상위바이트 제어신호(/UB), 하위바이트 제어신호(/LB), 기입요구신호(/WE)에 의해 제어된다. 상위바이트 제어신호(/UB)는 상위바이트 제어신호버퍼(UBbuffer)를 매개로 입력된다. 하위바이트 제어신호(/LB)는 하위바이트 제어신호버퍼(LBbuffer)를 매개로 입력된다. 입력요구신호(/WE)는 상위바이트 제어신호버퍼(UBbuffer)와, 하위바이트 제어신호버퍼(LBbuffer) 및 기입요구신호 검출부(WEdet)에 입력된다.

상위바이트 제어신호버퍼(UBbuffer)에서는 상위바이트 기입요구신호(WEUB, /WEUB)가 메모리 내부에 공급된다. 하위바이트 제어신호버퍼(LBbuffer) 제어신호버퍼(UBbuffer)에서는 하위바이트 기입요구신호(WELB, /WELB)가 메모리 내부에 공급된다.

기입요구신호 검출부(WEdet)에서는 기입개시 동기펄스(ϕWS), 기입종료 동기펄스(ϕWE)가 메모리 내부에 공급된다.

데이터 천이검출회로(DTD)는 상위바이트 기입요구신호(WEUB, /WEUB) 및 하위바이트 기입요구신호(WELB, /WELB)에 의해 동작상태로 되고 있는 상위바이트 기입요구신호(WEUB, /WEUB) 및 하위바이트 기입요구신호(WELB, /WELB)에 의해 동작상태로 되어 있는 상위바이트 데이터 입력버퍼(DinUBm) 및 하위바이트 데이터 입력버퍼(DinLBn)를 매개로 데이터 입출력단자(I/OUBm, I/OLBn)로부터의 입력데이터의 상태를 보이고 있고, 데이터 입출력단자(I/OUBm, I/OLBn)에서 상위바이트 데이터 입력버퍼(DinUBm), 하위바이트 데이터 입력버퍼(DinLBn)에 취입된 데이터가 변화천이한 경우에 이것을 검출하여 데이터 천이펄스(ϕDTD)를 출력한다.

오토파워다운회로(APDbuffer)에는 어드레스 천이검출회로(ATD)에서의 어드레스 천이펄스(ϕATD)와, 데이터 천이검출회로(DTD)에서의 데이터 천이펄스(ϕDTD), 기입요구신호 검출부(WEdet)에서의 기입개시 동기펄스(ϕWS), 기입종료 동기펄스(ϕWE)가 입력되고, 오토파워다운 신호(APD)를 내부로 공급한다. 이 회로는 메모리칩성 전력화를 위해 데이터 입출력단자(I/OUBm, I/OLBn)에서 상위바이트 데이터 입력버퍼(DinUBm) 및 하위바이트 데이터 입력버퍼(DinLBn)로 취입된 데이터의 상태가 변화하지 않은 경우에 일정시간 경과 후, 자동적으로 파워다운하도록 구성되고, 기입개시 동기펄스(ϕWS)나 데이터 천이펄스(ϕDTD) 등이 입력되는 파워다운타임으로 제어된다.

한편, 이퀄라이저회로(Qbuffer)는 어드레스 천이검출회로(ATD)에서의 어드레스 천이펄스(ϕATA)와, 기입요구신호 검출부(WEdet)에서의 기입종료 동기펄스(ϕWE)가 입력되고, 장치내의 데이터의 이퀄라이즈/풀업 신호(ϕ/Eq)를 송출한다. 이 신호(ϕ/Eq)는 상위 및 하위바이트 데이터선(dUB, /dUB; dLB, /dLB)을 이퀄

라이즈하는 이퀄라이즈 트랜지스터(TUBEq, TLBEq)의 게이트에 공급된다.

메모리 셀의 어드레스 신호(Ass)로 지정되는 섹션(S)에는 상위바이트에 대응하는 선택셀(ZUB)와, 하위바이트에 대응하는 선택셀(ZLB)이 배치되어 있고, 워드선(WL)을 활성화하는 것에 의해 선택된다.

선택셀(ZUB)는 행디코더선(CD)에 의해 제어되는 게이트(G)를 매개로 상위바이트 데이터선(dUB, /dUB)에 접속된다. 한편, 선택셀(ZLB)은 행디코더선(CD)에 의해 제어되는 게이트(G)를 매개로 하위바이트 데이터선(dLB, /dLB)에 접속된다.

한편, 상위바이트 데이터선(dUB, /dUB)는 섹션 기입버퍼(SWBUB) 및 섹션독출버퍼(SSAUB)에 접속되어 있고, 내부 데이터버스(DbusUB) 사이에서의 입출력을 행한다. 덧붙여, 섹션 기입버퍼(SWBUB) 및 섹션 독출버퍼(SSAUB)는 상위바이트 기입요구신호(WEUB), 오토파워다운신호(APD) 및 어드레스신호(As)가 입력되고, 이들의 신호에 의해 제어된다.

또한, 하위바이트 데이터선(dLB, /dLB)는 섹션기입버퍼(SWBLB) 및 섹션독출버퍼(SSALB)에 접속되어 있고, 내부 데이터버스(DbusLB)와의 사이에서의 데이터 입출력을 행한다. 덧붙여, 섹션기입버퍼(SWBLB) 및 섹션독출버퍼(SSALB)는 하위바이트 기입요구신호(WELB), 오토파워다운신호(APD) 및 어드레스신호(As)가 입력되고, 이들의 신호에 의해 제어된다.

메모리셀은 오토파워다운신호(APD)가 L레벨인 경우에, 섹션기입버퍼(SWBUB) 및 섹션기입버퍼(SWBUB) 및 섹션기입버퍼(SWBLB) 등을 대기상태로 한다. 그래서, 데이터 입출력단자(I/OUB, I/OLB)의 입력데이터가 변화하고, 상위바이트 데이터입력버퍼(DinUBm)나 하위바이트 데이터 입력버퍼(DinLBn)의 상태가 변화하여 이것이 데이터 천이검출회로(DTD)에서 검출된 경우에 오토파워다운회로(APDbuffer)에 있어서 오토파워다운이 해제된 오토파워다운신호(APD)는 L레벨로부터 H레벨로 변화한다.

이상 상술한 바와 같은 구성에 있어서, 다음에 그 동작을 제6도의 타이밍 챠트에 따라 설명한다. 제6도에 있어서, (a)는 /WE, (b)는 /UB, (c)는 /LB, (d)는 상위바이트 기입요구신호(WEUB), (e)는 하위바이트 기입요구신호(WELB), (f)는 상위바이트 기입요구신호(/WEUB), (g)는 하위바이트 기입요구신호(/WELB), (h)는 기입개시 동기펄스(ϕWS), (i)는 데이터 출력단자(I/OUBm)의 상태, (j)는 데이터 입출력단자(I/OLBn)의 상태, (k)는 데이터 천이펄스(ϕDTD), (l)은 오토파워다운신호(APD), (m)은 내부 데이터버스(DbusUB)의 상태, (n)은 내부 데이터버스(DbusLB)의 상태, (o)는 상위바이트 데이터선(dUB, /dUB), (p)는 하위바이트 데이터선(dLB, /dLB)를 각각 도시한 것이다.

먼저, 시각(t0)에, 데이터 입출력단자(I/OUBm)와 데이터 입출력단자(I/OLBn)로의 기입데이터의 상태가 변화함과 더불어 기입요구신호(/WE)가 H레벨에서 L레벨로 변화하는 것으로 한다.

그 결과, 기입요구신호(/WE)의 변화를 받아 기입요구신호 검출부(WEdet)는 그 출력인 기입개시 동기펄스(ϕWS)를 시각(t2)에서 일정시간 H레벨로 되는 펄스로서 출력한다.

한편, 시간(t0)에 이어 시각(t1)에 상위바이트 제어신호(/UB)와 하위바이트 제어신호(/LB)가 H레벨로부터 L레벨로 변화한다.

그 결과, 상위바이트 제어신호(/UB)와 기입요구신호(/WE)의 변화를 받아 상위바이트 제어신호 버퍼(UBbuffer)는 그 출력인 상위바이트 기입요구신호(WEB)를 시각(t3)의 타이밍으로 L레벨에서 H레벨로, 마찬가지로 상위바이트 기입요구신호(/WEUB)를 시각(t3)의 타잉으로 H레벨로 변화시킨다.

한편, 하위바이트 제어신호(/LB)와 기입요구신호(/WE)의 변화를 받아 하위바이트 제어신호버퍼(LBbuffer)는 그 출력인 하위바이트 기입요구신호(WELB)를 시각(t3)의 타이밍으로 L레벨로부터 H레벨로 같은 하위바이트 기입요구신호(/WELB)를 시각(t3)의 타이밍으로 H레벨로부터 L레벨로 변화시킨다.

그 결과, 상위바이트 데이터 입력버퍼(DinUBm)는 상위바이트 기입요구신호(/WEUB)를 받고, 데이터 출력단자(I/OUBm)의 데이터를 취입하고, 동시에 상위바이트 기입요구신호(WEUB)를 받아 취입한 데이터를 상위바이트 내부 데이터버스(DbusUB)에 시각(t5)의 타이밍으로 출력한다.

한편, 하위바이트 데이터입력버퍼(DinLBm)는 하위바이트 기입요구신호(/WELB)를 받아 데이터 입출력단자(I/OLBn)의 데이터를 취입하고, 동시에 하위바이트 기입요구신호(WELB)를 받아 취입된 데이터를 하위바이트 내부 데이터버스(DbusLB)에 시각(t5)의 타이밍으로 출력한다.

또한, 상위바이트 데이터 입력버퍼(DinUBm)와 하위데이터 입력버퍼(DinLBn)에 입력된 데이터의 변화를 받아 데이터 천이검출회로(DTD)는 데이터 천이퍼스(ϕDTD)를 시각(t4)로부터 일정시간 H레벨로 되는 펄스로서 출력한다.

한편, 데이터 천이 검출회로(DTD)로부터의 데이터 천이펄스(ϕDTD)와 기입요구신호검출부(WEdet)로부터의 기입개시 동기펄스(ϕWS) 중 어느 하나에 기초로 오토파워다운회로(APDbuffer)는 시각(t6)으로부터 시각(t8)까지의 일정시간, 오토파워다운신호(APD)를 H레벨로 추대하여 기입동작이 종료하기까지의 사이, 장치를 동작상태로 유지한다.

이들의 일련의 움직임을 받아 어드레스신호(As)에 의해 선택되어 있는 섹션(S)의 오토파워다운이 해제되고, 다시 상위바이트 기입요구신호(WEUB)에 의해 활성화하고 있는 섹션(S)의 섹션기입버퍼(SWBUB)를 통하여 시각(t7)의 타이밍으로 상위바이트 내부데이터버스(DbusUB)의 상태를 상위바이트 데이터선(dUB, /dUB)에 준다. 그 결과, 행디코더선(CD)에 의해 제어되는 게이트(G)를 매개로 상위바이트 데이터선(dUB)의 상태가 선택메모리 셀(ZUB)에 기입된다.

한편, 어드레스신호(As)에 의해 선택되어 있는 섹션(S)의 오토파워다운이 해제되고, 다시 하위바이트 기입요구신호(WELB)에 의해 활성화하고 있는 섹션(S)의 섹션기입버퍼(SWBLB)를 통하여 시각(t7)의 타이밍으로 하위바이트 내부 데이터버스(DbusLB)의 상태를 상위바이트 데이터선(dLB, /dLB)로 준다. 그 결과, 행디코더선(CD)에 의해 제어되는 게이트(G)를 매개로 상위바이트 데이터선(dLB)의 상태가 선택메모리셀(ZLB)에 기입된다.

다음, 시각(t9)의 타이밍으로 데이터 입출력단자(I/OLBn)의 입력데이터가 변화하면, 새로운 데이터는 하위바이트 데이터 입력버퍼(DinLBn)를 매개로 하위바이트 내부데이터버스(DbusLB)에 출력된다. 동시에, 하위바이트 데이터 입력버퍼(DinLBn)에 입력된 데이터의 변화를 받아 데이터 천이검출회로(DTD)는 데이터천이펄스(φDTD)를 시각(t10)에서 일정 시간 H레벨로 되는 펄스로서 출력한다. 거의 t8에서 오토파워다운상태로 되어 있던 오토파워다운회로(APDbuffer)는 데이터천이펄스(φDTD)의 입력을 받고, 재차 시각(t2)에서 시각(t6)까지의 일정시간, 오토파워다운신호(APD)를 H레벨로 추대한다. 이들의 동작을 받아 어드레스신호(As)에 의해 선택되어 있는 섹션(S)의 오토파워다운이 제거되고, 다시 하위바이트 기입요구신호(WELB)에 의해 활성화하고 있는 섹션(S)의 섹션 기입버퍼(SWBLB)를 통하여 시각(t13)의 타이밍으로 하위바이트 내부데이터버스(DbusLB)의 새로운 데이터를 하위바이트 데이터선(dLB, /dLB)에 준다. 그 결과, 행디코더선(CD)에 의해 제어되는 게이트(G)를 매개로 하위바이트 데이터선(dLB)의 상태가 선택메모리셀(ZLB)에 기입된다.

그래서, 상위바이트 제어신호(/UB)가 시각(t14)의 타이밍으로 비선택으로 된 경우 시각(t15)의 타이밍으로 상위바이트 기입요구신호(WEUB)가 L, 같게 시각(t15)의 타이밍으로 상위바이트 기입요구신호(WEUB)가 H로 되고, 각각 디스에이블상태로 된다. 이 결과, 섹션기입버퍼(SWBUB)는 대기상태로 되고, 동시에 상위바이트 데이터 입력버퍼(DinUBm)의 입력초단에 관통전류가 흐르는 것을 방지하기 위해 상위바이트 기입요구신호(/WEUB)에 의해 입력초단의 동작이 금지되고, 또한, 상위바이트 내부 데이터버스(DbuUB)의 데이터를 보유하기 때무네 상위바이트 데이터입력레버(DinUBm)의 출력상태는 고인피던스 상태로 된다.

한편, 하위바이트 제어신호(/LB)가 시각(t14)의 타이밍으로 비선택으로 된 경우는 시각(t15)의 타이밍으로 하위바이트 기입요구신호(WELB)가 L로, 마찬가지로 시각(t15)이 타이밍으로 하위바이트 기입요구신호(/WELB)가 H로 되고, 각각 디스에이블상태로 된다. 이 결과, 섹션기입버퍼(SWBLB)는 대기상태로 되고, 동시에 상위바이트 데이터 입력버퍼(DinLBm)의 입력초단으로 관통전류가 흐르는 것을 방지하기 위해 상위바이트 기입요구신호(/WELB)에 의해 입력초단의 동작을 금지되고, 또한 상위바이트 내부 데이터버스(DbusLB)의 데이터를 보유하기 때문에 상위바이트 데이터입력버퍼(DinLBm)의 출력상태는 고인피던스상태로 된다.

이상과 같이, 바이트단위의 데이터의 기입을 행하려고 하면 동일의 기입 사이클중에서 상위바이트 제어신호(/UB), 하위바이트 제어신호(/LB)가 독립으로 임의의 변화를 하는것으로 된다.

여기서, 제7도에 데이터 출력단자(I/OLB)에 관련되는 하위바이트 데이터입력버퍼(DinLBn)의 초단의 부분구성을 도시한다. 도면에도 도시하는 바와 같이, 데이터 출력단자(I/OLBn)에서의 입력은 하위바이트 기입요구신호(/WELB)를 입력되는 NOR형 게이트(NOR)에 주어진다.

그런데, 제5도의 구성에 있어서, 하위바이트 제어신호(/LB)만을 의의로 변화시키는 경우의 동작에 대해서 제8도의 타이밍 챠트에 따라서 설명한다. 이와 관련하여, 제8도에 있어서, (a)는 기입요구신호(/WE), (b)는 하위바이트 제어신호(/LB), (c)는 하위바이트 기입요구신호(/WELB)의 반전신호(WELB), (d)는 하위바이트 기입요구신호(/WELB), (e)는 데이터 입출력단자(I/OLBn)의 상태, (f)는 기입개시 동기펄스(φWS), (g)는 데이터 천이펄스(φDTD), (h)는 오토파워다운신호(APD), (i)는 내부 데이터버스(DbusLB), (j)는 하위바이트 데이터선(dLB, /dLB)의 상태를 각각 도시한 것이다.

시각(t0)에서, 데이터 입출력단자(I/OLBn)로의 입력데이터의 상태가 변화하고, 기입요구신호(/WE)가 H레벨로부터 L레벨로 변화하며, 이것에 계속하여 시각(t1)에 하위바이트 제어신호(/LB)가 H레벨로부터 L레벨로 변화한 경우의 동작에 대해서는 앞에 서술한 것과 완전히 같다.

요컨대, 기입요구신호(/WE)와 하위바이트 제어신호(/LB)의 H레벨로부터 L레벨의 변화를 받아 하위바이트 기입요구신호(WELB)가 시각(t2)에 H레벨로부터 L레벨로 동시에 하위바이트 기입요구신호(/WELB)가 L레벨로부터 H레벨로 변화한다. 그 결과, 하위바이트 기입요구신호(/WELB)를 입력되는 NOR형 게이트(NOR)를 통하여 데이터 입출력단자(I/OLBn)의 입력데이터가 하위바이트 입력버퍼(DinLBn)에 입력되고, 동시에 변화한 하위바이트 기입요구신호(WELB)에 의해 하위바이트 데이터 입력버퍼(DinLBn)의 출력이 저인피던스 상태로 된다. 즉, 데이터 입출력단자(I/OLBn)의 입력데이터 상태가 하위바이트 내부데이터버스(DbusLB)에 시각(t5)의 타이밍으로 출력된다.

한편, 기입요구신호(/WE)의 변화를 받아 기입요구신호 검출부(WEdet)는 기입개시내부 동기신호(φWS)를 시각(t3)으로부터 일정시간 H레벨로 되는 펄스로서 출력되고, 마찬가지로 하위바이트 데이터 입력버퍼(DinLBm)에 입력된 데이터의 변화를 받아 데이터 천이검출회로(DTD)는 데이터 천이펄스(φDTD)를 시각(t4)로부터 일정시간 H레벨로 되는 펄스로서 출력된다. 이것을 받아서, 오토파워다운회로(APDbuffer)는 시각(t6)으로부터 시각(t9)까지의 일정시간 오토파워다운신호(APD)를 H레벨로 추대하고, 기입동작이 종료하기까지의 사이에 장치를 동작상태로 둔다.

그 결과, 시각(t6)의 타이밍으로, 하위바이트 데이터입력버퍼(DinLB)로부터 내부데이터버스(DbusLB)에 데이터가 출력되고, 앞서 서술한 것과 같은 공정을 지나 데이터 입출력단자(I/OLBn)에 입력된 데이터가 선택셀(ZLB)에 기입된다.

그런데, 시각(t8)의 시점에서, 하위바이트 제어신호(/LB)가 H레벨로 되돌아가면 이것에 뒤따라서 시각(t9)의 시점에서, 하위바이트 기입요구신호(WELB, /WELB)가 각각 L레벨, H레벨로 되돌아간다. 여기서, 시각(t10)의 시점에서, 오토파워다운신호(APD)가 H레벨로부터 L레벨로 되돌아가고, 재차 오토파워다운모드로 들어간 후에서 데이터 출력단자(I/OLBn)에 입력되어 있는 데이터가 시각(t11)의 시점에서 전체 H레벨로 되어 있는 것으로 한다.

이와같은 상태로, 기입요구신호(/WE)는 L레벨의 상태로, 하위바이트 제어신호(/LB)가 시각(t12)의 타이밍으로 H레벨로부터 L레벨로 천이한 것으로 한다. 이 경우, 하위바이트 제어신호버퍼(LBbuffer)로부터의 하위바이트 기입요구신호(WELB, /WELB)는 시각(t13)의 타이밍으로 각각 H레벨, L레벨로 변화한다.

그 결과, 데이터 입출력단자(I/OLBn)의 입력데이터가 하위바이트 데이터입력버퍼(DinLBn) 내부에 전달한다. 그러나, 상술한 바와 같이 데이터 입출력단자(I/OLBn)의 입력데이트는 곧바로 H레벨로 되어 있기 때

문에 하위바이트 기입요구신호(/WELB)가 변화함에도 불구하고 하위바이트 데이터 입력버퍼(DinLBn) 내부의 상태는 변화하지 않는다. 이 때문에, 검출회로(DTD)는 데이터 천이펄스(ϕDTD)를 발생할 수 없고, 오토파워다운 상태를 해제할 수 없다. 즉, 하위바이트 제어신호(/LB)가 인에이블됨에도 불구하고, 데이터의 기입을 행할 수는 없다.

한편, 제9도의 타이밍 챠트에 주목한다. 같은 도면에 있어서, (a)는 기입요구신호(/WE), (b)는 하위바이트 제어신호(/LB), (c)는 상위바이트 제어신호(/UB), (d)는 기입개시 동기펄스(ϕWS), (e)는 기입종료 동기펄스(ϕWE), (f)는 오토파워다운신호(APD), (g)는 이퀄라이즈신호(ϕEq), (h)는 상위의 내부데이터버스(DbusUBm)의 상태, (i)는 하위의 내부 데이터버스(DbusLBn)의 상태를 각각 도시한 것이다.

지금, 시각(t0)의 타이밍으로 데이터 입출력단자(I/OUB, I/OLB)로의 데이터가 변화하고, 기입요구신호(/WE)가 H레벨로부터 L레벨로 변화하는 것이다. 한편, 이것에 이어서 시각(t2)의 타이밍으로 상위바이트 제어신호(/UB)와 하위바이트 제어신호(/LB)가 H레벨로부터 L레벨로 변화하는 것으로 한다. 또한, 이 시각에 전후하여 어드레스입력은 전부 변화하지 않는 것으로 한다.

이 경우, 먼저도 서술한 바와 같이, 시각(t2)의 타이밍으로, 기입요구신호 검출부(WEdet)로부터 기입개시 동기펄스(ϕWS)가 출력되고, 이것을 받아서 시각(t3)의 타이밍으로, 오토파워다운회로(APDbuffer)로부터의 오토파워다운신호(APD)가 그 상태를 L레벨로부터 H레벨로 변화시켜 파워다운을 해제한다.

그 결과, 내부 데이터버스(DbusUB, DbusLB)에 입력데이터가 송출되고, 메모리로의 기입에 적응된다.

한편, 시각(t5)의 타이밍으로, 상위바이트 제어신호(/UB)가 L레벨로부터 H레벨로 되돌아가고, 시각(t6)의 타이밍에서, 하위바이트 제어신호(/LB)가 L레벨로부터 H레벨로 되돌아가며, 시각(t7)의 타이밍에 오토파워다운신호(APD)가 H레벨로부터 L레벨에도 들이면 장치는 파워다운모드로 들인다.

이 상태로, 시각(t8)에 기입요구신호(/WE)를 L레벨로부터 H로 그것에 이어서 시각(t10)에 상위바이트 제어신호(/UE)와 하위바이트 제어신호(/LB)를 각각 H레벨로부터 L레벨로 변화시켜 메모리상태를 기입상태로부터 독출상태로 천이시킨다.

이 경우, 기입요구신호 검출부(WEdt)에서는 시각(t11)의 시점으로 기록종료 동기펄스(ϕWE)이 출력된다. 이 때문에, 시각(t10)의 타이밍에서 오토파워다운신호(APD)가 L레벨로부터 H레벨로부터 변화하여 오토파워다운이 해제되고, 동시에 이퀄라이즈회로(EQbuffer)에 의해 이퀄라이즈신호(ϕ/Eq)가 생기며, 장치내의 데이터선 및 비버스선은 이퀄라이즈/풀업상태로 된다. 이 신호(APD)와 신호(ϕEq)의 동작은 통상의 어드레스 억세스독출동작과 마찬가지고, 당연하면서 기입요구신호(/WE)의 변화로부터 데이터입출력단자(I/OUBm) 및 데이터 입출력단자(I/OLBn)에 독출데이터가 출력되기까지의 시간은 어드레스 억세스시간(tACC)와 마찬가지이다.

한편, 독출시에 상위바이트 제어신호(/UB) 또는 하위바이트 제어신호(/LB)가 인에이블상태로 변화하면서 데이터입출력단자(I/OUBm) 또는 데이터입출력단자(I/OLBn)에 출력데이터가 출력되기까지의 시간은 바이트 억세스시간(tUB, tLB)으로 정위된다. 이 바이트 억세스시간(tUB, tLB)은 상위바이트 내부데이터버스(DbusUB) 및 하위바이트 내부 데이터버스(DubsLB)의 데이터를 상위바이트 데이터 출력버퍼(DoutUBm) 및 하위바이트 데이터 출력버퍼(DoutLBn)를 매개로 데이터 입출력단자(I/OUBm) 및 데이터입출력단자(I/OLBn)에 독출데이터가 출력되기까지의 시간이기 때문에 당연하면서 tACC보다도 짧다. 그런데, 제9도에 도시한 바와 같이, 기입종료직후의 바이트 억세스인 경우는 어드레스 변화를 따르지 않음에도 불구하고, 바이트 억세스시간(tUB, tLB)을 보정할 수 없다. 즉, 제9도에 있어서, t10-t8tACC-tUB=tACC-tLB로 되는 경우는 바이트 억세스시간(tUB, tLB)에 모순이 발생하고, 대책을 위해 특수한 사양을 용의할 필요가 있고, 이것은 현실적이지 않다.

종래의 반도체 메모리 장치는 상술한 바와 같이, 복수의 바이트의 내의 임의의 바이트에 데이터를 기입을 함에도 데이터의 조합하는 상태에 의해 이것이 좋게 실현할 수 없는 것에 이를 위한 특별한 처리가 필요하고, 또한 어드레스를 변화시키지 않고 기입된 데이터를 그와 함께 독출하도록 한 경우 출력데이터 의의로 모순이 생긴다는 문제가 있다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 복수의 바이트를 개별적으로 제어하는 비동기형의 메모리에 있어서, 바이트 제어신호가 기입 사이클중에 의의로 변화한 경우에도 기입시의 오토파워다운의 해제를 가능하게 하고 더욱이 기입종료후의 데이터의 독출하는 것을 보정하도록 구성한 반도체 메모리 장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 미리 정한 비트수의 데이터로 이루어진 데이터군 마다에 기입, 독출을 행하는 반도체 메모리장치에 있어서, 상기 데이터군에 대응하는 데이터군 제어신호의 각각과, 기입요구신호와의 논리를 갖는 것에 의해 기입개시시 및 기입종료시에 동기하면서 상기 각 데이터군 마다에 독립인 내부동기펄스신호를 발생하고, 이 펄스신호에 의해 기입제어신호를 행하고, 제어신호를 구비하는 것으로서 구성된다.

또한, 상기 제어신호는 상기 기입요구신호와 독출요구신호를 공용하는 것이고, 상기 기입요구신호가 기입허용레벨일 때에는 기입을 실시하고, 기입 비허용레벨일 때에는 독출을 실시시키는 것으로서 구성된다.

또한, 미리 정한 비트수의 데이터로 이루어진 데이터군이 각각 입출력하는 입출력단자군의 복수와, 상기 데이터군의 복수의 것이 각각 개별적으로 기입/독출 가능한 메모리 군의 복수를 갖춘 메모리셀 어레이, 상기 각 메모리 셀 어레이군과 상기 각 입출력단자군을 연결하는 버스의 복수, 상기 각 입출력단자군에 대응하여 설치하고, 자기가 대응하는 상기 입출력단자군에 있어서 데이터군의 입출력이 수행되도록 하기 위한 선택레벨과 비선택베렐을 갖는 데이터군 제어신호가 주어지는 데이터군 제어신호입력단자의 복수, 기입허용레벨과 기입비허용레벨을 갖는 기입요구신호가 주어지게 되는 기입요구신호입력단, 복수의 상기 데이터군 제어신호와 상기 기입요구신호가 주어지고, 상기 데이터군 제어신호중의 선택레벨에 있는 것과

상기 기입허용레벨에 있는 상기 기입요구신호와의 노리에 기초로 기입개시신호를 출력시켜 상기 선택레벨인 상기 데이터군으로의 기입을 행하여 이후의 기입동작에 관여한 상기 데이터군 제어신호를 출력시켜 기입동작을 종료하지만 상기 기입요구신호가 레벨변화하여도 상기 데이터군 제어신호가 레벨변화하지 않는 경우에는 기입종료신호를 출력하지 않도록 제어하는 제어회로를 구비하는 것으로서 구성된다.

상기 제어회로는 상기 기입요구신호의 상기 비기입레벨시에 있어서 독출하는 동작을 행하는 것으로서 구성되고, 이 비기입레벨인 기입요구신호와 상기 데이터 제어신호중의 선택레벨인 것과의 논리를 갖아 이 선택레벨에 있는 테이터군 제어신호에 의해 선택되는 상기 입출력단자군에서의 데이터군 독출동작을 수행시키는 것으로서 구성된다.

[작용]

상기와 같이 구성된 본 발명은, 제어회로에 기입요구신호와 복수의 데이터군 제어신호가 주어진다. 이 제어신호는 기입요구신호의 기입허용레벨과, 데이터군 제어신호중의 선택레벨인 것과의 논리에 의해 기입개시신호를 출력한다. 이 후, 이들의 두개의 신호레벨이 함께 변화했을 때는 기입종료신호를 출력하지만 기입요구신호의 레벨이 변화하여도 데이터군 제어신호의 레벨이 변화하지 않을 경우에는 기입종료신호는 출력하지 않는다. 따라서, 이 후, 직접 기입한 데이터군의 독출동작에 들이는 것이 가능하게 된다. 더욱이, 상기 기입요구신호는 독출요구신호를 겸하는 것이다. 결국, 기입요구신호의 기입비허용레벨은 독출요구신호로서 상기 제어회로를 동작시킨다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다. 제1도는 본 발명의 제1실시예에 따른 반도체메모리장치의 부분 블록도이다.

즉, 제1도는 제5도의 블록(BLK)에 상당하는 부분을 도시하는 것이다.

제1도에 있어서 도시하는 바와 같이 상위바이트 제어신호(/UB)는 상위바이트 제어신호버퍼(UBbuffer)에 입력되고 하위바이트제어신호(/LB)는 하위바이트 제어신호버퍼(LBbuffer)에 입력되며 기입요구신호(/WE)는 상위바이트 제어신호버퍼(UBbuffer)와 하위바이트 제어신호버퍼(LBbuffer)의 쌍방에 입력된다.

즉, 상위바이트 제어신호버퍼(UBbuffer)에는 변화검출부(UWTD)가 접속된다. 이 검출부(UWTD)는 상위바이트 제어신호(/UB)와 기입요구신호(/WE)의 쌍방의 변화의 상태를 검출하여 기입개시 동기펄스(φUBWS)와 기입종료 동기펄스(φ/UBWE)를 출력하는 것이다.

한편, 하위바이트 제어신호버퍼(LBbuffer)에는 변화검출부(LWTD)가 접속된다. 이 검출부(LWDT)는 하위바이트 제어신호(/LB)와 기입요구신호(/WE)의 쌍방의 변화의 쌍방의 상때를 검출하여 기입개시 동기펄스(φ/LBWS)와 기입종료 동기펄스(φ/LBWE)를 출력하는 것이다.

즉, 변화검출부(UWTD)로부터의 기입종료 동기펄스(φ/UBWE)와, 변화검출부(LWTD)로부터의 기입종료 동기펄스(φ/LBWE)는 함께 NAND게이트(2)에 입력되고, 두개의 신호의 논리조건에 기초로 만들어진 기입종료 동기펄스(φBEW)가 이퀄라이즈회로(EQbuffer) 및 오토파워다운회로(APDbuffer)에 주어진다. 이와 관련하여, 기입종료 동기펄스(φ/UBWE)와 기입종료 동기펄스(φLBWE)는 통상 H레벨이고, L레벨의 부논리펄스로서 출력된다.

한편, 변화검출부(LWTD)로부터의 기입요구개시 동기펄스(φ/UBWS)와, 변화검출부(LWTD)로부터의 기입개시 동기펄스(φ/LBWS)는 함께 NAND게이트(1)에 입력되고, 두개의 신호의 논리조건에 기초로 만들어지는 기입개시동기펄스(φBWS)가 오토파워다운회로(APDbuffer)에 주어진다. 덧붙여 말하자면, 기입개시 동기펄스(φ/UBWS)와 기입개시 동기펄스(φ/LBWS)는 H레벨이고, L레벨의 부논리펄스로서 출력된다.

제3도는 제1도와 마찬가지로, 제5도의 블록(BLK)에 상당하는 부분을 도시하는 것이다. 이하, 제1도와의 차이에 대해서 설명한다. 제3실시예에 있어서, 제1도의 실시예와 다른 것은 이퀄라이즈회로(EQbuffer)의 구성이다. 본 실시예에서 이퀄라이즈회로는 바이트단위에서 독립하여 존재한다. 즉, 상위바이트 이퀄라이즈회로(UBEQbuffer)는 상위바이트 기입종료 동기펄스(φ/UBWEq)와 어드레스 천이펄스(φATD)를 받아 상위바이트 이퀄라이저펄스(φ/UBEq)를 출력한다. 상위바이트 이퀄라이즈 펄스(φUBEq)는 데이터선 이퀄라이즈 트랜지스터(TUBEq)를 포함한 상위바이트의 데이터선 이퀄라이즈/풀업트랜지스터에 공급된다.

한편, 하위바이트 이퀄라이즈회로(LBEQbuffer)는 하위바이트 기입종료 동기펄스(φ/LBWE)와, 어드레스 천이펄스(φATD)를 받아 하위바이트 이퀄라이저펄스(φ/LBEq)를 출력한다. 하위바이트 이퀄라이즈 펄스(φLBWq)는 데이터선 이퀄라이즈 트랜지스터(TLBEq)를 포함한 하위바이트의 데이터선 이퀄라이즈/풀업트랜지스터에 공급된다.

이상 상술한 바와 같은 구성에 있어서, 각각의 동작을 제2도와, 제4도의 타이밍 챠트로 하면서 설명하다.

덧붙여 말하면, 제2도는 하위바이트 제어신호(/LB)만을 변화시킨 경우의 각 부의 신호의 상태변화를 도시한 것이고, 같은 도면 (a)는 기입요구신호(/WE), (b)는 하위바이트 제어신호(/LB), (c)는 하위바이트 기입요구신호(/WELB)의 반전신호(WELB), (d)는 하위바이트 기입요구신호(/WELB), (e)는 데이터 입출력단자(I/OLBn)의 상태, (f)는 기입개시 동기펄스(φBWS), (g)는 기입종료 동기펄스(φBWE), (h)는 데이터 천이펄스(φDTD), (i)는 오토파워다운신호(APD), (j)는 이퀄라이즈신호(φEq), (k)는 하위의 내부 데이터버스(DbusLB)의 상태, (l)는 하위의 바이트 데이터선(dLB, /dLB)의 상태를 각각 도시하는 것이다.

한편, 제4도는 기입요구신호(/WE)가 변화한 경우의 각부의 신호의 상태변화를 도시하는 것이고, 같은 도면 (a)는 기입요구신호(/WE), (b)는 하위바이트 제어신호(/LB), (c)는 상위바이트 제어신호(/UB), (d) 기입개시 동기펄스(φBWS), (e)는 하위바이트 기입종료 동기펄스(φ/LBWE), (f)는 상위바이트 기입종료펄스(φUBWE), (g)는 오토파워다운신호(APD), (h)는 하위바이트 이퀄라이즈펄스(φLBEq), (i)는 상위바이트 이퀄라이즈펄스(φ/UBEq), (j)는 내부데이터버스(DbusUBm)의 상태, (k)는 내부데이터버스(DbusLBn)의 상태를 각각 도시하는 것이다.

먼저, 하위바이트 제어신호(/LB)만을 변화시킨 경우의 동작을 설명한다.

이제, 시각(t0)에서, 데이터 입출력단자(I/OLBn)로의 입력데이터의 상태가 변화하고, 기입요구신호(/WE)가 H레벨로부터 L레벨로 변화하고, 이것에 이어서 시각(tQ)에 하위바이트 제어신호(/LB)가 H레벨로부터 L레벨로 변화하는 것으로 한다.

이 경우, 기입요구신호(/WE)와 하위바이트 제어신호(/LB)의 H레벨로부터 L레벨의 변화를 받아, 하위바이트 기입요구신호(WELB)가 시각(t3)의 타이밍으로 L레벨로부터 H레벨에 마찬가지로 하위바이트 기입요구신호(/WELB)가 시각(t3)의 타이밍으로 H레벨로부터 L레벨로 변화한다.

한편, 기입요구신호(/WE)와 하위바이트 제어신호(/LB)가 함께 변화하기 위해 NAND게이트(1)에 부논리 펄스인 하위바이트 기입개시내부 동기 펄스(ϕ/LBWS)가 입력되고, 시각(t2)의 타이밍으로 기입개시 내부동기펄스(ϕBWS)가 NAND게이트(1)로부터 출력되고, 오토파워다운회로(APDbuffer)에 입력된다.

또한, 하위바이트 기입요구신호(/WELB)의 변화에 따라, 하위바이트 데이터 입력버퍼(DinLBn) 내부에 데이터 입출력단자(I/OLBn)의 데이터가 입력된다. 이때, 데이터 입출력단자(I/OLBn)의 데이터가 전부 H레벨로 되지 않는다면, 입력의 천이를 검출한 데이터 천이검출회로(DTD)가 데이터 천이펄스(ϕDTD)를 발생한다.

오토파워다운회로(APDbuffer)는 기입개시내부동기펄스(ϕBWS)가 데이터 천이펄스(ϕDTD)의 어느 빠른 쪽의 입력펄스에 기초로 시각(t3)의 타이밍으로 오토파워다운상태를 일정시간만 해제한다.

그리고, 제8도의 동작상태와 마찬가지로 하위바이트 데이터 입력버퍼(DinLBn)는 상위바이트 기입요구신호(WEUB, /WEUB)의 변화를 받아 데이터 입출력단자(I/OLBn)의 데이터상태를 (t5)의 타이밍으로 하위바이트 내부 데이터버스(DubsLB)에 출력하고, 어드레스신호(As)에 의해 선택되어 있는 섹션(S)의 오토파워다운이 해제되고, 더욱이 하위바이트 기입요구신호(WELB)에 의해 활성화하고 있는 섹션(S) 기입버퍼(SWBLB)를 통하여 시각(t6)의 타이밍으로 하위바이트 내부데이터버스(DbusLB)의 상태를 하위바이트 데이터선(dLB, /dLB)에 주어 그 결과 선택메모리 셀((ZLB)에 데이터 상태가 기입된다.

그런데, 시각(t7)의 시점에서, 하위바이트 제어신호(/LB)가 H레벨로 되돌아가면 이것에 추종하여 시각(t8)의 시점으로 하위바이트 기입요구신호(WELB)가 L레벨로 동시에 하위바이트 기입요구신호(/WELB)가 H레벨로 되돌아간다.

동시에, 하위바이트 기입종료 내부동기펄스(ϕ/LBWE)가 출력되고, 시각(t9)의 타이밍으로 기입종료 내부동기펄스(ϕBWE)가 NAND게이트(1)로부터 출력되고, 오토파워다운회로(APDbuffer) 및 이퀄라이즈회로(EQbuffer)에 입력된다.

이것을 받아 오토파워다운회로(APDbuffer)는 오토파워다운신호(APD)를 시각(t10)으로부터 (t12)의 사이 H레벨로 보유하고,동시에 이퀄라이즈회로(EQbuffer)는 데이터선 이퀄라이즈신호(EQ)를 시각(t10)으로부터 t11의 사이 발생하고, 데이터선의 이퀄라이즈를 행한다.

그러나, 하위바이트 기입요구신호(WELB)가 L레벨로 되어 있기 위한 하위바이트 데이터 입력버퍼(DinLBn)은 동작하지 않고, 하위바이트 내부데이터버스(DbusLB)의 상태는 하위바이트 내부 데이터버스 래치회로(LBlatch)에 의해 보유된다. 마찬가지로, 섹션기입버퍼(SWBLB)도 동작하지 않지만 오토파워다운신호(APD)가 해제되어 있기 때문에 선택메모리셀(ZLB)은 독출상태로 되고, 이퀄라이즈신호(EQ)가 시각(t11)에 H레벨로 복귀한 후, 오토파워다운신호(APD)가 L레벨로 되기까지의 사이 하위바이트 데이터선(dLB, /dLB)에 독출데이터가 나타난다.

시각(t12)를 경과하고, 장치가 다시 오토파워다운상태로 된 후, 시각(t13)의 타이밍으로 데이터 입출력단자(I/OLBn)의 데이터를 전체 H레벨로 한다. 이때, 하위바이트 기입요구신호(WELB, /WELB)는 어느 것도 풀업상태이기 때문에 내부회로의 상태는 전부 변화하지 않는다.

이후, 시각(t14)의 타이밍으로 하위바이트 제어신호(/LB)가 H레벨로부터 L레벨로 변화하도록 한다. 이 결과 시각(t15)의 타이밍으로 하위바이트 기입요구신호(WELB)가 H레벨로, 동시에 하위바이트 기입요구신호(/WELB)가 L레벨로 되돌아간다. 이것에 의해, 데이터 입출력단자(I/OLBn) 내부에 취입된다. 그러나, 상술한 바와 같이, 회로 내부로부터 보이는 데이터의 변화가 생기지 않기 때문에 데이터 천이검출회로(DTD)는 데이터 천이펄스(ϕDTD)를 발생하지 않는다. 또한, 하위바이트 데이터 입력버퍼(DinLBn)의 출력인 하위바이트 내부데이터버스(DbusLB)의 상태는 시각(t18)의 타이밍으로 전체의 I/O가 H데이터의 상태로 된다.

그런데, 하위바이트 제어신호(/LB)의 변화를 받아 시각(t16)의 타이밍으로 기입개시 내부 동기펄스(ϕBWS)가 NAND게이트(1)로부터 출력된다. 이것을 받은 오토파워다운회로(APDbuffer)는 시각(t17)의 타이밍으로 오토파워다운을 해제한다. 이 결과, 어드레스 신호(As)에 의해 선택되어 있는 섹션(S)의 오토파워다운이 해제되고, 더욱이 하위바이트 기입요구신호(WELB)에 의해 활성화하고 있는 섹션(S)의 섹션기입버퍼(SWBLS)를 통하여 시각(t19)의 타이밍으로 하위바이트 내부데이터 버스(DnusLB)의 전입력 H데이터의 상태를 하위바이트 데이터선(dLB, /dLB)에 주어져 그 과 선택메모리셀(ZLB)에 H데이터상태가 기입된다.

요컨대, 하위바이트 제어신호(/LB)만을 단독으로 제어하는 바와 같은 경우에도 데이터는 문제없는 메모리에 기입할 수 있다.

이것에 상위바이트 제어신호(/UB)를 단독으로 제어하는 경우에 대해서도 전부 같은 모양이다.

다음, 기입요구신호(/WE)가 변화한 경우의 동작에 대해서 설명한다.

이제, 시각(t0)의 타이밍으로 데이터 입출력단자(I/OUB, I/OLB)의 데이터가 변화하고, 기입요구신호(/WE)가 H레벨로부터 L레벨로 변화하는 것으로 한다. 한편, 이것에 이어서 시각(t1)의 타이밍으로 상위바이트 제어신호(/UB)와 하위바이트 제어신호(/LB)가 H레벨로부터 L레벨로 변화하는 것으로 한다.

이 경우, 상위바이트 제어신호(/UB)와 기입요구신호(/WE)의 변화를 받아 변화검출부(UWTD)에서는 기입개시 동기펄스(ϕ/UBWS)가 출력된다.

한편, 하위바이트 제어신호(/LB)와 기입요구신호(/WE)의 변화를 받아 변화검출부(LWTD)에서는 기입개시 동기펄스(ϕ/LBWS)가 출력된다. 이들의 신호는 NAND게이트(1)에 입력되고, 이것을 받아 시각(t12)에는 기입개시 동기펄스(ϕBWS)가 출력된다.

그 결과, 오토파워다운회로(APDbuffer)는 시각(t3)으로부터 시각(t5)까지의 일정시간 오토파워다운회로(APD)를 H레벨로 추대하고, 시각(t4)의 타이밍으로 데이터입출력단자(I/OUBm) 및 데이터 입출력단자(I/OLBn)의 입력데이터가 상위바이트 데이터 입력버퍼(DinUBm) 및 하위바이트 데이터 입력버퍼(DinLBn)을 매개로 상위바이트 내부 데이터버스(DbusUB) 및 하위바이트 내부 데이터버스(DbusLB)에 각각 전달하고, 최종적으로 선택메모리셀(ZUB, ZLB)에 기입데이터가 격납된다.

한편, 시각(t6)의 타이밍으로 하위바이트 제어신호(/LB)가 L레벨로부터 H레벨로 되돌아가면, 변화검출부(LWTD)로 입력변화가 검지되고, 하위바이트 기입종료 동기펄스(ϕ/LBWE)가 출력된다. 그 결과, 하위바이트 이퀄라이즈회로(UBEQbuffer)는 시각(t7)의 타이밍으로 상위바이트 이퀄라이즈(ϕ/LBEq)를 출력한다. 동시에, NAND게이트(2)로부터 기입종료펄스(ϕBWE)가 다시 출력되고, 이것을 받아 오토파워다운회로(APDbuffer)는 시각(t8)로부터 일정시간, 오토파워다운신호(APD)를 H레벨로 추대한다.

한편, 시각(t9)의 타이밍으로 상위바이트 제어신호(/UB)가 L레벨로부터 H레벨로 되돌아가면 변화검출부(UWTD)로 입력변화가 검지되고, 하위바이트 기입종료 동기펄스(ϕ/LBWE)가 출력된다. 그 결과, 하위바이트 이퀄라이즈회로(LBEQbuffer)는 시각(t7)의 타이밍으로 상위바이트 이퀄라이즈펄스(ϕ/LBEq)를 출력한다. 마찬가지로, NAND게이트(2)로부터 기입종료펄스(ϕBWE)가 다시 출력되고, 이것을 받아 오토파워다운회로(APDbuffer)는 시각(t8)로부터 일정시간, 오토파워다운신호(APD)를 H레벨로 추대한다.

한편, 시각(t9)의 타이밍으로 상위바이트 제어신호(/UB)가 L레벨로부터 H레벨로 되돌아가면 변화검출부(UWTD)로 입력변화가 검지되고, 상위바이트 기입종료 동기펄스(ϕ/UBWE)가 출력된다. 그 결과, 상위바이트 이퀄라이즈회로(UBEQbuffer)는 시각(t7)의 타이밍으로 상위바이트 이퀄라이즈펄스(ϕ/UBEq)를 출력한다. 마찬가지로, NAND게이트(2)로부터 기입종료펄스(ϕBWE)가 다시 출력되고, 이것을 받아 오토파워다운 회로(APDbuffer)는 다시 리셋시켜 시각(t13)까지의 일정시간, 오토파워다운신호(APD)를 H레벨로 추대한다.

이때, 하위바이트 제어신호(/LB)의 변화를 받아서 하위바이트 기입요구신호(LEUB)가 변화하고, 섹션기입버퍼(SWBLB)는 대기상태로 되며, 동시에 섹션감지증폭기(SSALB)는 동작상태로 된다. 이것을 받아서 t11의 타이밍으로 하위바이트 이퀄라이즈펄스(ϕ/LBEq)가 종료하면 선택메모리셀(ZLB)에 격납되었던 데이터가 하위바이트 내부 데이터버스(DbusLB)에 출력된다.

한편, 상위바이트 제어신호(/UB)의 변화를 받아서, 상위바이트 기입요구신호(WEUB)가 변화하고, 섹션기입버퍼(SWBUB)는 대기상태로 되며, 동시에 섹션감지증폭기(SSAUB)는 동작상태로 된다. 이것을 받아서 t12의 타이밍으로 하위바이트 이퀄라이즈펄스(ϕ/UBEq)가 종료하면 선택메모리셀(ZUB)에 격납되어있던 데이터가 상위바이트 내부 데이터버스(DbusUB)에 출력된다.

이후, 시각(t13)의 타이밍으로 오토파워다운신호(PAD)가 L레벨로 변화하면 장치는 오토파워다운모드로 된다.

이 상태로 시각(t14)의 타이밍으로 기입요구신호(/WE)를 L레벨로부터 /H로 이어서 시각(t15)의 타이밍으로 상위바이트 제어신호(/UB)와 하위바이트 제어신호(/LB)를 각각 H레벨로부터 L레벨로 변화시켜 메모리 상태를 기입상태로 부터 독출상태로 천이시킨다.

이 경우, 기입요구신호(WE)를 L레벨로부터 H레벨로 변화시켜도 상위바이트 제어신호(/UB)와 하위바이트 제어신호(/LB)의 변화가 따르지 않기 때문에 변화검출부(UWTD, LWTD)의 어느하나에서도 기입종료 동기펄스(ϕ/UBWE)와 기입종료 동기펄스(ϕ/LBWE)는 출력되지 않고 그러나 기입종료 동기펄스(ϕBWE)는 출력되지 않는다.

이 때문에, 내부 데이터버스(DbusUB, DbusLB)에 먼저 독출되어 있는 바른 데이터는 바로 독출하는 것이 가능하다. 덧붙여 말하면, 어드레스가 변화하지 않음으로 기입된 데이터를 그와 더불어 독출하도록 한 경우 특수하게 임의로 하는 것은 없이 통상의 동작과 전부 같이 실시할 수 있다.

즉, 상기 실시예에서는 변화검출부(UWTD, LWTD)를 이용해서 기입개시 동기펄스(ϕBWS)와 기입종료 동기펄스(ϕBWE)를 발생하도록 한 구성을 예시했지만, 기입요구신호(/WE), 상위바이트 제어신호(/UB) 및 하위바이트 제어신호(/LB)의 변화의 상태를 특정의 논리조건에 기초로 기입개시 동기펄스(ϕBWS)나 기입종료 동기펄스(ϕBWE)에 연결할 수 있도록 한 구성이라면 어느 구성의 것으로도 적용 가능하다.

또한, 상기 실시예에서는 복수 바이트의 메모리로서 상위와 하위 2바이트 구성인 경우를 도시했지만, 한편 다수의 바이트로 구성되는 데이터를 억세스하는 메모리 구성에도 마찬가지로 적용할 수 있다.

상술한 바와 같이, 본 발명의 실시예에 의하면, 복수의 바이트 단위로 데이터의 억세스를 행하는 것이 되고, 데이터 입출력단자로부터 상위바이트 데이터 입력버퍼 및 하위바이트 데이터 입력버퍼를 통하여 내부 데이터버스(DbusUB, DbusLB)에 데이터를 접속하면서 혹은 메모리 셀로부터 내부 데이터버스(DbusUB, DbusLB)에 데이터를 출력하는 경우에 변화검출부에 의해 데이터의 기록과 독출을 제어하는 신호인 기입요구신호(/WE)와, 데이터의 바이트를 지정선택하는 신호인 상위바이트 제어신호(/UB)나 하위바이트 제어신호(/LB)의 논리조건에 기초로 메모리 셀로의 데이터의 기입과 독출을 제어하도록 했기 때문에 바이트 마다에 독립하여 데이터의 기입과 독출을 행하는 경우에 이것을 데이터의 조건에 의하지 않고 가능함과 함께 데이터를 기입한 상태로부터 어드레스를 변화하지 않고 바로 독출로 들이는 경우도 이것을 방해하지 않도록 제어하는 것이 가능하다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 어느 입력단자군으로부터 기입을 수행시키는가를 선택하는 제어신호와,, 기입요구신호와의 논리에 기초로 기입동작을 행하도록 했기 때문에 기입동작을 확실하게 행하

는 것이 가능함과 함께 기입종료시에 있어도 상기 제어신호가 레벨이 변화하지 않는 경우에 있어서는 기입종료신호를 출력하지 않도록 했기 때문에 기입 후, 바로 기입한 데이터를 독출할 수 있다.

(57) 청구의 범위

청구항 1

미리 정한 비트수의 데이터로 이루어진 데이터군에 기입, 독출을 행하는 반도체 메모리 장치에 있어서, 상기 데이터군에 대응하는 데이터군 제어신호의 각각과, 기입요구신호의 논리를 갖는 것에 의해 기입개시 및 기입종료시에 동기하면서 상기 각 데이터군에 독립한 내부 동기펄스신호를 발생하고, 이 펄스신호에 의해 기입제어를 수행하며, 제어회로를 구비한 것을 특징으로 하는 반도체 메모리장치.

청구항 2

제1항에 있어서, 상기 제어회로는 상기 기입요구신호와 독출요구신호를 공용하는 것이고, 상기 기입요구신호가 기입허용레벨일 때에는 기입을 실시시키며, 기입비허용레벨일 때에는 독출을 실시시키는 것을 특징으로 하는 반도체 메모리장치.

청구항 3

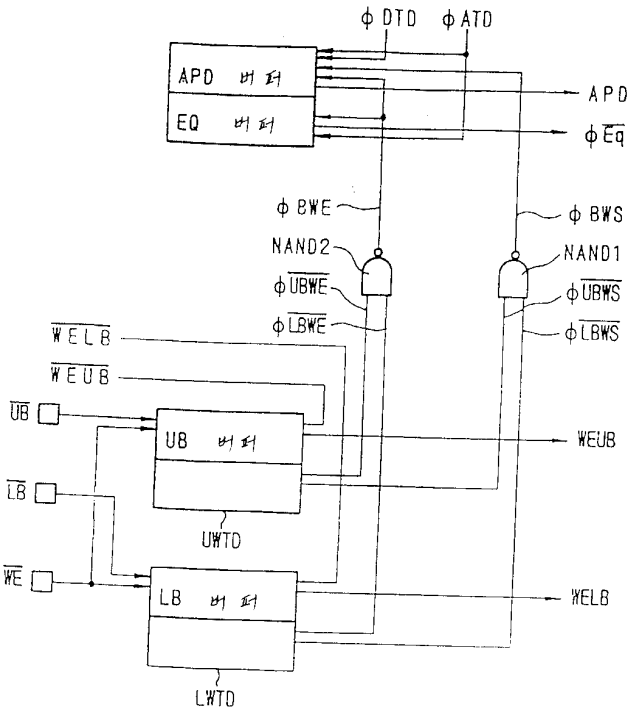
미리 정한 비트수의 데이터로 이루어진 데이터군이 각각 입출력하는 입출력단자군의 복수와, 상기 데이터군의 복수의 것이 각각 개별적으로 기입/독출 가능한 메모리셀군의 복수를 갖춘 메모리셀 어레이, 상기 메모리 셀 어레이군과 상기 각 입출력단자군을 잇는 버스의 복수, 상기 각 입출력단자군에 대응하여 설치되고, 자기가 대응하는 상기 입출력단자군에 있어서, 데이터군의 입출력이 수행되도록 하기 위한 선택레벨과 비선택레벨을 갖는 데이터군 제어신호가 주어지는 데이터군 제어신호 입력단자의 복수, 기입허용레벨과 기입비허용레벨을 갖는 기입요구신호가 주어지고, 기입요구신호입력단, 복수의 상기 데이터군 제어신호와 상기 기입요구신호가 주어지고, 상기 데이터군 제어신호중의 선택레벨에 있는 것과 상기 기입허용레벨에 있는 상기 기입요구신호와 논리에 기초로 기입개시신호를 출력시켜 상기 선택레벨에 있는 상기 데이터군 제어신호에 대응하는 상기 입출력단자군으로부터의 상기 데이터군의 상기 메모리 셀군으로의 기입을 행하며 이후 이 기입 동작에 관여한 상기 데이터군 제어신호와 상기 기입요구신호가 함께 다른 레벨로 변화했을 때에는 기입종료신호를 출력시켜 기입동작을 종료시키지만 상기 기입요구신호레벨 변화하여도 상기 데이터군 제어신호가 레벨변화없는 경우에는 기입종료신호를 출력시키지 않도록 제어하는 제어회로를 구비하여 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 4

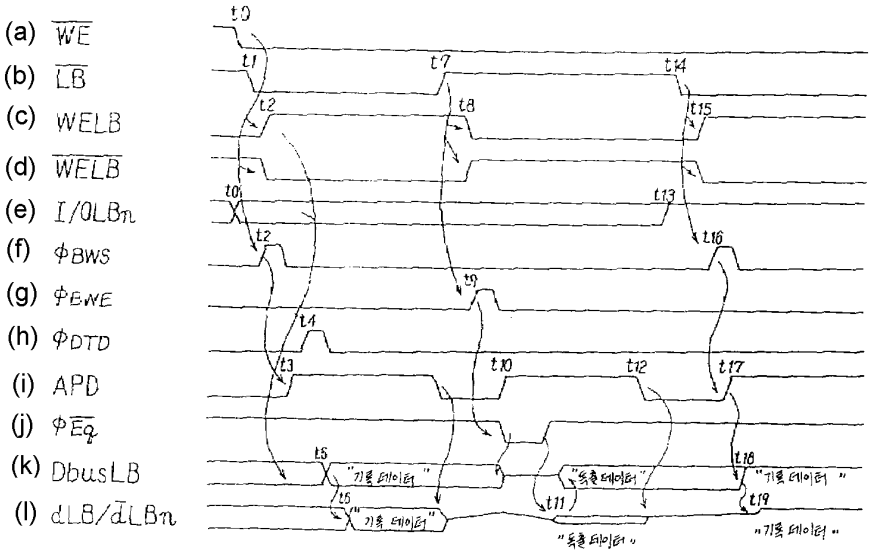
제1항에 있어서, 상기 제어회로는 상기 기입요구신호의 상기 비기입레벨시에 있어서, 독출하는 동작을 수행하는 것으로서 구성되고, 이 비기입레벨인 상기 기입요구신호와 상기 데이터군 제어신호중의 선택레벨인 것과의 논리를 갖추어 이 선택레벨에 있는 데이터군 제어신호에 의해 선택되는 상기 입출력단자군으로부터의 데이터군 독출동작을 행하는 것을 특징으로 하는 반도체 메모리장치.

도면

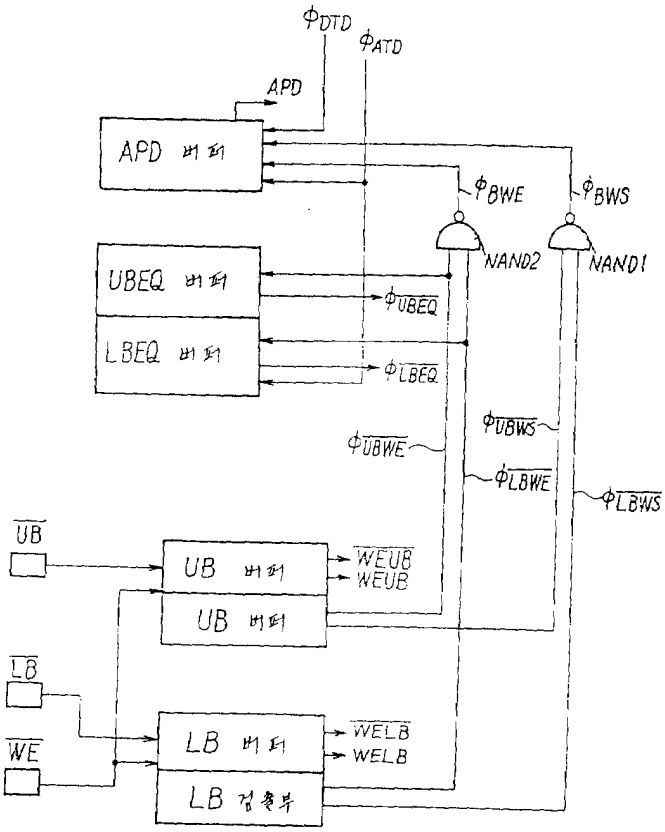
도면1



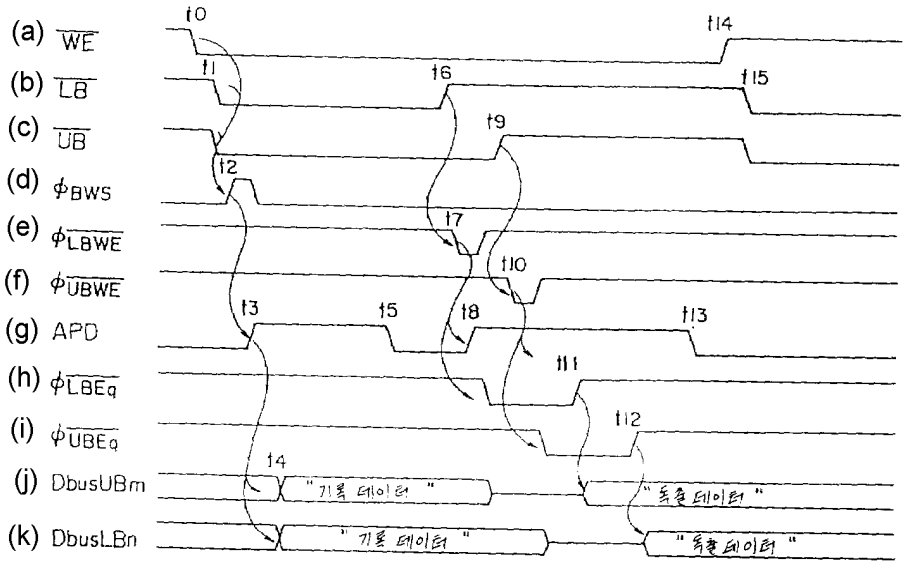
도면2


(a) $\overline{WE}$
(b) $\overline{LB}$
(c) WELB
(d) $\overline{WELB}$
(e) I/OLBn
(f) ϕ_{BWS}
(g) ϕ_{BWE}
(h) ϕ_{DTD}
(i) APD
(j) $\phi\overline{Eq}$
(k) DbusLB
(l) dLB/$\bar{d}$LBn
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
t16
t17
t18
t19
"기록 데이터"
"독출 데이터"

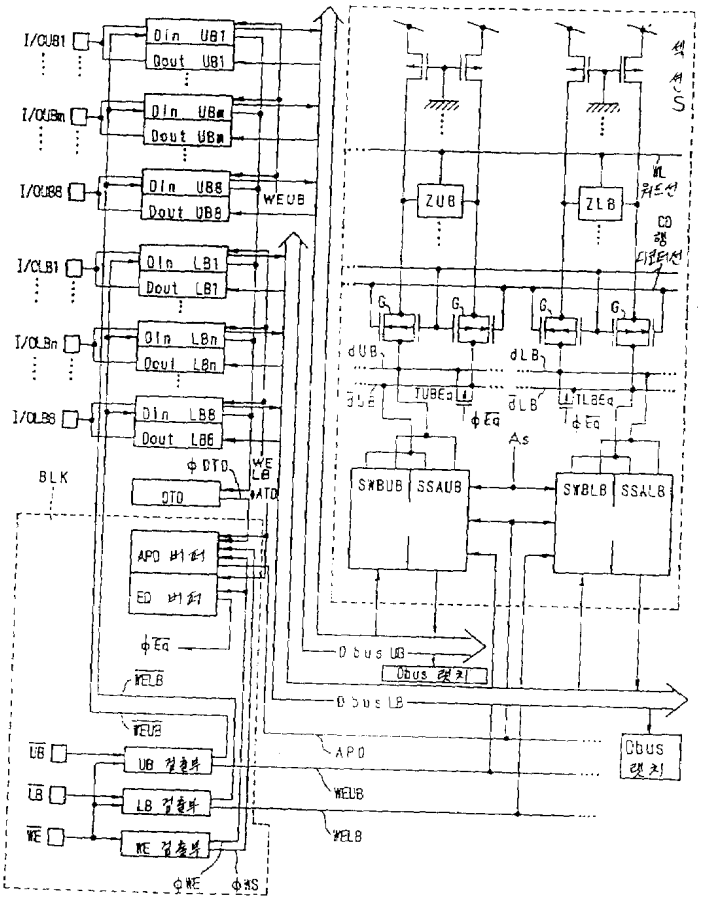
도면3


ϕ_{DTD}
ϕ_{ATD}
APD
APD 버퍼
ϕ_{BWE}
ϕ_{BWS}
NAND2
NAND1
UBEQ 버퍼
LBEQ 버퍼
$\phi_{\overline{UBEQ}}$
$\phi_{\overline{LBEQ}}$
$\phi_{\overline{UBWE}}$
$\phi_{\overline{UBWS}}$
$\phi_{\overline{LBWE}}$
$\phi_{\overline{LBWS}}$
$\overline{UB}$
UB 버퍼
UB 버퍼
$\overline{WEUB}$
WEUB
$\overline{LB}$
$\overline{WE}$
LB 버퍼
LB 검출부
$\overline{WELB}$
WELB

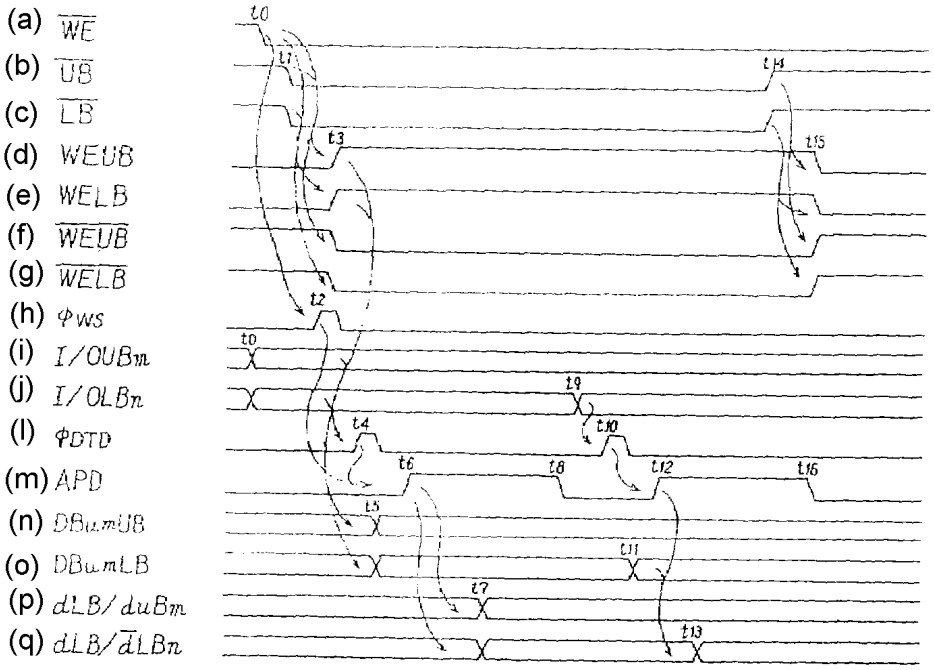
도면4


(a) WE
(b) LB
(c) UB
(d) φBWS
(e) φLBWE
(f) φUBWE
(g) APD
(h) φLBEq
(i) φUBEq
(j) DbusUBm
(k) DbusLBn
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
"기록 데이터"
"독출 데이터"
"기록 데이터"
"독출 데이터"

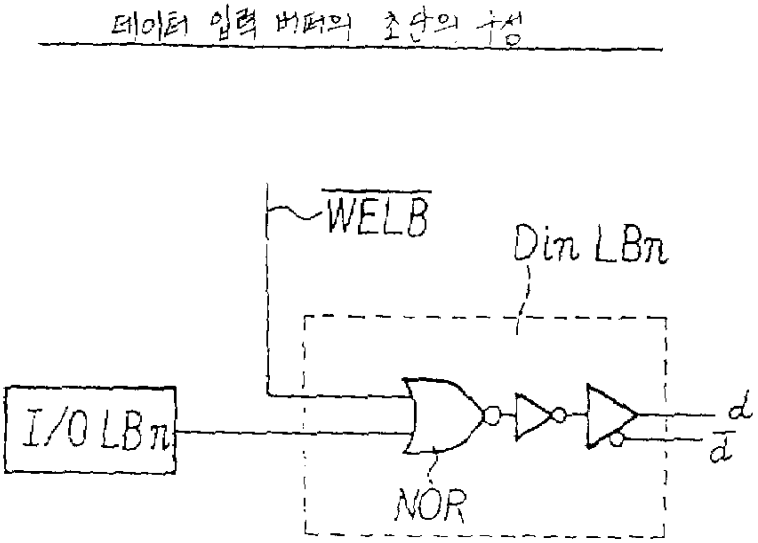
도면5


I/OUB1
I/OUBm
I/OUB8
I/OLB1
I/OLBn
I/OLB8
Din UB1
Dout UB1
Din UBm
Dout UBm
Din UB8
Dout UB8
Din LB1
Dout LB1
Din LBn
Dout LBn
Din LB8
Dout LB8
WEUB
WELB
φ DTD
DTD
ATD
BLK
APD 버퍼
ED 버퍼
φEq
ZUB
ZLB
dUB
dLB
TUBEq
TLBEq
As
SWBUB
SSAUB
SWBLB
SSALB
Dbus UB
Dbus LB
Dbus 랫치
APD
UB 검출부
LB 검출부
WE 검출부
φWE
φAS

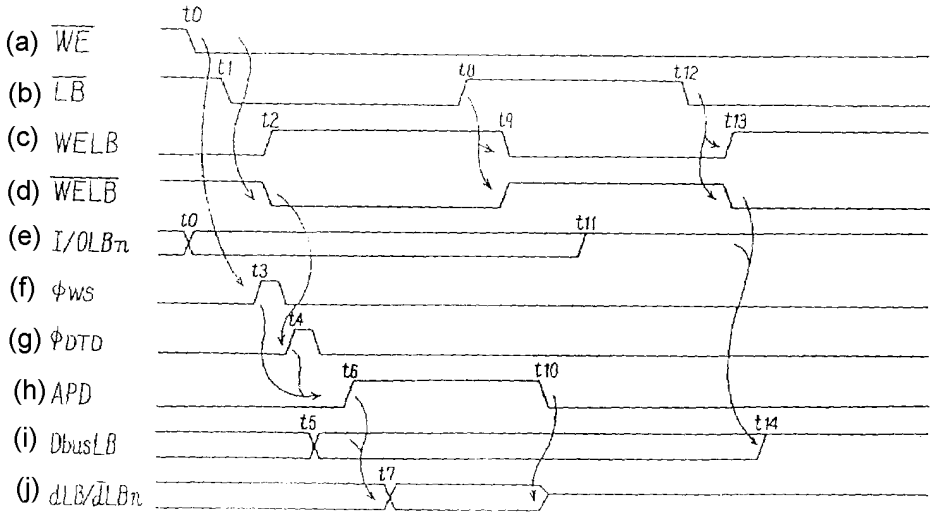
도면6


(a) $\overline{WE}$
(b) $\overline{UB}$
(c) $\overline{LB}$
(d) WEUB
(e) WELB
(f) $\overline{WEUB}$
(g) $\overline{WELB}$
(h) ϕ_{WS}
(i) I/OUBm
(j) I/OLBn
(l) ϕ_{DTD}
(m) APD
(n) DBumUB
(o) DBumLB
(p) dLB/duBm
(q) dLB/$\overline{d}$LBn
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
t16

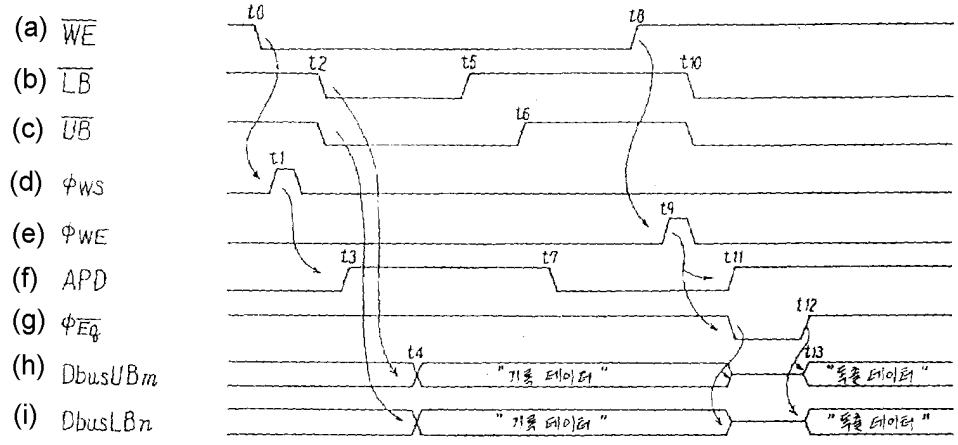
도면7


데이터 입력 버퍼의 초단의 구성
$\overline{WELB}$
Din LBn
I/O LBn
NOR
d
$\overline{d}$

도면8


(a) $\overline{WE}$
(b) $\overline{LB}$
(c) WELB
(d) $\overline{WELB}$
(e) I/OLBn
(f) φWS
(g) φDTD
(h) APD
(i) DbusLB
(j) dLB/$\overline{dLBn}$
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14

도면9


(a) $\overline{WE}$
(b) $\overline{LB}$
(c) $\overline{UB}$
(d) φWS
(e) φWE
(f) APD
(g) $\phi_{\overline{EQ}}$
(h) DbusUBm
(i) DbusLBn
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
"기록 데이터"
"독출 데이터"