

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年3月4日(04.03.2021)



(10) 国際公開番号

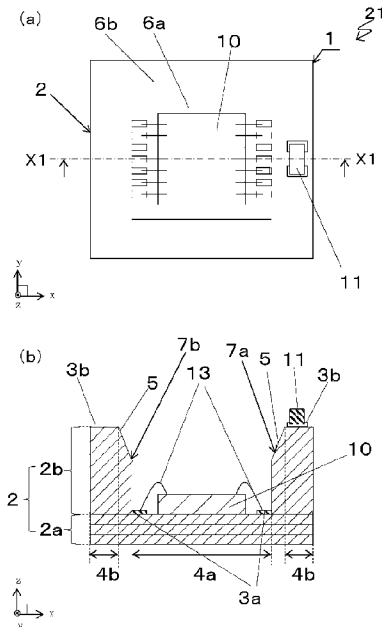
WO 2021/039963 A1

- (51) 国際特許分類:
H01L 23/02 (2006.01) *H01L 31/12* (2006.01)
H01L 23/13 (2006.01) *H01L 33/48* (2010.01)
H01L 23/12 (2006.01)
- (21) 国際出願番号: PCT/JP2020/032597
- (22) 国際出願日: 2020年8月28日(28.08.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-156959 2019年8月29日(29.08.2019) JP
- (71) 出願人: 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).

- (72) 発明者: 舟橋 明彦 (FUNAHASHI, Akihiko);
〒6128501 京都府京都市伏見区竹田鳥羽殿町
6番地 京セラ株式会社内 Kyoto (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS,

(54) Title: MOUNT BOARD AND ELECTRONIC DEVICE

(54) 発明の名称: 実装基板および電子装置



(57) Abstract: This mount board has a base part and a frame part. The base part has a first surface including a first mount region. The frame part has a second surface including a second mount region and an inner wall surface crossing the second surface, and is located on the first surface while surrounding the first mount region. The inner wall surface of the frame part has: a first portion connected with the second mount region; and a second portion positioned facing the first portion with the first mount region sandwiched therebetween. When viewed in a cross-sectional view, the second portion has a tilt surface tilted so as to be farther away from the first mount region as the second portion is farther away from the first surface.

(57) 要約: 実装基板は、基部および枠部を有している。基部は、第1実装領域を含む第1面を有する。枠部は、第2実装領域を含む第2面と、第2面と交差する内壁面とを有するとともに、第1実装領域を囲んで第1面に位置している。枠部の内壁面は、第2実装領域と接続する第1部分と、第1実装領域を間に挟んで第1部分と対向して位置する第2部分と、を有している。第2部分は、断面視において、第1面から遠ざかるにつれて第1実装領域から遠ざかるように傾斜した傾斜面を有している。

MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：実装基板および電子装置

技術分野

[0001] 本開示は、受発光素子等が実装される実装基板および電子装置に関するものである。

背景技術

[0002] 受光素子および発光素子が実装される実装基板が知られている。（WO 2017/203953号公報参照）。このような実装基板は発光素子が発した光は、検出対象で反射された後、受光素子によって受光することで検出される。

[0003] 一般的に受光素子および発光素子を有する実装基板において、受光素子および発光素子は、基板の上面でかつ、同一平面上に実装される場合がある。このとき、発光素子が発した光を直接受光素子が受光しないように例えば筐体等で壁を設ける対応がなされていた。

[0004] しかしながら、近年、実装基板は小型化が要求されている。このため、受光素子と発光素子との間を可能な限り狭くするために実装基板に凹部を設け、凹部の中に受光素子を、凹部の上（実装基板の表面）に発光素子を実装する構造が考えられている。ただし、この構造であると、受光素子と発光素子との間に筐体等で壁を設けることが難しくなり、発光素子からの光の一部が凹部の側壁で反射されその反射された光が受光素子に届いてしまう懸念があった。これにより、電子装置が誤作動することが懸念されていた。また、誤作動を低減させるために実装基板の凹部を深くすることで電子装置の小型化の妨げになることが懸念されていた。

発明の概要

[0005] 本開示の1つの態様に係る実装基板は、基部および枠部を有している。基部は第1実装領域を含む第1面を有する。枠部は第2実装領域を含む第2面と、第2面と交差する内壁面とを有するとともに、基部の第1面に第1実装

領域を囲んで位置している。枠部の内壁面は、第2実装領域と接続する第1部分と、第1実装領域を間に挟んで第1部分と対向して位置する第2部分と、を有している。第2部分は、断面視において、基部の第1面から遠ざかるにつれて第1実装領域から遠ざかるように傾斜した傾斜面を有している。

[0006] 本開示の1つの態様に係る電子装置は、実装基板と、第1実装領域に実装された受光素子と、第2実装領域に実装された発光素子と、受光素子の上方に開口部を有するとともに、実装基板を覆った筐体と、を備えている。

図面の簡単な説明

[0007] [図1]図1(a)は本開示の第1の実施形態に係る実装基板および電子装置の外観を示す上面図であり、図1(b)は図1(a)のX1-X1線に対応する縦断面図である。

[図2]図2(a)は本開示の第1の実施形態のその他の態様に係る実装基板および電子装置の外観を示す上面図であり、図2(b)は図2(a)のX2-X2線に対応する縦断面図である。

[図3]図3は本開示の第1の実施形態のその他の態様に係る実装基板および電子装置の縦断面図である。

[図4]図4は本開示の第1の実施形態のその他の態様に係る実装基板および電子装置の縦断面図である。

[図5]図5(a)は本開示の第1の実施形態のその他の態様に係る電子装置の外観を示す上面図であり、図5(b)は図5(a)のX5-X5線に対応する縦断面図である。

[図6]図6は本開示の第1の実施形態のその他の態様に係る実装基板および電子装置の縦断面図である。

[図7]図7は本開示の第1の実施形態のその他の態様に係る実装基板および電子装置の縦断面図である。

[図8]図8は本開示の第2の実施形態の態様に係る実装基板および電子装置の縦断面図である。

発明を実施するための形態

[0008] <実装基板および電子装置の構成>

以下、本開示のいくつかの例示的な実施形態について図面を参照して説明する。なお、以下の説明では、実装基板に受光素子および発光素子が実装され、実装基板を筐体で覆われた構成を電子装置とする。実装基板および電子装置は、いずれの方向が上方若しくは下方とされてもよいが、便宜的に、直交座標系 $x y z$ を定義するとともに、 z 方向の正側を上方とする。

[0009] (第1の実施形態)

図1～図6を参照して本開示の第1の実施形態に係る実装基板1、並びにそれを備えた電子装置21について説明する。なお、図1、図2、図4および図5は電子装置21の上面図（実装基板1における第1面および第2面に向かって見た図）および縦断面図を示しており、図3および図6は装置の縦断面図を示している。なお、図1～図3においては蓋体12を省略した図を示している。

[0010] 実装基板1は、基部2aと枠部2bを有している。基部2aは第1実装領域4aを含む第1面6aを有する。第1実装領域4aには、受光素子10と電氣的に接続される第1電極パッド3aを有していてもよい。枠部2bは、第2実装領域4bを含む第2面6bと、第2面6bと交差する内壁面7とを有する。枠部2bは、第1面6aに第1実装領域4aを囲んで位置している。なお、第1面6aは、図示において基部2aの上面であり、第2面6bは、図示において枠部2bの上面である。第2実装領域4には、少なくとも1つの発光素子が実装されるとともに、発光素子と電氣的に接続される少なくとも1つの第2電極パッド3bが位置している。枠部2bは、第1実装領域4aを囲んで第1面6aに位置している。枠部2bの内壁面7は、第2実装領域4bと接続する第1部分7aと、第1実装領域4aを間に挟んで第1部分7aと対向して位置する第2部分7bとを有している。つまり、第1部分7aは、第2面6bのうち第2実装領域4bが位置する部分と、第2実装領域4bに接続する部分とを有している。このとき、断面視において、第2部分7bは、第1面6aから遠ざかるにつれて第1実装領域4aから遠ざかるよ

うに傾斜した傾斜面 5 を有している。

[0011] 実装基板 1 は、基部 2 a と枠部 2 b を有している。基部 2 a は第 1 面 6 a に受光素子 1 0 と電氣的に接続される第 1 電極パッド 3 a を有する第 1 実装領域 4 a を有する。枠部 2 b は第 2 面 6 b に少なくとも 1 つの発光素子が実装されとともに、第 2 面 6 b に発光素子と電氣的に接続される少なくとも 1 つの第 2 電極パッド 3 b が位置した少なくとも 1 つの第 2 実装領域 4 b を有する。第 1 実装領域 4 a とは、少なくとも 1 つ以上の受光素子 1 0 が実装される領域であり、例えば後述する第 1 電極パッド 3 a の最外周の内側または枠部 2 b の内部で適宜定めることが可能である。また、第 1 実装領域 4 a に実装される部品は受光素子 1 0 以外にも電子部品がさらに実装されていてもよく、受光素子 1 0 または／および電子部品の個数は指定されない。第 2 実装領域 4 b とは、少なくとも 1 つ以上の発光素子 1 1 が実装される領域であり、例えば後述する第 2 電極パッド 3 b の最外周の内側または枠部 2 b の内部で適宜定めることが可能である。また、このとき発光素子 1 1 以外の電子部品がさらに実装されていてもよい。また、発光素子 1 1 または／および電子部品の個数は指定されない。

[0012] 実装基板 1 は、基部 2 a と枠部 2 b を有している。ここで、基部 2 a と枠部 2 b を合わせたものを基板 2 と称する。

[0013] 図 3 に示す例では、基部 2 a および枠部 2 b は複数の絶縁層で構成されているが、図 1 および図 2 に示す例のように例えばモールドで形成された構成、金型等の押圧で形成された構成または絶縁層が 1 層のみの構成等であってもよい。基板 2 を構成する絶縁層の材料は例えば、電気絶縁性セラミックスまたは樹脂が含まれる。

[0014] 基板 2 を形成する絶縁層の材料として使用される電気絶縁性セラミックスとしては、例えば、酸化アルミニウム質焼結体、ムライト質焼結体、炭化珪素質焼結体、窒化アルミニウム質焼結体、窒化珪素質焼結体またはガラスセラミック焼結体等が含まれる。基板 2 を形成する絶縁層の材料として使用される樹脂としては、例えば、熱可塑性の樹脂、エポキシ樹脂、ポリイミド樹

脂、アクリル樹脂、フェノール樹脂またはフッ素系樹脂等が含まれる。フッ素系樹脂としては例えば、四フッ化エチレン樹脂が含まれる。

[0015] 基板 2 は、図 3 に示すように 9 層の絶縁層から形成されていてもよいし、8 層以下または 10 層以上の絶縁層から形成されていてもよい。絶縁層が 8 層以下の場合には、実装基板 1 の薄型化を図ることができる。また、絶縁層が 10 層以上の場合には、実装基板 1 の剛性を高めることができる。また、各絶縁層に開口部を設け、設けた開口部の大きさを異ならせた上面に段差部を形成していてもよく、後述する第 1 電極パッド 3 a およびその他の電極が段差部に設けられていてもよい。

[0016] 実装基板 1 は、例えば、最外周の 1 辺の大きさは 0.3 mm ~ 10 cm であり、平面視において実装基板 1 が四角形状であるとき、正方形であってもよいし長方形であってもよい。また例えば、実装基板 1 の厚みは 0.2 mm 以上である。

[0017] 基部 2 a の側面または下面および第 2 面 6 b または側面には、外部回路接続用電極が設けられていてもよい。外部回路接続用電極は、実装基板 1 と外部回路基板、あるいは電子装置 2 1 と外部回路基板とを電氣的に接続していてもよい。

[0018] さらに基板 2 の第 1 面 6 a または下面には、第 1 電極パッド 3 a、第 2 電極パッド 3 b または／および外部回路接続用電極以外に、絶縁層間に形成される電極、内部配線導体および内部配線導体同士を上下に接続する内部貫通導体が設けられていてもよい。これら電極、内部配線導体または内部貫通導体は、基板 2 の表面に露出していてもよい。この電極、内部配線導体または内部貫通導体によって、第 1 電極パッド 3 a、第 2 電極パッド 3 b または／および外部回路接続用電極はそれぞれ電氣的に接続されていてもよい。

[0019] 第 1 電極パッド 3 a、第 2 電極パッド 3 b、外部回路接続用電極、電極、内部配線導体または／および内部貫通導体は、基板 2 が電気絶縁性セラミックスから成る場合には、タングステン (W)、モリブデン (Mo)、マンガン (Mn)、パラジウム (Pd)、銀 (Ag) 若しくは銅 (Cu) またはこ

れらから選ばれる少なくとも１種以上の金属材料を含有する合金等が挙げられる。また、銅（Cu）のみからなってもよい。また、第１電極パッド３a、第２電極パッド３b、外部回路接続用電極、内部配線導体または／および貫通導体は、基板２が樹脂から成る場合には、銅（Cu）、金（Au）、アルミニウム（Al）、ニッケル（Ni）、モリブデン（Mo）、パラジウム（Pd）若しくはチタン（Ti）またはこれらから選ばれる少なくとも１種以上の金属材料を含有する合金等が挙げられる。

[0020] 第１電極パッド３a、第２電極パッド３b、外部回路接続用電極、電極、内部配線導体または／および貫通導体の露出表面に、さらにめっき層を有していてもよい。この構成によれば、外部回路接続用の電極、導体層および貫通導体の露出表面を保護して酸化を低減することができる。また、この構成によれば、第１電極パッド３aと受光素子１０と、をワイヤボンディング等の電子素子接続部材１３を介して良好に電氣的接続することができる。めっき層は、例えば、厚さ $0.5\mu\text{m}\sim 10\mu\text{m}$ のNiめっき層を被着させるか、またはこのNiめっき層および厚さ $0.5\mu\text{m}\sim 3\mu\text{m}$ の金（Au）めっき層を順次被着させてもよい。

[0021] 枠部２bは、第１面６aであって第１実装領域４aを囲んで位置している。言い換えると、基板２は枠部２bと基部２aとで凹部を有し、第１実装領域４aに実装される受光素子１０は凹部の内側に実装される。

[0022] 断面視において、実装基板１の枠部２bの第２実装領域４bと接続する第１部分７aと、第１実装領域４aを間に挟んで第１部分７aと対向して位置する第２部分７bは、第１面６aから遠ざかるにつれて第１実装領域４aから遠ざかるように傾斜した傾斜面５を有している。傾斜面５は、第２面６bと接続して位置していてもよい。このことによって、開口の入り口を広くしつつ、発光素子１１からの光が受光素子１０に入りにくくなるように、反射することができる。

[0023] 一般的に近年、電子装置は小型化が要求されている。これに対し受光素子と発光素子との間を可能な限り狭くするために実装基板に凹部を設け、凹部

の中に受光素子を、凹部の上（実装基板の表面）に発光素子を実装する構造が考えられている。しかしながらこの構造であると、受光素子と発光素子との間に筐体等で壁を設けることが難しくなり、発光素子からの光の一部が凹部の側壁で反射されその反射された光が受光素子に届いてしまう懸念があった。これにより、電子装置が誤作動することが懸念されていた。また、誤作動を防止するために実装基板の凹部を深くすることで電子装置の小型化の妨げになることが懸念されていた。

[0024] これに対し、本実施形態では枠部 2 b が上述したような傾斜面 5 を有している。これにより、発光素子 1 1 からの光の一部が枠部 2 b の内壁面 7 である第 2 部分 7 b で反射された場合においても受光素子 1 0 へ反射することを低減させることが可能となる。よって、枠部 2 b の内壁面 7 で反射された光が受光素子 1 0 に届き電子装置 2 1 が誤作動することを低減させることが可能となる。また、発光素子 1 1 と受光素子 1 0 との間に蓋体 1 2 による壁を設けることなく電子装置 2 1 の誤作動を低減させることが可能となるため、電子装置 2 1 の小型化が可能となる。

[0025] 傾斜面 5 は、第 1 実装領域 4 a を間に挟んで第 1 部分 7 a と対向して位置する第 2 部分 7 b に位置している。言い換えると、傾斜面 5 は、第 2 実装領域 4 b が位置する内壁と対向して位置している。第 2 実装領域 4 b は複数あってもよく、その場合傾斜面 5 も同様に複数あってもよい。例えば、実装基板 1 が矩形状であるとき、第 2 実装領域 4 b は 4 辺にあってもよくこのとき、傾斜面 5 は枠部 2 b の内壁の全て、つまり傾斜面 5 は内壁面 7 の全周に位置していてもよい。また、第 2 実装領域 4 b が 1 面であっても、傾斜面 5 は複数面有ってもよい。言い換えれば、傾斜面 5 は第 2 実装領域 4 b の数以上であればよい。

[0026] 枠部 2 b は図 1 および図 2 に示す例のように例えばモールドのような成型加工されたものであってもよいし、図 3 から図 5 に示す例のように複数の絶縁層から成っていてもよい。

[0027] 枠部 2 b が図 1 および図 2 に示す例のように例えばモールドのような成型

加工であることで、傾斜面 5 の角度の精度を向上させることが可能となる。よって、本実施形態の効果を設計値に近い状態で奏することが可能となり、製造誤差等の影響を低減させることが可能となる。また、枠部 2 b がモールドのような成型加工であることで、傾斜面 5 の表面の粗さを小さくすることが可能となる。よって、発光素子 1 1 からの光が傾斜面 5 の表面で反射する場合に、乱反射を低減させることが可能となり、本実施形態の効果を向上させることが可能となる。

[0028] 枠部 2 b が図 3～図 6 に示す例のように複数の絶縁層を有するとき、枠部 2 b は各層の間に内部配線を設けることが可能となる。よって、実装基板 1 の配線に自由度を持たせることが可能となるとともに、電子装置 2 1 の電気的な特性を向上させることが可能となる。また、枠部 2 b が複数の絶縁層であることで、枠部 2 b の厚みを絶縁層の厚みおよび／または層数で容易に変更することができる。よって、発光素子 1 1 の位置等の条件における枠部 2 b の高さをより適切に設計し作製することが可能となる。

[0029] 枠部 2 b が図 3、図 4 および図 6 に示す例のように複数の絶縁層を有するとき、傾斜面 5 は図 3 および図 4 に示す例のように断面視において枠部 2 b の一部の絶縁層に設けられていてもよいし、断面視において枠部 2 b の絶縁層の全ての層に設けられていてもよい。どちらの場合においても本実施形態の効果を奏することが可能となる。

[0030] 枠部 2 b が複数の層が積層されているとき、複数の層のうち、最上層である第 1 層 8 a が傾斜面 5 を有していてもよい。この構成により、傾斜面 5 を枠部 2 b に位置した場合においても電子素子実装用基板 1 を大型化することなく第 2 実装領域を確保することが可能となり、本実施形態の効果を奏することが可能となる。

[0031] 枠部 2 b が複数の層が積層されているとき、傾斜面 5 は、複数の層に連続して位置していてもよい。この構成により、傾斜面 5 の領域を広くすることが可能となり、本実施形態の効果を向上させることが可能となる。

[0032] 枠部 2 b の高さは、枠部 2 b 内に受光素子が収容される高さを有している

。枠部 2 b 内に受光素子が収容される高さを枠部 2 b が有していることで、本実施形態の効果を奏することが可能となる。また、枠部 2 b の高さが受光素子の高さより高いことで、外部からの光を受光素子が拾うことを低減させることが可能となる。

[0033] 枠部 2 b の傾斜面 5 は、内壁面 7 の全周に位置していてもよい。これにより、発光素子 1 1 からの光が対向する面側以外にも届いた場合においても、その光の一部が枠部 2 b の内壁面 7 で反射された場合において受光素子 1 0 へ反射することを低減させることが可能となる。よって、枠部 2 b の内壁面 7 で反射された光が受光素子 1 0 に届き電子装置 2 1 が誤作動することを低減させることが可能となる。

[0034] 実装基板 1 の傾斜面 5 の傾斜角度は、第 1 実装領域 4 a に対して $30^{\circ} \sim 60^{\circ}$ であってもよい。傾斜面 5 の角度が第 1 実装領域 4 a に対して $30^{\circ} \sim 60^{\circ}$ であることで、発光素子 1 1 からの光が傾斜面 5 に到達したときより、枠部 2 b の情報側へ反射させる効果を持たせることを可能とする。また、第 2 面 6 b に発光素子 1 1 を実装する第 2 実装領域 4 b を確保することが容易となる。よって、本実施形態の効果を奏することが可能となるとともに、電子装置 2 1 の小型化の妨げとなることを低減させることが可能となる。

[0035] 基部 2 a および枠部 2 b は、セラミック材料を主成分としていてもよく、このときこのセラミック材料は黒色であってもよい。基部 2 a および枠部 2 b がセラミック材料を主成分としていることで、枠部 2 b を金型等の打ち抜きで加工することが可能となる。よって、枠部 2 b からのダストの発生を低減させることが可能となる。よって、ダストが受光素子 1 0 の表面に付着しノイズとなることを低減させることが可能となる。また枠部 2 b の内壁面 7 の粗さを小さくすることが可能となる。よって、発光素子 1 1 から発生した光が枠部 2 b の内壁面 7 に到達した場合においても乱反射し受光素子 1 0 へ光が到達することを低減させることが可能となる。また、セラミック材料が黒色であることで、発光素子 1 1 から発生した光が枠部 2 b の内壁面 7 に到達した際に、反射することを低減させることが可能となる。よって本実施形

態の効果を奏することが可能となる。

[0036] 基部 2 a および枠部 2 b は樹脂材料を主成分としていてもよい。これにより、枠部 2 b をモールドのような成型加工で作製することが可能となり、その場合上述した効果を奏することが可能となる。また、樹脂材料であることで枠部 2 b に含まれるガラス成分を低減させることが可能となる。よって、枠部 2 b の内壁面 7 で光の反射が発生することを低減させることが可能となる。よって、本実施形態の効果を向上させることが可能となる。

[0037] 傾斜面 5 は断面視において第 2 面 6 b から下面に亘って連続して位置していてもよいし、断面視において枠部 2 b の途中部分まで位置していてもよい。このとき、枠部 2 b が複数の層を有している場合には、傾斜面 5 が複数の層に亘って位置していてもよい。さらにこのとき、傾斜面 5 は、複数の層のうち少なくとも 2 層以上に亘って位置した第 1 傾斜面 5 a を含んでいてもよい。また、傾斜面 5 は複数の層の少なくとも 2 層にそれぞれ位置している複数の第 2 傾斜面 5 b を含んでいてもよい。傾斜面 5 が複数の層に亘って位置していることによって、発光素子 1 1 からの光が枠部 2 b の内壁面 7 のいずれの部分に到達した場合においても、その反射した光が受光素子 1 0 へ到達することを低減させることが可能となる。特に、傾斜面 5 が断面視において第 2 面 6 b から下面に連続して位置していることで、発光素子 1 1 からの光が枠部 2 b の内壁面 7 のいずれの部分に到達した場合においても、その反射した光が受光素子 1 0 へ到達することを低減させることが可能となる。また、傾斜面 5 が断面視において枠部 2 b の途中部分まで位置していることで、第 2 面 6 b に発光素子 1 1 の実装する領域を確保したうえで枠部 2 b が大型化することを低減させることが可能となる。

[0038] <電子装置の構成>

図 1 ～図 5 に電子装置 2 1 の例を示す。電子装置 2 1 は、実装基板 1 と、実装基板 1 の第 1 実装領域 4 a に実装された受光素子 1 0 と、第 2 実装領域 4 b に実装された発光素子 1 1 と、実装基板 1 の第 3 面 1 a に位置する蓋体 1 2 を備えている。なお、第 3 面 1 a は、図示において実装基板 1 の上面で

ある。

[0039] 電子装置 2 1 は、実装基板 1 と、第 1 実装領域 4 a に実装された受光素子 1 0 と第 2 実装領域 4 b に実装された発光素子 1 1 を有している。受光素子 1 0 の一例としては、例えば反射型 CMOS センサまたは PD センサ等がある。発光素子 1 1 の一例としては、LED (Light Emitting Diode) または VCSEL 素子等がある。受光素子 1 0 および発光素子 1 1 と実装基板 1 とは例えば電子素子接続部材 1 3 で電氣的に接続されていてもよい。電子装置 2 1 は実装基板 1 を覆った蓋体 1 2 を有している。蓋体 1 2 は、図 3 に示す例のように金属または樹脂を材料とする筐体と樹脂またはガラス材を材料とする板状の透明部材が合わさった形状であってもよいし、ガラス板のように平板状であってもよい。蓋体 1 2 が筐体と板材が合わさった形状を有することでより気密性の向上または外部からの応力が直接電子装置 2 1 に加えられることを低減することが可能となる。蓋体 1 2 は、例えば樹脂または金属材料等から成る。また、蓋体 1 2 は、樹脂、液体、ガラスまたは水晶等からなる透明な蓋体が上面に位置していてもよい。また、蓋体 1 2 は、実装基板 1 の表面に位置するパッド等と半田などの接合材を介して電氣的に接続されていてもよい。

[0040] なお、蓋体 1 2 は上面視において 4 方向または下面側の少なくとも一つの辺において開口部が設けられていてもよい。そして、蓋体 1 2 の開口部から外部回路基板が挿入され実装基板 1 と電氣的に接続していてもよい。また蓋体 1 2 の開口部は、外部回路基板が実装基板 1 と電氣的に接続された後、樹脂等の封止材等で開口部の隙間を閉じて電子装置 2 1 の内部が気密されていてもよい。

[0041] 電子装置 2 1 は、本実施形態に示す実装基板 1 を有することで、平面視において受光素子 1 0 と発光素子 1 1 との間を小さくすることが可能となり、小型化が可能となる。

[0042] 電子装置 2 1 は、断面視において、発光素子 1 1 の下端よりも受光素子 1 0 の上端が下方に位置している。これにより、発光素子 1 1 からの光の一部

が枠部 2 b の内壁面 7 で反射された場合においても受光素子 1 0 へ反射することをより低減させることが可能となる。よって、本実施形態の効果をより向上させることが可能となる。また、傾斜面 5 は、受光素子 1 0 の上端よりも上方に位置していてもよい。このことによって、より発光素子 1 1 からの光が当たりやすい箇所に傾斜面 5 が位置することになるため、発光素子 1 1 からの光の一部が枠部 2 b の内壁面 7 で反射された場合においても受光素子 1 0 へ反射することをより低減させることが可能となる。

[0043] 電子装置 2 1 は、断面視において、受光素子 1 0 の中心と発光素子 1 1 の中心とを結ぶ仮想線 A よりも上方に第 2 面 6 b が位置している、特に第 2 面 6 b の内端が位置していてもよい。これにより、発光素子 1 1 からの光の一部が枠部 2 b の内壁面 7 で反射された場合においても受光素子 1 0 へ反射することをより低減させることが可能となる。よって、本実施形態の効果をより向上させることが可能となる。

[0044] <実装基板および電子装置の製造方法>

次に、本実施形態の実装基板 1 および電子装置 2 1 の製造方法の一例について説明する。なお、下記で示す製造方法の一例は、多数個取り配線基板を用いた基板 2 の製造方法である。

[0045] (1) まず、基板 2 (基部 2 a および枠部 2 b) を構成するセラミックグリーンシートを形成する。例えば、酸化アルミニウム (Al_2O_3) 質焼結体である基板 2 を得る場合には、 Al_2O_3 の粉末に焼結助材としてシリカ (SiO_2)、マグネシア (MgO) またはカルシア (CaO) 等の粉末を添加し、さらに適当なバインダー、溶剤および可塑剤を添加し、次にこれらの混合物を混練してスラリー状となす。その後、ドクターブレード法またはカレンダーロール法等の成形方法によって多数個取り用のセラミックグリーンシートを得る。

[0046] なお、基板 2 が、例えば樹脂から成る場合は、所定の形状に成形できるような金型を用いて、トランスファーモールド法、インジェクションモールド法または金型等での押圧等で成形することによって基板 2 を形成することが

できる。また、基板 2 は、例えばガラスエポキシ樹脂のように、ガラス繊維から成る基材に樹脂を含浸させたものであってもよい。この場合には、ガラス繊維から成る基材にエポキシ樹脂の前駆体を含浸させ、このエポキシ樹脂前駆体を所定の温度で熱硬化させることによって基板 2 を形成できる。

[0047] (2) 次に、スクリーン印刷法等によって、上記 (1) の工程で得られたセラミックグリーンシートに第 1 電極パッド 3 a、外部回路接続用電極、内部配線導体および貫通導体となる部分に、金属ペーストを塗布または充填する。この金属ペーストは、前述した金属材料から成る金属粉末に適当な溶剤およびバインダーを加えて混練することによって、適度な粘度に調整して作製される。なお、金属ペーストは、基板 2 との接合強度を高めるために、ガラスまたはセラミックスを含んでいても構わない。

[0048] また、基板 2 が樹脂から成る場合には、第 1 電極パッド 3 a、外部回路接続用電極、内部配線導体および貫通導体は、スパッタ法、蒸着法等によって作製することができる。また、表面に金属膜を設けた後に、めっき法を用いて作製してもよい。

[0049] (3) 次に、前述のグリーンシートを金型等によって加工する。ここで基板 2 が開口部またはノッチ等を有する場合、基板 2 となるグリーンシートの所定の箇所に、開口部またはノッチ等を形成してもよい。

[0050] なお、この工程において、枠部 2 b となるセラミックグリーンシートに傾斜面 5 を形成してもよい。傾斜面 5 を形成する方法として例えば各絶縁層に金型等を用いて傾斜面 5 となるようにセラミックグリーンシートに傾斜面を形成してもよい。

[0051] (4) 次に基板 2 の各絶縁層となるセラミックグリーンシートを積層して加圧する。このことにより各絶縁層となるグリーンシートを積層し、基板 2 (実装基板 1) となるセラミックグリーンシート積層体を作製してもよい。また、このとき、複数層を積層したセラミックグリーンシートの所定の位置に、金型、パンチング、またはレーザー等を用いて枠部 2 b の開口部を設けてもよい。また、この積層した後に傾斜面 5 となる部分を形成してもよい。

傾斜面 5 が断面視において第 2 面 6 b から枠部 2 b の途中まで位置しているとき、前述した凹形状を大きくした金型若しくは傾斜面を有する金型で打ち抜いたセラミックグリーンシートまたはセラミックグリーンシート積層体と、通常の金型で打ち抜いたセラミックグリーンシート積層体とを積層することで作製することが可能となる。

[0052] (5) 次に、このセラミックグリーンシート積層体を約 1500℃～1800℃の温度で焼成して、基板 2（実装基板 1）が複数配列された多数個取り配線基板を得る。なお、この工程によって、前述した金属ペーストは、基板 2（実装基板 1）となるセラミックグリーンシートと同時に焼成され、第 1 電極パッド 3 a、外部回路接続用電極、内部配線導体および貫通導体となる。

[0053] (6) 次に、焼成して得られた多数個取り配線基板を複数の基板 2（実装基板 1）に分断する。この分断においては、基板 2（実装基板 1）の外縁となる箇所に沿って多数個取り配線基板に分割溝を形成しておき、この分割溝に沿って破断させて分割する方法またはスライシング法等により基板 2（実装基板 1）の外縁となる箇所に沿って切断する方法等を用いることができる。なお、分割溝は、焼成後にスライシング装置により多数個取り配線基板の厚みより小さく切り込むことによって形成することができる。また、分割溝は多数個取り配線基板用のセラミックグリーンシート積層体にカッター刃を押し当てたり、スライシング装置によりセラミックグリーンシート積層体の厚みより小さく切り込んだりすることによって形成してもよい。なお、上述した多数個取り配線基板を複数の基板 2（実装基板 1）に分割する前もしくは分割した後に、それぞれ電解または無電解めっき法を用いて、第 1 電極パッド 3 a、外部接続用パッドおよび露出した配線導体にめっきを被着させてもよい。

[0054] (7) 次に、実装基板 1 の第 1 実装領域 4 a に受光素子 10 を、第 2 実装領域 4 b に発光素子 11 を実装する。受光素子 10 はワイヤボンディング等の電子素子接続部材 13 で実装基板 1 と電氣的に接合させる。またこのとき

、受光素子 10 または実装基板 1 に接着材等を設け、実装基板 1 に固定しても構わない。また、受光素子 10 と発光素子 11 を実装基板 1 に実装した後、蓋体 12 を接合してもよい。

[0055] 以上 (1) ~ (7) の工程のようにして実装基板 1 を作製し、受光素子 10 および発光素子 11 を実装することで、電子装置 21 を作製することができる。なお、上記 (1) ~ (7) の工程順番は加工可能な順番であれば指定されない。

[0056] (第 2 の実施形態)

次に、本開示の第 2 の実施形態による実装基板 1 について、図 8 を参照しつつ説明する。

[0057] 本実施形態における実装基板 1 において、第 1 の実施形態の実装基板 1 と異なる点は、枠部 2b は複数の層が積層されており、複数の層のうち最上層は上から 2 番目の層よりも内側である第 1 実装領域 4a 側に突出している点である。言い換えると、第 1 部分 7a と第 2 部分 7b との距離は、最上層が上から 2 番目の層よりも近い点である。

[0058] 図 8 に示す例では、枠部 2b は、複数の層が積層されており、複数の層は、第 2 面 6b から順に、第 1 層 8a と第 2 層 8b とを含んでいる。このとき、断面視において、第 1 層 8a は、第 2 層 8b よりも内側に突出している。つまり、第 1 部分 7a と第 2 部分 7b との距離は、第 1 層 8a が第 2 層 8b よりも近い。このような構成であっても、発光素子 11 からの光の一部が枠部 2b の内壁面 7 で反射された場合において、受光素子 10 へ反射することを低減させることが可能となる。よって、枠部 2b の内壁面 7 で反射された光が受光素子 10 に届き電子装置 21 が誤作動することを低減させることが可能となる。また、発光素子 11 と受光素子 10 との間に蓋体 12 による壁を設けることなく電子装置 21 の誤作動を低減させることが可能となるため、電子装置 21 の小型化が可能となる。

[0059] また、第 2 層 8b およびその下面の層も傾斜面 5 を有していてもよい。これにより、発光素子 11 からの光が上から二番目の層およびその下面の層に

到達した場合においても2番目以下の層が外側に位置していることで枠部2bの内壁面7で反射した場合において受光素子10へ光が到達することを低減させることが可能となる。よって、本実施形態の効果を向上させることが可能となる。また、最上層が内側へ突出していることで、発光素子11の実装エリアを確保することができるとともに、発光素子11からの光が枠部2bの内側へ入り込むことを低減させることが可能となる。

[0060] また、図8に示す例のように傾斜面5を有する層はその他の層よりも内側に突出していることで、枠部2bの側壁が外側へシフト、つまり空間を確保しやすくしている。これにより、発光素子11からの光がそもそも枠部2bへ到達することを低減させることが可能となる。また、枠部2bの側壁が外側へシフトしていることで、受光素子10と枠部2bの側壁との距離を大きくすることが可能となる。よって、傾斜面5以外に発光素子11からの光が到達した場合において光の反射が発生した場合でもその反射した光が受光素子10へ到達することを低減させることが可能となる。よって本実施形態の効果を向上させることが可能となる。

[0061] また、図8に示す例のように傾斜面5を有する層はその他の層よりも内側に突出していることで、受光素子10の第1実装領域4aを広くすることが可能となる。よって、電子装置21の小型化が可能となる。

[0062] なお、本開示は上述の実施形態の例に限定されるものではなく、数値などの種々の変形は可能である。また、例えば、各図に示す例では、第1電極パッド3aおよび第2電極パッド3bの形状は上面視において矩形状であるが、円形状やその他の多角形状であってもかまわない。また、本実施形態における第1電極パッド3aおよび第2電極パッド3bの配置、数、形状および電子素子の実装方法などは指定されない。なお、本実施形態における特徴部の種々の組み合わせは上述の実施形態の例に限定されるものでない。また、各実施形態同士の組み合わせも可能である。

符号の説明

[0063] 1・・・実装基板

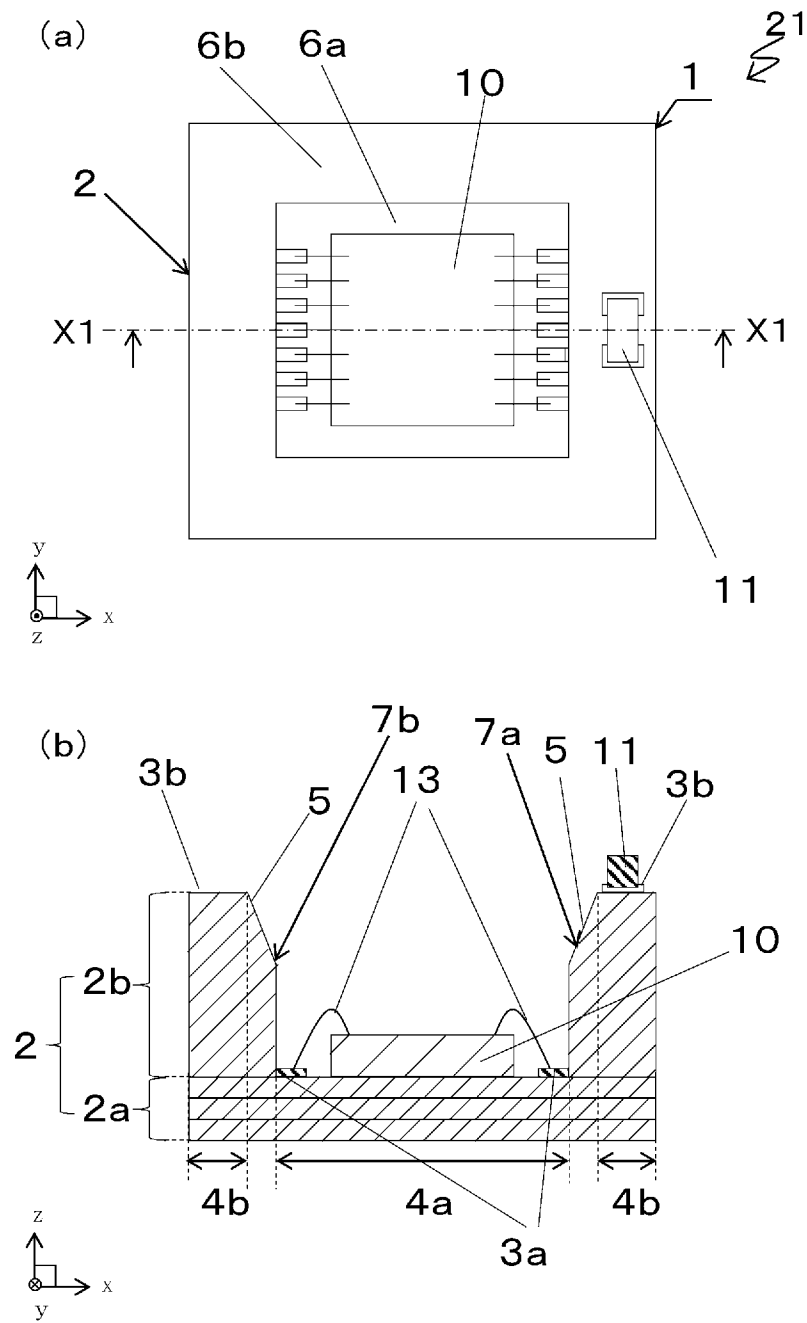
- 1 a . . . 第3面
- 2 . . . 基板
- 2 a . . . 基部
- 2 b . . . 枠部
- 3 a . . . 第1電極パッド
- 3 b . . . 第2電極パッド
- 4 a . . . 第1実装領域
- 4 b . . . 第2実装領域
- 5 . . . 傾斜面
- 5 a . . . 第1傾斜面
- 5 b . . . 第2傾斜面
- 6 a . . . 第1面（基部の上面）
- 6 b . . . 第2面（枠部の上面）
- 7 . . . 内壁面
- 7 a . . . 第1部分
- 7 b . . . 第2部分
- 8 a . . . 第1層
- 8 b . . . 第2層
- 10 . . . 受光素子
- 11 . . . 発光素子
- 12 . . . 蓋体
- 13 . . . 電子素子接続部材
- 21 . . . 電子装置
- A . . . 仮想線

請求の範囲

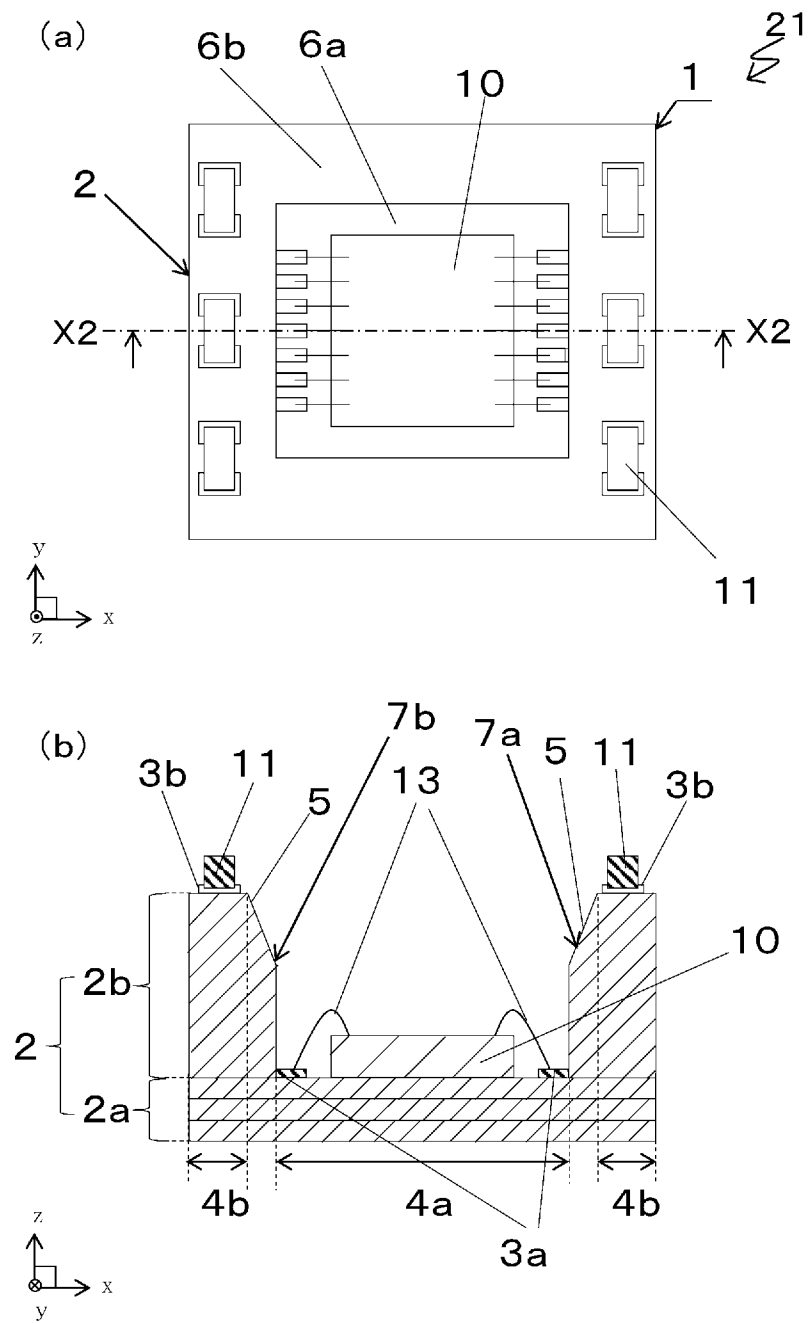
- [請求項1] 第1実装領域を含む第1面を有する基部と、
 第2実装領域を含む第2面と該第2面と交差する内壁面とを有するとともに、前記第1実装領域を囲んで前記第1面に位置した枠部と、
 を備えており、
 前記枠部の前記内壁面は、前記第2実装領域と接続する第1部分と、前記第1実装領域を間に挟んで前記第1部分と対向して位置する第2部分と、を有しており、
 断面視において、前記第2部分は、前記第1面から遠ざかるにつれて前記第1実装領域から遠ざかるように傾斜した傾斜面を有している実装基板。
- [請求項2] 前記傾斜面は、前記第2面と接続して位置する、請求項1に記載の実装基板。
- [請求項3] 前記枠部は、積層された複数の層を有しており、
 前記傾斜面は、前記複数の層のうち少なくとも1層に位置している請求項1または2に記載の実装基板。
- [請求項4] 前記傾斜面は、前記複数の層のうち少なくとも2層以上に亘って位置している第1傾斜面を含む請求項3に記載の実装基板。
- [請求項5] 前記傾斜面は、前記複数の層の少なくとも2層にそれぞれ位置している複数の第2傾斜面を含む請求項3または4に記載の実装基板。
- [請求項6] 前記枠部は、積層された複数の層を有しており、
 前記複数の層は、前記第2面から順に、第1層と第2層とを含み、断面視において、前記第1部分と前記第2部分との距離は、前記第1層が、前記第2層よりも近い請求項1または2に記載の実装基板。
- [請求項7] 前記傾斜面は、前記第1層に位置している請求項6に記載の実装基板。
- [請求項8] 前記傾斜面は、前記第1層および前記第2層に亘って位置している請求項7に記載の実装基板。

- [請求項9] 前記第1実装領域に対する前記傾斜面の傾斜角度は、 $30^{\circ} \sim 60^{\circ}$ である請求項1～8のいずれか1つに記載の実装基板。
- [請求項10] 前記枠部および前記基部は、セラミック材料を主成分とする請求項1～9のいずれか1つに記載の実装基板。
- [請求項11] 前記セラミック材料は、黒色である請求項10に記載の実装基板。
- [請求項12] 前記枠部および前記基部は、樹脂材料を主成分とする請求項1～9のいずれか1つに記載の実装基板。
- [請求項13] 前記傾斜面は、前記内壁面のうち前記第1部分および前記第2部分に位置している請求項1～12のいずれか1つに記載の実装基板。
- [請求項14] 前記傾斜面は、前記内壁面の全周に位置している請求項1～13のいずれか1つに記載の実装基板。
- [請求項15] 請求項1～14のいずれか1つに記載の実装基板と、
前記第1実装領域に実装された受光素子と、
前記第2実装領域に実装された発光素子と、
前記受光素子の上方に位置する開口部を有するとともに、前記実装基板の第3面に位置する蓋体と、を備えた電子装置。
- [請求項16] 断面視において、前記発光素子の下端よりも前記受光素子の上端が下方に位置している請求項15に記載の電子装置。
- [請求項17] 断面視において、前記受光素子の中心と前記発光素子の中心とを結ぶ仮想線よりも上方に前記第2面が位置している請求項15または16に記載の電子装置。
- [請求項18] 前記傾斜面は前記受光素子の上端よりも上方に位置している請求項15～17のいずれか1つに記載の電子装置。

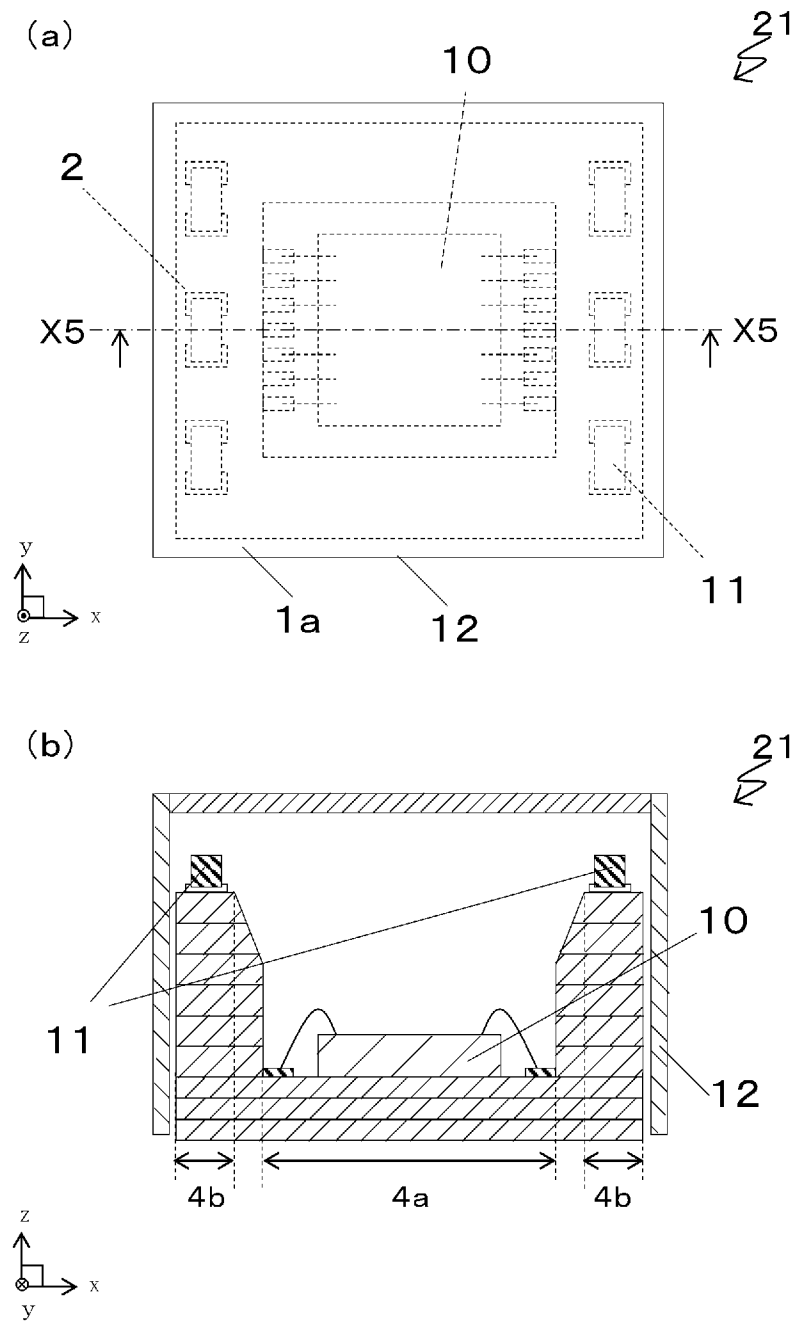
[図1]



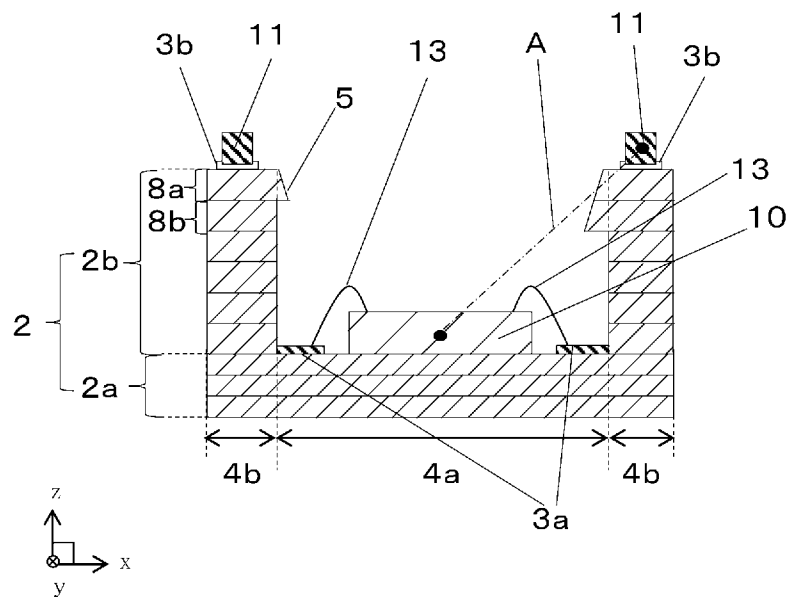
[図2]



[図5]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/032597

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/02(2006.01)i; H01L 23/13(2006.01)i; H01L 23/12(2006.01)i; H01L 31/12(2006.01)i; H01L 33/48(2010.01)i

FI: H01L23/12 F; H01L23/12 C; H01L23/02 F; H01L33/48; H01L31/12 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/02; H01L23/13; H01L23/12; H01L31/12; H01L33/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2018/079644 A1 (KYOCERA CORP.) 03 May 2018 (2018-05-03) paragraphs [0009]-[0013], [0024], [0060]-[0075], [0142], fig. 1, 7-8	1-14
A	paragraphs [0009]-[0013], [0024], [0060]-[0075], [0142], fig. 1, 7-8	15-18
A	JP 2017-131286 A (KYOCERA CORP.) 03 August 2017 (2017-08-03) paragraphs [0011]-[0022], [0040], [0055]-[0057], fig. 1, 6	1-18
A	JP 2016-187060 A (ROHM CO., LTD.) 27 October 2016 (2016-10-27) fig. 1-2	1-18
A	JP 2019-096778 A (KYOCERA CORP.) 20 June 2019 (2019-06-20) fig. 2-6	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 October 2020 (23.10.2020)

Date of mailing of the international search report
02 November 2020 (02.11.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/032597

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2018/079644 A1	03 May 2018	US 2019/0267416 A1 paragraphs [0025]- [0029], [0040], [0076]-[0091], [0158], fig. 1, 7-8 CN 109863601 A	
JP 2017-131286 A	03 Aug. 2017	(Family: none)	
JP 2016-187060 A	27 Oct. 2016	(Family: none)	
JP 2019-096778 A	20 Jun. 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/02(2006.01)i; H01L 23/13(2006.01)i; H01L 23/12(2006.01)i; H01L 31/12(2006.01)i; H01L 33/48(2010.01)i FI: H01L23/12 F; H01L23/12 C; H01L23/02 F; H01L33/48; H01L31/12 E		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/02; H01L23/13; H01L23/12; H01L31/12; H01L33/48		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2018/079644 A1（京セラ株式会社）03.05.2018（2018-05-03） [0009]-[0013], [0024], [0060]-[0075], [0142], 図1, 7-8	1-14
A	[0009]-[0013], [0024], [0060]-[0075], [0142], 図1, 7-8	15-18
A	JP 2017-131286 A（京セラ株式会社）03.08.2017（2017-08-03） [0011]-[0022], [0040], [0055]-[0057], 図1, 6	1-18
A	JP 2016-187060 A（ローム株式会社）27.10.2016（2016-10-27） 図1-2	1-18
A	JP 2019-096778 A（京セラ株式会社）20.06.2019（2019-06-20） 図2-6	1-18
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 23.10.2020		国際調査報告の発送日 02.11.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 多賀 和宏 5F 4451 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/032597

引用文献			公表日	パテントファミリー文献	公表日
WO	2018/079644	A1	03.05.2018	US 2019/0267416 A1 [0025]-[0029], [0040], [0076]-[0091], [0158], 図 1, 7-8 CN 109863601 A	
JP	2017-131286	A	03.08.2017	(ファミリーなし)	
JP	2016-187060	A	27.10.2016	(ファミリーなし)	
JP	2019-096778	A	20.06.2019	(ファミリーなし)	