

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-40711

(P2004-40711A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int. Cl.⁷

H03M 1/10

F I

H03M 1/10

C

テーマコード (参考)

5 J O 2 2

審査請求 有 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願2002-198636 (P2002-198636)
 (22) 出願日 平成14年7月8日 (2002.7.8)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100105647
 弁理士 小栗 昌平
 (74) 代理人 100105474
 弁理士 本多 弘徳
 (74) 代理人 100108589
 弁理士 市川 利光
 (74) 代理人 100115107
 弁理士 高松 猛
 (74) 代理人 100090343
 弁理士 栗宇 百合子

最終頁に続く

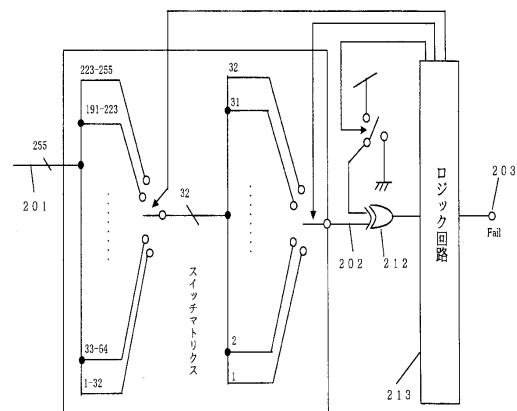
(54) 【発明の名称】 A/Dコンバータ

(57) 【要約】

【課題】内蔵コンパレータの不良判定を行うことができる簡易なテスト機能を有するA/Dコンバータを提供する。

【解決手段】複数個のグループに分割したコンパレータのうちから比較電位と入力電圧の比較結果が反転するコンパレータを含むグループを除くグループを順次選択するスイッチマトリクス211と、選択されたグループの全てのコンパレータの出力が同一であることを検出する排他的論理和回路212と、選択されたグループの全てのコンパレータの出力が同一でないことが検出された場合に当該グループのコンパレータを不良と判定するロジック回路213とを備える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

上部基準電位と下部基準電位から生成される比較電位を入力電圧と比較するコンパレータ群を内蔵する A / D コンバータであって、

複数のグループに分割した前記コンパレータ群のうち前記比較電位と入力電圧の比較結果が反転するコンパレータを含むグループを除くグループを順次選択するグループ選択手段と、

前記グループ選択手段により選択されたグループの全てのコンパレータの出力が同一であることを検出するグループ判定手段と、

前記グループ判定手段において選択されたグループの全てのコンパレータの出力が同一でないことが検出された場合に当該グループのコンパレータを不良と判定する不良判定手段と、

を具備したことを特徴とする A / D コンバータ。

【請求項 2】

前記グループ判定手段は、前記順次選択されたそれぞれのグループに含まれる個々のコンパレータの出力を順次選択する手段と、前記順次選択された個々のコンパレータの出力が全て特定の値であることを検出する手段と、から構成されることを特徴とする請求項 1 記載の A / D コンバータ。

【請求項 3】

前記グループ判定手段は、前記順次選択されたそれぞれのグループに含まれる全てのコンパレータの出力を加算する手段と、前記加算手段により加算された値が前記グループ選択手段により選択されたグループに含まれるコンパレータ数と一致するかまたは 0 であることを検出する手段と、から構成されることを特徴とする請求項 1 記載の A / D コンバータ。

【請求項 4】

上部基準電位と下部基準電位から生成される比較電位を入力電圧と比較するコンパレータ群を内蔵する A / D コンバータであって、

前記コンパレータ群の全ての出力を一時記憶する手段と、

あらかじめ設定した値を保持する比較テーブルと、

前記一時記憶されたコンパレータの出力を前記比較テーブルに保持された設定値と比較する手段と、

を具備したことを特徴とする A / D コンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は内蔵コンパレータの不良判定を行うテスト機能を備えた A / D コンバータに関する。

【0002】

【従来の技術】

図 5 は一般的な A / D コンバータのファンクションテストを行う従来の技術を説明するブロック図である。図 5 において、A / D コンバータ 500 のアナログ回路には、アナログ電源端子 501 を介して第 1 の電源 511 から電位 A V D D が供給される。また、A / D コンバータ 500 のデジタル回路にはデジタル電源端子 502 を介して第 2 の電源 512 から D V D D が供給される。A / D コンバータ 500 内のラダー抵抗において、最高の基準電位が与えられる点には、上部基準電源端子 503 を介して第 3 の電源 513 から電位 V R T が与えられ、最低の基準電位が与えられる点には、下部基準電源端子 504 を介して第 4 の電源 514 から電位 V R B が与えられる。

【0003】

さらに図 5 において、A / D コンバータ 500 にはアナログ電圧入力端子 505 を介してアナログソース源 515 からアナログ入力電圧 V I N が供給される。A / D コンバータ 5

00から得られるデジタルコード507は外部に出力され、これがLSIテストに取り込まれて検査が行われる。ここではA/Dコンバータ500は8ビットのデジタルコード507を出力するものとする。また、A/Dコンバータ500は接地508に接続され、さらに、クロック入力端子506を介してクロック源516からA/Dコンバータのサンプリングクロックが入力される。

【0004】

通常の検査方法では、まず、第1から第4までの電源を投入し、アナログ電源端子501、デジタル電源端子502、上部基準電源端子503、下部基準電源端子504に、それぞれAVDD、DVDD、VRT、VRBを印加する。次に、クロック源516からサンプリングクロックをクロック入力端子506に印加する。また、アナログソース源515から出力されるアナログ入力電圧VINの分解能を別途設定しておき、アナログ入力電圧VINを設定された分解能ずつステップ状に増加させてアナログ入力電圧端子505に供給する。このようにして出力されるデジタルコード507をLSIテストに取り込み、あらかじめプログラムされた処理により良否判定が行われる。

【0005】

【発明が解決しようとする課題】

nビットのA/Dコンバータには $2^n - 1$ 個のコンパレータが内蔵され、その出力結果を後段に配置したロジック回路でnビットのデジタルコードに変換して出力する。しかし、このロジック回路の構成上、ある1つもしくは複数のコンパレータが誤った比較結果を出力してもミスコードにならないケースが存在する。

【0006】

ここでは説明の便宜上3ビットのA/Dコンバータを例にとり $n = 3$ とする。そのためコンパレータの数は7個となる。コンパレータに入力するVINと比較する電圧値がVRTとVRBの間のどこに位置するかにより、それぞれのコンパレータの出力が決まる。すなわち、比較電圧値がVINとVRTの間に位置するコンパレータは1を出力し、VINとVRBの間に位置するコンパレータは0を出力する。

【0007】

図6はA/Dコンバータの出力をデジタルコードに変換する回路を説明する回路図である。この回路では、上記7個のコンパレータの出力が1から0に変化する点を後段のロジック回路によって演算し、3ビットのデジタルコード出力を得る。

【0008】

図6において、7個のコンパレータの出力C6～C0に加えて、比較電圧がVRTに相当しC6の上位に位置付けられる信号overと、比較電圧がVRBに相当しC0の下位に位置付けられる信号underの合計9本の信号が8個の2入力排他的論理和回路601に入力する。

【0009】

排他的論理和回路601はコンパレータ出力の変化点を検出するための回路であり、互いに隣り合う位置の2つの信号をそれぞれ入力し、入力の不一致を示す信号E7～E0を出力する。論理和回路602は排他的論理和回路601の出力E7～E0をエンコードして3ビットのデジタルコードを出力する。

【0010】

例えば、仮にoverの比較出力信号が1となり、C6からunderまでの比較出力信号が0となった場合は、排他的論理和回路601の出力E7が1となりエンコードされた出力は111となる。

【0011】

ここで、仮にVINとVRBの間に位置付けられて全て0を出力するはずのコンパレータの中に1を出力したコンパレータが存在したとすると、排他的論理和回路601の出力のE6からE0のうちで1になるものがあるが、出力されるデジタルコードは111で結果は変わらない。従来のテストではこのような不良を検出できない問題があり、このような不良を検出するためには高価なアナログテストシステムを用いる必要があった。

10

20

30

40

50

【 0 0 1 2 】

本発明は上記従来の問題点を解決するもので、A / Dコンバータに内蔵されるコンパレータが誤った比較結果を出力した場合に、高価なアナログテストシステムを用いずに、これを検出して不良判定を行うことができる簡易なテスト機能を有するA / Dコンバータを提供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

この課題を解決するために、本発明の請求項1に係るA / Dコンバータは、上部基準電位と下部基準電位から生成される比較電位を入力電圧と比較するコンパレータ群を内蔵するA / Dコンバータであって、複数のグループに分割した前記コンパレータ群のうち前記比較電位と入力電圧の比較結果が反転するコンパレータを含むグループを除くグループを順次選択するグループ選択手段（スイッチマトリックス211）と、前記グループ選択手段により選択されたグループの全てのコンパレータの出力が同一であることを検出するグループ判定手段（排他的論理和回路212）と、前記グループ判定手段において選択されたグループの全てのコンパレータの出力が同一でないことが検出された場合に当該グループのコンパレータを不良と判定する不良判定手段（ロジック回路213）とを備えたものである。

10

【 0 0 1 4 】

上記構成によれば、グループ選択手段によりコンパレータを複数のグループに分割し、グループ判定手段により比較結果が反転するコンパレータを含むグループ以外のグループについて、選択されたグループの全てのコンパレータの出力が同一であるか否かに応じて当該グループの良否を判定できるので、比較的分解能の荒いアナログ入力電圧を与えるだけでコンパレータグループの不良を判定することができる。

20

【 0 0 1 5 】

本発明の請求項2に係るA / Dコンバータは、請求項1記載のA / Dコンバータにおいて、前記グループ判定手段は、選択されたそれぞれのグループに含まれる個々のコンパレータの出力を順次選択する手段と、この順次選択された個々のコンパレータの出力が全て特定の値であることを検出する手段とから構成されるものである。

【 0 0 1 6 】

上記構成によれば、選択されたグループにおける個々のコンパレータの出力を順次選択して特定の値であるか否かを確認することができるので、前記グループ判定手段を容易に実現することができ、比較的分解能の荒いアナログ入力電圧を与えるだけでコンパレータグループの不良を判定することができる。

30

【 0 0 1 7 】

本発明の請求項3に係るA / Dコンバータは、請求項1記載のA / Dコンバータにおいて、前記グループ判定手段は、選択されたそれぞれのグループに含まれる全てのコンパレータの出力を加算する手段と、この加算手段により加算された値が前記グループ選択手段により選択されたグループに含まれるコンパレータ数と一致するかまたは0であることを検出する手段とから構成されるものである。

【 0 0 1 8 】

上記構成によれば、選択されたグループに含まれる全てのコンパレータの出力の加算値が特定の値であるか否かを確認することができるので、前記グループ判定手段を容易に実現することができ、比較的分解能の荒いアナログ入力電圧を与えるだけでコンパレータグループの不良を判定することができる。

40

【 0 0 1 9 】

本発明の請求項4に係るA / Dコンバータは、上部基準電位と下部基準電位から生成される比較電位を入力電圧と比較するコンパレータ群を内蔵するA / Dコンバータであって、前記コンパレータ群の全ての出力を一時記憶する手段と、あらかじめ設定した値を保持する比較テーブルと、一時記憶されたコンパレータの出力を比較テーブルに保持された設定値と比較する手段とを具備するものである。

50

【 0 0 2 0 】

上記構成によれば、一時記憶されたコンパレータの出力を比較テーブルに保持された設定値と比較することができるので、比較的分解能の荒いアナログ入力電圧を与えるだけでコンパレータグループの不良を判定することができる。

【 0 0 2 1 】

【 発明の実施の形態 】

以下、本発明の実施の形態について図面を参照しながら説明する。図 1 は本発明の実施の形態に係る A / D コンバータの構成例を示すブロック図である。図 1 の構成例においては、説明の便宜のため A / D コンバータは 8 ビットとしている。

【 0 0 2 2 】

図 1 において、A / D コンバータのアナログ回路にはアナログ電源端子 1 0 1 を介して電位 A V D D が、デジタル回路にはデジタル電源端子 1 0 2 を介して D V D D が、A / D コンバータの最高の基準電位が与えられる点には上部基準電源端子 1 0 3 を介して電位 V R T が、最低の基準電位が与えられる点には下部基準電源端子 1 0 4 を介して電位 V R B がそれぞれ供給される。また、A / D コンバータにはアナログ電圧入力端子 1 0 5 を介してアナログ入力電圧 V I N が入力される。

10

【 0 0 2 3 】

A / D コンバータの内部には、V R T と V R B から 2 5 5 段階の比較電圧を発生するラダー抵抗 1 1 1 と、2 5 5 個のコンパレータ群 1 1 2 と、コンパレータ群の出力を変換してデジタルコード 1 0 7 を出力するエンコーダ 1 1 3 を備え、さらに、A / D コンバータのコンパレータ出力の不良判定を行い不良判定信号 1 0 9 を出力する不良判定ロジック回路 1 1 4 を備えている。

20

【 0 0 2 4 】

図 2 は本発明の実施の形態 1 に係る、A / D コンバータに内蔵されるコンパレータの不良判定を行う不良判定ロジック回路の構成を示す回路図である。図 2 において、2 5 5 本のコンパレータ出力 2 0 1 は、スイッチマトリクス 2 1 1 の前段によって 3 2 本ずつ 8 つのグループに分割され、分割された 3 2 本ずつのコンパレータ出力は、さらにスイッチマトリクス 2 1 1 の後段によって 1 本ずつ選択される。スイッチマトリクスの出力 2 0 2 は排他的論理和回路 2 1 2 で 1 または 0 と比較され、その出力は不良判定を行うロジック回路 2 1 3 に入力する。

30

【 0 0 2 5 】

アナログ電圧入力端子 1 0 5 にあらかじめ設定されたアナログ入力電圧 V I N が入力されると、これがコンパレータ群 1 1 2 においてラダー抵抗 1 1 1 が発生する 2 5 5 段階の比較電圧と比較され、2 5 5 本のコンパレータ出力 2 0 1 がスイッチマトリクス 2 1 1 に入力される。スイッチマトリクス 2 1 1 は上位から順にコンパレータグループを選択し、選択されたコンパレータグループの出力に対応してロジック回路 2 1 3 が排他的論理和回路 2 1 2 の比較入力を決定する。

【 0 0 2 6 】

ここで、仮に入力されたアナログ入力電圧 V I N が、コンパレータグループの上位 5 グループまでは全て 1、下位の 2 グループは全て 0、上位から 6 番目のグループに変化点が存在するような値であったとする。スイッチマトリクス 2 1 1 は上位のコンパレータグループから順に選択していき、出力は排他的論理和回路 2 1 2 で比較入力と比較される。このとき上位 5 グループまでは排他的論理和回路 2 1 2 の比較入力は 1 に固定される。

40

【 0 0 2 7 】

上位 5 グループまで比較した後、変化点の存在する 6 番目のグループをとばし、下位の 2 グループを選択する。このとき排他的論理和回路 2 1 2 の比較入力は 0 に固定される。このようにして、排他的論理和回路 2 1 2 の出力が常に 0 となるようにスイッチマトリクス 2 1 1 は動作し、ロジック回路 2 1 3 は排他的論理和回路 2 1 2 の出力に 1 が検出されたときに不良判定信号 2 0 3 を出力する。

【 0 0 2 8 】

50

コンパレータグループのいずれか1つのグループに変化点が存在するようにアナログ入力電圧 V_{IN} を設定して、上述した動作を8回行うことにより、比較的分解能の荒いアナログ入力電圧を V_{IN} に与えるだけで、8個のコンパレータグループの不良を判定する簡易なテストが可能となる。

【0029】

図3は本発明の実施の形態2に係る、A/Dコンバータに内蔵されるコンパレータの不良判定を行う不良判定ロジック回路の構成を示す回路図である。図3において、255本のコンパレータ出力301は、スイッチマトリクス311によって32本ずつ8つのグループに分割され、上位のグループから順に選択された1グループのコンパレータ出力がスイッチマトリクスの出力302として後段の加算器312に入力する。加算器312は入力した32本のコンパレータ出力を加算する。 10

【0030】

ここで、仮に入力されたアナログ入力電圧 V_{IN} が、コンパレータグループの上位5グループまでは全て1、下位の2グループは全て0、上位から6番目のグループに変化点が存在するような値であったとすると、上位5グループまでの加算結果は常に32となり、下位2グループの加算結果は常に0となる。このようにして、変化点が存在するグループを除くグループについて、加算器312の出力に32か0でない値が検出されたときにロジック回路313は不良判定信号303を出力する。

【0031】

コンパレータグループのいずれか1つのグループに変化点が存在するようにアナログ入力電圧 V_{IN} を設定して、上述した動作を8回行うことにより、比較的分解能の荒いアナログ入力電圧を V_{IN} に与えるだけで、8個のコンパレータグループの不良を判定する簡易なテストが可能となる。 20

【0032】

図4は本発明の実施の形態3に係る、A/Dコンバータに内蔵されるコンパレータの不良判定を行う不良判定ロジック回路の構成を示す回路図である。図4において、コンパレータの不良判定を行うロジック回路は、フリップフロップ群411と、あらかじめ設定される比較テーブル412を有するロジック回路413で構成される。

【0033】

フリップフロップ群411はクロック入力端子402から与えられるA/Dコンバータのサンプリングクロックで動作し、255本のコンパレータ出力401を記憶する。比較テーブル412は最上位から適当な箇所までが全て1、それ以下最下位までが全て0となるように構成され、1と0の変化点を変えたものを数種類備える。また変化点の誤差を考慮し、比較テーブル412の変化点部分は一定の範囲で1でも0でも良いように構成される。 30

【0034】

A/Dコンバータのテストにおいては、比較テーブル412の設定に対応する数種類のアナログ入力電圧 V_{IN} を入力し、255本のコンパレータ出力401をフリップフロップ群411に記憶する。次に、ロジック回路413がフリップフロップ群411の出力を比較テーブル412に設定された値と比較し、不一致を検出すると不良判定信号403を出力する。 40

【0035】

このように、適当な変化点が存在するような比較テーブルの設定値を数種類用意し、これに対応するアナログ入力電圧 V_{IN} をA/Dコンバータに印加し、コンパレータ出力を比較テーブルの設定値と比較することにより、比較的分解能の荒いアナログ入力電圧を V_{IN} に与えるだけで、コンパレータの不良を判定する簡易なテストが可能となる。

【0036】

【発明の効果】

以上説明したように、本発明によれば、グループ選択手段によりコンパレータを複数個のグループに分割し、グループ判定手段により比較結果が反転するコンパレータを含むグル 50

ープ以外のグループについて、全てのコンパレータの出力が同一であるか否かに応じて当該グループの良否を判定できるので、比較的分解能の荒いアナログ入力電圧を与えるだけでコンパレータグループの不良を判定することができる。

【0037】

さらに本発明によれば、一時記憶されたコンパレータの出力を比較テーブルに保持された設定値と比較することができるので、比較的分解能の荒いアナログ入力電圧を与えるだけでコンパレータグループの不良を判定することができる。

【0038】

したがって本発明によれば、高い入力電圧分解能を持つ高価なアナログテストシステムを必要とせずに、安価なロジックテストシステムを用いて簡易なA/Dコンバータのテストを行うことが可能となり、またプローブ検査時にテストを実施することも可能となる。

【0039】

このように本発明によれば、安価なロジックテストシステムを用いてプローブ検査時に本発明による簡易テストを実施し、詳細なテストは高価なアナログテストシステムを用いてファイナル検査にて実施する方法を採用すれば、テストコストの削減およびファイナル検査での歩留向上に効果を発揮することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るA/Dコンバータの構成例を示すブロック図。

【図2】本発明の実施の形態1に係る、A/Dコンバータに内蔵されるコンパレータの不良判定ロジック回路の構成を示す回路図。

【図3】本発明の実施の形態2に係る、A/Dコンバータに内蔵されるコンパレータの不良判定ロジック回路の構成を示す回路図。

【図4】本発明の実施の形態3に係る、A/Dコンバータに内蔵されるコンパレータの不良判定ロジック回路の構成を示す回路図。

【図5】従来の一般的なA/Dコンバータのファンクションテストを説明するブロック図。

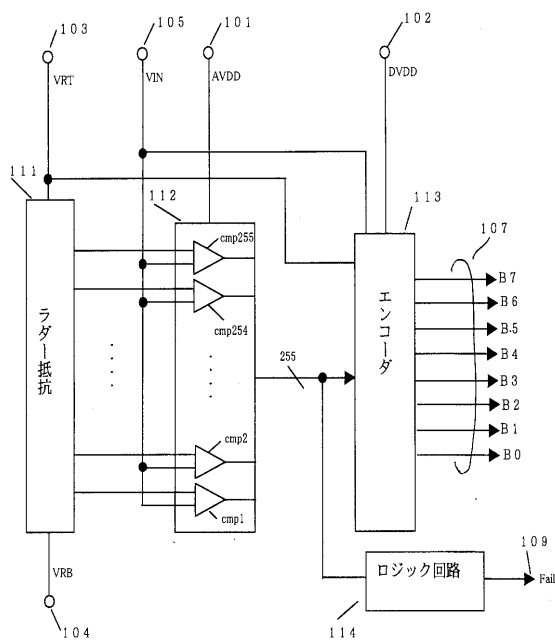
【図6】従来 of A/Dコンバータにおけるコンパレータの出力をデジタルコードに変換する回路図。

【符号の説明】

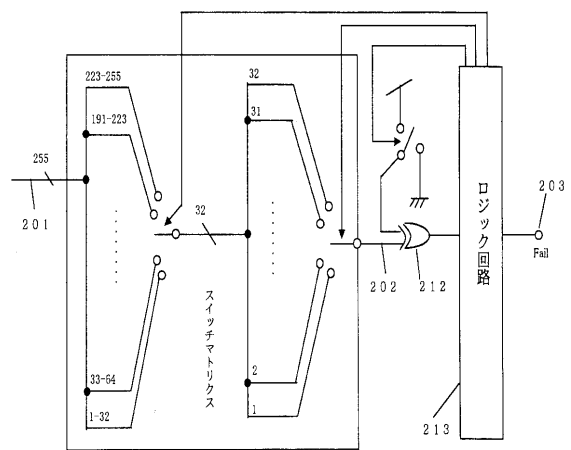
- | | | |
|-----------------|-----------------|----|
| 101、501 | アナログ電源端子 | 30 |
| 102、502 | デジタル電源端子 | |
| 103、503 | 上部基準電源端子 | |
| 104、504 | 下部基準電源端子 | |
| 105、505 | アナログ入力電圧端子 | |
| 107、507 | デジタルコード | |
| 109、203、303、403 | 不良判定信号 | |
| 111 | ラダー抵抗 | |
| 112 | コンパレータ群 | |
| 113 | エンコーダ | |
| 114 | 不良判定ロジック回路 | 40 |
| 201、301、401 | コンパレータ出力 | |
| 202、302 | スイッチマトリクス of 出力 | |
| 211、311 | スイッチマトリクス | |
| 212、601 | 排他的論理和回路 | |
| 213、313、413 | ロジック回路 | |
| 312 | 加算器 | |
| 402、506 | クロック入力端子 | |
| 411 | フリップフロップ | |
| 412 | 比較テーブル | |
| 500 | A/Dコンバータ | 50 |

5 0 8 接地
 5 1 1、5 1 2、5 1 3、5 1 4 電源
 5 1 5 アナログソース源
 5 1 6 クロック源
 6 0 2 論理和回路

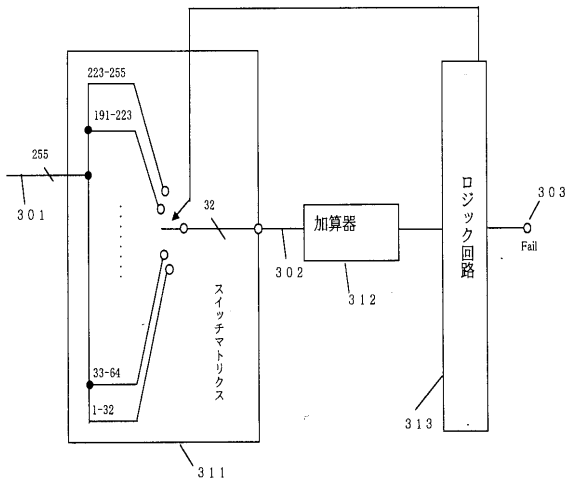
【図 1】



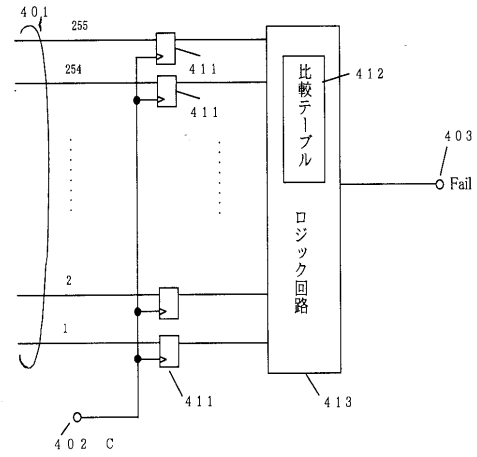
【図 2】



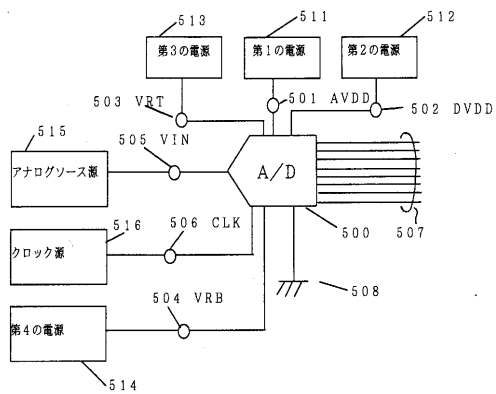
【図 3】



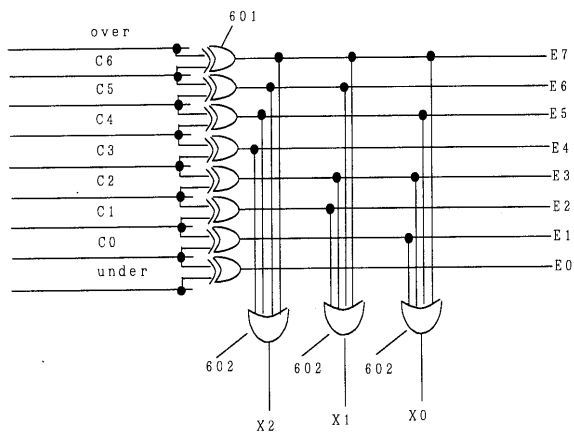
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 佐藤 章

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5J022 AA06 AC04 BA10 CB02 CD03 CE01 CF01