



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 699 20 306 T2** 2005.10.06

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 0 944 091 B1**

(51) Int Cl.⁷: **G11C 11/22**

(21) Deutsches Aktenzeichen: **699 20 306.6**

(96) Europäisches Aktenzeichen: **99 301 321.8**

(96) Europäischer Anmeldetag: **23.02.1999**

(97) Erstveröffentlichung durch das EPA: **22.09.1999**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **22.09.2004**

(47) Veröffentlichungstag im Patentblatt: **06.10.2005**

(30) Unionspriorität:

4145598 24.02.1998 JP

(84) Benannte Vertragsstaaten:

DE, FR, GB

(73) Patentinhaber:

Sharp K.K., Osaka, JP

(72) Erfinder:

Takata, Hidekazu, Nara-shi, Nara-ken, JP; Tanaka, Hidehiko, Nara-shi, Nara-ken, JP

(74) Vertreter:

Müller - Hoffmann & Partner Patentanwälte, 81667 München

(54) Bezeichnung: **Ferroelektrische Speicheranordnung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Hintergrund der Erfindung

1. Gebiet der Erfindung:

[0001] Die vorliegende Erfindung bezieht sich auf eine nichtflüchtige Halbleiterspeichervorrichtung zum Speichern und Beibehalten von Information durch Verwenden von verschiedenen Polarisationszuständen eines ferroelektrischen Films, welcher zwischen entgegengesetzten bzw. gegenüberliegenden Elektroden eines Kondensators angeordnet ist.

2. Beschreibung des Stands der Technik:

[0002] Im Allgemeinen ist eine Halbleiterspeichervorrichtung, welche ein ferroelektrisches Material beinhaltet (nachfolgend als eine "ferroelektrische Speichervorrichtung" bezeichnet) ein nichtflüchtiger Speicher, welcher Datenspeicherung basierend auf den Polarisationsrichtungen des ferroelektrischen Materials durchführt. [Fig. 6](#) zeigt hauptsächlich einen Speicherzellenabschnitt einer herkömmlichen nichtflüchtigen Halbleiterspeichervorrichtung, welche einen ferroelektrischen Film beinhaltet (siehe z.B. T. Sumi et al., 1994, IEEE International Solid State Circuits Conference, Digest of Technical Papers, Seiten 268 – 269).

[0003] Die in [Fig. 6](#) gezeigte ferroelektrische Speichervorrichtung beinhaltet hauptsächlich eine Vielzahl von Speicherzellen MC, welche in einer Matrix von Zeilen und Spalten angeordnet sind, wobei jede Speicherzelle einen Kondensator Cs, welcher im Wesentlichen aus einem zwischen gegenüberliegenden bzw. entgegengesetzten Elektroden angeordnetem ferroelektrischen Film besteht, und einen MOS-Transistor Qc beinhaltet, dessen Quelle oder Senke an einer der Elektroden des Kondensators Cs gekoppelt ist (im Folgenden wird die andere Elektrode eines jeden Kondensators Cs als eine "Plattenelektrode" bezeichnet werden, wie nachfolgend beschrieben).

[0004] Die ferroelektrische Speichervorrichtung beinhaltet weiter eine Vielzahl von Wortleitungen WL0 bis WL2m+1, welche vorgesehen sind für die entsprechenden Reihen bzw. Zeilen von Speicherzellen MC, um mit den Gattern der Transistoren Qc der entsprechenden Zeilen der Speicherzellen MC gekoppelt zu werden. Bei einem "ausgewählten" Pegel bringen die Wortleitungen WL0 bis WL2m+1 diese Speicherzellen MC in einen "ausgewählten" Zustand.

[0005] Die ferroelektrische Speichervorrichtung beinhaltet weiter eine Vielzahl von Bitleitungen BL0 bis BLn und eine Vielzahl von Bitleitungen /BL0 bis /BLn, welche für die entsprechenden Spalten von Speicherzellen MC vorgesehen sind, um mit bzw. an die Senken der Transistoren Qc der entsprechenden

Spalten von Speicherzellen MC gekoppelt zu sein.

[0006] Die ferroelektrische Speichervorrichtung beinhaltet weiter eine Vielzahl von Plattenleitungen PL0 bis PLm derart, dass eine Plattenleitung für jede zwei Zeilen von Speicherzellen MC vorgesehen ist und an die "Plattenelektroden" von jedem zwei entsprechenden Kondensatoren Cs gekoppelt sind.

[0007] Die ferroelektrische Speichervorrichtung beinhaltet weiter eine Vielzahl von MOS-Transistoren T0 bis T2m+1, welche vorgesehen sind für die entsprechenden Wortleitungen WL0 bis WL2m+1, so dass ihre Gatter an die entsprechenden Wortleitungen gekoppelt sind, ihre Quellen an die entsprechenden Plattenleitungen gekoppelt sind und ihre Senken an eine gemeinsame Treiberleitung DL gekoppelt sind.

[0008] Abschließend beinhaltet die ferroelektrische Speichervorrichtung einen Plattentreibersignalerzeugungskreis **1** zum Zuführen eines Plattentreibersignals, um die Treiberleitung DL zu treiben.

[0009] In der vorliegenden Beschreibung wird eine Speicherzelle, welche Information speichert durch Verwenden der Tätigkeit eines ferroelektrischen Films als eine "ferroelektrische Speicherzelle" bezeichnet werden.

[0010] Ein Lesevorgang der vorstehend beschriebenen ferroelektrischen Speichervorrichtung wird mit Bezug auf das in [Fig. 7](#) gezeigte Zeitgabediagramm beschrieben.

[0011] In einem Standby-Zustand, bevor die Wortleitung (z.B. WL0) zu einem "ausgewählten" Pegel (d.h. einem "HIGH"-Pegel) ansteigt, sind die Bitleitungen BL0 bis BLn, Bitleitungen /BL0 bis /BLn und Treiberleitung DL auf einem Erdpotenzial. Wenn die Wortleitung WL0 zu einem "HIGH"-Pegel ansteigt, werden die an die Wortleitung WL0 gekoppelten Speicherzellen MC ausgewählt; gleichzeitig wird der Transistor T0 leitend, so dass die Plattenleitung PL0 an die Treiberleitung DL gekoppelt wird bzw. ist. Dann verschiebt sich das Plattentreibersignal zu einer Plattentreiberspannung Vp1, so dass die Plattentreiberspannung Vp1 zu der Plattenleitung PL0 zugeführt wird. Die Folge ist, dass die in den Speicherzellen MC gespeicherte Information auf die Bitleitungen BL0 bis BLn gelesen werden kann. Eine Referenzzelle (nicht gezeigt) ist selektiv an die Bitleitungen /BL0 bis /BLn, welche komplementär zu den Bitleitungen BL0 bis BLn sind, gekoppelt, um die Bitleitungen /BL0 bis /BLn auf einen Referenzspannungspegel zu bringen. Der Referenzspannungspegel ist vorgeschrieben (wie einfacherweise erreicht wird durch die Anpassung der Kondensatorgröße der Referenzzelle), um ein Zwischenpotenzial zwischen entsprechenden Bitleitungspotenzialen entsprechend "1" und "0", wel-

che in einer gegebenen Speicherzelle MC gespeichert werden sollen. Die Information, welche in jeder ausgewählten Speicherzelle gespeichert ist, kann gelesen werden, um zu dem Äußeren verfügbar zu werden, durch Verstärken einer Differenzialspannung zwischen entsprechenden der Bitleitungen BLO bis BLn und komplementären Bitleitungen /BLO bis /BLn. Nachfolgend verschiebt sich das Plattentreiber-signal zu dem Erdpotenzial, um die Plattenleitung PLO auf das Erdpotenzial zu bringen, was zur Folge hat, dass die Information, welche vorhergehend in der ausgewählten Speicherzelle gespeichert war, in diese wieder hineingeschrieben wird. In Übereinstimmung mit der in [Fig. 6](#) gezeigten herkömmlichen ferroelektrischen Speichervorrichtung wird jegliche Information gespeichert durch Induzieren bzw. Einleiten entweder einer positiven oder negativen Polarisierung des ferroelektrischen Films des Kondensators Cs einer jeden Speicherzelle MC und jegliche so gespeicherte Information wird gelesen durch Erfassen bzw. Detektieren des Zustands der induzierten Polarisierung. Jedoch, da dies erfordert, dass ein vorbestimmtes Potenzial V_{p1} zu der Plattenleitung wie vorstehend beschrieben zugeführt wird, wird nicht nur die Speicherzelle, deren gespeicherte Information gelesen wird, aber auch die anderen Speicherzellen in der selben Zeile oder Spalte angetrieben werden. Ebenfalls lädt das in dem Kondensator Cs beinhaltete ferroelektrische Material die Kapazität schnell zu einem Wert auf, welcher größer ist als der in einem herkömmlichen DRRM üblicherweise verwendete.

[0012] Des Weiteren sind die Plattenleitungen typischerweise aus wertvollen Metallen bzw. Edelmetallen, z.B. Au, Pt und Ru ausgebildet zum Übereinstimmen bzw. Zusammenpassen mit dem ferroelektrischen Material. Es ist schwierig, einen relativ dicken Film aus solch wertvollen Metallen auszubilden, aufgrund der Verarbeitungsprobleme und es ist nicht wünschenswert, breite Verdrahtungsleitungen einzusetzen in Bezug auf die Verkleinerung der Vorrichtung und Verbesserung in der Anordnungs- bzw. Montierdichte der Vorrichtung. Somit werden die Plattenleitungen unvermeidbarerweise entworfen, um einen relativ hohen Widerstandswert aufzuweisen, was in einer großen Zeitkonstante resultiert. Dies resultiert wiederum darin, dass eine relativ lange Zeit benötigt wird zum Treiben der Plattenleitungen, wodurch Hochgeschwindigkeitsvorgänge bzw. Betätigungen der Vorrichtung behindert werden. Zusätzlich erhöht Aufladen und Entladen von Plattenleitungen nachteiligerweise den Strom- bzw. Energieverbrauch der Vorrichtung.

[0013] Zusammenfassend können die nachfolgenden Probleme in der vorstehend beschriebenen herkömmlichen ferroelektrischen Speichervorrichtung auftreten, in welcher die Plattenleitungen auf ein vorbestimmtes Potenzial getrieben werden müssen, jedes Mal, wenn ein Zugriff durchgeführt wird: eine re-

lativ lange Zeit wird benötigt zum Treiben der Plattenleitungen, Schwierigkeiten beim Erreichen von Hochgeschwindigkeitsvorgängen und erhöhter Energieverbrauch aufgrund des Ladens und Entladens von Plattenleitungen.

Zusammenfassung der Erfindung

[0014] Eine Halbleiterspeichervorrichtung gemäß der vorliegenden Erfindung beinhaltet eine Vielzahl von Wortleitungen, eine Vielzahl von Treiberleitungen: einen Wortleitungstreiberabschnitt zum Aktivieren einer der Vielzahl von Wortleitungen in Übereinstimmung mit einer Zeilenadresse; einen Spaltenauswahlabschnitt zum, in Übereinstimmung mit einer Spaltenadresse, Auswählen einer aus einer Vielzahl von ferroelektrischen Speicherzellen, welche an die aktivierte Wortleitung gekoppelt sind; einen Plattentreiber-signalanlegabschnitt zum Anlegen eines Plattentreiber-signals an eine der Vielzahl von Treiberleitungen, welche mit der aktivierten Wortleitung assoziiert sind, wobei jede der Vielzahl von Treiberleitungen mit einer der Vielzahl von Wortleitungen assoziiert ist bzw. dieser zugeordnet ist, wobei der Spaltenauswahlabschnitt nur die ausgewählte ferroelektrische Speicherzelle an die eine der Vielzahl von Treiberleitungen koppelt.

[0015] In einer Ausführungsform der Erfindung beinhaltet jede der Vielzahl von ferroelektrischen Speicherzellen einen ersten Transistor, einen zweiten Transistor und zumindest einen Kondensator mit zwei Elektroden, wobei die zwei Elektroden des Kondensators jeweils an entweder eine Quelle bzw. Source oder Senke bzw. Drain des ersten Transistors und entweder eine Quelle oder Senke des zweiten Transistors gekoppelt sind, wobei das Gatter bzw. Gate des ersten Transistors an eine der Vielzahl von Wortleitungen gekoppelt ist, wobei die andere der Quelle und der Senke des zweiten Transistors an eine der Vielzahl der Treiberleitungen, welche mit einer der Vielzahl von Wortleitungen assoziiert sind bzw. diesen zugeordnet sind, gekoppelt ist und wobei das Gatter des zweiten Transistors an den Spaltenauswahlabschnitt gekoppelt ist, und wobei der Spaltenauswahlabschnitt den zweiten Transistor steuert bzw. regelt, um nur die ausgewählte ferroelektrische Speicherzelle an eine der Vielzahl von Treiberleitungen zu koppeln.

[0016] Vorzugsweise beinhaltet die Halbleiterspeichervorrichtung einen Umschaltabschnitt zum Kopplein oder Entkoppeln der Vielzahl von ferroelektrischen Speicherzellen an eine oder von einer der Vielzahl von Treiberleitungen.

[0017] In einer Ausführungsform der Erfindung koppelt oder entkoppelt der Umschaltabschnitt die Vielzahl von ferroelektrischen Speicherzellen an die bzw. von der zumindest einen ausgewählten Treiberlei-

tung bezüglich jeder der Vielzahl von Wortleitungen.

Kurze Beschreibung der Zeichnungen

[0018] In einer anderen Ausführungsform der Erfindung ist jede der Vielzahl von Treiberleitung assoziiert mit mehr als einer der Vielzahl von Wortleitungen bzw. dieser zugeordnet, wobei der Plattentreibersignalanlegabschnitt das Plattentreibersignal an die Treiberleitung anlegt, welche mit einer beliebigen der aktivierten Wortleitungen assoziiert ist bzw. dieser zugeordnet ist.

[0019] In einer weiteren Ausführungsform der Erfindung ist jede der Vielzahl von Treiberleitungen mit einer der Vielzahl von Wortleitungen assoziiert bzw. diesen zugeordnet, wobei der Plattentreibersignalanlegabschnitt das Plattentreibersignal an die Treiberleitung anlegt, welche mit der aktivierten Wortleitung assoziiert ist bzw. dieser zugeordnet ist.

[0020] In einer weiteren Ausführungsform der Erfindung beinhaltet jede der Vielzahl von ferroelektrischen Speicherzellen zumindest einen Kondensator, welcher zwei Elektroden aufweist, und zumindest einen Transistor, wobei die zwei Elektroden des Kondensators jeweils mit entweder einer Quelle oder einer Senke des zumindest einen Transistors und dem Umschaltabschnitt gekoppelt sind, wobei das Gatter des zumindest einen Transistors an eine der Vielzahl von Wortleitungen gekoppelt ist.

[0021] Vorzugsweise beinhaltet jede der Vielzahl von ferroelektrischen Speicherzellen einen ersten Transistor, einen zweiten Transistor und zumindest einen Kondensator, welcher zwei Elektroden aufweist, wobei eine der zwei Elektroden des Kondensators an entweder eine Quelle oder eine Senke des ersten Transistors gekoppelt ist, wobei die andere der zwei Elektroden des Kondensators an entweder eine Quelle oder eine Senke des zweiten Transistors gekoppelt ist, wobei das Gatter des ersten Transistors an eine der Vielzahl von Wortleitungen gekoppelt ist, wobei das andere der Quelle und der Senke des zweiten Transistors an eine der Vielzahl von Treiberleitungen gekoppelt ist, und wobei das Gatter des zweiten Transistors an den Spaltenauswahlabschnitt gekoppelt ist.

[0022] Somit ermöglichen die hier beschriebenen Ausführungsformen den Vorteil des Bereitstellens einer Halbleiterspeichervorrichtung, welche sowohl einen Hochgeschwindigkeitsbetrieb und einen niedrigen Energieverbrauch erreicht.

[0023] Damit die vorliegende Erfindung auf einfachere Weise verstanden werden kann, wird eine bestimmte Ausführungsform davon mit Bezug auf die begleitenden Zeichnungen beschrieben.

[0024] [Fig. 1](#) ist ein Schaltkreisdigramm, welches eine Speichervorrichtung gemäß Beispiel 1 der vorliegenden Erfindung darstellt.

[0025] [Fig. 2A](#) und [Fig. 2B](#) sind Zeitgabedigramme von verschiedenen Signalen zum Darstellen des Betriebs der Speichervorrichtung gemäß Beispiel 1 der vorliegenden Erfindung in [Fig. 1](#) gezeigt.

[0026] [Fig. 3A](#) bis [Fig. 3C](#) sind Schaltkreisdigramme, welche jeweils eine Modifikation der in [Fig. 1](#) gezeigten Speichervorrichtung gemäß der vorliegenden Erfindung darstellen.

[0027] [Fig. 4](#) ist ein Schaltkreisdigramm, welches eine Speichervorrichtung gemäß Beispiel 2 der vorliegenden Erfindung darstellt.

[0028] [Fig. 5](#) ist ein Zeitgabedigramm von verschiedenen Signalen zum Darstellen des Betriebs der in [Fig. 4](#) gezeigten Speichervorrichtung gemäß Beispiel 2 der vorliegenden Erfindung.

[0029] [Fig. 6](#) ist ein Schaltkreisdigramm, welches ein Beispiel einer herkömmlichen ferroelektrischen Speichervorrichtung darstellt.

[0030] [Fig. 7](#) ist ein Zeitgabedigramm von verschiedenen Signalen zum Darstellen des Betriebs der in [Fig. 6](#) gezeigten herkömmlichen ferroelektrischen Speichervorrichtung.

[0031] [Fig. 8](#) ist ein Graph, welcher die Hysteresekarakteristika einer ferroelektrischen Speicherzelle bezüglich eines angelegten elektrischen Feldes und Polarisation zeigt.

Beschreibung der bevorzugten Ausführungsformen

(Beispiel 1)

[0032] [Fig. 1](#) ist ein Schaltkreisdigramm, welches eine Speichervorrichtung gemäß Beispiel 1 der vorliegenden Erfindung darstellt.

[0033] In der vorliegenden Beschreibung ist eine Wortleitung "assoziiert mit" bzw. zugeordnet zu einer Treiberleitung in dem Fall, in welchem die Wortleitung, welche an eine Speicherzelle gekoppelt ist, ebenfalls an eine Treiberleitung über einen Transistor gekoppelt ist. Entsprechend ist eine Wortleitung "assoziiert mit" bzw. zugeordnet zu einer Treiberleitung in dem Fall, in welchem ein Plattentreibersignal an die Treiberleitung angelegt wird, wenn die Wortleitung aktiviert ist.

[0034] Die Speichervorrichtung gemäß des vorliegenden Beispiels beinhaltet eine Vielzahl von Spei-

cherzellen MC, welche in einer Matrix von Reihen bzw. Zeilen und Spalten angeordnet sind, wobei jede Speicherzelle MC einen Kondensator Cs beinhaltet, welcher im Wesentlichen aus einem ferroelektrischen Film besteht, der zwischen entgegengesetzten bzw. gegenüberliegenden Elektroden angeordnet ist, und einen MOS-Transistor Qc, dessen Quelle bzw. Source oder Senke bzw. Drain an eine der Elektroden des Kondensators Cs gekoppelt ist.

[0035] Die ferroelektrische Speichervorrichtung beinhaltet weiter eine Vielzahl von Wortleitungen WL0 bis WL2m+1, die für die entsprechenden Zeilen von Speicherzellen MC vorgesehen sind, um an die Gatter der Transistoren Qc der entsprechenden Zeilen von Speicherzellen MC gekoppelt zu sein zum Auswählen einer oder mehrerer Zeilen von Speicherzellen MC.

[0036] Die ferroelektrische Speichervorrichtung beinhaltet weiter eine Vielzahl von Bitleitungen BL0 bis BLn und eine Vielzahl von Bitleitungen /BL0 bis /BLn, die vorgesehen sind für die entsprechenden Spalten von Speicherzellen MC, um mit den Senken oder Quellen der Transistoren Qc der entsprechenden Spalten von Speicherzellen MC gekoppelt zu sein.

[0037] Die ferroelektrische Speichervorrichtung beinhaltet weiter eine Vielzahl von Treiberleitungen DL0 bis DLn derart, dass eine Treiberleitung für jede zwei Zeilen von Speicherzellen MC vorgesehen ist.

[0038] Die Treiberleitungen DL können ausgebildet sein aus Polysiliziumleitungen bzw. -drähten oder herkömmlichen Metallleitungen bzw. -drähten (z.B. Aluminiumdrähten bzw. -leitungen).

[0039] Die ferroelektrische Speichervorrichtung beinhaltet weiter eine Vielzahl von MOS-Transistoren T0 bis T2m+1, die vorgesehen sind für die entsprechenden Wortleitungen WL0 bis WL2m+1 derart, dass ihre Gatter bzw. Gates an die entsprechenden Wortleitungen gekoppelt sind, deren Quellen an die entsprechenden Treiberleitungen gekoppelt sind und deren Senken an eine Haupttreiberleitung MDL gekoppelt sind.

[0040] Die ferroelektrische Speichervorrichtung beinhaltet weiter einen Plattentreibersignalerzeugungsschaltkreis 1 zum Zuführen eines Plattentreibersignals zu der Haupttreiberleitung MDL.

[0041] In der vorstehenden Konfiguration sind Treiberleitungen vorgesehen zum Anlegen einer Spannung an die entsprechenden Kondensatoren über die MOS-Transistoren T0 bis T2m+1, um Lesen oder Schreiben von Information in die oder aus den Speicherzellen MC zu ermöglichen.

[0042] Die Speichervorrichtung beinhaltet weiter:

eine Vielzahl von Plattenleitungen PL(0,0) bis PL(m,n); eine Vielzahl von MOS-Transistoren Q(0,0) bis Q(m,n) derart, dass deren Quellen an die entsprechenden Plattenleitungen PL(0,0) bis PL(m,n) gekoppelt sind, deren Senken an die jeweils entsprechenden Treiberleitungen DL0 bis DLm gekoppelt sind und deren Gatter an Spaltenauswahlleitungen CD0 bis CDn gekoppelt sind; einen Adresspuffer 2 zum Empfangen eines extern zugeführten bzw. bereitgestellten Adresssignals; einen Zeilendecoder 3 und einen Spaltendecoder 4 zum Aufnehmen bzw. Erhalten der Ausgaben von dem Adresspuffer 2; einen Wortleitungstreiberschaltkreis 5 zum Erhalten bzw. Aufnehmen eines Adressdecodesignals bzw. Adressdecodersignals, welches von dem Zeilendecoder 3 ausgegeben wird bzw. wurde, und Treiben einer oder mehrerer der Wortleitungen; und einen Spaltenauswahlschaltkreis 6 zum Empfangen bzw. Aufnehmen eines Adressdecodesignals, welches von dem Spaltendecoder 4 ausgegeben wird, und Erzeugen von Spaltenauswahlsignalen CD0 bis CDn.

[0043] Bezüglich jeder Spalte, sind die anderen Elektroden (das heißt die Elektroden, welche nicht an den MOS-Transistor Qc gekoppelt sind) der Kondensatoren Cs der Speicherzellen MC in zwei benachbarten Zeilen aneinander oder einen gemeinsamen Knoten und die Plattenleitungen PL(0,0) bis PL(m,n) gekoppelt.

[0044] Obwohl eine Treiberleitung für jede zwei Zeilen von Speicherzellen MC in dem vorliegenden Beispiel vorgesehen ist, ist die vorliegende Erfindung nicht darauf beschränkt. Alternativ kann eine Treiberleitung für jede Zeile von Speicherzellen MC vorgesehen sein, um die Antwortgeschwindigkeit der Treiberleitungen weiter zu erhöhen.

[0045] [Fig. 3A](#) bis [Fig. 3C](#) sind Schaltkreisdigramme, welche Modifikationen der Speichervorrichtung gemäß Beispiel 1, wie in [Fig. 1](#) gezeigt, darstellen, in welchen die Plattenelektroden der entsprechenden Speicherzellplatten getrennt sind (das heißt nicht aneinander oder einen gemeinsamen Knoten gekoppelt) entlang sowohl der Zeilen- und Spaltenrichtungen, wobei eine Treiberleitung für jede Zeile vorgesehen ist. Obwohl die nachfolgende Beschreibung hauptsächlich die in [Fig. 1](#) dargestellte Konfiguration betreffen wird, sollte beachtet werden, dass dieselbe Beschreibung ebenfalls auf die in [Fig. 3A](#) bis [Fig. 3C](#) gezeigten Konfigurationen anwendbar ist, ausgenommen die vorstehend beschriebenen Unterschiede davon.

[0046] Alternativ ist es ebenfalls möglich, eine Treiberleitung für eine größere Anzahl von Zeilen (z.B. für jede vier oder acht Leitungen) vorzusehen, wodurch die für solch eine Verdrahtung benötigte Fläche verringert wird. Wie in [Fig. 3B](#) gezeigt, kann in dem Fall, in welchem eine Treiberleitung für mehr als eine Zeile

vorgesehen ist, eine Vielzahl von MOS-Transistoren T , welche jeweils einer Treiberleitung entsprechen (im Gegensatz zum Vorsehen eines Transistors (T_0 bis T_{2m+1}) für jede Wortleitung) derart vorgesehen sein, dass deren Quellen an die jeweils entsprechenden Treiberleitungen DL gekoppelt sind, deren Senken an die Haupttreiberleitung MDL gekoppelt sind, und deren Gatter ein logisches ODER der Zeilencodesignale empfangen, die jeweils der einen oder mehreren Zeilen entsprechen (z.B. Wortleitungen WL0, WL1, ..., etc.).

[0047] [Fig. 3C](#) zeigt ein anderes Beispiel der Speichervorrichtung gemäß der vorliegenden Erfindung wie in [Fig. 3A](#) dargestellt. Der Betrieb der in [Fig. 3C](#) gezeigten Speichervorrichtung ist identisch mit demjenigen der in [Fig. 3A](#) gezeigten Speichervorrichtung. Strukturell unterscheidet sich die Speichervorrichtung von [Fig. 3C](#) von der Speichervorrichtung von [Fig. 3A](#) darin, dass die Transistoren $Q(i,j)$ (wobei i und j ganze Zahlen sind, derart, dass $0 \leq i \leq 2m+1$, $0 \leq j \leq n$), die in [Fig. 3A](#) dargestellt sind, deren Umschalten geregelt bzw. gesteuert wird durch den Spaltenauswahlschaltkreis **6**, in den entsprechenden Speicherzellen MC vorgesehen sind. Jeder in [Fig. 3C](#) gezeigter Transistor repräsentiert solch einen Transistor, der innerhalb einer jeden Speicherzelle MC vorgesehen ist. Durch Einsetzen solch sehr hochintegrierter Speicherzellen, wird es möglich, die Integrationsdichte der gesamten Speichervorrichtung zu erhöhen oder alternativ die Schaltkreisfläche auf dem Chip zu verringern.

[0048] In dem vorliegenden Beispiel sind die Plattelektroden von mehr als einer Speicherzelle, welche entlang der Zeilenrichtung nebeneinander angeordnet sind, aneinander oder einem gemeinsamen Knoten gekoppelt. Zusätzlich können die Plattelektroden von mehr als einer Speicherzelle, welche entlang der Spaltenrichtung nebeneinander angeordnet sind, ebenfalls aneinander oder einen gemeinsamen Knoten gekoppelt sein, so dass die gemeinsamen Plattenleitungen PL(0,0) bis PL(m,n) an ihre entsprechenden Treiberleitungen DL0 bis DLm gekoppelt sein werden in Antwort auf Spaltenauswahlsignale CD0 bis CDn. In diesem Fall kann ein Transistor Q vorgesehen sein für eine Vielzahl von Zeilen (oder eine Zeile) von Speicherzellen und ein Transistor Q kann für eine Vielzahl von Spalten von Speicherzellen vorgesehen sein. Die Gatter einer beliebigen Anzahl von Transistoren, welche vorgesehen sind für mehr als eine Zeile, werden aneinander gekoppelt entlang der Spaltenrichtung, um eine gemeinsame Spaltenauswahlleitung auszubilden. Der Spaltenauswahlschaltkreis wird derart ausgelegt sein, dass ein "ausgewählter" bzw. "Auswahl-" Pegel ausgegeben wird an die gemeinsame Spaltenauswahlleitung, wenn ein Decodiersignal für eine beliebige der einen oder mehr Spalten von dem Spaltendecoder **4** ausgegeben wird.

[0049] Weniger Transistoren $Q(0,0)$ bis $Q(m,n)$ werden benötigt in der Speichervorrichtung, wenn mehr Zeilen und/oder Spalten an eine gemeinsame Plattenleitung gekoppelt werden.

[0050] Jedoch wird die Konfiguration des vorliegenden Beispiels, in welchem die Plattenleitungen der Speicherzellen, nicht aneinander oder einen gemeinsamen Knoten entlang der Spaltenrichtung gekoppelt sind, eine höhere Antwort einer jeden Plattenleitung bereitstellen.

[0051] Nachfolgend wird der Betrieb der in [Fig. 1](#) gezeigten Speichervorrichtung Bezug nehmend auf das Zeitgabediagramm von [Fig. 2A](#), welches verschiedene Signale darstellt, beschrieben.

[0052] In einem Standby-Zustand, bevor die Wortleitung (z.B. WL1) auf einen "ausgewählten" Pegel (d.h. einen "HIGH"-Pegel) ansteigt, befinden sich die Bitleitungen BL0 bis BLn, Bitleitung /BL0 bis /BLn und die Haupttreiberleitung MDL auf einem Erdpotenzial.

[0053] Ein externes Adresssignal, welches in den Adresspuffer **2** eingegeben wird, wird an den Zeilendecoder **3** und den Spaltendecoder **4** weitergegeben. Der Zeilendecoder **3** decodiert eine Zeilenadresse von dem externen Adresssignal; der Spaltendecoder **4** decodiert eine Spaltenadresse von dem externen Adresssignal. Der Wortleitungstreiberschaltkreis **5** aktiviert zumindest eine der Wortleitungen WL0 bis WL2m+1 bei einer Adresse, welche der Zeilenadresse, welche durch den Zeilendecoder **3** decodiert wurde, entspricht, während der Spaltenauswahlschaltkreis **6** zumindest eine der Spaltenauswahlleitungen CD0 bis CDn bei einer Adresse entsprechend der Spaltenadresse, welche durch den Spaltendecoder **4** decodiert wurde, aktiviert. Hierbei bezieht sich der Ausdruck "Aktivierung" auf eine ausgewählte Leitung, welche mit einem Signal mit einem "ausgewählten" Pegelsignal versorgt wird. Der Zeilendecoder **3** und der Wortleitungstreiberschaltkreis **5** können zusammen als ein "Wortleitungstreiberabschnitt" bezeichnet werden, während der Spaltendecoder **4** und der Spaltenauswahlschaltkreis **6** zusammen als ein "Spaltenauswahlabschnitt" bezeichnet werden können.

[0054] Wenn eine Wortleitung (z.B. WL1) sich auf den "ausgewählten" Pegel verschiebt, werden die Transistoren Q_c der Speicherzellen MC, welche an die Wortleitung WL1 gekoppelt sind, leitend; gleichzeitig wird der Transistor T_1 (welcher an die Wortleitung WL1 gekoppelt ist) leitend, so dass eine Plattenleitungstreiber Spannung VP1 zu der entsprechenden Treiberleitung DL0 zugeführt wird. Nachfolgend, wenn sich eine Spaltenauswahlleitung (z.B. CDj) auf den "ausgewählten" Pegel verschiebt, in Antwort auf ein Ausgabesignal von dem Spaltendecoder **4**, werden die Transistoren $Q(0,j)$ bis $Q(m,j)$ in der j -ten

Spalte leitend, so dass die Spannung V_{p1} auf der Treiberleitung DL0 zu einer der Plattenleitungen, d.h. Plattenleitung PL(0,j) zugeführt wird.

[0055] Wie vorstehend beschrieben funktioniert jeder Transistor als ein Schalter, welcher sich in Übereinstimmung mit dem Signalpegel auf der Leitung, welche an sein Gatter gekoppelt ist, öffnet oder schließt. In der vorliegenden Beschreibung können der Plattentreibersignalerzeugungsschaltkreis 1, die Transistoren T0 bis T2m+1 und die verbindende Haupttreiberleitung MDL gemeinsam als ein "Plattentreibersignalanlegabschnitt" bezeichnet werden.

[0056] Die Folge ist, dass die in den Speicherzellen MC gespeicherte Information in der ersten Zeile und der j-ten Spalte auf die Bitleitungen /BLj gelesen wird.

[0057] Der vorstehende Betrieb wird in größerem Detail mit Bezug auf die in [Fig. 8](#) gezeigten Hysterescharakteristika beschrieben. Durch Anlegen eines negativen elektrischen Felds $-E_{max}$ zwischen der Bitleitung /BLj und der Plattenleitung PL während sich der Transistor Qc in einem EIN-Zustand befindet, wird eine Ladung äquivalent zu $P_{max} + P_r$ auf die Bitleitung /BLj von einer Speicherzelle, welche die Daten "1" (was dem Punkt c in der Hysteresekurve entspricht), gelesen, und eine Ladung äquivalent zu $P_{max} - P_r$ wird auf die Bitleitung /BLj von einer Speicherzelle, welche die Daten "0" (was dem Punkt a in der Hysteresekurve entspricht) gelesen.

[0058] Eine Referenzzelle (nicht gezeigt) wird selektiv an die Bitleitung BLj (welche komplementär ist zu der Bitleitung /BLj) gekoppelt, um die Bitleitung BLj auf eine Referenzspannung zu bringen.

[0059] Die Information, welche in jeder ausgewählten Speicherzelle gespeichert ist, kann gelesen werden und wird von außen zugreifbar durch Verstärken einer differentiellen Spannung zwischen dem komplementären Paar von Bitleitungen BLj und /BLj. Nachfolgend verschiebt sich das Haupttreibersignal MDL auf das Erdpotenzial während die Spaltenauswahlleitung CDj auf dem "ausgewählten" Pegel verbleibt, wobei die Plattenleitung PL(0,j) auf dem Erdpotenzial angeordnet wird. Die Folge ist, dass die Information, welche vorher in den ausgewählten Speicherzellen gespeichert war, wieder in diesen hineingeschrieben wird.

[0060] In Übereinstimmung mit dem in [Fig. 2A](#) gezeigten Signalzeitgabeschema, sind ein Lesevorgang und ein Wiederbeschreib- bzw. Überschreib- bzw. Neuschreibvorgang (engl.: rewrite) dargestellt, wie sie in Antwort auf einen einzelnen Haupttreibersignalpuls stattfinden. Alternativ kann das in [Fig. 2B](#) gezeigte Zeitgabeschema eingesetzt werden, wo ein Lesevorgang stattfindet in Antwort auf einen ersten Haupttreibersignalpuls und ein Wiederbeschreibvor-

gang stattfindet in Antwort auf einen zweiten Haupttreibersignalpunkt, wobei beide Vorgänge stattfinden, während die Wortleitung auf dem "ausgewählten" Pegel gehalten wird. Dies erlaubt es, dass der Wiederbeschreibvorgang noch sicherer durchgeführt werden kann.

[0061] Nun wird der Grund, warum der Wiederbeschreibvorgang notwendig ist, kurz mit Rückbezug auf [Fig. 8](#) beschrieben. In Übereinstimmung mit dem vorstehend beschriebenen Lesevorgang, verschiebt sich der Polarisationszustand bei Punkt c ([Fig. 8](#)) auf den Polarisationszustand bei Punkt a ([Fig. 8](#)) in Antwort auf das Anlegen des elektrischen Felds $-E_{max}$, das heißt der Polarisationszustand bei Punkt c wurde durch den Lesezustand zerstört. Somit ist ein Wiederbeschreibvorgang nötig, um die gespeicherten Daten, welche durch solch ein destruktives Lesen verändert wurden, zu retten. Hierbei ist ein Wiederbeschreibvorgang definiert als ein Vorgang, welcher nach einem Lesevorgang durchgeführt wird zum Wiederherstellen des Polarisationszustands, welcher vor dem Lesevorgang existiert hat, aber verändert wurde als eine Folge des Lesevorgangs. Ein Wiederbeschreibvorgang kann erreicht werden durch Anlegen eines positiven elektrischen Felds E_{max} an den ferroelektrischen Film, um zu bewirken, dass der Polarisationszustand bei Punkt a sich auf den Polarisationszustand bei Punkt c verschiebt.

[0062] In Übereinstimmung mit dem vorstehend beschriebenen Vorgang werden die Kondensatoren Cs in den Speicherzellen MC in den nicht ausgewählten Zeilen (d.h. Zeilen verschieden von der ersten Zeile) von den Bitleitungen getrennt durch das Schalten der Transistoren Qc, so dass die Spannungen über die entgegengesetzten bzw. gegenüberliegenden Elektroden dieser Kondensatoren Cs sich nicht verändern werden unabhängig davon, ob die Spannung V_{p1} an die Plattenleitungen PL angelegt wird oder nicht. Entsprechend wird die Vernichtung der Polarisationsinformation in solchen Speicherzellen MC verhindert.

[0063] Des Weiteren sind in solchen Speicherzellen MC, welche an die ausgewählte Wortleitung WL1 und nicht ausgewählte Spaltenauswahlleitungen gekoppelt sind, die Plattenleitungen PL in einem schwebenden bzw. ungeerdeten bzw. floating Zustand, so dass die Spannungen über die entgegengesetzten Elektroden dieser Kondensatoren Cs sich nicht verändern werden. Entsprechend wird die Vernichtung der Polarisationsinformation in solchen Speicherzellen MC ebenfalls verhindert.

[0064] Gemäß des vorliegenden Beispiels muss nur eine Plattenleitung (d.h. PL(0,j) in dem vorstehenden Beispiel) gleichzeitig durch den Plattentreibersignalerzeugungsschaltkreis während eines Zugriffsvorgangs getrieben werden. Die Folge ist, dass es möglich wird, zumindest auf eine Speicherzelle durch ei-

nen Zugriffsvorgang zuzugreifen. Da die Plattenelektroden von nur zwei Kondensatoren mit jeder Plattenleitung PL gekoppelt sind, weisen die Plattenleitungen PL einen relativ geringen Kapazitätswert und einen Widerstandswert auf. Somit wird weniger Zeit zum Treiben der Plattenleitungen benötigt, wobei ein Hochgeschwindigkeitsbetrieb und ein niedriger Energieverbrauch realisiert werden kann.

(Beispiel 2)

[0065] Nachfolgend wird Beispiel 2 der vorliegenden Erfindung mit Bezug auf die Figuren beschrieben.

[0066] [Fig. 4](#) ist ein Schaltkreisdigramm, welches eine Speichervorrichtung gemäß Beispiel 2 der vorliegenden Erfindung darstellt.

[0067] Die Speichervorrichtung gemäß des vorliegenden Beispiels beinhaltet eine Vielzahl von Speicherzellen MC, welche in einer Matrix von Zeilen und Spalten angeordnet sind, wobei jede Speicherzelle MC einen Kondensator Cs, welcher im Wesentlichen aus einem ferroelektrischen Film, welcher zwischen gegenüberliegenden Elektroden angeordnet ist, besteht, einen Transistor Qa, dessen Quelle oder Senke an einer der Elektroden des Kondensators Cs gekoppelt ist, und einen Transistor Qd, dessen Quelle oder Senke an die andere Elektrode (d.h. eine "Plattenelektrode") des Kondensators Cs gekoppelt ist.

[0068] Die ferroelektrische Speichervorrichtung beinhaltet weiter eine Vielzahl von Wortleitungen WL0 bis WLM, welche für die entsprechenden Zeilen von Speicherzellen MC vorgesehen sind, um mit den Gattern der Transistoren Qa der entsprechenden Zeilen von Speicherzellen MC gekoppelt zu sein bzw. werden zum Auswählen einer oder mehrerer Zeilen von Speicherzellen MC.

[0069] Die ferroelektrische Speichervorrichtung beinhaltet weiter eine Vielzahl von Bitleitungen BL0 bis BLN und eine Vielzahl von Bitleitungen /BL0 bis /BLN, welche für die entsprechenden Spalten von Speicherzellen MC vorgesehen sind, um mit den Senken oder Quellen der Transistoren Qa der entsprechenden Spalten von Speicherzellen MC gekoppelt zu werden.

[0070] Bezüglich einer jeden Spalte sind die Senken oder Quellen der Transistoren Qd der Speicherzellen an eine gemeinsame Treiberleitung DL gekoppelt und die Gatter der Transistoren Qd sind an Spaltenauswahlleitungen CD0 bis CDN gekoppelt.

[0071] Die Speichervorrichtung beinhaltet weiter: einen Adresspuffer 2 zum Aufnehmen eines extern zugeführten Adresssignals; einen Zeilendecoder 3 und einen Spaltendecoder 4 zum Aufnehmen der Ausga-

ben des Adresspuffers 2; einen Wortleitungstreiber-schaltkreis 5 zum Aufnehmen eines Adressdecodesignals bzw. Adressdekodiersignals, welches von dem Zeilendecoder 3 ausgegeben wird und Treiben der Wortleitungen; einen Spaltenauswahlschaltkreis 6 zum Erhalten eines Adressdecodesignals, welches von dem Spaltendecoder 4 ausgegeben wird und Erzeugen von Spaltenauswahlsignalen CD0 bis CDN; und einen Plattentreibersignalerzeugungsschaltkreis 1, welcher an die gemeinsame Treiberleitung DL gekoppelt ist.

[0072] Hierbei wird ein Plattenelektrodenknoten des Kondensators Cs in einer Speicherzelle, welche sich in der i-ten Zeile und j-ten Spalte befindet, als PL(i,j) bezeichnet.

[0073] Nachfolgend wird der Betrieb der in [Fig. 4](#) gezeigten Speichervorrichtung mit Bezug auf das Zeitgatediagramm von [Fig. 5](#), welches verschiedene Signale darstellt, beschrieben.

[0074] In einem Standby-Zustand, bevor die Wortleitung auf einen "ausgewählten" Pegel (d.h. einen HIGH-Pegel) ansteigt, befinden sich die Bitleitungen BL0 bis LN, Bitleitungen /BL0 bis /BLN und die gemeinsame Treiberleitung DL auf einem Erdpotenzial.

[0075] Ein externes Adresssignal, welches in den Adresspuffer 2 eingegeben wird, wird an den Zeilendecoder 3 und den Spaltendecoder 4 weitergegeben. Der Zeilendecoder 3 decodiert eine Zeilenadresse von dem externen Adresssignal; der Spaltendecoder 4 decodiert eine Spaltenadresse von dem externen Adresssignal. Der Wortleitungstreiber-schaltkreis 5 aktiviert zumindest eine der Wortleitungen WL0 bis WLM bei einer Adresse, welche der Zeilenadresse, welche durch den Zeilendecoder 3 decodiert wurde, entspricht, während der Spaltenauswahlschaltkreis 6 zumindest eine der Spaltenauswahlleitungen CD0 bis CDN bei einer Adresse entsprechend der Spaltenadresse, welche durch den Spaltendecoder 4 decodiert wurde, aktiviert. Der Zeilendecoder 3 und der Wortleitungstreiber-schaltkreis 5 können gemeinsam als ein "Wortleitungstreiberabschnitt" bezeichnet werden, während der Spaltendecoder 4 und der Spaltenauswahlschaltkreis 6 gemeinsam als ein "Spaltenauswahlabschnitt" bezeichnet werden können.

[0076] Wenn eine Wortleitung (z.B. WL1) sich auf den "ausgewählten" Pegel verschiebt, werden die Transistoren Qa der Speicherzellen MC, welche an die Wortleitung WL1 gekoppelt sind, leitend. Als Nächstes wird eine Plattenleitungstreiber-spannung Vp1, welche von dem Plattentreibersignalerzeugungsschaltkreis 1 ausgegeben wird, zu der gemeinsamen Treiberleitung DL zugeführt. Nachfolgend, wenn eine Spaltenauswahlleitung (z.B. CDj) sich auf den "ausgewählten" Pegel in Antwort auf ein Ausga-

besignal von dem Spaltendecoder 4 verschiebt, werden die Transistoren Qd in der j-ten Spalte leitend, so dass die Spannung Vp1 auf der gemeinsamen Treiberleitung DL zu den Plattenleitungen in der j-ten Spalte, das heißt die Plattenleitungen PL(0,j), PL(1,j), ... und PL(m,j), zugeführt wird.

[0077] Die Folge ist, dass die in den Speicherzellen MC in der ersten Zeile und der j-ten Spalte gespeicherte Information auf die Bitleitung /BLj gelesen wird.

[0078] Der vorstehende Betrieb wird in größerem Detail mit Bezug auf die in [Fig. 8](#) gezeigten Hysterescharakteristika beschrieben. Durch Anlegen eines negativen elektrischen Felds -Emax zwischen der Bitleitung /BLj und der Plattenleitung PL(i,j) während sich der Transistor Qa in einem EIN-Zustand befindet, wird eine Ladung äquivalent zu Pmax+Pr auf die Bitleitung /BLj von einer Speicherzelle, welche die Daten "1" (was dem Punkt c in der Hysteresekurve entspricht) speichert, gelesen, und eine Ladung äquivalent zu Pmax-Pr wird auf die Bitleitung /BLj von einer Speicherzelle, welche die Daten "0" (was Punkt a in der Hysteresekurve entspricht) speichert, gelesen.

[0079] Eine Referenzzelle (nicht gezeigt) ist selektiv an die Bitleitung BLj (welche komplementär ist zu der Bitleitung /BLj) gekoppelt, um die Bitleitung BLj auf einen Referenzspannungspegel zu bringen.

[0080] Die Information, welche in jeder ausgewählten Speicherzelle gespeichert ist, kann gelesen werden und wird von außen zugreifbar durch Verstärken einer differentiellen Spannung zwischen dem komplementären Paar von Bitleitungen BLj und /BLj. Nachfolgend verschiebt sich das Treibersignal DL auf das Erdpotenzial, während die Spaltenauswahlleitung CDj auf dem "ausgewählten" Pegel verbleibt, wobei die Plattenleitungen PL(0,j), PL(1,j), ... und PL(m,j) auf das Erdpotenzial gebracht werden. Die Folge ist, dass die Information, welche vorher in den ausgewählten Speicherzellen gespeichert war, in diese wieder hineingeschrieben wird.

[0081] In Übereinstimmung mit dem vorstehend beschriebenen Betrieb, werden die Kondensatoren Cs in den Speicherzellen MC in den nicht ausgewählten Zeilen (d.h. Zeilen verschieden von der ersten Zeile) von den Bitleitungen getrennt durch Schalten der Transistoren Qa, so dass die Spannungen über die entgegengesetzten Elektroden dieser Kondensatoren Cs sich nicht verändern werden, unabhängig davon, ob die Spannung Vp1 an die Plattenleitungen PL angelegt wird oder nicht. Entsprechend wird die Vernichtung der Polarisationsinformation in solchen Speicherzellen MC verhindert.

[0082] Des Weiteren sind in solchen Speicherzellen MC, welche an die ausgewählte Wortleitung WL1 und

nicht ausgewählte Spaltenauswahlleitungen gekoppelt sind, die Plattenleitungen PL in einem nicht geerdeten bzw. floating Zustand, so dass die Spannungen über die entgegengesetzten Elektroden dieser Kondensatoren Cs sich nicht verändern werden. Entsprechend wird die Vernichtung der Polarisationsinformation in solchen Speicherzellen MC ebenfalls verhindert.

[0083] In Übereinstimmung mit der Speichervorrichtung des vorliegenden Beispiels muss der Plattentreibersignalerzeugungsschaltkreis eine Spalte von Plattenleitungen PL(0,j), PL(1,j), ... und PL(m,j) während des Zugriffsvorgangs treiben. Jedoch erhöht dies die für das Treiben der Plattenleitungen benötigte Zeit nicht wesentlich, weil nur der Kondensator Cs der Speicherzelle in der ersten Zeile und der j-ten Spalte geladen werden muss. Das vorliegende Beispiel stellt einen Vorteil bereit, darin, dass eine Vielzahl von Transistoren T0, T1, ... zum Koppeln von Treiberleitungen DL mit einer Haupttreiberleitung MDL wie in Beispiel 1 nicht benötigt werden, wodurch die Schaltung vereinfacht wird.

[0084] Wie durch den Fachmann verstanden wird, kann ein ähnlicher Schaltkreis ausgebildet werden durch Austauschen der Quelle und der Senke eines jeden in Beispiel 1 oder 2 eingesetzten Transistors.

[0085] Wie vorstehend beschrieben, sind in Übereinstimmung mit der Halbleiterspeichervorrichtung der vorliegenden Erfindung die Plattenleitungen der entsprechenden Speicherzellen entlang der Zeilenrichtung und/oder Spaltenrichtung gruppiert, so dass die Plattenleitungen innerhalb nur eines begrenzten Bereichs gleichzeitig angetrieben werden während eines Zugriffsvorgangs. In einer minimalen Gruppierungskonfiguration, können die Plattenleitungen auf eine Speicherzelle zu speicherzellenweise getrieben werden. Somit wird weniger Zeit zum Treiben der Plattenleitungen benötigt, wobei ein Hochgeschwindigkeitsbetrieb und ein geringerer Energieverbrauch realisiert werden können.

Patentansprüche

1. Halbleiterspeichervorrichtung umfassend:
eine Vielzahl von Wortleitungen (WL); und
eine Vielzahl von Treiberleitungen (DL), **dadurch gekennzeichnet**, dass die Halbleiterspeichervorrichtung weiter umfasst:
einen Wortleitungstreiberabschnitt (**3, 5**) zum Aktivieren einer der Vielzahl von Wortleitungen (WL) in Übereinstimmung mit einer Zeilenadresse;
einen Spaltenauswahlabschnitt (**4, 6**) zum, in Übereinstimmung mit einer Spaltenadresse, Auswählen einer der Vielzahl von ferroelektrischen Speicherzellen (MC), welche an die aktivierte Wortleitung gekoppelt sind;
einen Plattentreibersignalanlegabschnitt (**1, T, MDL**)

zum Anlegen eines Plattentreibersignals an eine der Vielzahl von Treiberleitungen, welche der aktivierten Wortleitung zugeordnet sind, wobei jede der Vielzahl von Treiberleitungen einer der Vielzahl von Wortleitungen zugeordnet ist, wobei der Spaltenauswahlabschnitt (4, 6) nur die ausgewählte ferroelektrische Speicherzelle an die eine der Vielzahl von Treiberleitungen koppelt.

2. Halbleiterspeichervorrichtung gemäß Anspruch 1, wobei jede der Vielzahl von ferroelektrischen Speicherzellen (MC) einen ersten Transistor (Qa), einen zweiten Transistor (Qd) und zumindest einen Kondensator (Cs) mit zwei Elektroden beinhaltet, wobei die zwei Elektroden des Kondensators (Cs) jeweils an entweder eine Quelle oder Senke des ersten Transistors (Qa) und entweder eine Quelle oder Senke des zweiten Transistors (Qd) gekoppelt sind, wobei das Gatter des ersten Transistors (Qa) an eine der Vielzahl der Wortleitungen (WL) gekoppelt ist, wobei die andere der Quelle und der Senke des zweiten Transistors (Qd) an eine der Vielzahl der Treiberleitungen (DL), welche einer der Vielzahl von Wortleitungen (WL) zugeordnet sind, gekoppelt ist, und wobei das Gatter des zweiten Transistors (Qd) an den Spaltenauswahlabschnitt (4, 6) gekoppelt ist, und wobei der Spaltenauswahlabschnitt (4, 6) den zweiten Transistor (Qd) steuert, um nur die ausgewählte ferroelektrische Speicherzelle an eine der Vielzahl von Treiberleitungen (DL) zu koppeln.

3. Halbleiterspeichervorrichtung gemäß Anspruch 1, ferner umfassend einen Umschaltabschnitt zum Koppeln oder Entkoppeln der Vielzahl von ferroelektrischen Speicherzellen an eine oder von einer der Vielzahl von Treiberleitungen.

4. Halbleiterspeichervorrichtung gemäß Anspruch 3, wobei der Umschaltabschnitt (T) die Vielzahl von ferroelektrischen Speicherzellen an die zumindest eine ausgewählte oder von der zumindest einen ausgewählten Treiberleitung koppelt oder entkoppelt bezüglich jeder der Vielzahl von Wortleitungen (WL).

5. Halbleiterspeichervorrichtung gemäß Anspruch 3, wobei jede der Vielzahl von Treiberleitungen (DL) mehr als einer der Vielzahl von Wortleitungen (WL) zugeordnet ist, wobei der Plattentreibersignalanlegabschnitt (1, T MDL) das Plattentreibersignal an die Treiberleitung anlegt, welche einer beliebigen der aktivierten Wortleitungen zugeordnet ist.

6. Halbleiterspeichervorrichtung gemäß Anspruch 3, wobei jede der Vielzahl von Treiberleitungen (DL) einer der Vielzahl von Wortleitungen (WL) zugeordnet ist, wobei der Plattentreibersignalanlegabschnitt (1, T MDL) das Plattentreibersignal an die Treiberleitung anlegt, welche der aktivierten Wortleitung zugeordnet ist.

7. Halbleiterspeichervorrichtung gemäß Anspruch 6, wobei jede der Vielzahl von ferroelektrischen Speicherzellen (MC) zumindest einen Kondensator (Cs), welcher zwei Elektroden aufweist, und zumindest einen Transistor (Qc) beinhaltet, wobei die zwei Elektroden des Kondensators (Cs) jeweils mit entweder einer Quelle oder einer Senke des zumindest einen Transistors (Qc) und dem Umschaltabschnitt (T) gekoppelt sind, wobei das Gatter des zumindest einen Transistors (Qc) an eine der Vielzahl von Wortleitungen (WL) gekoppelt ist.

8. Halbleiterspeichervorrichtung gemäß Anspruch 3, wobei jede der Vielzahl von ferroelektrischen Speicherzellen (MC) einen ersten Transistor (Qa), einen zweiten Transistor (Qd) und zumindest einen Kondensator (Cs), welcher zwei Elektroden aufweist, beinhaltet, wobei eine der zwei Elektroden des Kondensators (Cs) an entweder eine Quelle oder eine Senke des ersten Transistors (Qa) gekoppelt ist, wobei die andere der zwei Elektroden des Kondensators (Cs) an entweder eine Quelle oder eine Senke des zweiten Transistors (Qd) gekoppelt ist, wobei das Gatter des ersten Transistors (Qa) an eine der Vielzahl von Wortleitungen (WL) gekoppelt ist, wobei die andere der Quelle und Senke des zweiten Transistors (Qd) an eine der Vielzahl von Treiberleitungen (DL) gekoppelt ist, und wobei das Gatter des zweiten Transistors (Qd) an den Spaltenauswahlabschnitt (4, 6) gekoppelt ist.

9. Halbleiterspeichervorrichtung gemäß Anspruch 1, wobei jede der Vielzahl der ferroelektrischen Speicherzellen (MC) selektiv adressierbar ist durch die Vielzahl der Wortleitungen (WL) und einen Satz von Spaltenleitungen, wobei ein Wortauswahlsignal, welches an eine Wortleitung angelegt wird, bewirkt, dass eine Zeile der ferroelektrischen Speicherzellen (MC) aktiv auswählbar wird, und das Plattentreibersignal, welches an eine entsprechende der Vielzahl von Treiberleitungen (DL) angelegt wird, benötigt wird, um eine Betätigung einer ausgewählten der ferroelektrischen Speicherzellen (MC), welche aktiv auswählbar sind, zu erlauben, wobei eine Umschalteinrichtung (T) vorgesehen ist, welche ausgelegt ist, um die Verbindungen zwischen den ferroelektrischen Speicherzellen (MC) und den Treiberleitungen (DL) zu steuern in Übereinstimmung mit Spaltenauswahlsignalen, welche an die Spaltenleitungen angelegt werden, so dass in einer Zeile, welche durch das Wortauswahlsignal ausgewählt wurde, nur die ferroelektrische Speicherzelle oder -zellen in der Spalte, welche durch das Spaltenauswahlsignal oder die Spaltenauswahlsignale ausgewählt wurde, betätigt bzw. angetrieben wird oder werden.

Es folgen 10 Blatt Zeichnungen

FIG. 1

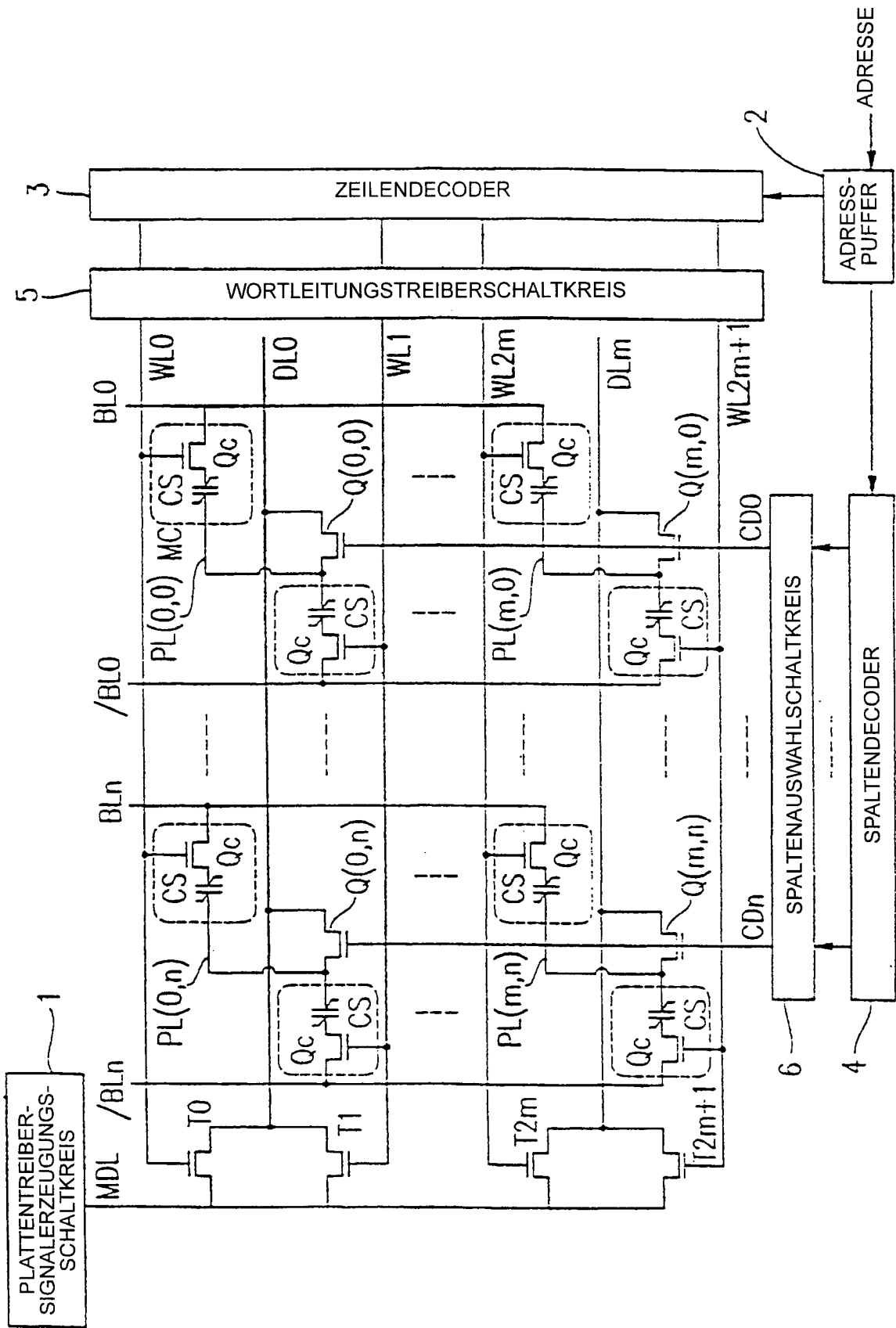


FIG. 2A

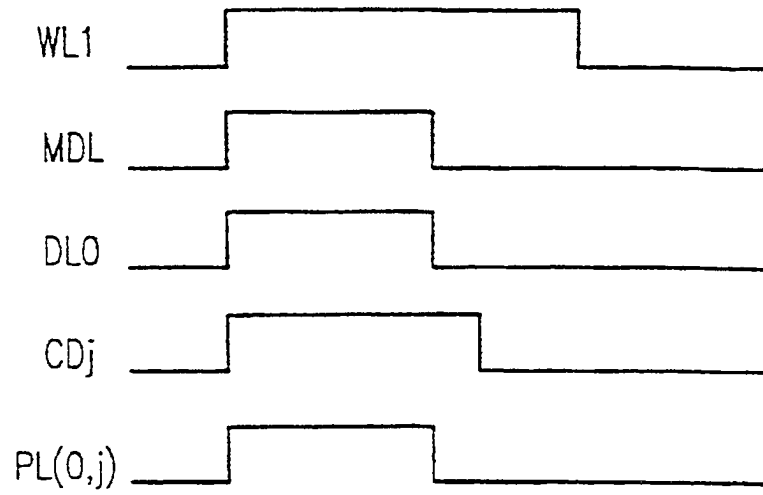


FIG. 2B

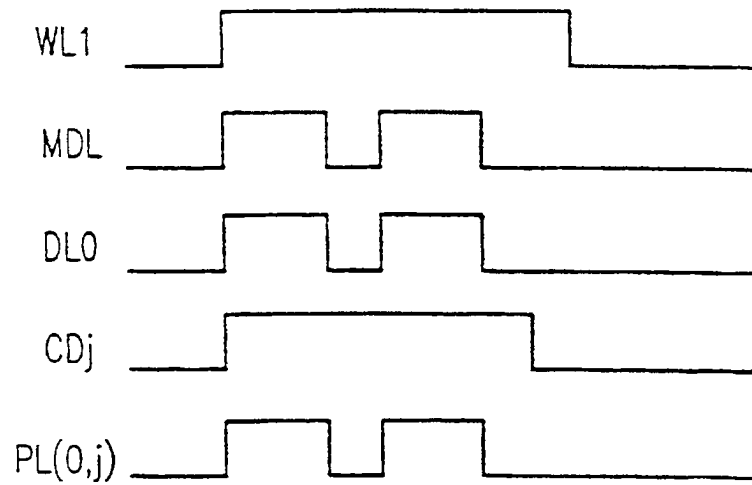


FIG. 3A

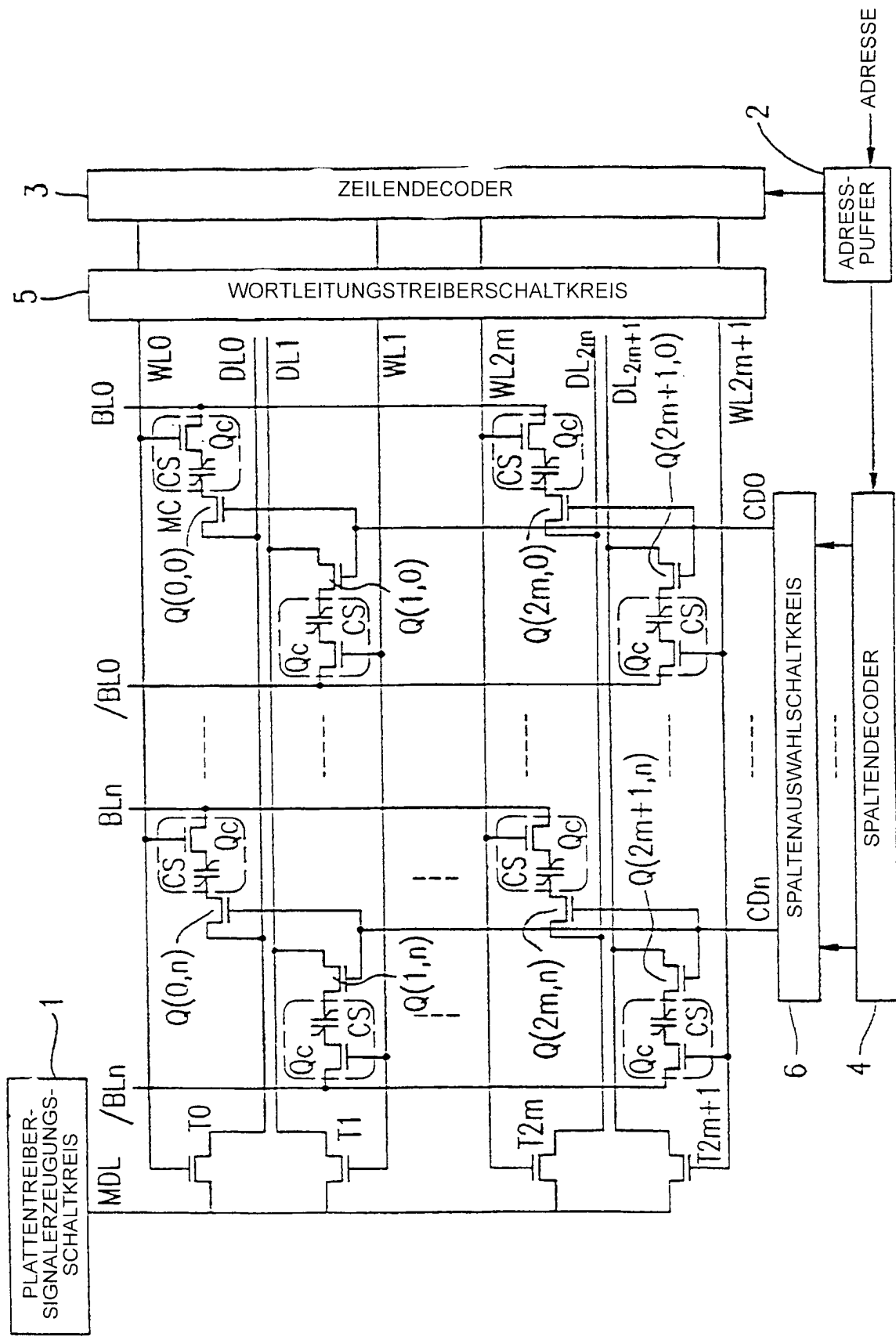


FIG. 3B

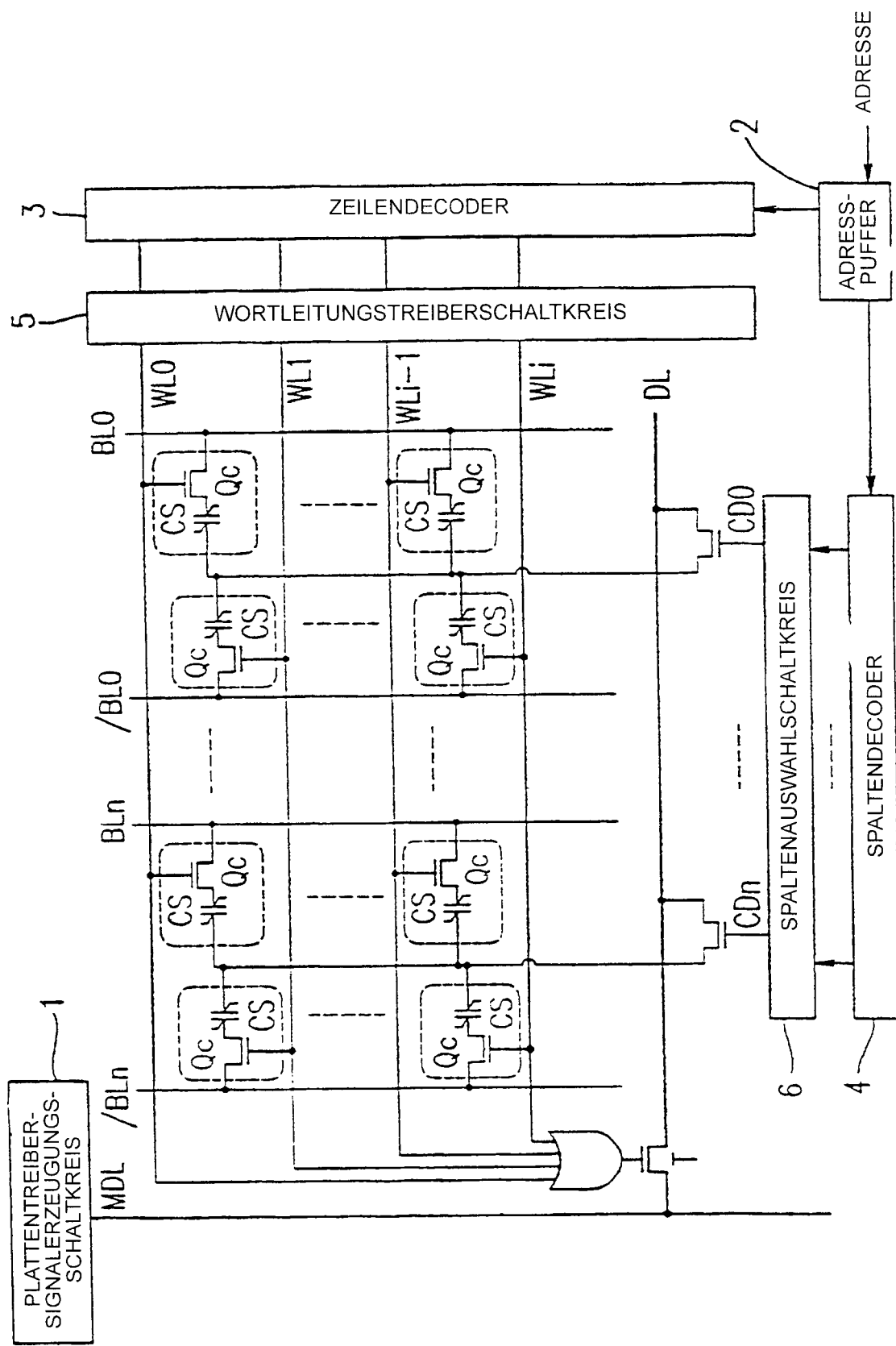


FIG. 3C

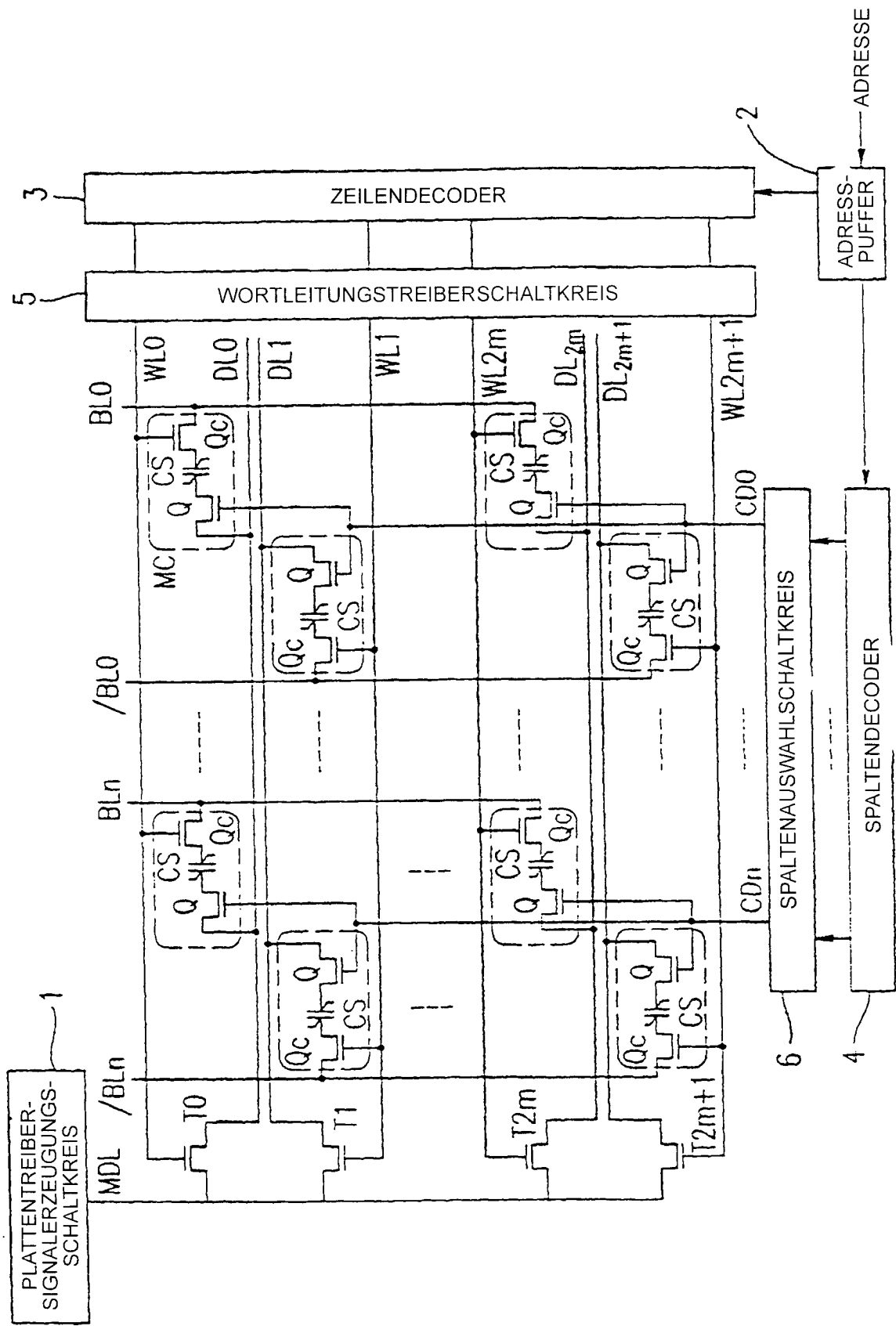


FIG. 5

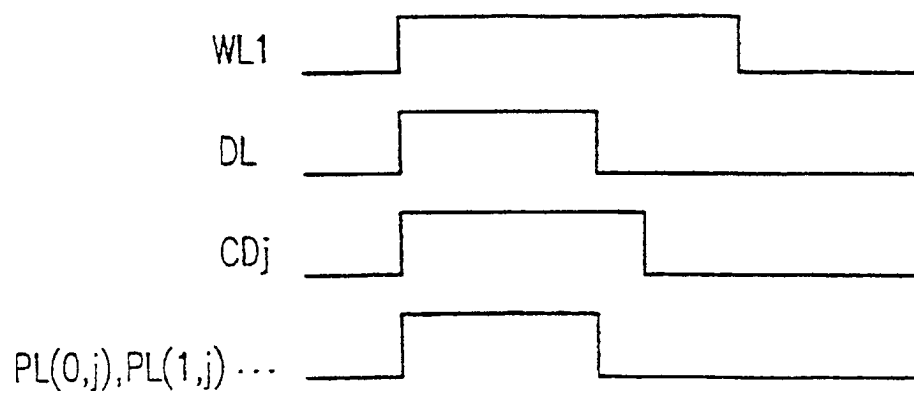


FIG. 6

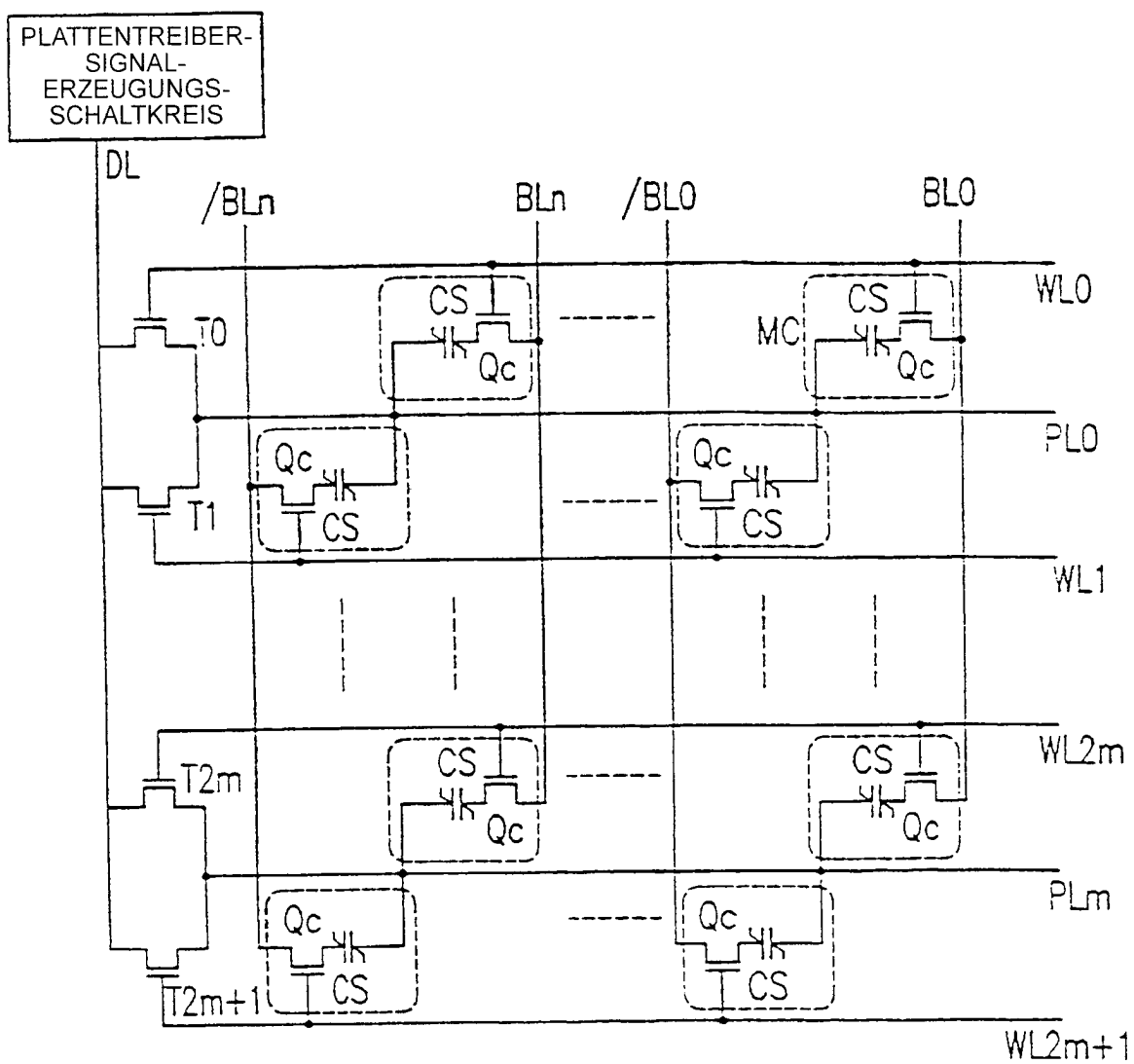


FIG. 7

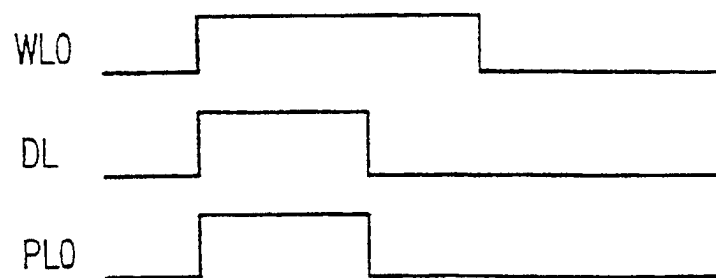


FIG. 8

