

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/786

H01L 21/336



[12] 发明专利申请公开说明书

[21] 申请号 01808189.4

[43] 公开日 2003年6月11日

[11] 公开号 CN 1423841A

[22] 申请日 2001.12.6 [21] 申请号 01808189.4

[30] 优先权

[32] 2000.12.21 [33] GB [31] 0031220.7

[32] 2001.2.22 [33] GB [31] 0104338.9

[86] 国际申请 PCT/IB01/02365 2001.12.6

[87] 国际公布 WO02/50917 英 2002.6.27

[85] 进入国家阶段日期 2002.10.16

[71] 申请人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 S·C·迪恩 I·D·弗伦奇

[74] 专利代理机构 中国专利代理(香港)有限公司

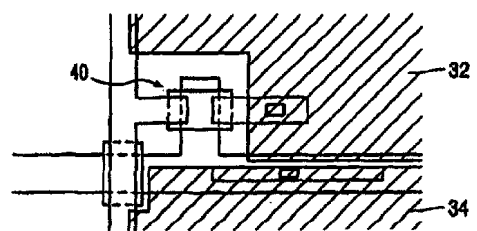
代理人 杨凯 梁永

权利要求书3页 说明书9页 附图3页

[54] 发明名称 薄膜晶体管

[57] 摘要

绝缘栅薄膜晶体管包括栅电极、源电极(20)和漏电极(24)。源电极和漏电极横向分离,并且在垂直方向上通过栅绝缘子层和非晶硅层与栅极(12)分隔。非晶硅层(16)的区域与形成晶体管沟道的源和漏电极之间的横向间隔垂直对齐,并且所述非晶硅层的区域厚度小于100nm,并掺杂了掺杂密度在 2.5×10^{16} 和 1.5×10^{18} 原子/cm³之间的磷原子。这使迁移性得到增加,从而能够容许硅层厚度的减少。这种厚度减少使层的光敏性能够充分地降低,从而避免了对黑色掩蔽层的需要。



ISSN 1008-4274

- 5 1. 一种绝缘栅薄膜晶体管，它包括栅电极、源电极和漏电极，所述源电极和漏电极横向分隔，并且它们在垂直方向上通过栅绝缘子层和非晶硅层与所述栅电极分隔，所述非晶硅层的区域与定义所述晶体管沟道的所述源电极和漏电极之间的横向间隔垂直对齐，其中，所述非晶硅层的所述区域具有小于 100nm 的厚度，并掺杂了掺杂密度在 2.5×10^{16} 和 1.5×10^{18} 原子/cm³ 之间的 n 型掺杂剂原子。
- 10 2. 如权利要求 1 所述的晶体管，其特征在于所述掺杂剂原子包括磷。
3. 如权利要求 1 或 2 所述的晶体管，其特征在于所述非晶硅层的所述区域的所述厚度在 40nm 和 80nm 之间。
4. 如权利要求 3 所述的晶体管，其特征在于所述非晶硅层的所述区域的所述厚度在 40nm 和 60nm 之间。
- 15 5. 如以上权利要求中的任何一项所述的晶体管，其特征在于所述掺杂密度在 5×10^{16} 和 1.5×10^{17} 原子/cm³ 之间。
6. 如以上权利要求中的任何一项所述的晶体管，其特征在于所述硅层至少包括下部本征层和上部 n 型层，并且其中，从垂直对齐所述源电极和漏电极之间的所述横向间隔的所述非晶硅层的所述区域去除所述 n 型层。
- 20 7. 一种用于液晶显示器的有源板，它包括：
绝缘衬底之上的栅导体层，定义像素晶体管的栅导体，并且还定义行导体；
所述栅导体层之上的栅绝缘子层；
25 所述栅绝缘子层之上的硅层，并定义覆盖所述栅导体的晶体管主体区域；
所述硅层之上的源和漏导体层，定义所述像素晶体管的源和漏导体，并且还定义列导体，所述各个列导体与相关晶体管的所述源

和漏中的一个相连接；以及

5 像素电极层，定义与所述相关晶体管的所述源和漏中的另一个接触的像素电极，其中，所述晶体管主体区域的厚度小于 100nm，并掺杂了掺杂密度在 2.5×10^{16} 和 1.5×10^{18} 原子/cm³ 之间的 n 型掺杂剂原子。

8. 如权利要求 7 所述的有源板，其特征在于所述掺杂剂原子包括磷。

9. 如权利要求 7 或 8 所述的有源板，其特征在于所述硅层至少包括下部本征层和上部 n 型层，其中，从定义所述晶体管主体区域的那部分所述硅层除去所述 n 型层。

10. 如权利要求 7、8 或 9 所述的有源板，其特征在于每个所述像素电极均占用由行和列导体确定边界的一个像素空间，并且所述像素电极部分地与这些行和列导体重叠。

11. 一种有源矩阵液晶显示器，它包括权利要求 7 至 10 中任何一项所述的有源板、无源板、以及夹在所述有源板和无源板之间的液晶材料层。

12. 一种形成液晶显示器的有源板的方法，所述方法包括：

在绝缘衬底上淀积并形成栅导体层图案；

在所述形成了图案的栅导体层上淀积栅绝缘子层；

20 在所述栅绝缘子层上淀积硅层，所述淀积包括从至少一种含 n 型掺杂剂原子的化合物和一种含硅气体所组成的气体进行的等离子体淀积，其中，所述化合物的量与所述含硅气体的量的比率经过选择，提供在 2.5×10^{16} 和 1.5×10^{18} 原子/cm³ 之间的所述硅层中所述 n 型掺杂剂原子的掺杂密度；

25 在所述硅层上淀积并形成源和漏导体层图案；以及
形成像素电极层，用于与所述晶体管的所述源和漏中的一个接触。

13. 如权利要求 12 所述的方法，其特征在于所述含掺杂剂原子

的化合物包括磷化氢，而所述含硅气体包括硅烷，其中，所述磷化氢的量与所述硅烷的量的比率在 1×10^{-6} 至 6×10^{-5} 的所述范围之内。

14. 如权利要求 13 所述的方法，其特征在于所述硅层的淀积厚度小于 100nm。

5 15. 如权利要求 14 所述的方法，其特征在于所述硅层的淀积厚度在 40 和 80nm 之间。

16. 如权利要求 12 所述的方法，其特征在于将所述硅层淀积为至少两层：第一本征层和第二 n+型层，其中，从定义所述晶体管沟道的所述层的所述区域除去所述 n+型层，所述晶体管沟道的所述厚度小于 100nm。

17. 如权利要求 16 所述的方法，其特征在于所述硅层被淀积为低淀积速率无掺杂层、高淀积速率微掺杂层以及高掺杂接触层。

18. 如权利要求 16 所述的方法，其特征在于所述晶体管沟道的所述厚度在 40 和 80nm 之间。

15 19. 如权利要求 12 至 18 中的任何一项所述的方法，其特征在于在所述形成了图案的源与漏层和所述像素电极层之间提供了钝化层，在所述钝化层中提供了通孔，从而允许所述像素电极层和所述晶体管的所述源和漏中的所述一个之间的接触。

20 20. 如权利要求 12 至 19 中的任何一项所述的方法，其特征在于所述栅导体层定义行导体，而所述源和漏导体层定义列导体，其中所述像素电极层定义像素电极，其中每个所述像素电极均占用由行和列导体所确定边界的一个像素空间，并且所述像素电极部分地与这些行和列导体重叠。

薄膜晶体管

5 本发明涉及薄膜晶体管，具体地说，涉及用于有源矩阵液晶显示器的有源板。本发明还涉及有源板本身和所述显示器。

 液晶显示器通常包括有源板和无源板，在它们之间夹入液晶材料。有源板包括晶体管开关器件阵列，一个晶体管通常与显示器中的一个像素有关。各像素还与有源板上的像素电极有关，信号加在
10 象素电极上，用于控制单个像素的亮度。晶体管通常包括非晶硅薄膜晶体管。

 有源板的较大区域至少部分透明，需要这样做的原因是显示器通常由后灯照亮。大体上，只有由不透明的行导体和列导体覆盖的区域是板上的不透明部分。如果像素电极没有覆盖透明区域，则会
15 有一个液晶材料区域没有经像素电极进行调制，但却确实接收了来自后灯的光。这就降低了显示器的对比度。通常提供一个黑色的掩蔽层，用于屏蔽有源板的这些区域，此外还屏蔽晶体管，因为其工作特性是依赖于光的。

 传统上，黑色掩蔽层位于有源矩阵单元的无源板上。然而，在
20 不良单元耦合准确度的情况下，黑色掩蔽层和像素电极之间的重叠必需较大。这种重叠减少了显示器像素的孔径，从而降低了显示器的输出效率。对于例如便携式产品之类的电池操作装置，这是极为不受欢迎的。

 已提议采用多层有源板来提供所需的掩蔽功能。例如，一种提
25 议是形成与行和列导体重叠的像素电极，使行和列导体与像素电极之间没有间隙，它们之间的间隙本来是需要屏蔽的。这就需要在像素电极和行与列导体之间有一个厚的低介电常数的绝缘体。这种显示器被称作场屏蔽像素（FSP）设计。虽然像素电极在行和列导体上

的重叠消除了任何需要屏蔽的间隙，考虑到晶体管的光敏性，仍必须防止光线到达晶体管。因此，仍提供一个有机黑色层来覆盖晶体管区域，并防止其中的光诱导泄漏。这样，之前从无源板中去掉黑色掩蔽是用有源板的附加掩蔽步骤为代价的。

5 制作液晶显示器的成本大部分产生于制作有源板的成本，它取决于过程中所用掩蔽步骤的数量。如果能够避免对黑色掩蔽层的需要，通过使晶体管具有较低的光敏性，则能够实现掩蔽数量的减少。

大家知道，晶体管的光敏性是形成晶体管主体的非晶硅层厚度的函数。用于液晶显示器的最常见晶体管设计是底部栅后沟道蚀刻
10 (bottom gate back channel etch, BCE) 晶体管。非晶硅层包括：下部本征部分，形成晶体管沟道；以及上部 n 型掺杂部分，这部分提供电子注入，并防止在源-漏分界面的空穴注入。从源和漏之间的区域除去上部 n 型掺杂部分，因为晶体管的沟道区域需要是本征的。按照传统方法，硅层本征部分的厚度至少为 150nm(纳米)，同时 n 型掺杂部分约为 30nm 厚。在所谓的后沟道蚀刻之后，要从沟道去掉 n 型
15 层，形成晶体管主体的本征非晶硅层剩下的厚度通常至少为 100nm。

薄膜晶体的操作取决于所谓的能带弯曲，借助于这种能带弯曲，导带能级屈向半导体的费米能级。对于适合有源矩阵显示器应用的晶体管尺寸，已经发现，约为 100nm 的本征非晶硅厚度是在适合的晶体管工作特性的材料中出现充分的能带弯曲可接受的最小厚度。随着非晶硅层厚度的减少，沟道层（“后沟道”区）顶部的界面状态趋向出现费米能级的针。这是在通过蚀刻除去硅层 n 型部分
20 期间，由于等离子体损坏而导致的高密度缺陷状态的结果。较低的硅厚度导致降低的器件迁移性和较高的阈电压，从而导致较差的开关特性。然而，所需的硅厚度导致了多级光敏性，这意味着需要光
25 屏蔽。

根据本发明的第一方面，提供一种绝缘栅薄膜晶体管，它包括栅极、源极和漏极，源极和漏极横向分隔，并且它们都在垂直方向

上通过栅绝缘子层和非晶硅层与栅极隔离，非晶硅层的区域与形成晶体管沟道的源极和漏极之间的横向间隔垂直对齐，其中，非晶硅层的这个区域具有小于 100nm 的厚度，并掺杂了掺杂密度在 2.5×10^{16} 和 1.5×10^{18} 原子/cm³（立方厘米）之间的 n 型掺杂剂原子。

5 “垂直”表示与衬底垂直的方向（即层堆叠的方向），而“横向”表示实质上与衬底平行（即在薄膜层的面上）。

本发明使迁移性得到增加，从而能够容许硅层厚度的减少。这种厚度减少使层的光敏性能够充分地降低，从而避免了对黑色掩蔽层的需求。n 型掺杂剂最好包括磷。

10 优选的非晶硅层区域的厚度是在 40nm 和 80nm 之间，最好是在 40nm 和 60nm 之间。掺杂密度可在 5×10^{16} 和 1.5×10^{17} 原子/cm³ 之间。

硅层可包括下部本征层和上部 n 型层，其中，从垂直对齐源极和漏极之间横向间隔的非晶硅层的区域去掉 n 型层。这就形成了 BCE 结构。

15 根据本发明的第二方面，提供了一种用于液晶显示器的有源板，它包括：

绝缘衬底之上的栅导体层，它形成用于像素晶体管的栅导体，并且还形成行导体；

栅导体层之上的栅绝缘子层；

20 栅绝缘子层之上的硅层，并形成覆盖栅导体的晶体管主体区域；

在硅层之上的源和漏导体层，它形成用于像素晶体管的源和漏导体，并且还形成列导体，各个列导体被连接到相关晶体管的源和漏中的一个；以及

25 像素电极层，它形成与相关晶体管的源和漏中的另一个相接触的像素电极，其中，晶体管主体区域的厚度小于 100nm，并掺杂了掺杂密度在 2.5×10^{16} 和 1.5×10^{18} 原子/cm³ 之间的 n 型掺杂剂原子。

每个像素电极均可以占用由行和列导体作为边界的像素空间，并且像素电极部分地与这些行和列导体重叠。这就避免了需要黑色

掩蔽层用于像素电极和行列导体之间的任何间隙，并且薄膜硅层避免了需要黑色掩蔽层来屏蔽晶体管。

本发明还提供一种有源矩阵液晶显示器，它包括本发明的有源板、无源板、以及夹在有源板和无源板之间的液晶材料层。

5 根据本发明的第三方面，提供了一种形成液晶显示器的有源板的方法，所述方法包括：

在绝缘衬底上淀积和形成栅导体层图案；

在形成的栅导体层图案上淀积栅绝缘子层；

10 在栅绝缘子层上淀积硅层，所述淀积包括从一种至少含 n 型掺杂剂原子的化合物和一种含硅的气体所组成的气体所进行的等离子体淀积，其中，化合物量与含硅气体量的比率经过选择，提供在 2.5×10^{16} 和 1.5×10^{18} 原子/cm³ 之间的硅层中的 n 型掺杂剂原子的掺杂密度；

在硅层上淀积和形成源和漏导体层图案；以及

15 形成像素电极层，用于与晶体管源和漏中的一个接触。

含掺杂剂原子的化合物最好包括磷化氢，含硅的气体最好包括硅烷，其中，磷化氢的量与硅烷的量的比率在 1×10^{-6} 至 6×10^{-5} 的范围之内。

20 优选的是，栅导体层形成行导体，源和漏导体层形成列导体，同时像素电极层形成像素电极，其中，每个像素电极均占用由行和列导体确定边界的一个像素空间，并且部分地与这些行和列导体重叠。

下面将参照附图来详细说明本发明的一个实例，附图包括：

图 1 说明制作有源矩阵液晶显示器的有源板的一种已知方法；

25 图 2 说明显示器的一个像素的等效电路；

图 3 说明晶体管的简化剖面图，其中，晶体管的尺寸可以按照传统方式或者按照根据本发明的方式；

图 4 示意说明作为掺杂级的函数的晶体管开关特性；以及

图 5 说明一个完整的液晶显示器的结构。

应当注意，这些附图是用于图解的，而不是按比例绘制的。为了附图的清晰与方便，图中所示部件的相对尺寸和比例经过了放大或缩小。

5 图 1 说明采用场屏蔽像素设计来制作已知的有源板的主要工艺步骤。

10 图 1A 说明一个被组成了图案的栅导体层 10，它形成与相关行导体 14 相连的晶体管栅 12。栅导体层 10 包括不透明材料，例如铬。实现如图 1A 所示布局的图案是采用湿蚀刻技术来实现的。在覆盖栅导体层 10 的整个衬底上提供栅绝缘子层。这个栅绝缘子层可以是例如氮化硅的单层，或者它也可以包括多层结构。将例如氢化非晶硅的硅层淀积在覆盖整个衬底的栅绝缘子层之上。掺杂 n^+ 硅接触层也淀积在非晶硅层之上。这样就完成了图 A 所示的结构，但图中没有示出栅绝缘子层和硅层。

15 硅层可包括三层结构：下部薄的无掺杂层、较厚的中间低掺杂层以及薄的高掺杂上部接触层。

非晶硅的淀积是通过 PECVD（等离子体增强化学汽相淀积）工艺、即从等离子体淀积来进行的。

20 形成半导体层图案，以形成晶体管的半导体主体 16 以及绝缘子层 18，从而减少行和列导体之间交叉处的电容耦合。图 1B 中给出了形成了图案的半导体层 16、18。

25 在硅层之上淀积源和漏导体层并形成图案，源和漏导体层形成漏极区 24 以及连接到列导体 22 的晶体管源 20。如图 1C 所示，区域 18 提供行 14 和列 22 导体的交叉处的绝缘。源和漏导体层还形成了电容顶部接触 26。这是由行导体 14、栅绝缘子层和顶部接触 26 所形成的像素电荷存储电容。

虽然在图中没有示出，但 BCE 晶体管还需要从晶体管沟道之上去掉硅层的 n^+ 掺杂部分，这通过部分蚀刻源极和漏极之间的硅层来

实现。在源漏金属蚀刻之后紧接着进行 n^+ 蚀刻，因为这时所有不需要的 n^+ 硅都是外露的。

如图 1D 所示，在整个结构之上淀积钝化层，同时提供通孔 28、30，以提供通过钝化层到漏 24 和到电容顶部接触 26 的连接。钝化层具有低介电常数和高厚度，例如介电常数 2.3 和厚度 $2\mu\text{m}$ ，并且可包含旋压聚合物层。最后，将像素电极 32、34 淀积在钝化层之上，同时各像素电极通过通孔 28、30 与相关开关晶体管的漏 24 以及像素电荷存储电容相接触。

像素电极与行和列导体重叠，由于钝化层的电气属性，这是可能的。这就避免了需要提供像素电极和行与列导体之间的任何空间的屏蔽。

图 2 显示了组成图 1 所示像素的电气元件。行导体 14 与 TFT 40 的栅极连接，列电极 22 与源极连接，如结合图 1 所进行的说明。在像素上提供的液晶材料有效地形成了连接在晶体管 40 的漏极和共同地平面 44 之间的液晶单元 42。像素存储电容 46 连接在晶体管 40 的漏极和与相邻行的像素相关的行导体 14a 之间。

在结合图 1 说明的工艺中，行和列电极被用来提供像素的掩蔽。具体地说，像素电极 32、34 在行和列导体之上的重叠消除了要求屏蔽的任何间隙。然而，从晶体管的光敏性方面来看，仍必须防止光到达晶体管。因此，还提供一个有机黑色层来覆盖晶体管区域，并防止其中的光诱导泄漏。这个过程允许从无源板中去掉黑色掩蔽，但却需要有源板的额外掩蔽步骤。图 1 中没有示出这个额外步骤，但可以在有源板上提供掩蔽，无论是在钝化层之下还是在像素电极形成之后。

虽然该方法仅允许在有源板上提供黑色掩蔽层，这样做提供了更精确的对齐，但由于增加的掩蔽步骤，它增加了显示器的生产成本。

图 3 示意了晶体管的简化剖面图。栅电极 12 的厚度在 100 和

200nm 之间，并通过栅绝缘体 13（如 200nm 至 400nm 厚的 SiN）和具有下部本征部分 16a 以及上部 n⁺型部分 16b 的非晶硅层 16 与源和漏电极 20、24 分隔。钝化层 17 覆盖整个结构。如图所示，从晶体管的沟道区去掉了 n⁺ 型部分 16b。

5 按照传统方法，硅层 16 的沟道区的厚度 t 大于 100nm。例如，本征部分 16a 的厚度在 150nm 和 300nm 之间，n⁺部分的厚度约为 30nm。

10 如上所述，希望减少厚度 t，以便降低器件的光敏性，但这又会导致性能下降。另外，层越厚，源与漏电极和晶体管沟道（实际上是最靠近栅极的硅层的部分，即层的下部 16a）之间的寄生电阻就越大。

15 减少厚度 t 导致光敏性高于线性的降低，因为蚀刻过程中的等离子体损坏导致沟道区域上部（如上部 30nm）具有较低的光敏性，并且栅绝缘子层和硅层之间的分界面导致沟道下部具有较低的光敏性。光敏性由表面复合来控制，从而随着层变薄，在横向场设法将载流子隔开之前，它们复合的非常快。因此，层 16 的中心“纯净”部分对器件的光敏性贡献最大。层 16 厚度的减少主要是减少层 16 这一部分的厚度。

20 本发明是以下述认识为基础的：半导体层的 n 型掺杂、例如用磷，能够减少相当的厚度，同时掺杂补偿了迁移性的降低。

25 图 4 说明掺杂对 TFT 的晶体管特性的影响，其中，TFT 的沟道长度是 pf 5-6 μm，这种长度在实践中用于有源矩阵液晶显示器。沟道区域中非晶硅层的厚度为 50nm。沟道长度影响晶体管的迁移性，对于短沟道长度，在确定器件迁移性方面，寄生电阻变得极为重要。图 4（示意）说明作为栅-源电压的函数的源-漏电流。它表示晶体管的导通和截止特性。

曲线 40 表示无掺杂硅层的特性。“截止”特性是符合要求的，但是器件的迁移性不会导致液晶显示器应用的电流驱动要求充分导

通。曲线 42 说明了本发明掺杂的效果。没有负面影响截止特性，充分改善了用于有源矩阵显示器应用中的器件的导通特性。

需要低掺杂水平，如曲线 44 所示，如果掺杂浓度太高，则晶体管的截止状态中会有严重的漏电流。

5 最佳掺杂水平将取决于所需的开关特性、晶体管的沟道长度以及降低光敏性所需的硅层厚度，以避免对黑色掩蔽层的需要。此外，最佳掺杂水平随着淀积速度的提高而增加。

10 掺杂是在非晶硅的等离子体淀积期间实现的。具体地说，将磷化氢 (PH_3) 作为等离子气体加入到硅烷 (SiH_4) 中。已经发现，在淀积气体中，磷化氢的量与硅烷的量的比率应当在 1×10^{-6} 至 6×10^{-5} 的范围内。

15 非晶硅的密度通常约为 5×10^{22} 原子/ cm^3 ，淀积层中磷原子的数量应当在 2.5×10^{16} 至 1.5×10^{18} 原子/ cm^3 的范围之内，最好是 5×10^{16} 至 1.5×10^{17} 原子/ cm^3 。这些范围在当前淀积速率下提供了经过改善的导通特性，同时截止特性的下降有限。具体地说，降低了阈电压，并改善了迁移性及亚阈值斜率。

本发明使非晶硅层的厚度减少到 100nm 以下，并且最好是在 40nm 至 80nm 的范围之内。

20 在上述实例中，非晶硅层 16 具有下部本征部分 16a 和上部 n^+ 型部分 16b。也可能将非晶硅淀积为三层—低淀积速率无掺杂层、高淀积速率微掺杂层以及高掺杂接触层。低淀积速率提供最佳分界面，但对微掺杂相当敏感，所以最好是无掺杂。微掺杂高淀积速率材料提供主要优势，并且高淀积速率使材料对掺杂较不敏感，使掺杂水平更易于控制。

25 晶体管的有源板可以采用传统技术来制作，如结合图 1 进行的一般说明。本发明允许除去黑色掩蔽，并允许淀积更薄的非晶硅层。它还提高了淀积设备的生产能力，或者允许淀积更高质量的材料，因为性能一般会因为淀积速率的增加而降低。

图 5 显示了完整的液晶显示器的结构。在有源板 62 之上提供一层液晶显示材料 60，所述有源板包括上述结构。用另一衬底 64 覆盖液晶材料层。可以在滤色器 66 和形成公共电极 44 的板的配置的一个面上提供这个另一衬底 64（如图 2 所示）。在衬底 64 的另一侧上还提供了起偏振片 68。

由于本发明具体涉及到晶体管衬底，所以将不对液晶显示器的操作和构造进行更详细说明，因为这对本领域的技术人员是清楚的。

在所述实例中，存储电容是利用相邻行导体形成的。但是，也可以提供独立的存储电容线。

可以提供所述之外的附加层，各种替代对本领域的技术人员是显然的。在本申请中没有详细说明特定的工艺参数和材料，因为本发明依赖于已知的独立工艺步骤和材料。本领域的技术人员清楚可能的替代方案的步骤及范围。

已经参考 BCE 晶体管设计对本发明进行了详细说明。本发明还可以应用于蚀刻终止晶体管设计，或应用于其它任何非晶硅薄膜晶体管技术。此外，虽然本发明的晶体管在有源矩阵液晶显示器的制作中特别有用，但它同样可以应用于其它要求小面积晶体管阵列的领域，例如成象阵列、例如医用 X 光成象阵列或指纹传感器。

在上述特定实例中，磷被用作 n 型掺杂剂，用于提高沟道的传导率。但是，也可以使用其它 n 型掺杂剂，例如氮、砷和锑。半导体层的淀积则可以包括从至少一种含 n 型掺杂剂原子的化合物和一种比如硅烷的含硅气体所组成的气体进行的等离子淀积。包含掺杂剂原子的化合物可以包括磷化氢，以及含硅气体可以包括硅烷。磷化氢的量和硅烷的量的比率可以在 1×10^{-6} 至 6×10^{-5} 的范围之内。

可以使用硅烷，因为它便宜并且随时可用，然而，也可以使用其它含硅化合物，如氯硅烷或乙硅烷。

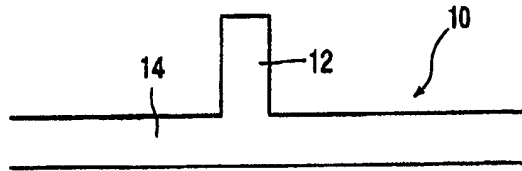


图 1A

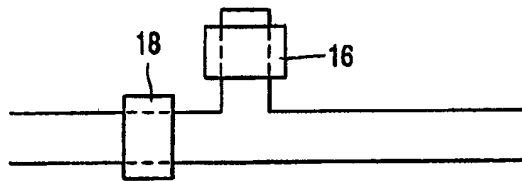


图 1B

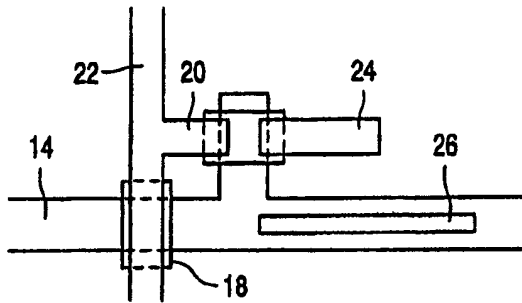


图 1C

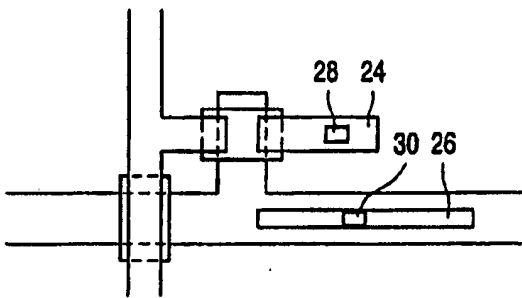


图 1D

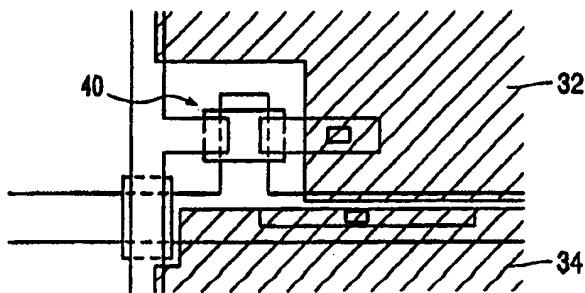


图 1E

图 2

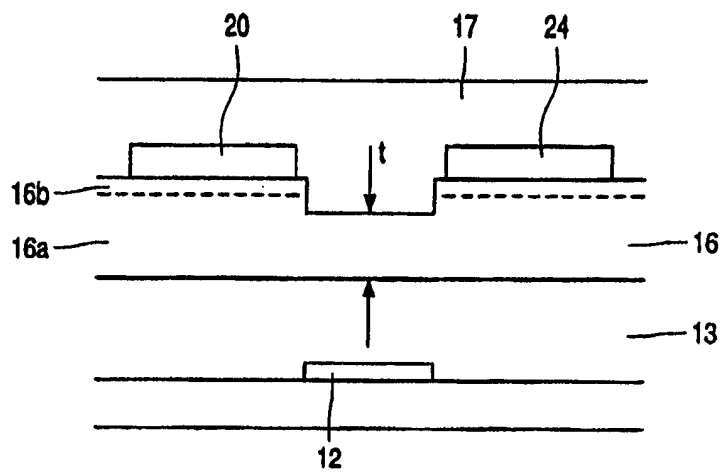
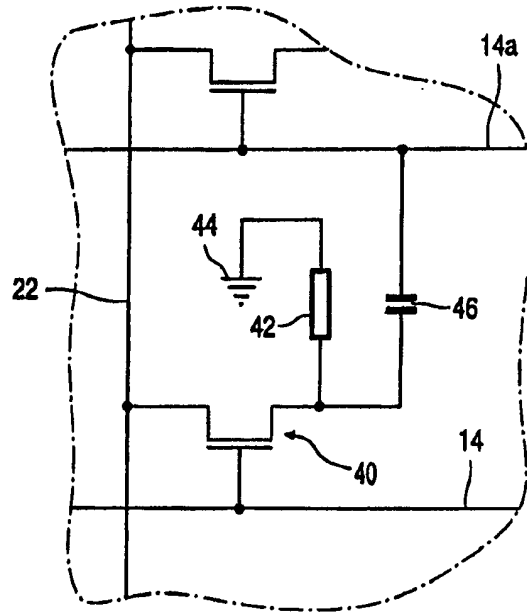


图 3

图 4

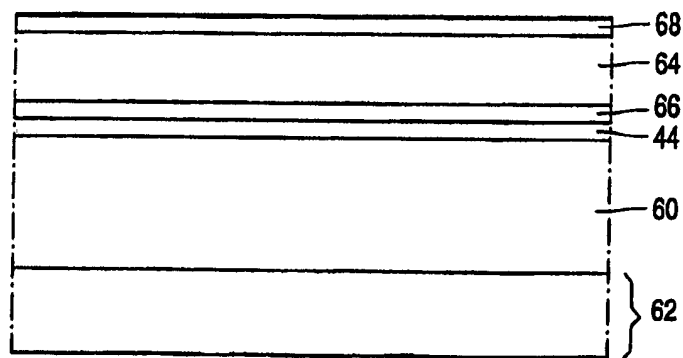
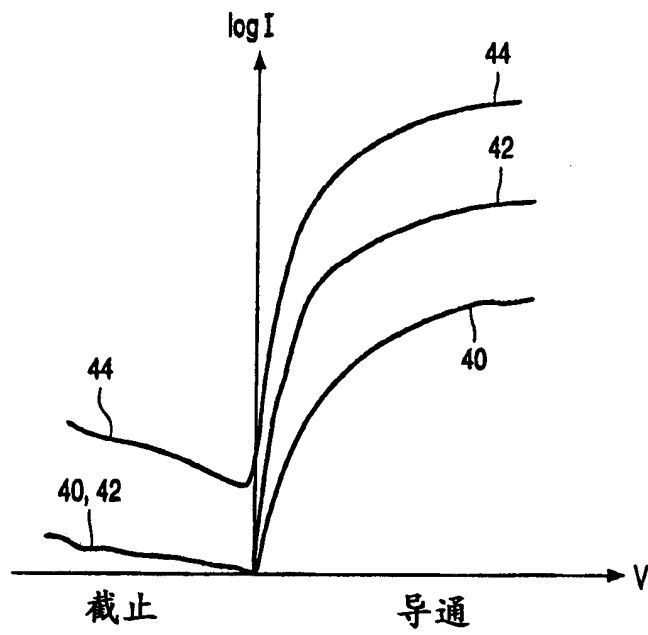


图 5