

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3684947号
(P3684947)

(45) 発行日 平成17年8月17日(2005.8.17)

(24) 登録日 平成17年6月10日(2005.6.10)

(51) Int. Cl.⁷H04N 5/278
G09G 5/00

F I

H04N 5/278
G09G 5/00 510S
G09G 5/00 530M

請求項の数 4 (全 10 頁)

(21) 出願番号	特願平11-305788	(73) 特許権者	000004237
(22) 出願日	平成11年10月27日(1999.10.27)		日本電気株式会社
(65) 公開番号	特開2001-128063(P2001-128063A)		東京都港区芝五丁目7番1号
(43) 公開日	平成13年5月11日(2001.5.11)	(74) 代理人	100097113
審査請求日	平成12年9月4日(2000.9.4)		弁理士 堀 城之
		(72) 発明者	渡邊 祐一
			東京都港区芝五丁目7番1号
			日本電気株式会社内
		審査官	▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 スーパープロセッサ装置およびスーパーインポーズ制御方法

(57) 【特許請求の範囲】

【請求項1】

プロダクションスイッチャなどに用いられ背景映像に文字信号などをスーパーインポーズするためのキー信号を発生するスーパープロセッサ装置であって、入力映像信号および入力キー信号を受け、当該入力映像信号または入力キー信号のうちいずれか一方を基に波形成形を行って出力信号を得るキー信号生成回路と、前記入力映像信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする/しないについての書き込み制御を実行する映像信号用の第1のフレームメモリー回路と、前記キー信号生成回路の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする/しないについての書き込み制御を実行するキー信号用の第2のフレームメモリー回路を有するスーパープロセッサ装置において、

入力映像信号を受け取るとともに、前記キー信号生成回路に相当する遅延分だけ当該入力映像信号を遅延させる遅延回路と、

前記遅延回路の出力および前記第1のフレームメモリー回路の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第1の切替回路と、

前記キー信号生成回路の出力および前記第2のフレームメモリー回路の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第2の切替回路と、

前記第1の切替回路および前記第2の切替回路の出力を受け取ってシャドー信号を付加した映像信号出力およびキー信号出力を得るシャドー付加回路を有することを特徴とするス

10

20

ーパープロセッサ装置。

【請求項2】

プロダクションスイッチャなどに用いられ背景映像に文字信号などをスーパーインポーズするためのキー信号を発生するスーパープロセッサ装置であって、入力映像信号および入力キー信号を受け、当該入力映像信号または入力キー信号のうちいずれか一方を基に波形成形を行って出力信号を得るキー信号生成回路と、前記入力映像信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行する映像信号用の第1のフレームメモリー回路と、前記キー信号生成回路の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行するキー信号用の第2のフレームメモリー回路と、映像信号用に前記第1のフレームメモリー回路、およびキー信号用に前記第2のフレームメモリー回路を設けるとともに、前記第1のフレームメモリー回路および前記第2のフレームメモリー回路への書き込みを制御して映像信号およびキー信号をメモリーする手段を有するスーパープロセッサ装置において、
 入力映像信号を受け取るとともに、前記キー信号生成回路に相当する遅延分だけ当該入力映像信号を遅延させる遅延回路と、
 前記遅延回路の出力および前記第1のフレームメモリー回路の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第1の切替回路と、
 前記キー信号生成回路の出力および前記第2のフレームメモリー回路の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第2の切替回路と、
 前記第1の切替回路および前記第2の切替回路の出力を受け取ってシャドー信号を付加した映像信号出力およびキー信号出力を得るシャドー付加回路を有することを特徴とするスーパープロセッサ装置。

10

20

【請求項3】

プロダクションスイッチャなどに用いられ背景映像に文字信号などをスーパーインポーズするためのキー信号を発生するスーパーインポーズ制御方法であって、入力映像信号および入力キー信号を受け、当該入力映像信号または入力キー信号のうちいずれか一方を基に波形成形を行って出力信号を得るキー信号生成工程と、入力映像信号の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行する映像信号用の第1のフレームメモリー工程と、前記キー信号生成工程の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行するキー信号用の第2のフレームメモリー工程を有するスーパーインポーズ制御方法において、
 入力映像信号を受け取るとともに、前記キー信号生成工程に相当する遅延分だけ当該入力映像信号を遅延させる遅延工程と、
 前記遅延工程の出力および前記第1のフレームメモリー工程の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第1の切替工程と、
 前記キー信号生成工程の出力および前記第2のフレームメモリー工程の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第2の切替工程と、
 前記第1の切替工程および前記第2の切替工程の出力を受け取ってシャドー信号を付加した映像信号出力およびキー信号出力を得るシャドー付加工程を有することを特徴とするスーパーインポーズ制御方法。

30

40

【請求項4】

プロダクションスイッチャなどに用いられ背景映像に文字信号などをスーパーインポーズするためのキー信号を発生するスーパーインポーズ制御方法であって、入力映像信号および入力キー信号を受け、当該入力映像信号または入力キー信号のうちいずれか一方を基に波形成形を行って出力信号を得るキー信号生成工程と、入力映像信号の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリー

50

への書き込みをする／しないについての書き込み制御を実行する映像信号用の第1のフレームメモリ工程と、前記キー信号生成工程の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリへの書き込みをする／しないについての書き込み制御を実行するキー信号用の第2のフレームメモリ工程と、映像信号用に前記第1のフレームメモリ工程、およびキー信号用に前記第2のフレームメモリ工程を設けるとともに、前記第1のフレームメモリ工程および前記第2のフレームメモリ工程への書き込みを制御して映像信号およびキー信号をメモリーする工程を有するスーパーインポーズ制御方法において、
 入力映像信号を受け取るとともに、前記キー信号生成工程に相当する遅延分だけ当該入力映像信号を遅延させる遅延工程と、
 前記遅延工程の出力および前記第1のフレームメモリ工程の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第1の切替工程と、
 前記キー信号生成工程の出力および前記第2のフレームメモリ工程の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第2の切替工程と、
 前記第1の切替工程および前記第2の切替工程の出力を受け取ってシャドー信号を付加した映像信号出力およびキー信号出力を得るシャドー付加工程を有することを特徴とするスーパーインポーズ制御方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、プロダクションスイッチャなどで用いられるスーパーインポーズ技術に係り、特にプロダクションスイッチャなどに用いられ背景映像に文字信号などをスーパーインポーズするためのキー信号を発生するテレビジョン用のスーパープロセッサ装置およびスーパーインポーズ制御方法に関する。

【0002】

【従来の技術】

近年、プロダクションスイッチャなどでは、ビデオストア、キーストア、フレームストアなどと呼ばれる、映像信号やキー信号をメモリーする回路を持つことが多くなっている。このメモリーした信号を基にスーパーインポーズする機能が求められ、さらにそのメモリーの数も増える方向にある。また、従来このメモリーはスーパープロセッサとは別に設けられていたが、スーパープロセッサ専用にメモリーを持ちたいとの要求もある。

30

【0003】

図3は従来のスーパープロセッサ装置の構成を説明するための機能ブロック図である。従来、この種のスーパープロセッサ装置は、図3に示すように、キー信号生成回路101、第1のフィールドメモリー102、第2のフィールドメモリー103、シャドー付加回路104を中心にして構成されている。なお、テレビジョンの画面表示は2回のフィールド走査を行うことで1フレームとされる。

【0004】

【発明が解決しようとする課題】

しかしながら、従来技術は、シャドーを付加するときに画面上の垂直方向の遅延を伴うため、フィールドメモリー102、103などを用いて1フィールド分、映像信号およびキー信号を遅延させることにより垂直位相をほぼもとの位置へ戻すような処理を行っていたが、メモリー容量は1フィールド分しか備えておらず、しかも書き込みする／しないの制御はできないという問題点があった。

40

【0005】

本発明は斯かる問題点を鑑みてなされたものであり、その第一の目的とするところは、1フレーム分メモリーした映像信号及びキー信号によるスーパーインポーズを可能とする点にある。第二の目的は従来からあるフィールドメモリーを、2フィールドで構成される1フレームをメモリーするフレームメモリーの一部として有効に活用する点にある。さらに第三の目的は、メモリーの内容を消去することなく入力の映像信号およびキー信号によ

50

るスーパーインポーズが可能となるスーパープロセッサ装置およびスーパーインポーズ制御方法を提供する点にある。

【 0 0 0 6 】

【課題を解決するための手段】

請求項 1 に記載の発明の要旨は、プロダクションスイッチャなどに用いられ背景映像に文字信号などをスーパーインポーズするためのキー信号を発生するスーパープロセッサ装置であって、入力映像信号および入力キー信号を受け、当該入力映像信号または入力キー信号のうちいずれか一方を基に波形成形を行って出力信号を得るキー信号生成回路と、前記入力映像信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行する映像信号用の第 1 のフレームメモリー回路と、前記キー信号生成回路の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行するキー信号用の第 2 のフレームメモリー回路を有するスーパープロセッサ装置において、入力映像信号を受け取るとともに、前記キー信号生成回路に相当する遅延分だけ当該入力映像信号を遅延させる遅延回路と、前記遅延回路の出力および前記第 1 のフレームメモリー回路の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第 1 の切替回路と、前記キー信号生成回路の出力および前記第 2 のフレームメモリー回路の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第 2 の切替回路と、前記第 1 の切替回路および前記第 2 の切替回路の出力を受け取ってシャドウ信号を付加した映像信号出力およびキー信号出力を得るシャドウ付加回路を有することを特徴とするスーパープロセッサ装置に存する。

10

20

また、請求項 2 に記載の発明の要旨は、プロダクションスイッチャなどに用いられ背景映像に文字信号などをスーパーインポーズするためのキー信号を発生するスーパープロセッサ装置であって、入力映像信号および入力キー信号を受け、当該入力映像信号または入力キー信号のうちいずれか一方を基に波形成形を行って出力信号を得るキー信号生成回路と、前記入力映像信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行する映像信号用の第 1 のフレームメモリー回路と、前記キー信号生成回路の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行するキー信号用の第 2 のフレームメモリー回路と、映像信号用に前記第 1 のフレームメモリー回路、およびキー信号用に前記第 2 のフレームメモリー回路を設けるとともに、前記第 1 のフレームメモリー回路および前記第 2 のフレームメモリー回路への書き込みを制御して映像信号およびキー信号をメモリーする手段を有するスーパープロセッサ装置において、入力映像信号を受け取るとともに、前記キー信号生成回路に相当する遅延分だけ当該入力映像信号を遅延させる遅延回路と、前記遅延回路の出力および前記第 1 のフレームメモリー回路の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第 1 の切替回路と、前記キー信号生成回路の出力および前記第 2 のフレームメモリー回路の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第 2 の切替回路と、前記第 1 の切替回路および前記第 2 の切替回路の出力を受け取ってシャドウ信号を付加した映像信号出力およびキー信号出力を得るシャドウ付加回路を有することを特徴とするスーパープロセッサ装置に存する。

30

40

また、請求項 3 に記載の発明の要旨は、プロダクションスイッチャなどに用いられ背景映像に文字信号などをスーパーインポーズするためのキー信号を発生するスーパーインポーズ制御方法であって、入力映像信号および入力キー信号を受け、当該入力映像信号または入力キー信号のうちいずれか一方を基に波形成形を行って出力信号を得るキー信号生成工程と、入力映像信号の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行する映像信号用の第 1 のフレームメモリー工程と、前記キー信号生成工程の

50

出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行するキー信号用の第2のフレームメモリー工程を有するスーパーインポーズ制御方法において、入力映像信号を受け取るとともに、前記キー信号生成工程に相当する遅延分だけ当該入力映像信号を遅延させる遅延工程と、前記遅延工程の出力および前記第1のフレームメモリー工程の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第1の切替工程と、前記キー信号生成工程の出力および前記第2のフレームメモリー工程の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第2の切替工程と、前記第1の切替工程および前記第2の切替工程の出力を受け取ってシャドー信号を付加した映像信号出力およびキー信号出力を得るシャドー付加工程を有することを特徴とするスーパーインポーズ制御方法に存する。

10

また、請求項4に記載の発明の要旨は、プロダクションスイッチャなどに用いられ背景映像に文字信号などをスーパーインポーズするためのキー信号を発生するスーパーインポーズ制御方法であって、入力映像信号および入力キー信号を受け、当該入力映像信号または入力キー信号のうちいずれか一方を基に波形成形を行って出力信号を得るキー信号生成工程と、入力映像信号の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行する映像信号用の第1のフレームメモリー工程と、前記キー信号生成工程の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリーへの書き込みをする／しないについての書き込み制御を実行するキー信号用の第2のフレームメモリー工程と、映像信号用に前記第1のフレームメモリー工程、およびキー信号用に前記第2のフレームメモリー工程を設けるとともに、前記第1のフレームメモリー工程および前記第2のフレームメモリー工程への書き込みを制御して映像信号およびキー信号をメモリーする工程を有するスーパーインポーズ制御方法において、入力映像信号を受け取るとともに、前記キー信号生成工程に相当する遅延分だけ当該入力映像信号を遅延させる遅延工程と、前記遅延工程の出力および前記第1のフレームメモリー工程の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第1の切替工程と、前記キー信号生成工程の出力および前記第2のフレームメモリー工程の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する第2の切替工程と、前記第1の切替工程および前記第2の切替工程の出力を受け取ってシャドー信号を付加した映像信号出力およびキー信号出力を得るシャドー付加工程を有することを特徴とするスーパーインポーズ制御方法に存する。

20

30

【0007】

【発明の実施の形態】

本発明によるテレビジョン用のスーパープロセッサ装置は、プロダクションスイッチャなどに用いられ、背景映像に文字信号などをスーパーインポーズするためのキー信号を発生する装置であるが、第1のフレームメモリー回路および第2のフレームメモリー回路を具備することにより、映像信号をメモリーすることができることを特徴としている。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0008】

40

図1は本発明の一実施の形態に係るスーパープロセッサ装置の構成を説明するための機能ブロック図である。図1において、1はキー信号生成回路、2は第1のフレームメモリー回路、3は第2のフレームメモリー回路、4は遅延回路、5は第1の切替回路、6は第2の切替回路、7はシャドー付加回路、20はスーパープロセッサ装置を示している。図1を参照すると、本実施の形態のスーパープロセッサ装置20は、キー信号生成回路1、第1のフレームメモリー回路2、第2のフレームメモリー回路3、遅延回路4、第1の切替回路5、第2の切替回路6、シャドー付加回路7を備えている。

【0009】

キー信号生成回路1は入力映像信号および入力キー信号を受け、当該入力映像信号または入力キー信号のうちいずれか一方を基に波形成形を行って出力信号を得る。

50

【 0 0 1 0 】

第1のフレームメモリ回路2は、入力映像信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリへの書き込みをする/しないについての書き込み制御を実行することができる。

【 0 0 1 1 】

同様に、第2のフレームメモリ回路3は、キー信号生成回路1の出力信号を受け取ってフレーム遅延した出力信号を得るとともに、書き込み制御信号に応じて自己メモリへの書き込みをする/しないについての書き込み制御を実行することができる。

【 0 0 1 2 】

遅延回路4は入力映像信号を受け取るとともに、キー信号生成回路1に相当する遅延分だけ当該入力映像信号を遅延させる。 10

【 0 0 1 3 】

第1の切替回路5は、遅延回路4の出力および第1のフレームメモリ回路2の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する。

【 0 0 1 4 】

第2の切替回路6は、キー信号生成回路1の出力および第2のフレームメモリ回路3の出力を受け取って切替制御信号に応じてこれらの出力を切り替えて出力する。

【 0 0 1 5 】

シャドー付加回路7は、第1の切替回路5および第2の切替回路6の出力を受け取ってシャドー信号を付加した出力映像信号および出力キー信号を得る。 20

【 0 0 1 6 】

このように、映像信号用に第1のフレームメモリ回路2およびキー信号用に第2のフレームメモリ回路3をスーパープロセッサ装置20に設けるとともに、第1のフレームメモリ回路2および第2のフレームメモリ回路3への書き込みを制御することにより、映像信号およびキー信号をメモリすることができるようになる。さらに加えて、第1のフレームメモリ回路2と第2のフレームメモリ回路3によるスーパーインポーズに代えて入力の映像信号とキー信号によるスーパーインポーズを行う場合、第1のフレームメモリ回路2後段の第1の切替回路5によって第1のフレームメモリ回路2の出力信号から遅延回路4の出力信号に切り替えることにより、また同様に、第2のフレームメモリ回路3後段の第2の切替回路6によって第2のフレームメモリ回路3の出力信号からキー信号生成回路1の出力信号に切り替えることにより、第1のフレームメモリ回路3や第2のフレームメモリ回路3の内容を消すことなく、入力映像信号および入力キー信号によるスーパーインポーズも可能となるといった効果を奏する。 30

【 0 0 1 7 】

次にスーパープロセッサ装置20の動作(スーパーインポーズ制御方法)について説明する。図1を参照すると、キー信号生成回路1は入力映像信号および入力キー信号を入力し、当該入力映像信号または入力キー信号のうちいずれか一方を基に波形成形を行って出力信号を得る。

【 0 0 1 8 】

第1のフレームメモリ回路2は入力映像信号、第2のフレームメモリ回路3はキー信号生成回路1の出力信号を入力し、フレーム遅延したそれぞれの出力信号を得るとともに、書き込み制御信号を入力し、これにより第1のフレームメモリ回路2および第2のフレームメモリ回路3への書き込みをする/しないについての書き込み制御を実行することができる。 40

【 0 0 1 9 】

遅延回路4は、入力映像信号を受け取ってキー信号生成回路1に相当する遅延分だけ当該入力映像信号を遅延させる。

【 0 0 2 0 】

第1の切替回路5は、遅延回路4の出力および第1のフレームメモリ回路2の出力を受け取って切替制御信号に応じてこれらを切り替えて出力する。 50

【0021】

第2の切替回路6は、キー信号生成回路1の出力および第2のフレームメモリ回路3の出力を受け取って切替制御信号に応じてこれらを切り替えて出力する。

【0022】

シャドー付加回路7は、第1の切替回路5および第2の切替回路6の出力を受けてシャドー信号を付加するとともに、スーパープロセッサ装置20の映像信号出力およびキー信号出力を得る。

【0023】

次に図1および図2を参照してスーパープロセッサ装置20の動作(スーパーインポーズ制御方法)をさらに詳しく説明する。図2は図1のスーパープロセッサ装置の各部の信号波形である。

10

【0024】

キー信号生成回路1は、入力映像信号または入力キー信号に基づいて波形成形を行い、キー信号を生成する。図2(a)のようにノイズ成分を除去するとともに、図2(b)のように当該ノイズ成分の除去の処理に合わせて波形レベルを修正する。

【0025】

第1のフレームメモリ回路2は入力映像信号、第2のフレームメモリ回路3はキー信号生成回路1の出力信号を入力して1フレーム分遅延させ、それぞれの出力信号を得る。また、第1のフレームメモリ回路2および第2のフレームメモリ回路3に書き込み制御信号を入力し、これにより第1のフレームメモリ回路2および第2のフレームメモリ回路3への書き込みをする/しないについての書き込み制御を実行することができる。すなわち、「書き込みする」の場合には入力信号が1フレーム分遅延して出力され、「書き込みしない」の場合には最後にメモリーされた映像信号またはキー信号が繰り返し読み出される。

20

【0026】

遅延回路4は入力映像信号を受け取ってキー信号生成回路1に相当する遅延分だけ当該入力映像信号を遅延させるとともに、キー信号と映像信号の位相を合わせて後段の回路へ入力する。

【0027】

第1の切替回路5は、遅延回路4の出力および第1のフレームメモリ回路2の出力を受け取って切替制御信号に応じてこれらを切り替えて出力する。

30

【0028】

第2の切替回路6は、キー信号生成回路1の出力および第2のフレームメモリ回路3の出力を受け取って切替制御信号に応じてこれらを切り替えて出力する。

【0029】

シャドー付加回路7は、第1の切替回路5および第2の切替回路6の出力を受けてシャドー信号を生成して、図2(c)および図2(d)のように映像信号出力およびキー信号出力を得る。なお、シャドー付加回路7の動作一例としては、特許第1912754号公報の図3およびその動作説明において開示されているので説明を省略する。

【0030】

以上説明したように本実施の形態によれば以下に掲げる効果を奏する。まず第1の効果は、映像信号およびキー信号用に第1のフレームメモリ回路2および第2のフレームメモリ回路3を具備しているため、メモリーした信号によるスーパーインポーズが可能となることである。

40

【0031】

また第2の効果は、上記メモリーの構成において、従来のフィールドメモリーの容量を見直して第1のフレームメモリ回路2および第2のフレームメモリ回路3にするか、もしくは、フィールドメモリーを追加して第1のフレームメモリ回路2および第2のフレームメモリ回路3にするだけで、映像信号およびキー信号をメモリーすることができるため、従来からあるフィールドメモリーを有効に活用できることである。

50

【 0 0 3 2 】

そして第3の効果は、第1のフレームメモリ回路2および第2のフレームメモリ回路3の後段に切替回路を具備しているため、第1のフレームメモリ回路2と第2のフレームメモリ回路3によるスーパーインポーズから入力の映像信号とキー信号によるスーパーインポーズに変える場合、メモリ内容を消去することなく、入力の映像信号およびキー信号によるスーパーインポーズが可能となることである。

【 0 0 3 3 】

なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は適宜変更され得ることは明らかである。また上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等に行うことができる。また、各図において、同一構成要素には同一符号を付している。

10

【 0 0 3 4 】

【 発明の効果 】

本発明は以上のように構成されているので、以下に掲げる効果を奏する。まず第1の効果は、映像信号およびキー信号用に第1のフレームメモリ回路および第2のフレームメモリ回路を具備しているため、メモリした信号によるスーパーインポーズが可能となることである。

【 0 0 3 5 】

また第2の効果は、上記メモリの構成において、従来のフィールドメモリの容量を見直して第1のフレームメモリ回路および第2のフレームメモリ回路にするか、もしくは、フィールドメモリを追加して第1のフレームメモリ回路および第2のフレームメモリ回路にするだけで、映像信号およびキー信号をメモリーすることができるため、従来からあるフィールドメモリを有効に活用できることである。

20

【 0 0 3 6 】

そして第3の効果は、第1のフレームメモリ回路および第2のフレームメモリ回路の後段に切替回路を具備しているため、メモリの内容を消去することなく、入力の映像信号およびキー信号によるスーパーインポーズが可能となることである。

【 図面の簡単な説明 】

【 図 1 】 本発明の一実施の形態に係るスーパープロセッサ装置の構成を説明するための機能ブロック図である。

30

【 図 2 】 図 1 のスーパープロセッサ装置の各部の信号波形である。

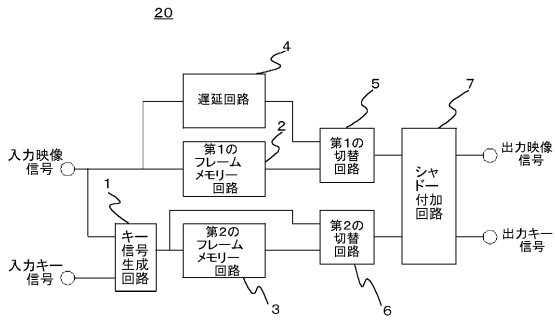
【 図 3 】 従来のスーパープロセッサ装置の構成を説明するための機能ブロック図である。

【 符号の説明 】

- 1 ... キー信号生成回路
- 2 ... 第1のフレームメモリ回路
- 3 ... 第2のフレームメモリ回路
- 4 ... 遅延回路
- 5 ... 第1の切替回路
- 6 ... 第2の切替回路
- 7 ... シャドー付加回路
- 20 ... スーパープロセッサ装置

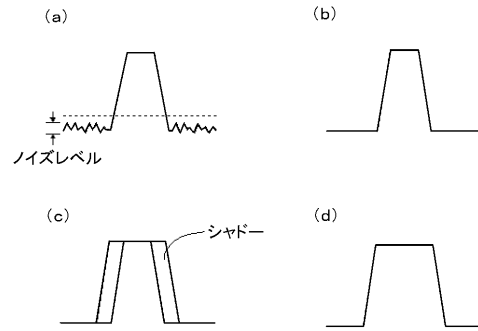
40

【 図 1 】

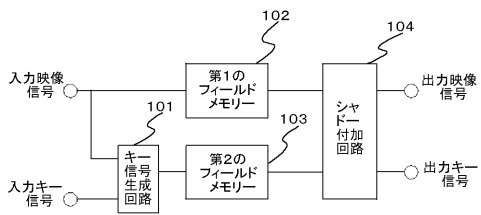


20…スーパープロセッサ装置

【 図 2 】



【 図 3 】



フロントページの続き

- (56)参考文献 特開平06 - 098257 (JP, A)
特開平04 - 274678 (JP, A)
特開平10 - 283759 (JP, A)
国際公開第96 / 038979 (WO, A1)

- (58)調査した分野(Int.Cl.⁷, DB名)
H04N 5/262 - 5/28
G09G 5/00