

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/768 (2006.01)



[12] 发明专利说明书

专利号 ZL 03818257.2

[45] 授权公告日 2008 年 8 月 20 日

[11] 授权公告号 CN 100413050C

[22] 申请日 2003.7.9 [21] 申请号 03818257.2

[30] 优先权

[32] 2002.8.2 [33] US [31] 10/210,995

[86] 国际申请 PCT/US2003/021282 2003.7.9

[87] 国际公布 WO2004/013908 英 2004.2.12

[85] 进入国家阶段日期 2005.1.31

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 K·黑力格 M·阿姆尼普

[56] 参考文献

CN1215911A 1999.5.5

US6380087B1 2002.4.30

审查员 宋霖

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈泊程伟

权利要求书 3 页 说明书 10 页

[54] 发明名称

缩小集成电路的接触部尺寸以制造多阶层接触的方法

[57] 摘要

一种用于形成集成电路的方法，包括在第一半导体基板的半导体装置上于介电材料中蚀刻第一开口至第一深度并且在该第一半导体基板上于该介电材料中蚀刻第二开口至第二深度。由于蚀刻滞缓之故，在约相同的时间中分别蚀刻该不同大小的第一及第二开口至该第一及第二深度，而该第一及第二开口系填充有导电材料。

1. 一种用于形成集成电路的方法，包括：

于第一半导体基板以及半导体装置之上沉积垫层；

在该第一半导体基板上的该半导体装置之上的介电材料中蚀刻第一开口至第一深度；

在该第一半导体基板之上的该介电材料中蚀刻第二开口至第二深度，由于蚀刻滞缓之故，在相同的时间中分别蚀刻不同大小的该第一及第二开口至该第一及第二深度，其中，

决定多个开口的蚀刻滞缓，通过：

在该介电材料中蚀刻多个开口，该多个开口包括与该第一开口相同大小的校准开口；

测量由蚀刻该多个开口所产生的多个深度；以及

计算每个蚀刻滞缓为等于 1 减去校准开口深度除以对应深度的比值，以及

决定最佳蚀刻滞缓，通过：

计算 1 减去该第一深度除以该第二深度的比值；以及

基于具有最接近该最佳蚀刻滞缓的蚀刻滞缓的开口的大

小来定该第二开口的大小；以及

蚀刻该第一及第二开口至该垫层；以及

填充导电材料于该第一及第二开口中。

2. 如权利要求 1 所述的方法，还包括：

以该第一开口的大小定该第二开口的大小，使该第二开口的蚀刻滞缓至该第一开口的蚀刻滞缓的关系成非线性关系。

3. 如权利要求 1 所述的方法，还包括：

在该第一半导体基板之下而于第二半导体基板之上的介电材料中蚀刻第三开口至第三深度，在相同的时间中分别蚀刻不同大小的该第一、第二、及第三开口至该第一、第二、及第三深度；以及
填充导电材料至该第三开口。

4. 如权利要求 3 所述的方法，还包括：

以该第一开口的大小定该第三开口的大小，使该第三开口的蚀刻滞缓对该第一开口的蚀刻滞缓的关系成非线性关系。

5. 如权利要求 3 所述的方法，还包括：

决定多个开口的蚀刻滞缓，通过：

在该介电材料中蚀刻多个开口，该多个开口包括与该第一开口相同大小的校准开口，

测量该多个深度，以及

计算多个蚀刻滞缓，其中每个蚀刻滞缓是等于 1 减去校准开口深度除以对应深度的比值；以及

通过计算 1 减去该第一深度除以该第二深度的比值决定第一最佳蚀刻滞缓；

通过计算 1 减去该第一深度除以该第三深度的比值决定第二最佳蚀刻滞缓；

基于具有最接近该第一最佳蚀刻滞缓的蚀刻滞缓的开口的大小定该第二开口的大小；以及

基于具有最接近该第三最佳蚀刻滞缓的蚀刻滞缓的开口的大小定该第三开口的大小。

6. 一种用于形成集成电路的方法，包括：

在第一半导体基板上的半导体装置之上的介电材料中蚀刻第一开口至第一深度；

在该第一半导体基板之上的该介电材料中蚀刻第二开口至第二深度；

在该第一半导体基板之下而于第二半导体基板之上的介电材料中蚀刻第三开口至第三深度，该第一及第二开口的大小相同，且该第三开口的大小与该第一及第二开口不同，在相同的时间中分别蚀刻该第一、第二、及第三开口至该第一、第二、及第三深度；以及

填充导电材料于该第一、第二、及第三开口中。

7. 如权利要求 6 所述的方法，还包括：
于该第一及第二半导体基板以及该半导体装置之上沉积垫层；以
及

其中：

对该第一及第三开口进行蚀刻以蚀刻至该垫层中；以及
对该第二开口进行蚀刻以蚀刻至该垫层中。

8. 如权利要求 6 所述的方法，还包括：

以该第二开口的大小定该第三开口的大小，使该第三开口的蚀刻
滞缓对该第二开口的蚀刻滞缓的关系成非线性关系。

缩小集成电路的接触部尺寸以制造多阶层接触的方法

技术领域

本发明有关一种集成电路，尤指一种在介电层之下形成下伸至作用区域的接点。

背景技术

在诸如计算机、收音机、电视、手机等大多数电子装置中系使用集成电路，这些集成电路的核心为半导体装置，而该半导体装置可为晶体管、二极管、电容器等等。该半导体装置通常形成于半导体基板上并且由绝缘或介电材料所覆盖。

举例来说，晶体管系藉由在该半导体基板中间隔植入源极/漏极区域并且在该半导体基板上的源极/漏极区域间的空隙中形成控制栅极而形成者。接着在该晶体管之上沉积介电。由于在该源极/漏极区域以及控制栅极之间必须有电性连接，因此必须形成贯穿该介电层至该控制栅极顶端以及该半导体基板表面的金属接触部，由于该控制栅极顶端以及该半导体基板表面的系位于该介电层的不同阶层上，该等接触部系归类为多阶层(multi-level)接触，并尤以两阶层接触者为较佳。

当电子工业追求在单一集成电路上越来越多数量的半导体装置时，制造者亦追求藉由降低装置几何线条或特征尺寸的较佳方法以缩小该等装置。

用于缩小装置几何线条的一种新的技术系称为“绝缘体上硅(silicon-on-insulator)”或 SOI 技术。SOI 技术系关于在半导体材料的膜层上形成半导体装置的处理，该半导体材料的膜层则系为覆盖于半导体基板中的绝缘层。在一般的实施例中，SOI 结构为硅的单一作用层，而硅的单一作用层则层叠(overlie)在基板硅中的二氧化硅绝缘体的膜层之上。

在该 SOI 技术中，该基板硅需要有额外的接触部，而该基板硅系位于该控制栅极顶端以及该硅作用层表面之下的阶层(level)上。因此，

SOI 技术需要多阶层接触，此多阶层接触为三阶层接触。

当于 SOI 技术中形成多阶层接触时，系于图案化有相同直径的接触孔中应用蚀刻工艺。贯穿该介电层的蚀刻早在到达该作用硅之前并且更早于到达该更深的基板硅之前便先蚀刻最浅层或该栅极的顶端。由于蚀刻工艺期间必须有效方能到达最深的阶层，因此在该最浅层上造成明显的过度蚀刻(over-etch)。为了降低过度蚀刻，在该栅极、源极/漏极区域、以及该基板硅之上设有垫层(underlayer)或蚀刻停止层。该垫层可为蚀刻停止介电层或门极材料(硅/金属)及基板硅(作用及/或 SOI 基板)的其中一者。

然而，该垫层对蚀刻的免疫性或选择性系受限制的。结果，在长期的过度蚀刻期间系移除了该垫层的相当大的部份。而该垫层的所需厚度系由最大过度蚀刻以及该垫层的蚀刻速率所决定，该垫层的所需厚度系与选择性有关。多阶层接触比单阶层接触需要更多的过度蚀刻。

可惜的是，任何垫层的厚度系为几何线条的考量所限制。这种限制对具有高栅极密度的 CMOS 技术而言尤为真实。因为作用硅的接触部通常系制成于两栅极之间，该垫层的厚度必须小于栅极侧壁间隙壁间的空隙的一半，其中该栅极侧壁间隙壁系围绕该栅极将形成该接触部之处。若该垫层的厚度系大于该空隙的一半，则该两栅极的垫层部份将“合并”以及形成厚度增加的垫层，因而导致无法进行适当蚀刻。

同时，可惜的是，若对既定的垫层厚度的蚀刻要求系超过几何线条考量所允许的最大垫层厚度，则将无法以单一蚀刻工艺形成多阶层接触。这将需要对不同的阶层接触进行多次蚀刻以及个别图案化。举例来说，当需要两个个别的图案化步骤时，必须要屏蔽住浅的接触部、进行蚀刻、屏蔽住深的接触部、以及进行蚀刻。这将增加工艺复杂性以及成本。

当想要使用最大厚度的垫层以便以宽裕的工艺极限进行蚀刻时，则此将造成问题。该垫层通常使用诸如氮化硅以及氧氮化硅(silicon oxynitride)的材料，而该垫层具有比前金属(pre-metal)介电层更高的介电常数。此将造成在诸如栅极对接触部(gate-to-contact)、栅极边缘(gate-fringing)、以及与门极对第一金属(gate-to-first metal)等区域的寄生电容增加。

在某些 SOI 技术中，并未使用垫层。于这些情况中，在多阶层接触蚀刻系在该作用硅上造成明显的过度蚀刻，尤其是蚀刻至该基板硅的期间。由于对硅的选择性受限，这将造成蚀刻到该作用硅的情况。必须精确控制蚀刻方可避免该源极/漏极区域短路，而这将需要更多的工艺控制并且将增加成本。

SOI 技术提供改善装置的隔离作用、降低区域及寄生电容、低功率且增进效能的承诺，但却无法避免为实现这些保证所造成的承诺。

长久以来，一直追求能对这些为习知该项技艺者所逃避的问题提出解决的方案。

发明内容

本发明提供一种用于形成集成电路的方法，该方法包括：于第一半导体基板以及半导体装置之上沉积垫层。在该第一半导体基板上的该半导体装置之上的介电材料中蚀刻第一开口至第一深度以及在该第一半导体基板之上的介电材料中蚀刻第二开口至第二深度。由于蚀刻滞缓(etch lag)之故，于大约相同时间中分别蚀刻大小不同的该第一以及第二开口至该第一以及第二深度，其中，决定多个开口的蚀刻滞缓，通过：在该介电材料中蚀刻多个开口，该多个开口包括与该第一开口相同大小的校准开口；测量由蚀刻该多个开口所产生的多个深度；以及计算每个蚀刻滞缓为等于 1 减去校准开口深度除以对应深度的比值，以及决定最佳蚀刻滞缓，通过：计算 1 减去该第一深度除以该第二深度的比值；以及基于具有最接近该最佳蚀刻滞缓的蚀刻滞缓的开口的大小来定该第二开口的大小；以及蚀刻该第一及第二开口至该垫层。该第一以及第二开口填充有导电材料。此方法得改善装置的隔离作用、降低区域及寄生电容、低功率需求、且能以较少的工艺控制要求增进效能以及降低制造成本。

本发明还提供一种用于形成集成电路的方法，该方法包括：在第一半导体基板上的半导体装置之上的介电材料中蚀刻第一开口至第一深度；在该第一半导体基板之上的该介电材料中蚀刻第二开口至第二深度；在该第一半导体基板之下而于第二半导体基板之上的介电材料中蚀刻第三开口至第三深度，该第一及第二开口的大小相同，且该第

三开口的大小与该第一及第二开口不同，在相同的时间中分别蚀刻该第一、第二、及第三开口至该第一、第二、及第三深度；以及填充导电材料于该第一、第二、及第三开口中。

本发明的某些实施例中具有前述实施例中额外或适当的其它优点，对本领域技术人员而言，这些优点将于阅读下列详细叙述后得以更为明显易懂。

具体实施方式

在阅读该多阶层接触问题的期间，本发明发现可使用在该接触蚀刻工艺中不想要的现象而受益。

该称为纵横比(深度与宽度的比值)相依性蚀刻”(aspect-ratio dependent etching, ARDE)”的现象造成在光阻中不同的尺寸特征，而于介电层中以不同速率进行蚀刻。在某些处理条件下，具有较小开口的特征将比具有较大开口的特征蚀刻较慢，而在其它处理条件下，较大开口将比具有较小开口的特征蚀刻较慢。

举例来说，当在电浆蚀刻机(plasma reactor)中使用反应离子蚀刻(reactive ion etch, RIE)以进行电浆干蚀刻时，将造成习知如”反应离子蚀刻滞缓(RIE lag)”或蚀刻滞缓的现象，尤其是特征尺寸(在光阻中的开口)在 0.25 μ m 以下时。以反应离子蚀刻滞缓来说，具有越小开口的特征于介电材料中的蚀刻将比在具有较大开口的特征为慢。因为每一蚀刻步骤通常欲蚀刻至单一深度而不考虑特征尺寸，故而此种情况是不想要的。近来，熟习该项技艺者教示应藉由将反应离子蚀刻滞缓最小化，以将蚀刻工艺最佳化。当电浆干蚀刻工艺最佳化以将反应离子蚀刻滞缓最小化时，通常会有一些得失互补(trade-off)产生，而这些互补的缺失可为例如产生较低的选择性以蚀刻停止层。

在此所使用的”水平”的字眼系定义为平行于基板或晶圆的习知平面或表面的平面，而不考虑其定位(orientation)。”垂直”的字眼则系指垂直于刚才所定义的水平方向。诸如”在...上(on)”、“在...上面(above)”、“侧边(如在侧壁)”、“较高”、“较低”、“在正上方(over)”、“在...下方(under)”、“浅的”、以及”深的”等字眼，系以相对于该水平面而定义者。

在此所使用的”处理(processing)”的字眼系包括形成所述结构所需的沉积材料或光阻、图案化、曝光、显影、蚀刻、清洗、及/或移除该材料或光阻。

校准(calibration)结构是以校准介电材料构成，而校准介电材料具有沉积其上的光阻。

该光阻系经处理以形成多个特征，该等特征的大小系超过从最小

光刻成像直径(photolithographic diameter)至多个此直径的范围,例如,该最小直径可为 100nm,且该范围可延伸超过 1000nm 的最大接触直径。为便于说明的目的,第一、第二、及第三开口系显示为诸如具有个别的第一、第二、及第三尺寸的多个尺寸。该特征的大小系可缩小,以使该第一尺寸小于该第二尺寸,该第二尺寸小于该第三尺寸,即,该第三尺寸系大于该第二尺寸,该第二尺寸则大于该第一尺寸。

在该光阻中的特征尺寸建立该特征的起始尺寸(starting dimension),而该特征的起始尺寸将蚀刻至该校准介电材料中。

在产生蚀刻滞缓现象的状态下,该第一、第二、及第三开口将于该校准介电材料中分别形成第一、第二、及第三特征。在单一蚀刻期间或时间的单一期间中,该第一、第二、及第三特征将分别具有第一、第二、及第三深度。纵横比相依性蚀刻通常为非线性效果(non-linear effect)。由于该特征在大小上由该第一尺寸增加至该第三尺寸,该深度由该第一深度增加至该第三深度,即,在相同时间中,越大的特征蚀刻得越快,且可到达越大的深度。

当接触部开口可为不同结构时,若特征为圆柱状接触部开口,则在该光阻中的第一、第二、及第三尺寸将为在该校准介电材料中的接触部开口顶端的直径。

在大多数的蚀刻工艺中,该特征在该校准介电材料中的深度于大小上系呈稍微渐缩者,如此该接触孔的基底在直径上可小于该顶部。

在根据本发明的两阶层蚀刻的接触部结构中,第一半导体基板或基板硅系植入有源极/漏极区域,而该第一半导体基板在该源极/漏极区域间的空隙上方具有栅极介电。在该栅极介电上方者为栅极,且该栅极是由栅极间隙壁所围绕以形成半导体装置的上部。在该第一半导体基板上系设垫层,以由该垫层覆盖该栅极间隙壁以及该栅极。

该垫层之上沉积前金属介电层,而该前金属介电层之上则沉积光阻。

该光阻系经由工艺而形成具有第一及第二直径的第一及第二开口。使用单一蚀刻工艺一段固定的时间,则可形成到达该垫层的栅极接触部及区域接触部,其中该栅极接触部及区域接触部系在无过度蚀刻至该垫层或令该垫层的过度蚀刻最小化的约相同时间下到达该垫

层。

在实际实施时，第一，建立最小接点直径；例如，用于该栅极接触部的第一直径。在实际实施时，此值通常系由最小开口所决定，该最小开口可藉使用光刻成像工艺而可靠地移除该光阻。该最小接触部直径系用于最浅的阶层接触。

第二，使用该校准结构决定该蚀刻工艺的蚀刻滞缓，该校准结构所形成的特征开口大小范围系涵括该最小接触部直径至多个该直径；例如，该最小直径可为 100nm，而最大接触部直径范围可向上延伸至 1000nm。

第三，进行调校(timed)蚀刻并且测量所得的蚀刻开口的深度，以根据方程式计算该蚀刻滞缓，该方程式为：

$$L=1-(D_{\min}/D) \quad (\text{方程式 1})$$

其中：

L 为蚀刻滞缓；

$D_{\min}$ 为具有最小直径的接触部的深度；

D 为具有不同直径的接触部的深度。

该上述的蚀刻滞缓的直径及深度不必为线性者。

第四，计算最佳的蚀刻滞缓以作为不同的接触部深度，根据下列方程式的该等不同的接触部深度满足最终集成电路，该方程式为：

$$L_{\text{Optimal}}=1-(CD_{\text{Shallow}}/CD_{\text{Deep}}) \quad (\text{方程式 2})$$

其中：

L_{Optimal} 为最佳蚀刻滞缓；

CD_{Shallow} 为最浅的接触部的深度；

CD_{Deep} 为最深的接触部的深度。

第五，使用该最小的特征尺寸，使用该校准结构以选择基于所欲的蚀刻深度的特征开口尺寸，其中该所欲的蚀刻深度系位于该特征蚀刻滞缓最接近该最佳蚀刻滞缓处。直径系选择为提供最接近该最佳蚀刻滞缓的蚀刻滞缓的直径。藉由此种接触部直径的选择，该蚀刻工艺可在约相同的时间上到达最浅及最深的接触部的底部。

在根据本发明的三阶层蚀刻接触部结构中，第二半导体基板或基板硅具有沉基于其上的绝缘体，该绝缘体包含第一半导体基板或作用

硅。该第一半导体基板具有植入于其中的植入源极/漏极区域。

上述源极/漏极区域之上为栅极介电。形成于该栅极介电之上的为栅极，该栅极具有围绕该栅极的栅极间隙壁以形成半导体装置的上部。在该绝缘体中蚀刻入沟道并且沉积垫层以覆盖至该绝缘体、该第一半导体基板、该栅极间隙壁、以及该栅极。

在该垫层之上沉积前金属介电层。

在该前金属介电层之上沉积光阻，并进行工艺以形成第一、第二、及第三接触部开口。该第一、第二、及第三接触部开口分别具有第一、第二、及第三直径。该第一直径小于该第二直径且该第二直径小于该第三直径。

该三阶层蚀刻接触部结构具有由最深及适中(medium)深度的接触部所分别计算的最佳蚀刻滞缓与接触部直径。可依所得的缩小尺寸的接触部大小对第一、第二、及第三接触部开口进行蚀刻工艺，以在约相同的时间内令这三个接触部深度达到该垫层。因此，过度蚀刻量的需求可减至最少，而此减少的过度蚀刻量则可保持所需至垫层厚度为最小者。

在根据本发明的三阶层蚀刻接触部结构的另一实施例中，该三阶层蚀刻接触部结构具有第一、第二、及第三接触部开口，而该第一、第二、及第三接触部开口则分别具有第一、第二、及第三直径。该第一直径与该第二直径的直径相同，而该第二直径系小于该第三直径。令该第一直径与该第二直径的直径为相同者，以便简化电路布局及光罩的产生。同时，这样亦可避免集成电路的芯片尺寸增加。

当该第一与第二阶层间的距离相较于该第三阶层为小时，将进行该蚀刻工艺直到已蚀刻该第二接触部开口到达该垫层为止。在此观点中，可预期的是该第一及第三接触部开口将稍微过度蚀刻至该垫层中，如第一及第三过度蚀刻所标示者。这样的稍微过度蚀刻系视为可接受的，以由此获得具有相同直径的第一及第二直径的好处。

在根据本发明所完成的三阶层蚀刻接触部结构中，在选择性蚀刻以从该接触部开口移除剩余的垫层后，该等开口系填充有导电材料以形成第一、第二、及第三接触部。该第一、第二、及第三接触部系分别与该栅极、该第一半导体基板、以及该第二半导体基板接触。该第

一、第二、及第三接触部系分别具有第一、第二、及第三接触部直径。

在不同的实施例中，该第一、第二、及第三接触部系为诸如钽(Ta)、钛(Ti)、钨(W)、钽钛钨的合金、及由钽钛钨组成的组成物的耐火材料所制成。若该等接触部为诸如铜(Cu)、金(Au)、银(Ag)、铜金银的合金、以及由上述材料中一种或多种材料所制成的组成物的高导电材料，则可将前述耐火材料围绕在该高导电材料周围。该前金属介电层系由诸如硅氧化物(silicon oxide, SiO_x)、四乙基原硅酸(tetraethylorthosilicate, TEOS)、掺硼磷硅酸玻璃(borophosphosilicate glass, BPSG)等具有介电常数为 4.2 至 3.9 的介电材料所制成，或是由诸如氟四乙基原硅酸(fluorinated tetraethylorthosilicate, FTEOS)、氢倍半氧化物(hydrogen silsesquioxane, HSQ)、苯并环丁烯(benzocyclobutene, BCB)、四甲基原硅酸(tetramethylorthosilicate, TMOS)、八甲基环四硅氧烷(octamethylcyclotetrasiloxane, OMCTS)、六甲基二硅氮烷(hexamethyldisiloxane, HMDS)、二乙酰氧基二第三丁氧硅烷(diacetoxyditeriarybutoxysilane, DADBS)等具有介电常数低于 3.9 的低介电材料所制成。而该垫层(在此所使用的)可由诸如氮硅化物(Si_xN_x)或氧氮化硅(SiON)的材料所制成。

根据本发明的用于形成集成电路的方法包括：在第一半导体基板的半导体装置上于介电材料中蚀刻第一开口至第一深度的步骤；在该第一半导体基板上于该介电材料中蚀刻第二开口至第二深度的步骤，由于蚀刻滞缓之故，在约相同的时间中分别蚀刻该不同大小的第一及第二开口至该第一及第二深度；以及以导电材料填充该第一及第二开口的步骤。

当本发明已由特定的较佳实施例说明时，应了解的是本领域技术人员很明显地可藉由前述说明而作出许多其它的修改以及变化。因此，所有诸如落在所附的专利申请范围的精神与范畴内其它的修改以及变化接应包含于该所附的专利申请范围中。所有在此所提出的事项皆不得断章取义并且非以此为限。

(diacetoxysilane, DADBBS)等具有介电常数低于 3.9 的低介电材料所制成。而该垫层 320(在此所使用的)可由诸如氮硅化物(Si_xN_x)或氧氮化硅(SiON)的材料所制成。

现在参阅第 6 图, 在该第 6 图中显示根据本发明的用于形成集成电路的方法 600 的流程。该方法 600 包括: 在第一半导体基板的半导体装置上于介电材料中蚀刻第一开口至第一深度的步骤 602; 在该第一半导体基板上于该介电材料中蚀刻第二开口至第二深度的步骤 604, 由于蚀刻滞缓之故, 在约相同的时间中分别蚀刻该不同大小的第一及第二开口至该第一及第二深度; 以及以导电材料填充该第一及第二开口的步骤 606。

当本发明已由特定的较佳实施例说明时, 应了解的是熟习该项技艺者很明显地可藉由前述说明而作出许多其它的修改以及变化。因此, 所有诸如落在所附的申请专利范围的精神与范畴内其它的修改以及变化接应包含于该所附的申请专利范围中。所有在此所提出或显示于所附图式中的事项皆不得断章取义并且非以此为限。