

公告本

申請日期	84 年 11 月 14 日
案 號	84112007
類 別	H01L 27/08、H03L 7/08

A4

C4

306062

306062

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	動態記憶體裝置
	英 文	
二、發明 人	姓 名	(1) 柴田健 (2) 大石貫時
	國 籍	(1) 日本 (2) 日本 (1) 日本國東京都立川市一番町二-二六-一 日立デバイス立川寮
	住、居所	(2) 日本國東京都小金井市緑町五-一六-三八
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(2) 日立裝置工程股份有限公司 日立デバイスエンジニアリング株式会社
	住、居所 (事務所)	(1) 日本 (2) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(2) 日本國千葉縣茂原市早野三六八一番地 (1) 金井務 (2) 梨本柳三

裝

訂

線

306062

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☐ 無主張優先權

日本 1994 年 12 月 27 日 6-337975 ☒ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

<發明之背景>

本發明乃關於：動態型(dynamic type) R A M (random. access. memory) (動態記憶體裝置)者，尤其是關於利用於：與自外部端子被供給之時鐘信號同步來進行寫入及讀出之同步(Synchronous) D R A M (dynamic type R A M)，而極為有效之技術者。

關於同步 D R A M，乃被記載於例如：1993年1月18日，日本國株式會社：日立製作所發行之 H M 5 2 1 6 8 0 0，『H M 5 4 1 6 8 0 0 Series data book』等文獻。

<發明之概要>

隨半導體積體電路之製造技術之發展，同步 D R A M (Synchronous dynamic random access memory) 亦不能例外地，有進一步高速化之發展。與此種內部電路之高速化相對應，時鐘信號亦被變為高頻率。惟隨時鐘信號之高頻化，由 M O S 電路所構成之輸入緩衝器之信號延遲，亦成為不能忽視之問題。因此，本發明人乃構想，利用周知之 P L L (phase locked loop) 電路或 D L L 電路 (delay lock loop) 電路，在內部迴路來發生同步 D R A M 電路動作所必需之內部時鐘信號之方法。如此方法，即可實質上消除在輸入緩衝器之信號延遲，或按需要將從外部被供給之時鐘信號加以分頻，使其一旦變換為低頻率才輸入同步 D R A M，由內部之 P L L 電路恢復原來

五、發明說明(2)

之頻率，以高頻率來形成且與外部之系統時鐘同步之內部時鐘信號。

惟在同步 D R A M 之使用者，一般乃以與組裝有此種儲存器之系統相對應之工作頻率來使其動作者。亦即，無論具有多高速動作爲可能之同步 D R A M，若搭載此裝置之微電腦等之資訊處理系統之性能較低，則仍將被要求與其相對應之動作。在此情形下，同步 D R A M 本身若在上限之工作頻率以下，則雖將與其相對應來充分動作，但如上述，若爲如上述使用 P L L 電路或 D L L 電路來形成內部時鐘信號之方式，則因在 P L L 電路之可變工作頻率，或在 D L L 電路之可變延遲時間本身比較狹窄，故實際上之工作頻率將被限定。爲此，若擬以 P L L 電路或 D L L 電路來形成內部時鐘信號，則例如：低速用、中速用以及高速用等，必需形成以工作速度別來準備之複數種類之品種，而需要與其各個相對應之製品之開發，或製品管理等，顯然將發生量產性受損等問題。

本發明之目的乃在提供，於廣泛工作頻率範圍，穩定之動作爲可能之動態型 R A M (dynamic type R A M) 者。本發明之前述及其他目的以及新穎之特徵，將可由本說明書之記述以及附圖來獲得明確之瞭解。

若簡單說明本申請書所開示之發明中代表性者之概要，則爲如下。亦即，在同步 D R A M 中，將由 P L L 電路或 D L L 電路來形成：與外部所供給之時鐘信號同步之內部時鐘信號，並設置：根據外部所供給之模態設定資訊使

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

P L L 電路之可變頻率範圍或 D L L 電路之可變延遲時間變化之轉換電路。

依據上述方法，因內部時鐘信號乃在 P L L 電路或 D L L 電路所形成，故即使較高之頻率亦能夠穩定與外部時鐘信號採取同步，同時轉換其動作範圍，亦可實現較低工作頻率為止之廣泛工作頻率範圍。

〔附圖之簡單說明〕

〔圖 1〕：表示本發明之動態型 R A M (同步 D R A M) 之一實施例之要部方塊圖。

〔圖 2〕：表示本發明之同步 D R A M 之一實施例之方塊圖。

〔圖 3〕：表示形成上述同步 D R A M 之內部時鐘之 P L L 電路之一實施例之電路圖。

〔圖 4〕：表示形成上述同步 D R A M 之內部時鐘之 D L L 電路之一實施例之電路圖。

〔圖 5〕：圖 3 之一定延遲段之一實施例之電路圖。

〔圖 6〕：使用於上述 P L L 電路之光電泵 (chargepump) 電路之一實施例之電路圖。

〔圖 7〕：表示使用於圖 3 之 P L L 電路之環形振盪器 (ring oscillator) 之一實施例之電路圖。

〔圖 8〕：表示使用於上述 P L L 電路或 D L L 電路之相位比較器之一實施例之電路圖。

〔圖 9〕：說明上述相位比較器之動作之一例所用之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

時序圖。

[圖 1 0] : 說明模態 (mode) 暫存器之設定動作之時序圖。

[圖 1 1] : 說明以模態暫存器所設定之位址及動作模態之一實施例之構成圖。

[圖 1 2] : 說明本發明之 S D R A M 之讀取周期之一例之時序圖。

[圖 1 3] : 說明本發明之 S D R A M 之寫入周期之一例之時序圖。

[圖 1 4 (A) 及圖 1 4 (B) : 表示使用適用本發明之動態型 R A M 之個人電腦系統之一實施例之構成圖。

< 實施例之說明 >

圖 1 乃表示本發明之動態型 R A M (同步 D R A M) 之一實施例之要部方塊圖者。在該圖中，乃以同步 D R A M 中之輸出入緩衝器，及與其相關之內部電路，作為代表來例示。

時鐘輸入緩衝器 (clock input boffer) 1，乃除外部時鐘 c L K 之外，亦接受晶片選擇信號 / c s、列址閃標信號 (row address strobe signal) / R A S、行址閃標信號 / C A S 及促成寫入信號 (write enable signal) / W E 等之控制信號，來形成內部動作所必需之各種控制信號。然後，與以往之同步 D R A M 不同，外部時鐘 C L K 將不直接作為內部時鐘被使用，而由時鐘輸

五、發明說明(5)

入緩衝器 1 所含 P L L 電路來形成內部時鐘。

亦即，外部時鐘 C L K，乃被輸入於 P L L 電路之相位比較器，而在此與內部時鐘被比較，與外部時鐘 C L K 相對應來進行內部時鐘之相位控制（頻率控制），以形成與外部時鐘同步之內部時鐘。此種構成，與將外部時鐘 C L K 直接作為內部時鐘來使用之以往電路比較，實質上將可消除在輸入緩衝器之信號延遲，並亦可充分因應外部時鐘 C L K 之高頻化。

位址輸入緩衝器 2，亦如後述，將取入時間系列地被輸入之位址信號。從此位址輸入緩衝器 2，除將取入列系位址信號或行原位址信號之外，亦將取入使用於模態設定之碼資訊 code。此碼資訊 code，將被設定於被含在模態解碼器（mode decoder）5 之模態暫存器，由模態解碼器 5 來解讀，而形成：實現與其相對應之動作所用之控制信號。

資料輸入緩衝器 3 將取入輸出入端子 I / O 所供給之寫入信號，而作為寫入資料 Data 被傳輸至未圖示之記憶陣列（memory array）。資料輸出緩衝器（data output buffer）4，則將使外部端子 I / O 送出從記憶陣列所讀出之讀出資料 data。

R A S 系控制電路 6，將由模態解碼器 5 之輸出，來控制列系位址計數器（row 系 address counter）7，及列系位址預解碼器（row 系 address predecoder）10，以控制列系之位址選擇動作。在上述列系位址計

五、發明說明(6)

數器 7，乃有列址 (row address) 信號作為初值被輸入。列系位址預解碼器 10，將送出：解讀位址信號後被預解讀 (predecode) 為庫 0 (bank-0) 及庫 1 (bank-1) 之位址信號 (row address')。

庫控制電路 (bank control circuit) 9，乃由來自模態解碼器 5 之輸出信號，來控制行系位址計數器 8 及行系位址預解碼器 12，以控制列系之位址選擇動作。在行系位址計數器 8，乃有行址信號 (column address) 作為初值被輸入。此行系位址計數器 8，亦被稱為叢發計數器 (burst counter)。行系位址預解碼器 12，解讀位址信號後將向記憶陣列送出被預解碼之位址信號 (column address')。

在列系位址預解碼器 10，乃設有冗餘電路 (redundancy) 11，而不良之字線 (word line) 將被置換為冗餘字線，同樣，在行系位址預解碼器 12，亦設有冗餘電路 13，而不良之資料線 (dataline) 亦將被置換為冗餘資料線。

圖 2 乃為表示上述同步 D R A M (以下簡稱為 S D R A M : S y n c r o n o u s D y n a m i c R A M) 之一實施例之方塊圖者。該圖所示 S D R A M，雖未特別之限定，乃由周知之半導體積體電路之製造技術，被形成於如單晶矽 (single crystal silicon) 之 1 個半導體基板上。在該圖中，為容易瞭解 S D R A M 之全體電路，雖為與圖 1 相同之電路方塊，但為全體之統一，亦將以另外之電路記

五、發明說明(7)

號來表示。

本實施例之 S D R A M，乃備有：構成記憶庫 A (bank A) 之記憶陣列 2 0 0 A，及構成記憶庫 B (bank B) 之記憶陣列 2 0 0 B 等。各個之記憶陣列 2 0 0 A 及 2 0 0 B，亦備有：被矩陣 (matrix) 配置之動態型記憶格 (memory cell)；按照圖，則被配置成同一隊列 (queue) 之記憶格之選擇端子，乃被結合在每一隊列之字線 (未圖示)；被配置成同一列 (row) 之記憶格之資料輸入端子，則按列被結合在互補資料線 (未圖示)。

上述記憶陣列 2 0 0 A 之未圖示之字線，乃按照由行解碼器 2 0 1 A 所作列址信號之解碼結果，有 1 支將被驅動至選擇位準。記憶陣列 2 0 0 A 之未圖示之互補資料線，則將被結合至感測放大器 (sense amplifier) 及行選擇電路 2 0 2 A。在感測放大器及行選擇電路 2 0 2 A 之感測放大器，乃為：由從記憶格之資料讀出來檢出顯現於各個互補資料線之微小電位差，來加以放大之放大電路。在此之行開關電路 (column switch circuit)，乃為將互補資料線個別加以選擇後導通於互補共同資料線 2 0 4 所用之開關電路。行開關電路乃按照由行解碼器 2 0 3 A 所作行址信號之解碼結果來被選擇動作。

在記憶陣列 2 0 0 B 側亦同樣設有：列解碼器 2 0 1 B、感測放大器及行選擇電路 2 0 2 B、行解碼器 2 0 3 B 等。上述互補共同資料線 2 0 4 乃被連接在輸入緩衝器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (8)

2 1 0 之輸出端子及輸出緩衝器 2 1 1 之輸出端子。輸入緩衝器 2 1 0 之輸入端子及輸出緩衝器 2 1 1 之輸出端子，則被連接在 1 6 數元之資料輸出入端子 I / O₀ ~ I / O₁₅。

從位址輸入端子 A₀ ~ A₉ 所供給之列址信號及行址信號，乃以位址多工 (address multiplex) 形式，被取入行址緩衝器 2 0 5 及列址緩衝器 2 0 6。被供給之位址信號，乃由各緩衝器來保持。列址緩衝器 2 0 6 在再新動作模態，乃將從再新計數器 2 0 8 所輸出之再新位址信號，作為列址信號來取入。行址緩衝器 2 0 5 之輸出，則作為行址計數器 2 0 7 之預設資料 (preset data) 來供給，行位址計數器 2 0 7 亦按後述之命令等被指定之動作模態，將作為上述預設資料之行址信號，或將其行址信號順次加以遞增 (increment) 之值，向行解碼器 2 0 3 A、2 0 3 B 輸出。

控制器 2 1 2，雖未特別限制，但仍有：時鐘信號、時鐘促成信號 (clock enable signal) C K E、切片選擇 (chip select) 信號 / c s、行址閃標 (column address strobe) 信號 / C A S (符號 / 乃意謂：附有此符號之信號乃為列促成 [row enable] 之信號者)、列址閃標信號 / R A S，及寫入促成 (Write enable) 信號 / W E 等之外部控制信號，及來自位址輸入端子 A₀ ~ A₉ 之控制資料等被供給其中，而根據此等信號之位準之變化或定時 (timing) 等，來形成控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

S D R A M之動作模態及上述電路方塊之動作所用之內部定時信號者；爲此，備有控制邏輯（未圖示）及模態暫存器 3 0。

時鐘信號 C L K，如前述乃爲被輸入至 P L L 電路（或 D L L 電路）之相位比較器，而爲求得與在此所形成之內部時鐘之同步所用者。由 P L L 電路所形成之內部時鐘，乃被作爲 S D R A M之主時鐘（master clock），而其他之外部輸入信號，則與該內部時鐘信號之上升邊（leading edge）同步而成爲有效（significant）。切片選擇信號 / C S 將由其低位準來指示命令輸入循環之開始。切片選擇信號 / C S 爲高位準時（切片非選擇狀態）或其他之輸入，則未具有意義（meaningless）。惟後述之記憶庫之選擇狀態或叢發（burst）動作等之內部動作，卻不致因對切片非選擇狀態之變化而受影響。

/ R A S、/ C A S、/ W E 之各信號與通常在 D R A M 之對應信號卻機能不同，界定後述之命令循環時將被認爲有效（significant）之信號。

時鐘促成信號 C K E 乃爲指示下一時鐘信號之有效性之信號，若該信號 C K E 爲高位準，則下一時鐘信號 C L K 之上升邊將成爲有效，低位準時則成爲無效。進一步，雖未圖示，但在讀取模態（read mode），進行對輸出緩衝器 2 1 1 之輸出促成（output enable）之控制之外部控制信號，亦被供給至控制器 2 1 2，其信號若爲高位準時，輸出緩衝器 2 1 1 乃成爲高輸出阻抗（

（請先閱讀背面之注意事項再填寫本頁）

張

訂

五、發明說明 (10)

impedance) 狀態。

上述列址信號，將由與時鐘信號 CLK (內部時鐘信號) 之上升邊同步之後述之列址閃標・庫有效命令循環 (row address strabe・bank active command cycle) 之 A₀ ~ A₈ 之位準來被界定。

從 A₉ 之輸入，在上述列址閃標・庫有效命令循環將被認為庫選擇信號。亦即，當 A₉ 之輸入為低位準時，將被選擇記憶庫 (memory bank) BANK A，高位準時則將被選擇記憶庫 BANK B。記憶載之選擇控制，雖未特別限制，但可由：選擇記憶載側之僅為列解碼器之活性化、非選擇記憶庫側之行開關電路之全非選擇、僅為選擇記憶庫側之輸入緩衝器 210 及對輸出緩衝器 211 之連接等之處理來進行。

後述之預先電命令循環 (precharge command cycle) 之 A₉ 之輸入，乃指示對互補資料線等之預充電動作之形態，而其高位準則指示預充電之對象乃為雙方之記憶庫，至於其低位準，則指示在 A₉ 被指示之一方之記憶庫乃為預充電之對象。

上述行址信號，亦由：與外部時鐘 CLK (內部時鐘) 之上升邊同步之讀取 (read) 或寫入 (write) 命令 (後述之行址・讀取命令・行址・寫入命令) 循環之 A₀ ~ A₇ 之位準來被界定。然後，如此被界定之行址將作為叢發接達 (burst access) 之起動位址 (start address)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

其次，說明由命令被指示之 S D R A M 之主要動作模態。

(1) 模態暫存器設定命令 (M o)

設定上述模態暫存器 3 0 所用之命令，由 CS 、 RAS 、 CAS 、 WE = 低位準來指定該命令；應設定之資料（暫存器設定資料）乃經由 $A_0 \sim A_9$ 被供給。暫存器設定資料雖未有特別之限制，但一般乃為叢發長度（burst length）、 CAS 潛在（ CAS latency ）、寫入模態等。雖未有特別之限制，惟一般言，設定可能之叢發長度乃為 1、2、4、8 全頁（full page）（256），設定可能之 CAS 潛在乃為 1、2、3，設定可能之寫入模態則為叢發寫入（burst write）及單寫（single write）。

上述 CAS 潛在，乃為在由後述之行址・讀取命令被指示之讀取動作中，從 CAS 之上升至輸出緩衝器 211 之輸出動作為止，指示究竟將化費內部時鐘信號之多少循環份者。因在讀取資料確定以前必將需要資料讀取所需之內部動作時間，故將此按內部時鐘信號之使用頻率來加以設定者。換言之，使用頻率較高之內部時鐘信號時乃將 CAS 潛在設定成相對較大之值，使用頻率較低之內部時鐘信號時，則將 CAS 潛在設定為相對較小之值。

(2) 列址閃標・庫有效命令 (A c)

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (12)

此乃爲使列址閃標之指示及 A_9 所作記憶庫之選擇成爲有效之命令者；由 $\neg CS$ 、 $\neg RAS =$ 低位準、 $\neg CAS$ 、 $\neg WE =$ 高位準來被指示；此時供給 $A_0 \sim A_8$ 之位址將作爲列址信號，供給 A_9 之信號則作爲記憶庫之選擇信號各被取入。取入動作乃如上述，與內部時鐘信號之上升邊同步被進行。例如，當該命令被指定，則由此被指定之記憶庫之字線將被選擇，被連接於該字線之記憶格，則將被導通於各相對應之互補資料線。

(3) 行址・讀取命令 (Re)

此命令乃爲開始叢發讀取動作所必需之命令，同時亦爲供給行址閃標之指示之命令，由 $\neg CS$ 、 $\neg CAS =$ 低位準， $\neg RAS$ 、 $\neg WE =$ 高位準來指示；此時供給 $A_0 \sim A_7$ 之行址，將作爲行址信號被取入。由此被取入之行址信號，亦將作爲叢發起動位址 (burst start address) 被供給至行址計數器 207。在由此被指示之叢發讀取動作中，乃於此前已以列址閃標・庫有效命令循環進行記憶庫及在此之字線選擇；故該選擇字線之記憶格，乃按照與內部時鐘信號同步從行址計數器 207 被輸出之位址信號，被順次選擇而連續被讀出。連續被讀出之資料數乃爲由上述叢發長度所指定之個數。而且，從輸出緩衝器 211 之資料讀出開始，亦等待上述 CAS 潛在所規定之內部時鐘信號之循環數來進行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

(4) 行址 · 寫入命令 (W r)

作為寫入動作之形態，於模態暫存器 3 0 設定有叢發寫入時，乃被認定為開始該叢發寫入動作所必需之命令；而作為寫入動作之形態，於模態暫存器 3 0 設定有單寫時，乃被認為開始該單寫動作所必需之命令。進一步，該命令亦將供給在單寫及叢發寫入中之行址閃標之指示。該命令乃以 $\neg CS$ 、 $\neg CAS$ 、 $\neg WE =$ 低位準、 $\neg RAS =$ 高位準來指示，此時供給至 $A_0 \sim A_7$ 之位址將作為行址信號被取入。由此被取入之行址信號在叢發寫入，乃作為叢發起動位址被供給至行址計數器 2 0 7。由此被指示之叢發寫入動作之程序，亦與叢發讀取動作同樣被進行。惟在寫入動作乃無 CAS 潛在，寫入資料之取入將從該行址 · 寫入命令循環來開始。

(5) 預充電命令 (P r)

此乃為對由 A_8 、 A_9 所選擇之記憶庫之預充電動作之開始命令，由 $\neg CS$ 、 $\neg RAS$ 、 $\neg WE =$ 低位準、 $\neg CAS =$ 高位準來指示。

(6) 自動再新命令 (auto refresh command)

此命令乃為開始自動再新所必需之命令，由 $\neg CS$ 、 $\neg RAS$ 、 $\neg CAS =$ 低位準、 $\neg WE$ 、 $CKE =$ 高位準來指示。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

(7) 業發停止之全頁命令 (burst stop · in · fullpage command)

將對全頁 (full page) 之叢發動作，對所有記憶庫加以停止所必需之命令，在全頁以外之業發動作則將被忽視。此命令乃由 $\neg CS$ 、 $\neg WE$ = 低位準， $\neg RAS$ 、 $\neg CAS$ = 高位準來指示。

(8) 無操作命令 (N o p)

此乃指示不進行實質性動作之命令，由 $\neg CS$ = 低位準， $\neg RAS$ 、 $\neg CAS$ 、 $\neg WE$ 等之高位準來指示。

在 D D R A M，於一方之記憶庫進行叢發動作時，在其途中指定其他之記憶庫，供給列址閃標。庫有效命令，則對該實行中之一方之記憶庫之動作將不致給與任何影響，將使該其他之記憶庫之列址系列之動作成為可能。例如，S D R A M 乃具有：將從外部所供給之資料、位址、以及控制信號保持在內部之機構；其保持內容，尤其是位址及控制信號，雖未有特別之限制，但仍按每記憶庫加以保持。或者，由列址閃標。庫有效命令循環被選擇之記憶塊之字線 1 支份之資料，在行系動作之前，預先因讀出動作被未圖示之門鎖電路被門鎖 (latching)；等為構成。

因此，在資料輸出入端子 $I/O_0 \sim I/O_{15}$ 中，除非資料衝突，在處理未終了之命令執行中，將可發行：對與該執行中之命令為處理對象之記憶庫不同之記憶庫之預先電命令、列址閃標。庫有效命令等，預先來開始內部

(請先閱讀背面之注意事項再填寫本頁)

張

訂

五、發明說明 (15)

動作。

S D R A M 2 2，因可與外部時鐘 C L K（內部時鐘信號）同步來輸出入資料、位址、控制信號等，故可將與 D R A M 同樣之大容量記憶體，以可匹配於 S R A M 之高速動作來運行；並且，對被選擇之 1 支字線究竟將接達幾個資料，以叢發長度來指示，由此，以內藏之行址計數器 2 0 7 來順次轉換行系之選擇狀態，並將複數個之資料連續讀取或寫入；此事亦可予以理解。

在圖 3 中，乃顯示有構成時鐘信號輸入電路之上述 P L L 電路之一實施例之電路圖。經由上述時鐘輸入緩衝器被輸入之外部外部時鐘 C L K，乃被供給至相位頻率比較器（以下簡稱為相位比較器）之一方之輸入。在電壓控制型振盪電路（以下簡稱為 V C O）形成之內部時間信號 c l k，乃經由一定延遲段，被供給至上述相位比較器之另一方之輸入。相位比較器則進行上述兩個時鐘 C L K 與內部時鐘 c l k，乃經由一定延遲段，被供給至上述相位比較器之另一方之輸入。相位比較器則進行上述兩個時鐘 C L K 與內部時鐘 c l k 之相位（頻率）比較，以形成與其相位差相對應之上升信號（ u p s i g n a l ） u p 及下降信號（ d o w n s i g n a l ） D W N。

在上述相位比較器所形成之上升信號 U P 及下降信號 D W N，乃被輸入充電泵（ c h a r g e p u m p ）電路。此充電泵電路乃與上述上升信號 U P 之脈波寬（相位差）相對應將電容器（ c a p a c i t e r ）加以充電（ c h a r g e u p ），

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (16)

使控制電壓 V_c 升高，並與下降信號 DWN 之脈波寬相位差) 相對應將電容器加以放電 (discharge)，使控制電壓 V_c 降低。亦即，充電泵電路乃構成：將如上述之上升信號 UP 或下降信號 DWN 加以積分以便直流化之所謂迴路濾波器 (loop filter) 者。

VCO 乃由電壓可變延遲段被縱列連接成環狀之環形振盪器所成，由上述控制信號 V_c ，其延遲段之延遲時間將被控制。 VCO 乃由此種延遲時間之反比相對應來決定振盪頻率，並作為電壓控制型振盪電路來動作。亦即，在內部時鐘 clk 之相位 (頻率) 對外部時鐘 CLK 為延遲 (頻率被降低) 時，因相位比較器將形成與上述相位差相對應之上升信號 UP ，故充電泵電路將提高控制電壓 V_c 。按此控制電壓 V_c 被提高，電壓可變延遲段之延遲時間將趨短，內部時鐘 clk 之相位將被推進 (頻率被提高)，而與外部時鐘 CLK 之同步則逐成為可能。

相反地，若內部時鐘 clk 之相位 (頻率) 對外部時鐘 CLK 乃為前進 (頻率被提高) 時，相位比較器將與上述相位差相對應形成下降信號，故充電泵電路將使控制電壓 V_c 降低。按此控制電壓 V_c 被降低，電壓可變延遲段之延遲時間亦被趨長，內部時鐘 clk 之相位亦被延遲 (頻率被降低)，而與外部時鐘 CLK 之同步則成為可能。

在此實施例中，雖未有特別之限制，但相位比較器乃將經過輸入緩衝器之外部時鐘 CLK ，與經過一定延遲之

五、發明說明 (17)

內部時鐘 c l k 加以比較。設置此種一定延遲段，使其與輸入緩衝器之信號傳達延遲時間一致，由此即可使被供給至外部端子之時鐘 C L K，與發生於內部電路之內部時鐘 c l k 完全同步。由此，在本實施例之同步 D R A M，即可不必考慮在取入時鐘信號之輸入緩衝器之信號延遲，而專門與內部電路之工作上限頻率相對應之較高頻率下之動作即成為可能。

圖 4 乃表示構成時鐘信號輸入電路之上述 D L L 電路之一實施例之電路圖者。經過上述時鐘輸入緩衝器被輸入之外部時鐘 C L K，在一方乃被供給至相位頻率比較器（以下簡稱為：相位比較器）之一方之輸入，在另一方則被輸入至電壓可變延遲段。由此電壓可變延遲段被延遲後所形成之內部時鐘 c l k，則被供給至上述相位比較器之另一方之輸入。相位比較器乃進行上述兩個之時鐘 C L K 與內部時鐘 c l k 之相位（頻率）比較，而形成與其相位差相對應之上升信號 U P 及下降信號 D W N。此外，亦可將上述相位頻率比較器包含有上述時鐘輸入緩衝器之電路，作為相位頻率比較器來界定。在此情形下，相位頻率比較器將接收從晶片（ chip ）外部被輸入之外部時鐘信號。

在上述相位比較器所形成之上升信號及下降信號 D W N，乃被輸入前述同樣之充電泵電路。此充電泵電路，將與上述上升信號 U P 之脈波寬（相位差）相對應，將電容器加以充電使控制電壓 V c 提高，並與下降信號 D W N 之脈波寬（相位差）相對應將電容器加以放電，使

五、發明說明 (18)

控制電壓 V_c 降低。

電壓可變延遲段，乃由上述控制信號 V_c 來控制其延遲時間。亦即，內部時鐘 clk 乃為：由上述電壓可變延遲段，對外部時鐘 CLK 延遲 1 週期之同樣頻率之時鐘。此內部時鐘 clk 之相位若對外部時鐘 CLK 延遲時，相位比較器因將形成與上述相位差相對應之上升信號 UP ，故充電泵電路將使用控制電壓 V_c 提高。隨此控制電壓 V_c 之提高，電壓可變延遲段之延遲時間將趨短，內部時鐘 clk 之相位將被推進，而能取得與外部時鐘 CLK 之同步。

相反地，若內部時鐘 clk 之相位對外部時鐘 CLK 為前進時，因相位比較器將形成與上述相位差相對應之下降信號 DWN ，故充電泵電路將使控制電壓 V_c 降低。隨此控制電壓 V_c 之被降低，電壓可變延遲段之延遲時間將被趨長，內部時鐘 clk 之相位將被延遲，亦能取得與外部時鐘 CLK 之同步。

取入外部時鐘 CLK ，若在輸入緩衝器之信號延遲成為問題，則與前述圖 3 之實施例相同，由輸入緩衝器之信號傳播延遲時間相對應之一定延遲段，使內部時鐘 clk 延遲並輸入至相位比較器亦可。如此，即可使與前述同樣供給至外部端子之時鐘 CLK ，與在內部電路發生之內部時鐘 CLK 同步。

圖 4 乃表示上述延遲段（延遲電路）之一實施例之電路圖。閘將使定常性也在電路之接地電位被連接之 P 通道

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (19)

型 MOSFET Q 1 所形成之電流，流入二極體形態之 N 通道型 MOSFET Q 2，並設置此 MOSFET Q 2 及被形成電流鏡 (current mirror) 形態之 N 通道型 MOSFET Q 4 及 Q 5；使其與構成 CMOS 反相器電路之 N 通道型 MOSFET Q 10 與 Q 12 串聯連接。在上述 MOSFET Q 1 被形成之電流，則使其流入：經由 MOSFET Q 2 及被形成電流鏡形態之 N 通道型 MOSFET Q 3 被形成二極體形態之 P 通道型 MOSFET Q 6；並設置此 MOSFET Q 6 及形成電流鏡形態之 P 通道型 MOSFET Q 7 及 Q 8，而與構成 CMOS 反相器電路之 P 通道型 MOSFET Q 9 及 Q 11 串聯連接。

由此，由：P 通道型 MOSFET Q 9 及 N 通道型 MOSFET Q 10 及 P 通道型 MOSFET Q 11 及 N 通道型 MOSFET Q 12 等所成之 CMOS 反相器電路，將形成：與 MOSFET Q 1 所形成之電流相對應之輸出電流；故與此輸出電流相對應，信號延遲時間將被決定。在本實施例中，雖未有特別之限制，惟輸入信號 I N 將經過反相器電路 N 1 被供給至輸入段之 CMOS 反相器電路 Q 9、Q 10；輸出段之 CMOS 反相器電路 Q 11、Q 12 之輸出信號，則經過反相器電路 N 2，將有輸出信號 O U T 被輸出。

圖 6 乃表示充電泵電路之一實施例之電路圖者。在本實施例，乃由：接受上升信號 / U P 之 P 通道型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (20)

M O S F E T Q 1 , 及接受下降信號 D W N 之 N 通道型 M O S F E T Q 2 , 及經過此等 M O S F E T Q 1 及 Q 2 來進行充電 (charge up) / 放電 (discharge) 之電容器 C 等所構成。與上升信號 / U P 之低位準相對應, P 通道型 M O S F E T Q 1 將成為 O N 狀態, 而對電容器 C 充電, 使控制電壓 V_c 被提高。相反地, 按下降信號 D W N 之高位準, N 通道型 M O S F E T Q 2 成為 O N 狀態, 則將使電容器 C 放電, 並使控制電壓降低。

在上述充電泵電路中, 為消除電源依賴性, 乃宜在 P 通道型 M O S F E T Q 1 與電源電壓 V C O 之間設置定電流源, 使單位時間之充電電流成為一定, 而在 N 通道型 M O S F E T Q 2 與電路之接地電位之間亦宜設置定電流源, 使單位時間之放電電流成為一定。

圖 7 乃表示使用於圖 3 之 P L L 電路之環形振盪器 (V C O , 振盪電路) 之一實施例之電路圖者。P L L 電路, 因 V C O 之可變頻率範圍比較狹窄, 故其工作頻率範圍亦將成比較狹窄。在由環形振盪器所構成之 V C O 中, 例如若擬將中心頻率設定在約 1 0 0 M H z , 則只能在約 1 6 0 M H z 至 5 0 M H z 左右之範圍, 使振盪頻率成為可變。

在現在之 S D R A M , 與 3 種 C A S 潛在 (C A S latency) 相對應, 工作頻率將各被決定為 3 0 ~ 5 0 M H z , 及 5 0 ~ 1 0 0 M H z 及 1 0 0 ~ 1 5 0 M H z 。為此, 在現在之 S D R A M 中若考慮最壞情況 (wors-

五、發明說明 (21)

t case) , 擬來進行在上述 1 5 0 M H z 之穩定動作 , 則於如約 3 0 M H z 之最低工作頻率中 , 而相反地擬來進行在約 3 0 M H z 之穩定動作 , 則於如 1 5 0 M H z 之最高工作頻率中 , 將有各使 P L L 電路之動作成為不穩定之可能性。惟如上述之 3 0 M H z ~ 1 5 0 M H z 等工作頻率範圍 , 則不必使用 P L L 電路或 D L L 電路 , 可將從外部端子被供給之時鐘信號經過輸入緩衝器直接作為內部時鐘來使用 , 亦不會有太大之問題發生。

然而 , 隨半導體積體電路之製造技術之進展 , 在最近之將來 , 擬將工作頻率最高提高至約 3 0 0 M H z , 亦為可能。擬以如此高之頻率來使其動作時 , 輸入緩衝器之信號延遲將無法予以忽視 , 如前述之 P L L 電路或 D L L 電路亦將成為必不可缺。惟在使用者方面 , 為適合於其用途或既存之系統 , 則使約 3 0 0 M H z 亦動作可能之 S D R A M , 於上述約 3 0 M H z 或 5 0 M H z 之低頻率 , 亦使其能夠加以使用 , 則顯然乃極為方便之事。

內部電路之動作本身 , 因具有充分之時間容限 (margin) , 故即使在上述約 3 0 M H z 或 5 0 M H z 之低頻率 , 亦充分能夠使其動作。惟在以 P L L 電路或 D L L 電路來形成內部時鐘之情況 , 雖需要使此種 P L L 電路或 D L L 電路之可變頻率範圍 , 或可變延遲時間成為與上述 3 0 M H z ~ 3 0 0 M H z 相對應之廣闊工作頻率 , 但實現此種工作頻率範圍之環形振盪器卻幾為不可能之事。

在本實施例中 , 控制電壓所引起環形振盪器之可變頻

五、發明說明(22)

率範圍，雖具有如前述之界限，但轉換構成環形振盪器之反相器電路（延遲電路）之段數，亦能使其實質上之工作頻率被擴大。雖未有特別之限制，但在本實施例，將可被轉換為三種之工作頻率範圍。

亦即，作為段數轉換之用，乃準備有：兩段之反相器電路、四段之反相器電路以及八段之反相器電路等。在該圖，乃例示四段之反相器電路之電壓可變延遲段作為代表，並有四個CMOS反相器電路縱列被連接。然後，在此等CMOS反相器電路之N通道型MOSFET及P通道型MOSFET之各個，亦有使前述圖5所說明之同樣之工作電流流入之N通道型MOSFET及P通道型MOSFET Q，以串聯形態被設置。與圖5之一定延遲段不同之點，乃為在流入上述工作電流之N通道型N通道型MOSFET之閘，供給有控制電壓C，並在此將進行電壓／電流之變換動作。並且，控制電壓V_c乃由N通道型MOSFET被變換為電流信號，再流入成為二極體形態之P通道型MOSFET；而此種P通道型MOSFET與使上述工作電流流入之P通道型MOSFET乃成為電流鏡形態。如此，則上述四段之CMOS反相器電路，其各個之工作電流將與控制電壓V_c相對應變化，而進行作為電壓可變延遲段之動作。亦即，由於使控制電壓V_c變化，即可使環形振盪器之頻率變化。進一步言，愈使控制電壓V_c之電壓值變大，則環形振盪器之頻率亦將變成愈大。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (23)

在上述兩段之反相器電路、四段之反相器電路及八段之反相器電路之輸出 a，乃有反饋信號 (feed back signal) 共同被供給其中。此等二段之反相器電路、四段之反相器電路以及八段之反相器電路之各個之輸出信號，將經由作為輸出選擇電路之三態緩衝器被選出 1 個，並通過前述同樣之三段之反相器電路被反饋 (feed back)。內部時鐘 c l k (振盪信號) 則經由作為波形整形 (shaping) 電路之兩個反相器電路被輸出。

反相器 I N V 1、I N V 2、I N V 3、I N V 1 8、I N V 1 9 乃構成第 1 反相器群，反相器 I N V 4 ~ I N V 8、I N V 1 8、I N V 1 9 則構成第 2 反相器群，反相器 I N V 9 ~ 1 9 亦構成第 3 反相器群。

從外部端子被供給之時鐘信號，或應答從外部端子所供給之時鐘信號之外部時鐘信號之頻率為屬第 1 範圍 (例如，300 ~ 200 M H z) 時，上述第 1 反相器群將被選擇；屬第 2 範圍 (例如 200 ~ 100 M H z) 時，上述第 2 反相器群將被選擇；屬第 3 範圍 (例如 100 ~ 50 M H z) 時，則上述第 3 反相器群將被選擇。亦即，按外部時鐘信號之頻率，與其相對應之第 1、第 2、第 3 反相器群之中的一個群將成為動作狀態，來構成振盪路徑。

此外，反相器 I N V 1 8、I N V 1 9 亦可加以省略。

上述三個之三態緩衝器，雖未有特別之限制，但由接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (24)

受位址信號 A₈ 及 A₉ 之邏輯電路，一個將被成為動作狀態，其他兩個則將成為輸出高阻抗狀態。三態緩衝器乃如其中一個作為代表來例示，構成 CMOS 反相器電路之 P 通道型 MOSFET 及 N 通道型 MOSFET，乃各與 P 通道型 MOSFET 及 N 通道型 MOSFET 串聯連接，至被供給控制信號 B 及 T。若控制信號為低位準，而控制信號 T 為高位準，則上述之 P 通道型 MOSFET 及 N 通道型 MOSFET Q 將成為 ON 狀態，CMOS 反相器電路之動作將成為有效，並形成輸出信號。上述控制信號乃為高位準，而控制信號 T 為低位準，則上述 P 通道型 MOSFET 及 N 通道型 MOSFET 將成為 OFF 狀態，並使 CMOS 反相器電路之輸出成為高阻抗狀態。

位址信號 A₈ 為高位準，而位址信號 A₉ 為低位準，則被設在兩段之反相器電路之輸出之三態緩衝器將成為動作狀態，並輸出最短之延遲信號，成為例如，300 MHz ~ 200 MHz 之高可變頻率範圍。位址信號 A₈ 為低位準而位址信號 A₉ 為高位準，則被設在四段之反相器電路之輸出之三態緩衝器將成為動作狀態，並輸出中間性之延遲信號，故將成為例如 200 MHz ~ 100 MHz 之中間性可變頻率範圍。然後，若位址信號 A₈ 及 A₉ 均為低位準，則被設在八段之反相器之輸出之三態緩衝器將成為動作狀態，並輸出最長之延遲信號，故將成為例如 100 MHz ~ 50 MHz 之低可變頻率範圍。

上述位址信號 A₈ 及 A₉，將被記憶在如後述之模態

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (25)

暫存器，成為由命令之設定可從外部加以指定之狀態。並且，由於由 C A S 潛在，工作頻率將變化，故由 C A S 潛在之設定模態，自動來使上述 P L L 電路 (D L L 電路) 之可變頻率範圍亦同時被設定，則較為方便。

圖 8 乃為表示使用於上述 P L L 電路或 D L L 電路之相位比較器之一實施例之電路圖者。相位比較器 (比較電路) 雖未有特別之限制，但乃由如圖示之反相器電路、邏輯電路及複合邏輯閘電路所構成，如圖 9 之定時圖所示，將形成具有與兩個時鐘信號 C L K 與 c l k 之相位差相對應之脈波寬之上升信號 U P 或 D W N 信號。亦即，相位比較器 (比較電路) 將檢知時鐘信號 C L K 之變化定時與時鐘信號 c l k 之變化定時之變化定時差，來輸出按上述變化定時差之檢知信號 U P 及 D W N。

圖 1 0 乃表示模態暫存器之設定定時圖者。因信號 / C S 、 / R A S 、 / C A S 、 / W E 成為低位準，將指定該模態暫存器設定命令，而應設定之資料 (暫存器設定資料) 將經由 A₀ ~ A₁₁ 被供給。暫存器設定資料乃如圖 1 1 所示，將由位址 A₀ ~ A₂ 之三數元被指定四種之叢發長度 (1 、 2 、 4 、 8) ，及由位址 A₃ 被指定二種之叢發型式 (burst type : Sequential [順序] 及 interleare [交錯]) ，並由位址 A₄ ~ A₆ 之三數元被指定 C A S 潛在 (C A S latency) 。然後，為將來之使用作為預備被設置之位址 A₈ ~ A₁₁ 之中，由位址 A₈ ~ A₉ ，則將指定前述 P L L 電路 (或 D L L 電路) 之工作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(26)

頻率範圍。

圖 1 2 乃表示本發明之 S D R A M 之讀取循環 (read cycle) 之一例所用之定時圖者。由 $\neg$ C S 及 $\neg$ R A S 之低位準，將取入列址 R : a。並且，由位址 A₁₁ (庫選擇 B S) 之低位準，庫 - 0 將被成爲有效 (active)，而對庫 - 0，列系之位址選擇動作將被開始。在 3 時鐘後， $\neg$ C A S 被成爲低位準，取入行址 C : a 後行系之選擇動作將被開始。

若 C A S 潛在被成爲 3，則在 3 時鐘後，輸出信號 a 將被輸出。若被指定爲叢發讀取，則以後與時鐘同步，資料 a + 1、a + 2、a + 3 將順次被輸入。由此，在 3 時鐘後，資料 b、b + 1、b + 2、b + 3 亦將順次被讀出。

指定讀回 (read back) 1 將行址 C : b' 輸入，則緊接著由此延遲 3 時鐘，乃將輸出資料 b' 及 b' + 1。在 2 時鐘後，指定讀回 - 1，將行址 C : b 輸入，則 b' 將被 b' 置換，故由此延遲 3 時鐘則將輸出資料 b'' 及 b'' + 1、b'' + 2、b'' + 3。

圖 1 3 乃表示說明本發明之 S D R A M 之寫入循環之一例所用之定時圖者。從 $\neg$ C S 及 $\neg$ R A S 之低位準，列址 R : a 將被取入。並且，由位址 A₁₁ (庫選擇 B S) 之低位準，庫 - 0 將被成爲有效 (active)，故對庫 - 0，列系之位址選擇動作將被開始。在 3 時鐘後， $\neg$ C A S 將被成爲低位準，行址 C : a 將被取入而行系之選擇動作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (27)

將被開始，與此同時被輸入之寫入信號 a 將被寫入經選擇之記憶格，以下與叢發寫入相對應，行址將被更新，資料 $a + 1$ 、 $a + 2$ 、 $a + 3$ 將與時鐘同步被寫入。

與此種叢發寫入 (burst write) 動作平行，有效庫 (active bank) - 1 之指定，及與其相對應之列址 $R : b$ ，以及從此延遲 3 時鐘，行址 $C : b$ 亦將被輸入，並且寫入資料 b 亦被寫入。以下，與上述同樣， $b + 1$ 、 $b + 2$ 、 $b + 3$ 亦與時鐘同步順次被寫入。以下，再指定寫入庫，輸入行址 $C : b'$ ，並輸入寫入資料 b' 及 $b' + 1$ ，再指定該回 - 1，輸入行址 $C : b''$ ，則行址將從 b' 被置換為 b'' ，故與其相對應之資料 b'' 及 $b'' + 1$ 、 $b'' + 2$ 、 $b'' + 3$ 將順次被寫入。

圖 1 4 (A) 及圖 1 4 (B)，乃為表示使用適用本發明之動態型 R A M 之個人電腦系統之一實施例之構成圖者。圖 1 4 (A) 乃表示其外觀之要部概略圖，圖 1 4 (B) 則表示其方塊圖。

此乃為備有軟磁碟驅動器 F D D 及作為主儲存記憶器適用本發明之 D R A M 之檔案記憶器 file M、及內藏有備用電池 (battery back up) 之 S R A M 等之系列。然後，輸出入裝置乃有鍵盤 K B 及顯示器 D P，軟磁碟 (floppy disc) F D 乃被插入於上述軟磁碟驅動器 F D D。由此，將成為：可在作為軟體之上述軟磁碟 F D 及作為硬體之上述檔案記憶器 file M，記憶資訊之桌上型個人電腦 (desktoppersonal computer)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (28)

在本實施例中乃對適用於桌上型個人電腦之例加以說明；惟對筆記型個人電腦亦能夠適用；並作為補助機能乃以軟磁碟為例加以說明，惟亦特別限定於此。

在圖 1 4 (B) 中，本實施例之個人電腦，乃由：作為本資訊機器之中央處理裝置 C P 1 1、構築於上述資訊處理系統內之 I / O 匯流排、Bus Unit、主儲存記憶器或擴展記憶器等接達高速記憶器之記憶器控制單元 Memory Control Unit、作為主儲存記憶器之本發明之 D R A M (S D R A M) 以及擴展 R A M (S D R A M)、儲存基本控制程式等之 E P R O M (flash E R R O M)、先端連接有鍵盤之鍵盤控制器 K B D C 等所構成。

作為顯示轉換器之 Display adApter 亦被連接在 I / O 匯流排，在上述 Display adapter (顯示器轉接器) 之先端亦連接有顯示器。然後，在上述 I / O 匯流排亦連接有：平行埠 (paraller port) I / F、滑鼠等之串列埠 (serial port) I / F、軟磁碟驅動器 F D D、從上述 I / O 匯流排變換為 H D D I / F 之緩衝控制器 H D D buffer 等。與來自記憶器控制單元之匯流排連接，亦有作為擴展 R A M 及主儲存記憶器之本發明之 S D R A M 被連接其上。擴展 R A M 亦無特別之限制，但亦由本發明之 S D R A M 所構成。

下面說明此個人電腦系統之動作之概略情形。投入電源，開始動作則首先上述中央處理裝置 C P U，乃將上述 R O M 經由上述 I / O 匯流排加以接達，來進行初期診斷

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (29)

、初期設定。然後，從補助記憶裝置將系統程式讀入 (load) 於作為主儲存記憶器之本發明之 D R A M 。上述中央處理裝置 C P U ，乃作為經由上述 I / O 匯流排向 H D D 控制器接達 H D D 之設備來工作者。當系統程式之讀入終了，則按照使用者之處理要求，來推進處理。

使用者乃一面進行由上述 I / O 匯流排上之鍵盤控制器 K B D C 或顯示轉接器 (display adapter) 所處理之輸出入，一面推進作業。然後，按必要來靈活運用被連接之平行埠 I / F 、串列埠 / F 之輸出入裝置。並且，在本體上之作為主儲存記憶器之本發明之 S D R A M ，若主記憶容量不足時，乃由擴展 R A M 來補充主記憶器。而且，在圖上乃以硬磁碟驅動器 H D D 來說明，惟亦可以置換為使用 Flash Memory F E P R O 之閃檔 (flash file) 。

由上述實施例所獲得之作用效果，乃如下述。亦即：

(1) 在同步 D R A M 中，由 I R M D L L 電路來形成：與外部所供給之時鐘信號同步之內部時鐘信號，並根據從外部所供給之模態設定資訊來設置：使 P L L 電路之可變頻率範圍或 D L L 電路之可變延遲時間變化之轉換電路；由此不僅較高之頻率亦能穩定與外部時鐘信號取得同步之狀態，同時由轉換其動作範圍，亦可獲得實現：較低頻率為止之廣闊工作頻率範圍等之效果。

(2) 使構成 P L L 電路之環形振盪器之可變頻率範圍或構成 D L L 電路之延遲電路之可變延遲範圍變化之轉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (30)

換電路，因由單位之反相電路之段數之轉換來進行，故由此將可獲得能以簡單構成來確保按必要之廣闊工作頻率範圍之效果。

(3) 上述單位之反相器電路之段數之轉換，因乃與模態暫存器所設定之 C A S 潛在相對應之內部電路來自動進行，故由此將可獲得：使用方法極方便之效果。

(4) 被輸入 P L L 電路或 D L L 電路之相位比較器之內部時鐘，乃由具有將從外部端子所供給之時鐘信號取入之輸入緩衝器相對應之延遲量之延遲電路使其延遲，故由此，在輸入緩衝器之信號延遲將被相抵消，因此可獲得供給外部端子之時鐘與內部時鐘可正確使其同步之效果。

上面已將本發明人所提出發明，根據實施例具體加以說明；惟本發明亦不限定於前述實施例，可在不致逸出其要旨之範圍內作種種之變更，此亦不必贅言者。例如，為使開發設計時或製品檢查等，在通常之工作頻率極端被延遲之時鐘之動作，亦成為可能，將 P L L 電路或 D L L 電路之工作頻率，與其相配合來準備較低者，或設置：在試驗模態時，使 P L L 電路或 D L L 電路之動作停止，讓從外部端子所供給之時鐘信號直接通過 (through)，以作為內部時鐘來使用等之機能，亦可。此種試驗模態之設定，亦以上述模態暫存器來進行，較為方便。

本發明將可廣泛被利用於：與從外部端子所供給之時鐘信號同步來取入輸入信號，或將輸出信號加以送出，以及與各個相對應使內部電路之動作定時被控制之同步

五、發明說明 (31)

D R A M 等之動態型 R A M 。

下面將本申請所開示之發明之中代表性者，其所獲得之效果簡單加以說明如下。亦即，在同步 D R A M 中，由於由 P L L 電路或 D L L 電路來形成：與從外部所供給之時鐘信號同步之內部時鐘信號，並設置：根據從外部所供給之模態設定資訊，使 P L L 電路之可變頻率範圍或 D L L 電路之可變延遲時間變化之轉換電路；故由此，將能夠以較高頻率亦可穩定與外部時鐘信號取得同步，同時由轉換其動作範圍，則可實現較低頻率為止之工作頻率範圍。

使構成 P L L 電路之環形振盪器之可變頻率範圍或構成 D L L 電路之延遲電路之可變延遲範圍變化之轉換電路，讓其以單位之反相器電路之段數之轉換來進行；由此亦可以簡單之構成來確保按需要之廣闊工作頻率範圍。

上述單位之反相器電路之段數之轉換，則與模態暫存器所設定之 C A S 潛在 (C A S latency) 相對應由內部電路來自動進行，故由此將可使使用方法成為極方便者。

被輸入 P L L 電路或 D L L 電路之相位比較器之內部時鐘，因乃由具有與取入從外部端子所供給之時鐘信號之輸入緩衝器相對應之延遲量之延遲電路所延遲，故由此在輸入緩衝器之信號延遲將被相抵消；因此將可使從外部端子所供給之時鐘與內部時鐘正確被同步。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：

)

動態記憶體裝置

本發明乃有關：動態型 R A M (dynamic type R A M : Random. Access. Memory) (動態記憶體裝置)者，尤其是關於利用在與自外部端子被供給之時鐘信號同步來進行寫入及讀出之同步 (Synchronous) D R A M (dynamic type RAM)，而極為有效之技術者。

本發明之目的乃在提供：在廣大工作頻率範圍內之穩定之動作爲可能之動態型 R A M 者。

本發明之特徵乃在：於同步 D R A M 中，由 P L L 電路或 D L L 電路形成：與從外部所供給之時鐘信號同步之內部時鐘信號，並設置：根據從外部所供給之模態 (mode) 設定資訊，使 P L L 電路之可變頻率範圍或 D L L 電路之可變延遲時間變化之轉換電路；等爲構成者。

英文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

紙

六、申請專利範圍

1. 一種動態記憶體裝置 (dynamic memory device)，主要在被形成於一個半導體基板上，而具有時鐘信號輸入電路之動態記憶體裝置中；其特徵為：上述時鐘信號輸入電路乃具有：

(1) 輸入從上述動態記憶體裝置之外部被輸入之外部時鐘信號之第 1 輸入端子，及

(2) 輸出內部時鐘信號之第 1 輸出端子，及

(3) 具有結合於上述第 1 輸出端子之第 2 輸入端子，及第 2 輸出端子，而使被輸入上述第 2 輸入端子之信號延遲輸出至上述第 2 輸出端子之延遲電路，及

(4) 具有結合於上述第 1 輸入端子之第 3 輸入端子，及結合於上述第 2 輸出端子之第 4 輸入端子等，並檢知：被輸入上述第 2 輸入端子之信號變化之定時，與被輸入上述第 4 輸入端子之信號變化之定時之變化定時差，按上述變化定時差來輸出檢知信號之比較電路，及

(5) 具有結合於上述第 1 輸出端子之第 3 輸出端子，而向上述第 3 輸出端子輸出振盪信號之振盪電路，及

(6) 按上述檢知信號來使上述振盪信號之振盪頻率變化之控制電路等；

而上述振盪電路亦具有：結合成環狀之 n 個之第 1 反相器群，及結合成環狀之 m 個之第 2 反相器群等；

一當上述外部時鐘信號之頻率在第 1 範圍時第 1 反相器群將被選擇，而上述外部時鐘信號之頻率在第 2 範圍時則上述第 2 反相器群將被選擇；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

上述 n 乃為奇數， m 與 n 乃為不同之奇數，而上述第 1 範圍與上述第 2 範圍亦為不同；等為構成者。

2. 一種動態記憶體裝置，其特徵為含有：

備有比較從外部端子所供給之時鐘信號與內部時鐘信號之相位比較器，及將此種相位比較器之輸出信號加以直流化之迴路濾波器（loop filter），及由此種迴路濾波器所形成之控制電壓來控制單位之反相器電路之信號延遲量，而根據其振盪信號來形成上述內部時鐘信號之環形振盪器（ring oscillator），及根據從外部所供給之模態設定資訊使上述環形振盪器之可變頻率範圍變化之轉換電路等之 PLL 電路；及與上述內部時鐘信號同步來至少控制：位址信號、控制信號及寫入信號之輸入，以及讀出信號之輸出等之輸出入介面（interface）等；為構成者。

3. 一種動態記憶體裝置，其特徵為含有：

備有比較從外部端子所供給之時鐘信號與內部時鐘信號之相位比較器，及將此種相位比較器之輸出信號加以直流化之迴路濾波器，及由此種迴路濾波器所形成之控制電壓來控制單位之反相器電路之信號延遲量，而使上述從外部所供給之時鐘信號延遲之延遲電路，及根據上述從外部所供給之模態設定資訊，使上述延遲電路之可變延遲範圍變化之轉換電路等之 DLL 電路；及與上述內部時鐘信號同步來至少控制：位址信號、控制信號及寫入信號之輸入、讀出信號之輸出等之輸出入介面等；為構成者。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

六、申請專利範圍

4. 如申請專利範圍第3項所述之動態記憶體裝置中，使上述環形振盪器之可變頻率範圍或延遲電路之可變延遲範圍變化之轉換電路，乃由單位之反相器電路之段數之轉換來進行者。

5. 如申請專利範圍第4項所述之動態記憶體裝置中；上述單位之反相器電路之段數之轉換，乃與模態暫存器 (mode registor) 所設定之 C A S 潛在 (C A S latency) 相對應由內部電路自動進行者。

6. 如申請專利範圍第5項所述之動態記憶體裝置中；被輸入上述相位比較器之內部時鐘，乃由具有與取入從外部端子所供給之時鐘信號之輸入緩衝器相對應之延遲量之延遲電路被延遲者。

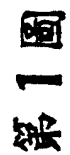
(請先閱讀背面之注意事項再填寫本頁)

裝

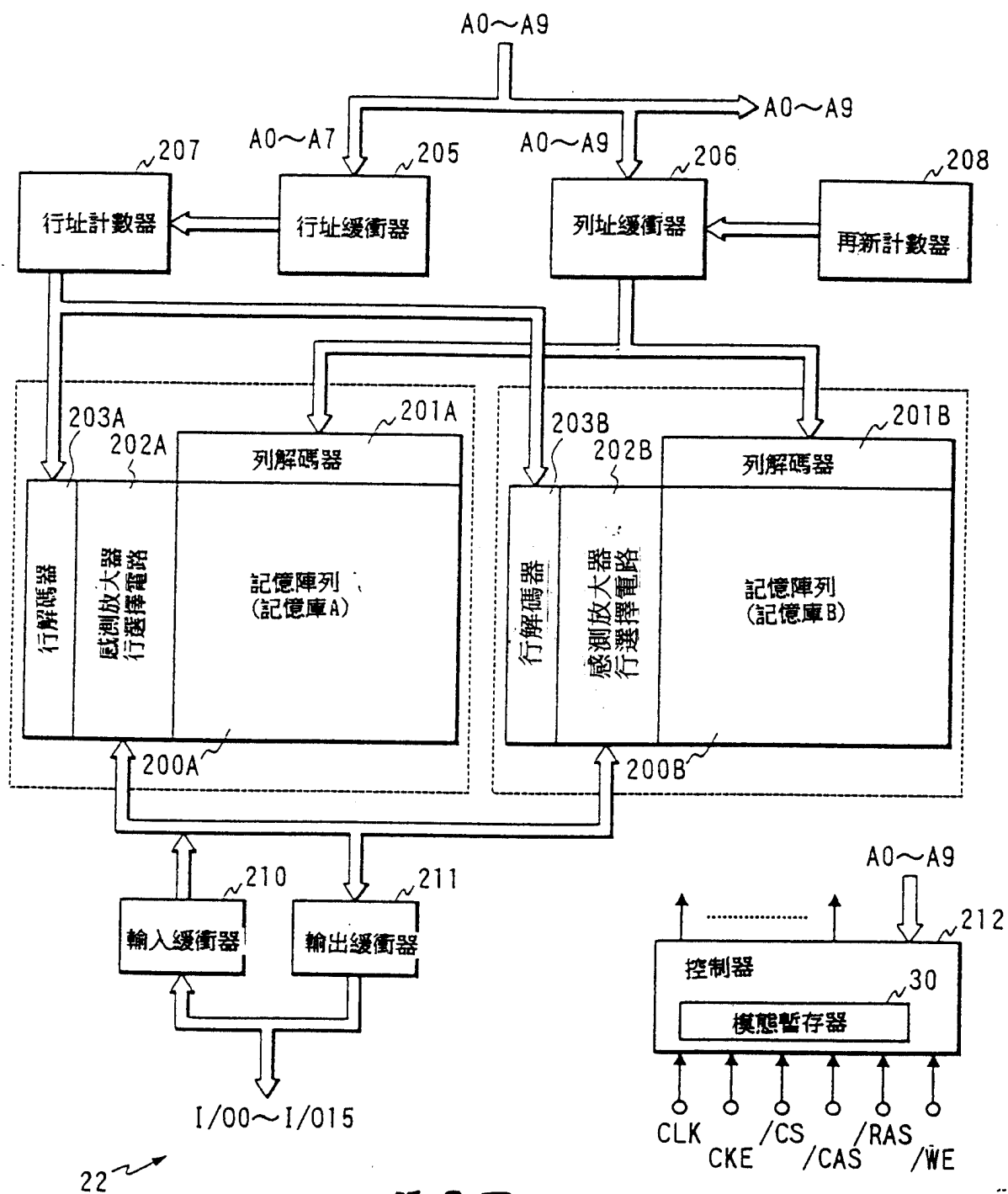
訂

306062 第 84112007 號專利申請案修正圖式
民國 85 年 7 月 29 日修正

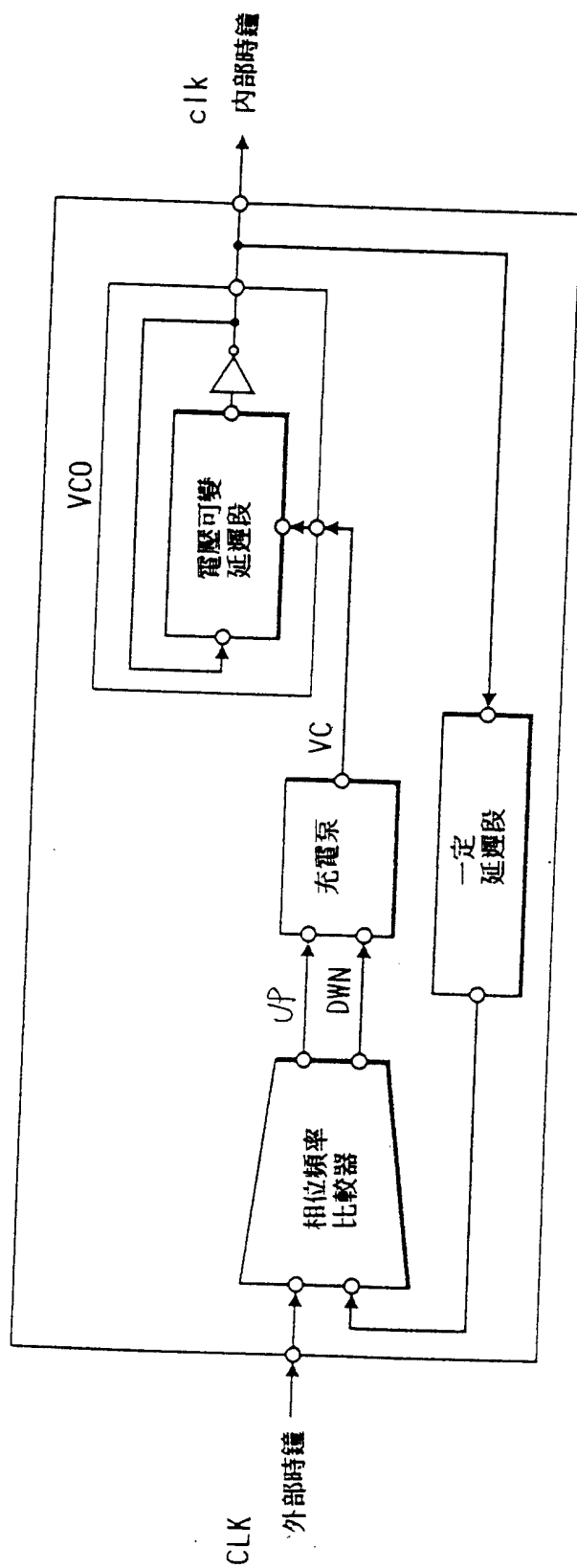
修正補充 724183 85年7月25日



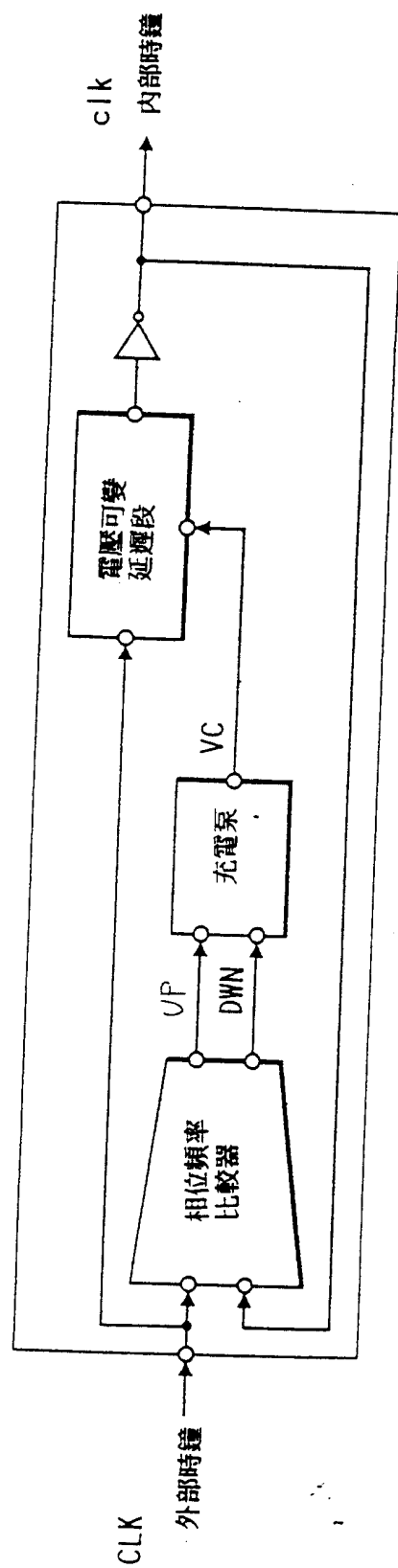
圖一



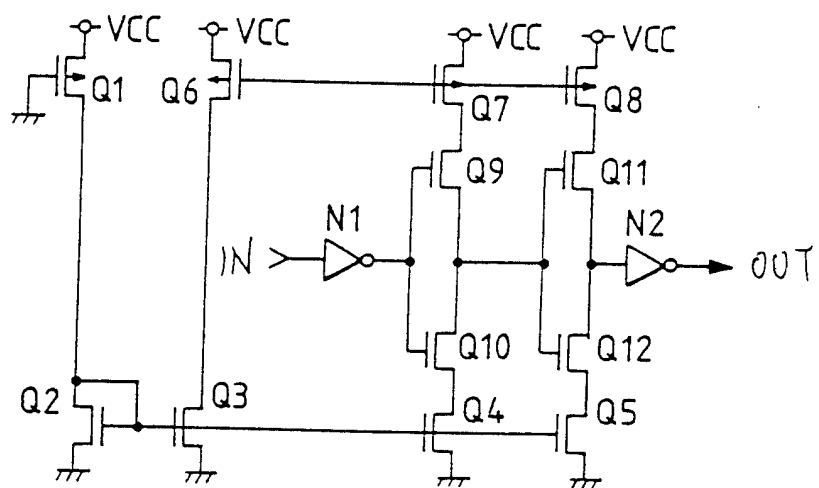
第 2 圖



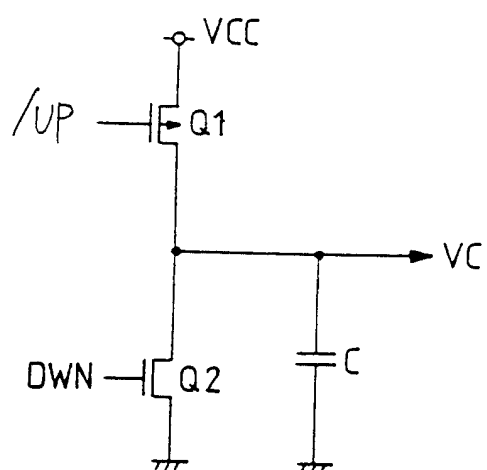
第 3 圖



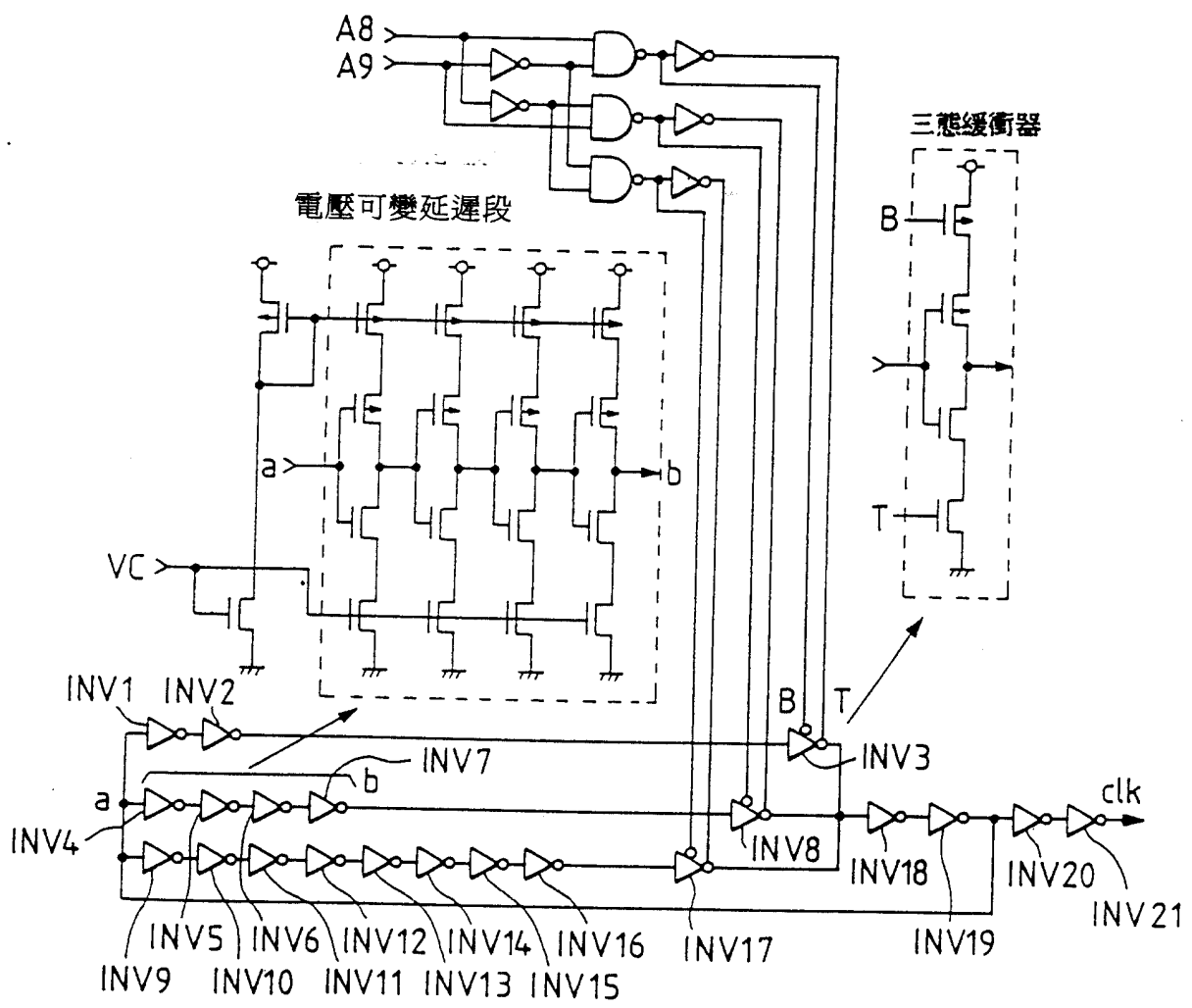
第 4 圖



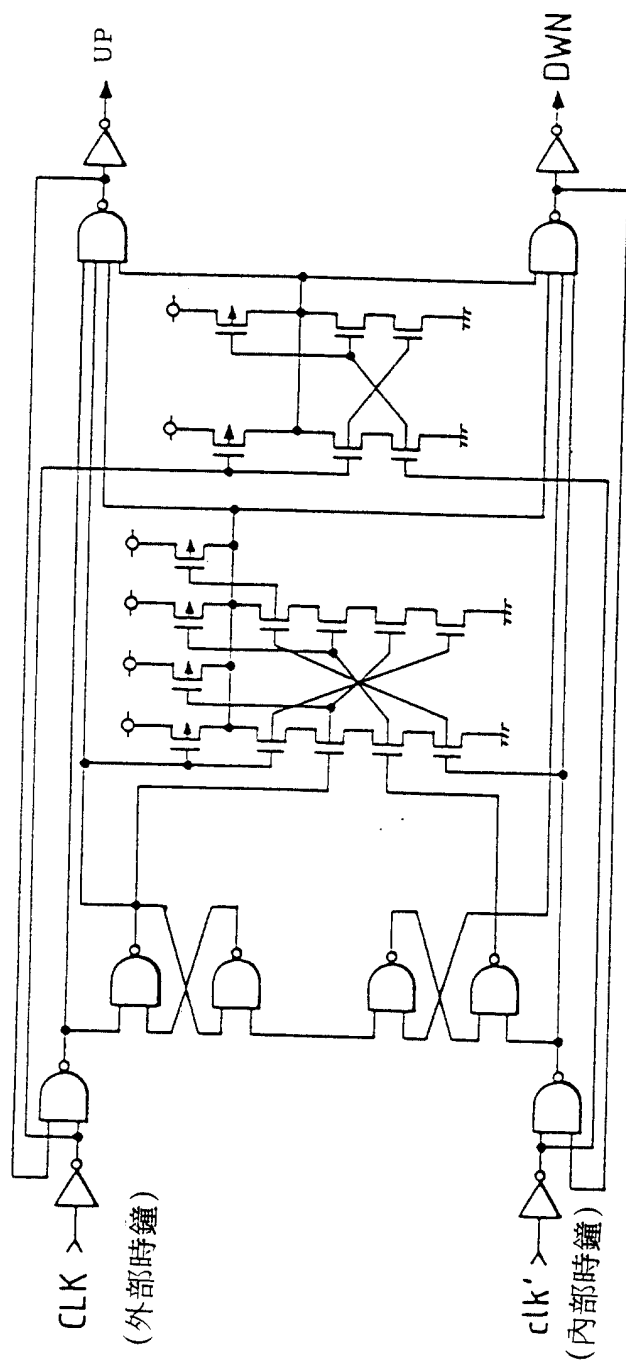
第 5 圖



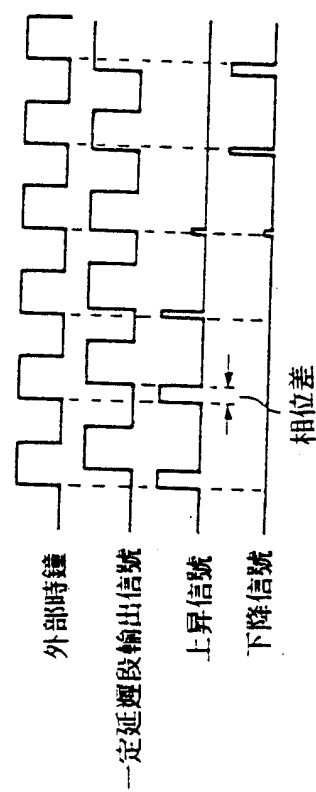
第 6 圖



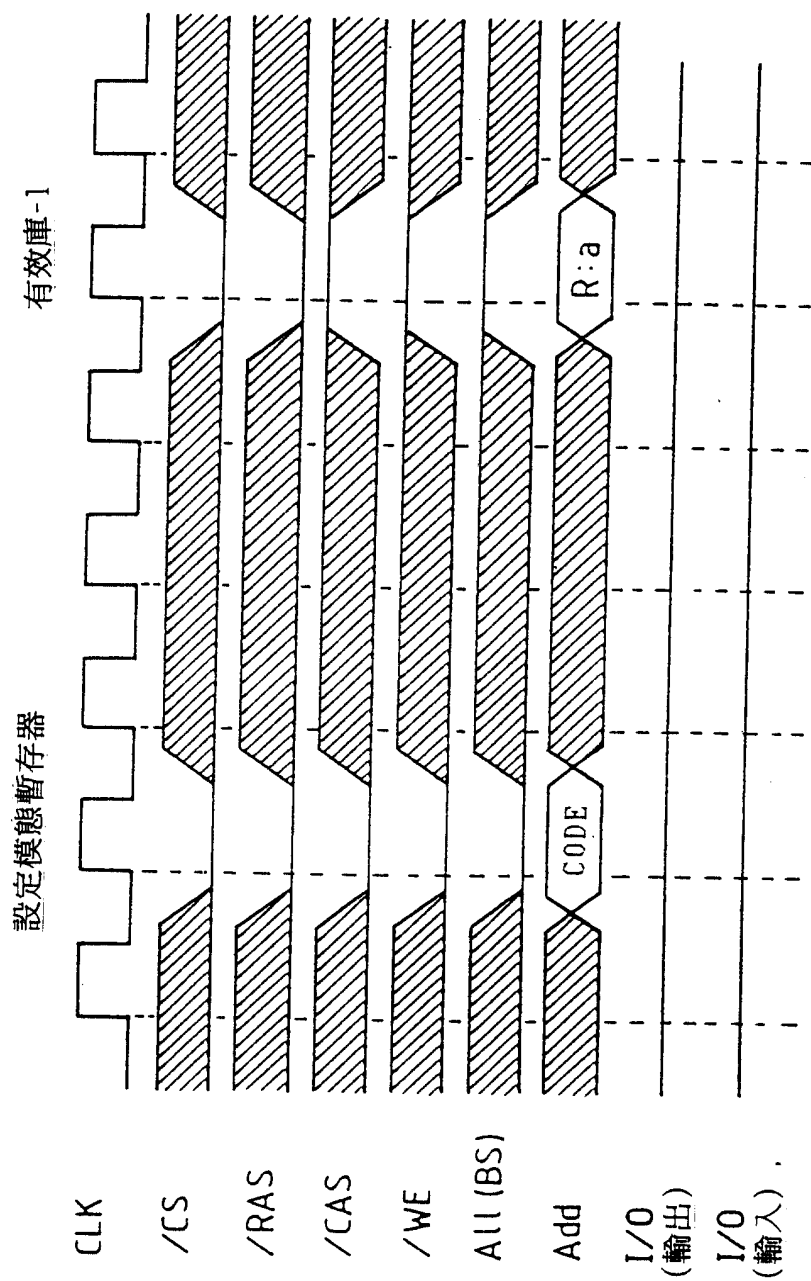
第 7 圖



第8圖



第9圖

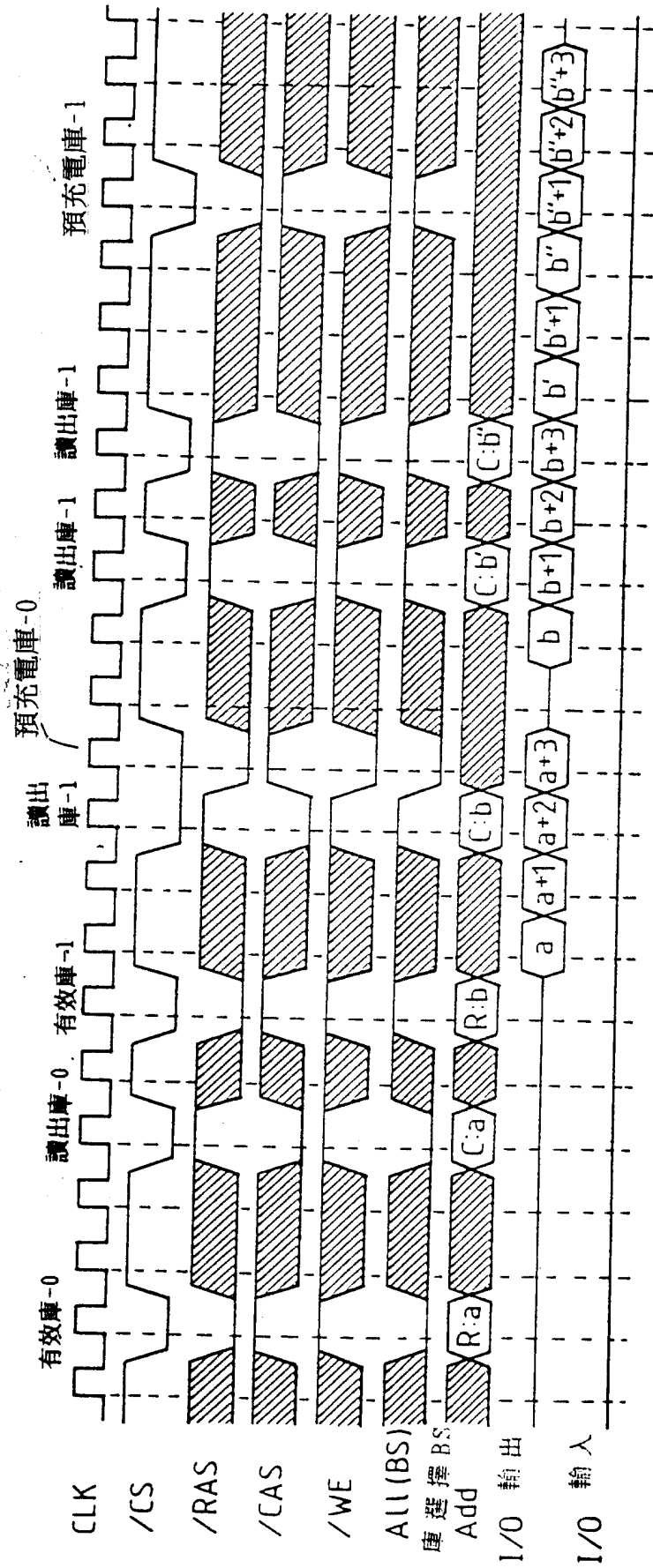


第10圖

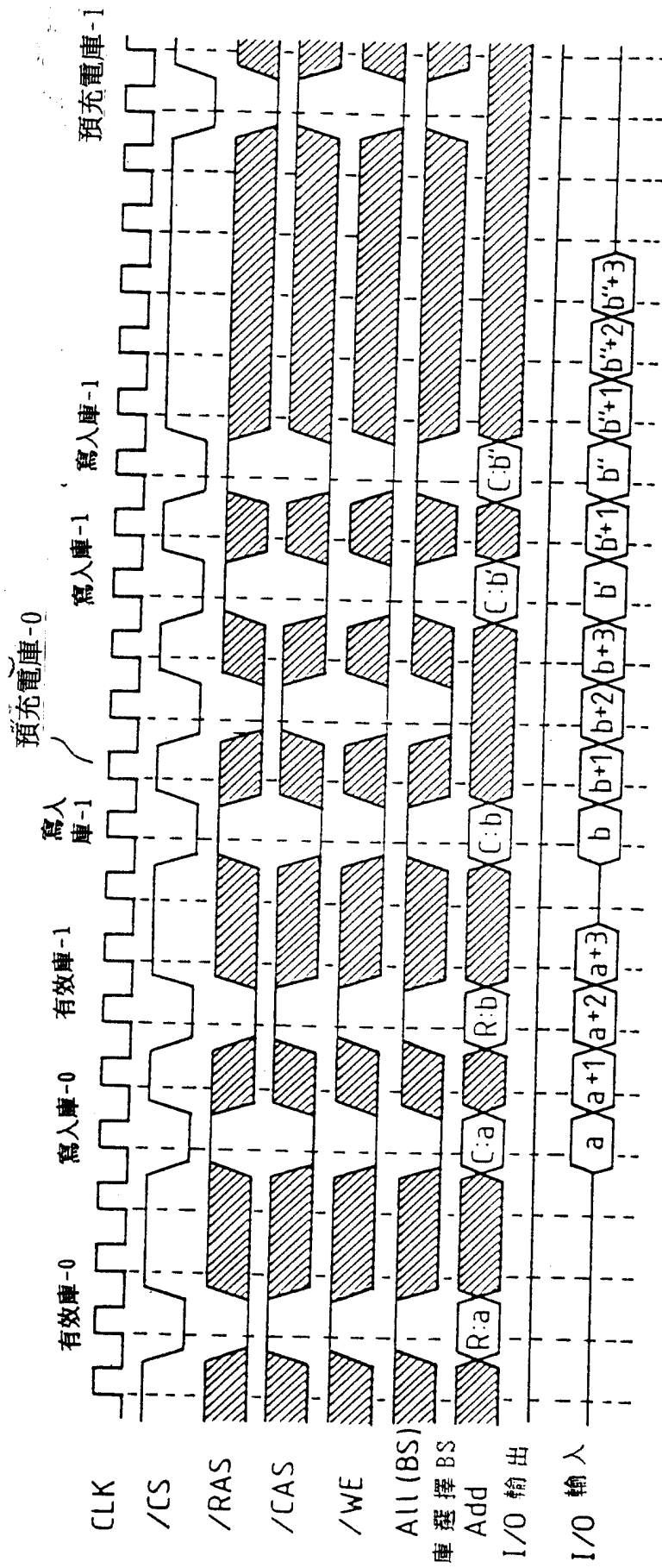
A6	A5	A4	CAS潛在	工作頻率	位址	模態
0	0	1	1	30~50MHz	A0	叢發長度
0	1	0	2	50~100MHz	A1	
0	1	1	3	100~150MHz	A2	
					A3	叢發型式
					A4	CAS 潛在
					A5	
					A6	
					A7	0
					A8	保留
					A9	
					A10	
					A11	

A9	A8	工作頻率
0	0	50~100MHz
0	1	100~200MHz
1	0	200~300MHz
1	1	

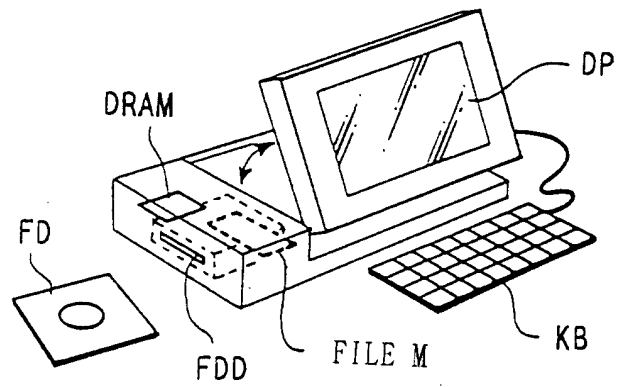
第11圖



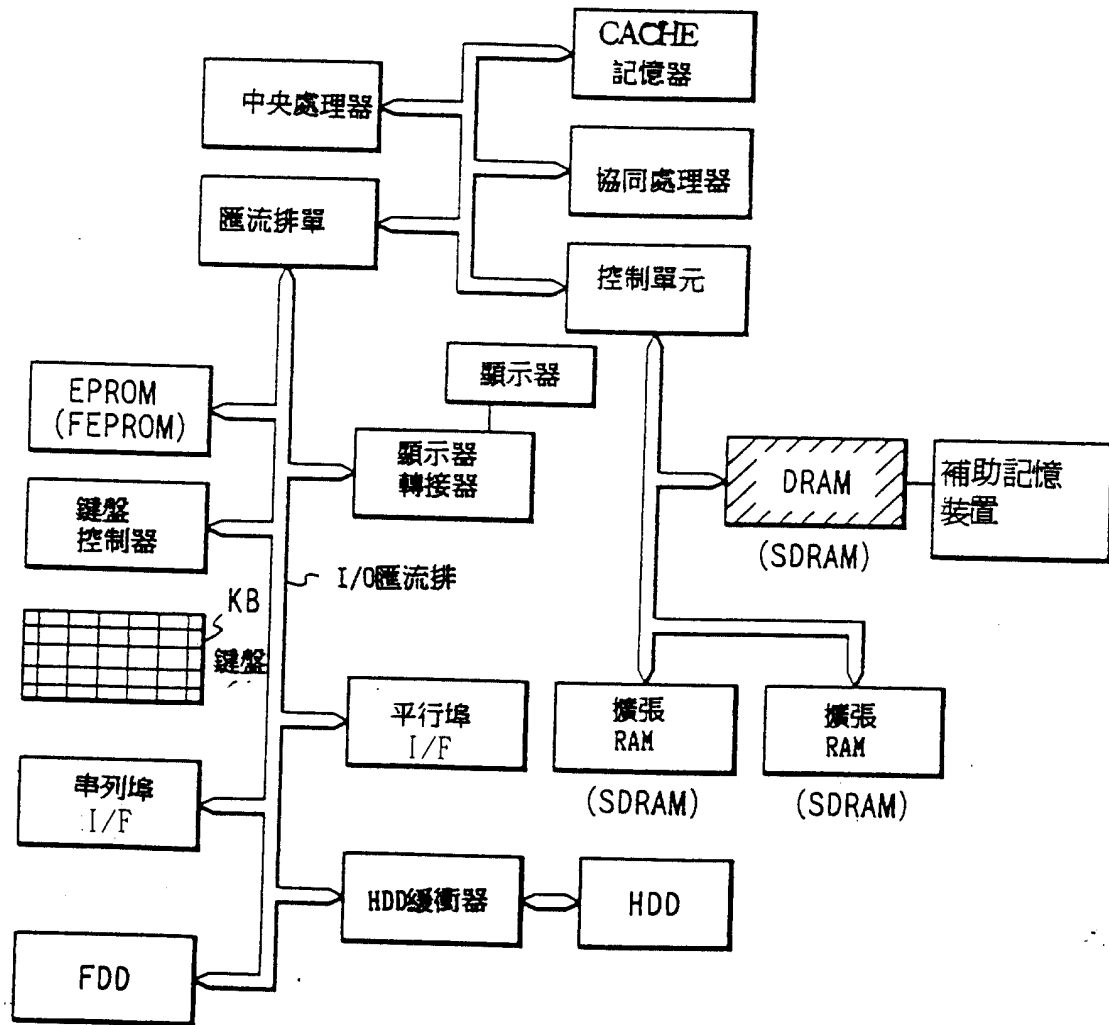
第12圖



第13圖



第14圖 A



第14圖 B