

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年8月19日(19.08.2021)

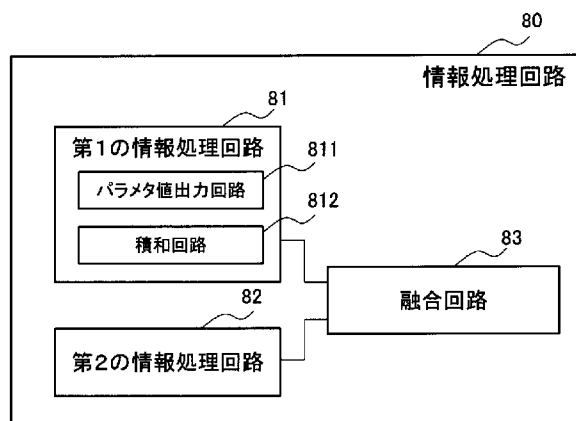


(10) 国際公開番号
WO 2021/161496 A1

- (51) 国際特許分類:
G06N 3/063 (2006.01)
- (21) 国際出願番号: PCT/JP2020/005733
- (22) 国際出願日: 2020年2月14日(14.02.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者: 高橋 勝彦 (TAKAHASHI Katsuhiko); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 竹中 崇 (TAKENAKA Takashi); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 岩壁 冬樹, 外 (IWAKABE Fuyuki et al.); 〒1040031 東京都中央区京橋二丁目8番
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: INFORMATION PROCESSING CIRCUIT

(54) 発明の名称: 情報処理回路



- 80 Information processing circuit
81 First information processing circuit
82 Second information processing circuit
83 Merge circuit
811 Parameter value output circuit
812 Product-sum circuit

(57) **Abstract:** An information processing circuit 80 including a first information processing circuit 81 for executing layer computation in deep learning, a second information processing circuit 82 for executing layer computation in deep learning on input data through use of a programmable accelerator, and a merge circuit 83 for merging the computation result of the first information processing circuit 81 and the computation result of the second information processing circuit 82 and outputting a merge result. The first information processing circuit 81 includes a parameter value output circuit 811 in which deep learning parameters are built into circuitry, and a product-sum circuit 812 for performing product-sum computation using the input data and parameter values.



WO 2021/161496 A1

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：情報処理回路80は、深層学習における層の演算を実行する第1の情報処理回路81と、プログラマブルなアクセラレータにより、入力データに対して深層学習における層の演算を実行する第2の情報処理回路82と、第1の情報処理回路81の演算結果と、第2の情報処理回路82の演算結果とを融合して、融合結果を出力する融合回路83とを含み、第1の情報処理回路81は、深層学習のパラメタを内部に回路化したパラメタ値出力回路811と、入力データとパラメタ値とを用いて積和演算を行う積和回路812とを含む。

明 細 書

発明の名称： 情報処理回路

技術分野

[0001] 本発明は、深層学習の推論フェーズを実行する情報処理回路、深層学習方法、および深層学習を実行するプログラムを記憶する記憶媒体に関する。

背景技術

[0002] 深層学習は、多層のニューラルネットワーク（以下、ネットワークという。）を使用するアルゴリズムである。深層学習では、各々のネットワーク（層）を最適化してモデル（学習モデル）を作成する学習フェーズと、学習モデルに基づいて推論が行われる推論フェーズとが実行される。なお、モデルは、推論モデルといわれることもある。また、以下、モデルを推論器と表現することがある。

[0003] 学習フェーズおよび推論フェーズにおいて、CNN（Convolutional Neural Networks）のパラメタとしての重みを調整するための演算が実行されたり、入力データと重みとを対象とする演算が行われたりするが、それらの演算の計算量は多い。その結果、各々のフェーズの処理時間が長くなる。

[0004] 深層学習を高速化するために、CPU（Central Processing Unit）によって実現される推論器ではなく、GPU（Graphics Processing Unit）によって実現される推論器がよく用いられる。さらに、深層学習専用のアクセラレータが実用化されている。

[0005] 特許文献1には、深層ニューラルネットワーク（DNN：Deep Neural Network）用に設計される専用ハードウェアについて記載されている。特許文献1に記載された装置は、大量の電力消費、長いレイテンシ、多大なシリコン面積要件、等々を含む、DNN用のハードウェアソリューションの様々な制限を改善する。なお、非特許文献1には、Mixture of experts手法について記載されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2020-4398号公報

非特許文献

[0007] 非特許文献1：Robert Jacobs et al., "Adaptive Mixtures of Local Experts", Neural Computation, vol.3, Feb. 1991, p.79-87

発明の概要

発明が解決しようとする課題

[0008] 特許文献1に記載された専用ハードウェアは、DNNが固定的に回路構成される。そのため、後に学習データが拡充され、そのデータを用いてより高度なDNNを構築できたとしてもDNNの回路構成を変更することは困難である。

[0009] 本発明は、推論器がハードウェアで固定的に回路構成される場合であっても、ハードウェアの回路構成を変更することなくネットワークの入出力特性を変更できる情報処理回路、深層学習方法、および深層学習を実行するプログラムを記憶する記憶媒体を提供することを目的とする。

課題を解決するための手段

[0010] 本発明による情報処理回路は、深層学習における層の演算を実行する第1の情報処理回路と、プログラマブルなアクセラレータにより、入力データに対して深層学習における層の演算を実行する第2の情報処理回路と、第1の情報処理回路の演算結果と、第2の情報処理回路の演算結果とを融合して、融合結果を出力する融合回路とを含み、第1の情報処理回路は、深層学習のパラメタを内部に回路化したパラメタ値出力回路と、入力データとパラメタ値とを用いて積和演算を行う積和回路とを含む。

[0011] 本発明による深層学習方法は、深層学習のパラメタを内部に回路化したパラメタ値出力回路と、入力データとパラメタ値とを用いて積和演算を行う積和回路とを含む第1の情報処理回路によって実行された深層学習における層の第1の演算結果と、プログラマブルなアクセラレータである第2の情報処

理回路によって実行された、入力データを用いた深層学習における層の第2の演算結果とを融合して、融合結果を出力する。

[0012] 本発明による深層学習を実行するプログラムは、コンピュータに、深層学習のパラメタを内部に回路化したパラメタ値出力回路と、入力データとパラメタ値とを用いて積和演算を行う積和回路とを含む第1の情報処理回路によって実行された深層学習における層の第1の演算結果と、プログラマブルなアクセラレータである第2の情報処理回路によって実行された、入力データを用いた深層学習における層の第2の演算結果とを融合して、融合結果を出力する融合処理を実行させる。

発明の効果

[0013] 本発明によれば、推論器がハードウェアで固定的に回路構成される場合であっても、ハードウェアの回路構成を変更することなくネットワークの入出力特性を変更できる情報処理回路を得ることができる。

図面の簡単な説明

[0014] [図1]第1の実施形態の情報処理回路を模式的に示す説明図である。
[図2]各々の層に対応する演算器が設けられたCNNの推論器を模式的に示す説明図である。
[図3]複数の層の演算が共通の演算器で実行されるように構成されたCNNの推論器を模式的に示す説明図である。
[図4]CPUを有するコンピュータの一例を示すブロック図である。
[図5]第1の実施形態の情報処理回路の動作を示すフローチャートである。
[図6]第2の実施形態の情報処理回路を模式的に示す説明図である。
[図7]第2の実施形態の情報処理回路の動作を示すフローチャートである。
[図8]第3の実施形態の情報処理回路を模式的に示す説明図である。
[図9]第4の実施形態の情報処理回路を模式的に示す説明図である。
[図10]第5の実施形態の情報処理回路を模式的に示す説明図である。
[図11]第6の実施形態の情報処理回路を模式的に示す説明図である。
[図12]情報処理回路の主要部を示すブロック図である。

発明を実施するための形態

[0015] 以下、本発明の実施形態を図面を参照して説明する。以下、情報処理回路が、複数のCNNの推論器で構成される場合を例にする。また、情報処理回路に入力されるデータとして、画像（画像データ）を例にする。

[0016] 実施形態1.

図1は、第1の実施形態の情報処理回路50を模式的に示す説明図である。情報処理回路50は、CNNを実現する第1の情報処理回路10、CNNを実現する第2の情報処理回路20、および融合回路30を含む。第1の情報処理回路10は、層に対応した演算器（回路）およびパラメタが固定化された推論器である。また、第2の情報処理回路20は、プログラマブルな推論器である。

[0017] 図1において、「+」は加算器を示す。「*」は乗算器を示す。なお、図1に例示されたブロックに示されている加算器の数および乗算器の数は、表記のための単なる一例である。

[0018] 第1の情報処理回路10は、複数の積和回路101およびパラメタ値出力回路102を含む。第1の情報処理回路10は、CNNの各々の層に対応する演算器が設けられたCNNの推論器である。そして、第1の情報処理回路10は、パラメタが固定され、かつ、ネットワーク構成（深層学習アルゴリズムの種類、どのタイプの層を幾つどういった順で配置するのか、各層の入力データのサイズや出力データのサイズなど）が固定されたCNNの推論器を実現する。すなわち、第1の情報処理回路10は、CNNの各層（例えば、畳み込み層および全結合層のそれぞれ）に特化した回路構成の積和回路101を含む。特化するというのは、専ら当該層の演算を実行する専用回路であるということである。

[0019] なお、パラメタが固定されているとは、第1の情報処理回路10の作成時において学習フェーズの処理が終了して、適切なパラメタが決定され、決定されたパラメタが使用されることを意味する。パラメタが固定されている回路がパラメタ値出力回路102である。

[0020] 第2の情報処理回路20は、演算器201および外部メモリ202を含む。第2の情報処理回路20は、プログラマブルなCNNの推論器である。第2の情報処理回路20は、パラメタを保持する外部メモリ202を有している。ただし、本実施形態では、パラメタは、情報処理回路50の処理における学習フェーズで決定されたパラメタ値に変更されることがある。なお、学習方法については、後述される。

[0021] 図2は、深層学習における層の演算を実行する第1の情報処理回路10の例を示す説明図である。図2は、各々の層に対応する演算器が設けられたCNNの推論器を模式的に示す。図2には、CNNにおける5つの層1, 2, 3, 4, 5が例示されている。層1, 2, 3, 4, 5のそれぞれに対応する演算器(回路)1011, 1012, 1013, 1014, 1015が推論器に設けられている。また、層1, 2, 3, 4, 5のそれぞれに対応するパラメタ1021, 1022, 1023, 1024, 1025が演算器(回路)に対応して設けられている。演算器(回路)1011~1015は、対応する層1~5の演算を実行するので、パラメタ1021~1025が不変であれば、固定的に回路構成される。固定化された回路1011~1015は、積和回路101に対応する。また、同様にパラメタも固定的に回路構成される。固定化されたパラメタ1021~1025を出力する回路は、パラメタ値出力回路102に対応する。

[0022] 図3は、プログラマブルなアクセラレータにより、入力データに対して深層学習における層の演算を実行する第2の情報処理回路の例を示す説明図である。図3は、CNNの複数の層の演算が共通の演算器で実行されるように構成されたCNNの推論器を模式的に示す。推論器における演算を実行する部分は、演算器201とメモリ(例えば、DRAM(Dynamic Random Access Memory))202とで構成される。図3に示す演算器201には、多数の加算器と多数の乗算器とが形成される。図3において、「+」は加算器を示し、「*」は乗算器を示す。なお、図3には、3個の加算器と6個の乗算器とが例示されているが、CNNにおける全ての層の各々の演算が実行可能な数

の加算器と乗算器とが形成される。図3に示す推論器は、プログラマブルなアクセラレータである。

[0023] 融合回路30は、第1の情報処理回路10の演算結果と第2の情報処理回路20の演算結果とを融合して、融合結果を出力する。融合方法として、単純平均および重み付け和などが挙げられる。本実施形態では、融合回路30は、単純平均または重み付け和によって、演算結果を融合する。本実施形態の重み付け和は、実験や過去の融合結果などに基づいて、任意の値に予め定められる。融合回路30は、外部メモリなどのパラメタ保持部（図示せず）を有している。また、融合回路30は、第1の情報処理回路の出力および第2の情報処理回路の出力を深層学習における層への入力として受け付け、受け付けた入力に基づく演算結果を融合結果として出力する。本実施形態では、パラメタは、情報処理回路50の処理における学習フェーズで決定されたパラメタ値に変更されることがある。なお、融合回路30は、プログラマブルなアクセラレータであってもよい。

[0024] なお、第2の情報処理回路および融合回路が用いる深層学習におけるパラメタは、予め学習により決定される。第2の情報処理回路および融合回路を構築する際の学習方法は、例えば、下記に示す3通りの方法が挙げられる。

[0025] 1つ目は、第2の情報処理回路のパラメタを独立に学習した後、全体を構築して改めて、第2の情報処理回路のパラメタを調整する方法である。この方法の特徴として、融合回路の学習が不要であるため、学習はしやすい。しかし、認識精度は3つの方法の中では一番低くなる。

[0026] 2つ目は、第2の情報処理回路のパラメタを独立に学習した後、全体を構築して改めて融合回路（さらには第2の情報処理回路のパラメタ）を調整する方法である。この方法の特徴として、第2の情報処理回路のパラメタを独立に学習している。そのため、この方法は、第2の情報処理回路のパラメタの学習が二度手間になる。しかし、この方法は、第2の情報処理回路のパラメタが、ある程度良好な値に設定されているため、全体を構築してからの学習の手間は小さい。

- [0027] 3つ目は、第2の情報処理回路のパラメタと融合回路のパラメタを同時に学習する方法である。この方法の特徴として、第2の情報処理回路のパラメタの学習が二度手間にはならない。しかし、この方法は、2つ目の方法と比べて全体を構築してからの学習に時間がかかる。
- [0028] 図1に示された第2の情報処理回路20および融合回路30は、1つのハードウェアまたは1つのソフトウェアで構成可能である。また、各構成要素は、複数のハードウェアまたは複数のソフトウェアでも構成可能である。また、各構成要素の一部をハードウェアで構成し、他部をソフトウェアで構成することもできる。
- [0029] 図4は、CPUを有するコンピュータの一例を示すブロック図である。第2の情報処理回路20および融合回路30における各構成要素が、CPU (Central Processing Unit) などのプロセッサやメモリなどを有するコンピュータで実現される場合には、例えば、図4に示すCPUを有するコンピュータで実現可能である。図4に、CPU1000に接続された、記憶装置1001およびメモリ1002を示す。CPU1000は、記憶装置1001に格納されたプログラムに従って処理（融合処理）を実行することによって、図1に示された第2の情報処理回路20および融合回路30における各機能を実現する。すなわち、コンピュータは、図1に示された情報処理回路50における第2の情報処理回路20および融合回路30の機能を実現する。
- [0030] 記憶装置1001は、例えば、非一時的なコンピュータ可読媒体 (non-transitory computer readable medium) である。非一時的なコンピュータ可読媒体は、様々なタイプの実体のある記録媒体 (tangible storage medium) のいずれかである。非一時的なコンピュータ可読媒体の具体例として、磁気記録媒体 (例えば、ハードディスク)、光磁気記録媒体 (例えば、光磁気ディスク)、CD-ROM (Compact Disc-Read Only Memory)、CD-R (Compact Disc-Recordable)、CD-R/W (Compact Disc-ReWritable)、半導体メモリ (例えば、マスクROM、PROM (Programmable ROM)、EPROM (Erasable PROM)、フラッシュROM) がある。

- [0031] また、プログラムは、様々なタイプの一時的なコンピュータ可読媒体 (transitory computer readable medium) に格納されてもよい。一時的なコンピュータ可読媒体には、例えば、有線通信路または無線通信路を介して、すなわち、電気信号、光信号または電磁波を介して、プログラムが供給される。
- [0032] メモリ1002は、例えばRAM (Random Access Memory) で実現され、CPU1000が処理を実行するときに一時的にデータを格納する記憶手段である。メモリ1002に、記憶装置1001または一時的なコンピュータ可読媒体が保持するプログラムが転送され、CPU1000がメモリ1002内のプログラムに基づいて処理を実行するような形態も想定しうる。
- [0033] 次に、図5のフローチャートを参照して、情報処理回路50の動作を説明する。図5は、第1の実施形態の情報処理回路50の動作を示すフローチャートである。なお、図5のフローチャートは、CNNにおける推論フェーズを示している。
- [0034] 第1の情報処理回路10は、深層学習における層の演算を実行する。具体的には、第1の情報処理回路10は、入力された入力画像などの入力データに対して、CNNを構成する各層において、層に対応した積和回路101およびパラメタ値出力回路102から出力されるパラメタを用いて積和演算を順に行う。演算終了後に、第1の情報処理回路10は、演算結果を融合回路30に出力する (ステップS601)。
- [0035] なお、本実施形態におけるネットワーク構造の概念の1つである深層学習アルゴリズムの種類として、例えば、AlexNet、GoogLeNet、ResNet (Residual Network)、SENet (Squeeze-and-Excitation Networks)、MobileNet、VGG-16、VGG-19がある。また、ネットワーク構造の概念の1つである層数として、例えば、深層学習アルゴリズムの種類に応じた層数が考えられる。また、ネットワーク構造の概念として、フィルタサイズなども含められ得る。
- [0036] 第2の情報処理回路20は、プログラマブルなアクセラレータにより、入

カデータに対して深層学習における層の演算を実行する。具体的には、第2の情報処理回路20は、第1の情報処理回路10に入力された入力データと同様の入力データに対して、演算器201を共有して外部メモリ(DRAM)202から読み込んだパラメタを用いて積和演算を行う。演算終了後に、第2の情報処理回路20は、演算結果を融合回路30に出力する(ステップS602)。

[0037] 融合回路30は、第1の情報処理回路10が出力した演算結果と、第2の情報処理回路20が出力した演算結果とを融合する(ステップS603)。本実施形態では、単純平均または重み付け和によって融合する。そして、融合回路30は、外部に融合結果を出力する。

[0038] なお、図5のフローチャートでは、ステップS601~S602の処理が順次に実行されるが、ステップS601の処理とステップS602の処理とは、並行して実行可能である。

[0039] 以上に説明したように、本実施形態の情報処理回路50は、深層学習のパラメタを内部に回路化したパラメタ値出力回路102と、入力データとパラメタ値とを用いて積和演算を行う積和回路101とを含み、深層学習における層の演算を実行する第1の情報処理回路10と、プログラマブルなアクセラレータにより、入力データに対して深層学習における層の演算を実行する第2の情報処理回路20とで構成される。その結果、推論器(第1の情報処理回路10)がハードウェアで固定的に回路構成される場合であっても、ハードウェアの回路構成を変更することなくネットワークの入出力特性を変更できる。また、本実施形態の情報処理回路50は、図3に示されたパラメタ値をメモリから読み出すように構成されたプログラマブルなアクセラレータのみで構成された情報処理回路に比べて処理速度が向上する。また、本実施形態の情報処理回路50は、プログラマブルなアクセラレータのみで構成された情報処理回路に比べて回路規模が小さくなる。その結果、消費電力が低減する。

[0040] なお、本実施形態では、複数のCNNの推論器を例にして情報処理回路が

説明されたが、他のニューラルネットワークの推論器であってもよい。また、本実施形態では、入力データとして画像データが用いられているが、画像データ以外を入力データとするネットワークでも、本実施形態を活用することができる。

[0041] 実施形態2.

図6は、第2の実施形態の情報処理回路60を模式的に示す説明図である。本実施形態の情報処理回路60は、第1の実施形態の情報処理回路50を含む。情報処理回路60は、CNNを実現する第1の情報処理回路10、CNNを実現する第2の情報処理回路20、融合回路30、および学習回路40を含む。なお、学習回路40以外の回路の構成については、第1の実施形態の情報処理回路50と同様であるので、説明を省略する。

[0042] 図6に示された学習回路40は、第2の情報処理回路20および融合回路30と同様に、1つのハードウェアまたは1つのソフトウェアで構成可能である。また、各構成要素は、複数のハードウェアまたは複数のソフトウェアでも構成可能である。また、各構成要素の一部をハードウェアで構成し、他部をソフトウェアで構成することもできる。

[0043] 学習回路40は、入力データに対する融合回路30が融合して出力した演算結果と、入力データに対する正解ラベルとを入力として受け付ける。学習回路40は、融合回路30が出力した演算結果と正解ラベルとの差に基づいてロスを算出し、第2の情報処理回路20のパラメタ、および融合回路30のパラメタのうち少なくとも一方を補正（修正）する。第2の情報処理回路20および融合回路30の学習方法は、任意であり、例えば、Mixture of experts手法などで実行可能である。ロスはロス関数によって求められる。ロス関数の値は、融合回路30の出力（数値ベクトル）と正解ラベル（数値ベクトル）との差（L2ノルムやcross entropy など）により計算される。

[0044] 次に、図7のフローチャートを参照して、情報処理回路60の動作を説明する。図7は、第2の実施形態の情報処理回路60の動作を示すフローチャ

ートである。なお、図7のフローチャートは、CNNにおける学習フェーズを示しているとも言える。

[0045] ステップS701～S703の処理は、図5に示した第1の実施形態の情報処理回路50のフローチャートにおけるステップS601～S603と同様の処理であるので説明を省略する。

[0046] 学習回路40は、入力データに対する融合回路30が融合して出力した演算結果と、入力データに対する正解ラベルとを入力として受け付ける。学習回路40は、融合回路30が出力した演算結果と正解ラベルとの差に基づいて、ロスを算出する（ステップS704）。

[0047] 学習回路40は、ロス関数の値が小さくなるように第2の情報処理回路20のパラメタ、および融合回路30のパラメタのうち少なくとも一方を補正（修正）する（ステップS705およびステップS706）。

[0048] 情報処理回路50は、未処理データがある場合（ステップS707におけるYesの場合）は、上記のステップS701～ステップS706を未処理データがなくなるまで繰り返す。情報処理回路50は、未処理データがない場合（ステップS707におけるNoの場合）は、処理を終了する。

[0049] なお、図7のフローチャートでは、ステップS705～S706の処理が順次に実行されるが、ステップS705の処理とステップS706とは、並行して実行可能である。

[0050] 以上に説明したように、本実施形態の情報処理回路60は、入力データに対する融合回路30の演算結果と、入力データに対する正解ラベルとを入力として受け付ける学習回路40を備え、学習回路40は、演算結果と正解ラベルとの差に基づいて、第2の情報処理回路20のパラメタ、および融合回路30のパラメタのうち少なくとも一方を補正する。その結果、本実施形態の情報処理回路60は、認識精度を向上させることができる。

[0051] 実施形態3.

図8は、第3の実施形態の情報処理回路51を模式的に示す説明図である。情報処理回路51は、CNNを実現する第1の情報処理回路11、CNN

を実現する第2の情報処理回路21、および融合回路31を含む。第1の情報処理回路11および第2の情報処理回路21は、第1の実施形態の第1の情報処理回路10および第2の情報処理回路20と同様であるので、説明を省略する。

[0052] 本実施形態の情報処理回路51は、入力データが融合回路31に入力される。その他の入出力は、第1の実施形態の情報処理回路50と同様である。

[0053] 融合回路31は、第1の情報処理回路11および第2の情報処理回路21が受け付ける入力データと同様の入力データを入力する。そして、融合回路31は、入力データに応じて決定される重み付けパラメタに基づいて、第1の情報処理回路11の演算結果および第2の情報処理回路21の演算結果に対して重み付けを行う。

[0054] 重み付けパラメタは、例えば、第1の情報処理回路11および第2の情報処理回路21の入力データに対する識別特性に基づいて、予め行われる学習により決定される。言い換えると、重み付けパラメタは、第1の情報処理回路11および第2の情報処理回路21の得手不得手に基づいて決定されるとも言える。すなわち、入力データに対する識別精度が高いほど、重み付けパラメタが大きくなるように決定されることになる。

[0055] 例えば、第1の情報処理回路11がりんごの検知を得意としており、第2の情報処理回路21がみかんの検知を得意としている場合を考える。入力データからりんごらしさを検出できた場合、融合回路31は、第2の情報処理回路21よりも第1の情報処理回路11に大きな重みを割り当てる。融合回路31は、第1の情報処理回路11の演算結果および第2の情報処理回路21の演算結果を入力として受け付け、受け付けた各入力の重み付け和を計算して融合して、融合結果を出力する。

[0056] 以上に説明したように、本実施形態の情報処理回路51では、融合回路31は、入力データを入力し、入力データに応じて決定される重み付けパラメタに基づいて、第1の情報処理回路11の演算結果および第2の情報処理回路21の演算結果に対して重み付けを行う。その結果、本実施形態の情報処

理回路 5 1 は、入力データに対する第 1 の情報処理回路 1 1 および第 2 の情報処理回路 2 1 の得手不得手を予測して重み付けが行われるため、第 1 の実施形態と比較して認識精度を高くすることができる。

[0057] 実施形態 4.

図 9 は、第 4 の実施形態の情報処理回路 6 1 を模式的に示す説明図である。本実施形態の情報処理回路 6 1 は、第 3 の実施形態の情報処理回路 5 1 を含む。情報処理回路 6 1 は、CNN を実現する第 1 の情報処理回路 1 1、CNN を実現する第 2 の情報処理回路 2 1、融合回路 3 1、および学習回路 4 1 を含む。なお、学習回路 4 1 以外の回路の構成については、第 3 の実施形態の情報処理回路 5 1 と同様であるので、説明を省略する。

[0058] また、学習回路 4 1 は、第 2 の実施形態の情報処理回路 6 0 の学習回路 4 0 と入出力が同様である。つまり、学習回路 4 1 は、入力データに対する融合回路 3 1 が融合して出力した演算結果と、入力データに対する正解ラベルとを入力として受け付ける。学習回路 4 1 は、融合回路 3 1 が出力した演算結果と正解ラベルとの差に基づいてロスを算出し、第 2 の情報処理回路 2 1 のパラメタ、および融合回路 3 1 のパラメタのうち少なくとも一方を補正（修正）する。

[0059] 以上に説明したように、本実施形態の情報処理回路 6 1 は、入力データに対する融合回路 3 1 の演算結果と、入力データに対する正解ラベルとを入力として受け付ける学習回路 4 1 を備え、学習回路 4 1 は、演算結果と正解ラベルとの差に基づいて、第 2 の情報処理回路 2 1 のパラメタ、および融合回路 3 1 のパラメタのうち少なくとも一方を補正する。その結果、本実施形態の情報処理回路 6 1 は、認識精度を向上させることができる。

[0060] 実施形態 5.

図 10 は、第 5 の実施形態の情報処理回路 5 2 を模式的に示す説明図である。情報処理回路 5 2 は、CNN を実現する第 1 の情報処理回路 1 2、CNN を実現する第 2 の情報処理回路 2 2、および融合回路 3 2 を含む。

[0061] 本実施形態の第 1 の情報処理回路 1 2 は、深層学習における中間層の演算

結果を出力する。具体的には、第1の情報処理回路12は、深層学習における特徴量抽出を行う中間層からの出力を演算結果として出力する。特徴量抽出を行う中間層は、例えば、backboneとかfeature pyramid network などと呼ばれる一塊のネットワークである。第1の情報処理回路12の中間層からは、このような一塊のネットワークの最終結果が出力される。例えば、backboneとして、ResNet-50、ResNet-101、VGG-16などのCNNが用いられる。RetinaNetには、特徴量抽出の塊として(resnet+) feature pyramid network が存在する。中間層からの出力は、第2の情報処理回路22および融合回路32に入力される。なお、本実施形態では、情報処理回路52が特徴量抽出を行う中間層から出力する場合を例示したが、中間層からの出力は特徴量抽出を行う層以外からの出力でもよい。

[0062] 第2の情報処理回路22は、中間層の演算結果を入力データとして、深層学習における層の演算を実行する。具体的には、第2の情報処理回路22は、第1の情報処理回路12の特徴量抽出を行う中間層からの入力を受け付ける。第2の情報処理回路22で行う特徴量抽出は、第1の情報処理回路12の特徴量抽出を行う層からの出力を用いる。そのため、本実施形態の第2の情報処理回路22の回路規模は、第4の実施形態の第2の情報処理回路21の回路規模より小さくなる。

[0063] 融合回路32は、第1の情報処理回路12の中間層から抽出された特徴量の入力を受け付ける。融合回路32は、特徴量に応じて決定される重み付けパラメタに基づいて、第1の情報処理回路12の演算結果および第2の情報処理回路22の演算結果に対して重み付けを行う。

[0064] なお、本実施形態の重み付けパラメタも、第3の実施形態の融合回路31と同様、特徴量に対する第1の情報処理回路12および第2の情報処理回路22の識別特性に基づいて、予め行われる学習により決定されてもよい。

[0065] 例えば、第1の情報処理回路12が歩行者の検知を得意としており、第2の情報処理回路22が車の検知を得意としている場合を考える。入力データから歩行者らしさを示す特徴量が抽出された場合、融合回路32は、第2の

情報処理回路 2 2 よりも第 1 の情報処理回路 1 2 に大きな重みを割り当てる。融合回路 3 2 は、第 1 の情報処理回路 1 2 の演算結果および第 2 の情報処理回路 2 2 の演算結果を入力として受け付け、受け付けた各入力の重み付け和を計算して融合して、融合結果を出力する。

[0066] 以上に説明したように、本実施形態の情報処理回路 5 2 では、第 1 の情報処理回路 1 2 は、深層学習における中間層の演算結果を出力し、第 2 の情報処理回路 2 2 は、中間層の演算結果を入力データとして、深層学習における層の演算を実行する。また、融合回路 3 2 は、中間層の演算結果と、第 1 の情報処理回路 1 2 の演算結果と、第 2 の情報処理回路 2 2 の演算結果とを融合して、融合結果を出力する。その結果、本実施形態の情報処理回路 5 2 は、第 1 の情報処理回路 1 2 における中間層が抽出した特徴量に基づき、第 1 の情報処理回路 1 2 および第 2 の情報処理回路 2 2 の得手不得手を予測して重み付けを行うことができる。よって、本実施形態の情報処理回路 5 2 は、第 1 の実施形態の情報処理回路 5 0 と比較して認識精度を高くすることができる。また、本実施形態の情報処理回路 5 2 は、第 2 の情報処理回路 2 2 の特徴量抽出を第 1 の情報処理回路 1 2 と共有することで、第 3 の実施形態の情報処理回路 5 1 と比較して回路規模を小さくすることができる。

[0067] 実施形態 6.

図 1 1 は、第 6 の実施形態の情報処理回路 6 2 を模式的に示す説明図である。本実施形態の情報処理回路 6 2 は、第 5 の実施形態の情報処理回路 5 2 を含む。情報処理回路 6 2 は、CNN を実現する第 1 の情報処理回路 1 2、CNN を実現する第 2 の情報処理回路 2 2、融合回路 3 2、および学習回路 4 2 を含む。なお、学習回路 4 2 以外の回路の構成については、第 5 の実施形態の情報処理回路 5 2 と同様であるので、説明を省略する。

[0068] また、学習回路 4 2 は、第 2 の実施形態の情報処理回路 6 0 の学習回路 4 0、および第 4 の実施形態の情報処理回路 6 1 の学習回路 4 1 と入出力が同様である。つまり、学習回路 4 2 は、入力データに対する融合回路 3 2 が融合して出力した演算結果と、入力データに対する正解ラベルとを入力として

受け付ける。学習回路42は、融合回路32が出力した演算結果と正解ラベルとの差に基づいてロスを算出し、第2の情報処理回路22のパラメタ、および融合回路32のパラメタのうち少なくとも一方を補正（修正）する。

[0069] 以上に説明したように、本実施形態の情報処理回路62は、入力データに対する融合回路32の演算結果と、入力データに対する正解ラベルとを入力として受け付ける学習回路42を備え、学習回路42は、演算結果と正解ラベルとの差に基づいて、第2の情報処理回路22のパラメタ、および融合回路32のパラメタのうち少なくとも一方を補正する。その結果、本実施形態の情報処理回路62は、認識精度を向上させることができる。

[0070] 図12は、情報処理回路の主要部を示すブロック図である。情報処理回路80は、深層学習における層の演算を実行する第1の情報処理回路81（実施形態では、第1の情報処理回路10で実現される。）と、プログラマブルなアクセラレータにより、入力データに対して深層学習における層の演算を実行する第2の情報処理回路82（実施形態では、第2の情報処理回路20で実現される。）と、第1の情報処理回路81の演算結果と、第2の情報処理回路82の演算結果とを融合して、融合結果を出力する融合回路83（実施形態では、融合回路30で実現される。）とを含み、第1の情報処理回路81は、深層学習のパラメタを内部に回路化したパラメタ値出力回路811（実施形態では、パラメタ値出力回路102で実現される。）と、入力データとパラメタ値とを用いて積和演算を行う積和回路812（実施形態では、積和回路101で実現される。）とを含む。

[0071] 上記の実施形態の一部または全部は、以下の付記のようにも記載され得るが、以下に限定されるわけではない。

[0072] （付記1）深層学習における層の演算を実行する第1の情報処理回路と、
プログラマブルなアクセラレータにより、入力データに対して深層学習における層の演算を実行する第2の情報処理回路と、
前記第1の情報処理回路の演算結果と、前記第2の情報処理回路の演算結果とを融合して、融合結果を出力する融合回路とを備え、

前記第 1 の情報処理回路は、
深層学習のパラメタを内部に回路化したパラメタ値出力回路と、
前記入力データと前記パラメタ値とを用いて積和演算を行う積和回路とを
含む

ことを特徴とする情報処理回路。

[0073] (付記 2) 融合回路は、第 1 の情報処理回路の演算結果および第 2 の情報処理回路の演算結果を入力として受け付け、受け付けた各入力の重み付け和を計算して融合して、融合結果を出力する

付記 1 の情報処理回路。

[0074] (付記 3) 融合回路は、第 1 の情報処理回路の演算結果および第 2 の情報処理回路の演算結果を深層学習における層への入力として受け付け、受け付けた入力に基づく演算結果を融合結果として出力する

付記 1 または付記 2 の情報処理回路。

[0075] (付記 4) 融合回路は、プログラマブルなアクセラレータにより、深層学習における層の演算を実行する

付記 1 から付記 3 のうちのいずれかの情報処理回路。

[0076] (付記 5) 融合回路は、第 1 の情報処理回路および第 2 の情報処理回路が受け付ける入力データと同一の入力データを入力し、当該入力データに応じて決定される重み付けパラメタに基づいて、第 1 の情報処理回路の演算結果および第 2 の情報処理回路の演算結果に対して重み付けを行う

付記 1 から付記 4 のうちのいずれかの情報処理回路。

[0077] (付記 6) 第 1 の情報処理回路は、深層学習における中間層の演算結果を出力し、

第 2 の情報処理回路は、前記中間層の演算結果を入力データとして、深層学習における層の演算を実行し、

融合回路は、前記中間層の演算結果と、前記第 1 の情報処理回路の演算結果と、前記第 2 の情報処理回路の演算結果とを融合して、融合結果を出力する

付記 1 から付記 5 のうちのいずれかの情報処理回路。

[0078] (付記 7) 第 1 の情報処理回路は、特徴量抽出を行う中間層からの出力を演算結果として出力する

付記 6 の情報処理回路。

[0079] (付記 8) 入力データに対する融合回路の演算結果と、前記入力データに対する正解ラベルと入力して深層学習における層のパラメタを学習する学習回路を備え、

前記学習回路は、前記演算結果と前記正解ラベルとの差に基づいて、第 2 の情報処理回路のパラメタ、および融合回路のパラメタのうち少なくとも一方を補正する

付記 1 から付記 7 のうちのいずれかの情報処理回路。

[0080] (付記 9) 深層学習のパラメタを内部に回路化したパラメタ値出力回路と、入力データと前記パラメタ値とを用いて積和演算を行う積和回路とを含む第 1 の情報処理回路によって実行された深層学習における層の第 1 の演算結果と、プログラマブルなアクセラレータである第 2 の情報処理回路によって実行された、入力データを用いた深層学習における層の第 2 の演算結果とを融合して、融合結果を出力する

ことを特徴とする深層学習方法。

[0081] (付記 10) 第 1 の情報処理回路の演算結果および第 2 の情報処理回路の演算結果に対して重み付けした結果を入力として受け付け、受け付けた各入力の重み付け和を計算して融合して、融合結果を出力する

付記 9 の深層学習方法。

[0082] (付記 11) 深層学習を実行するプログラムが格納されたコンピュータ読み取り可能な記録媒体であって、

前記深層学習を実行するプログラムは、

深層学習のパラメタを内部に回路化したパラメタ値出力回路と、入力データと前記パラメタ値とを用いて積和演算を行う積和回路とを含む第 1 の情報処理回路によって実行された深層学習における層の第 1 の演算結果と、プロ

グラマブルなアクセラレータである第2の情報処理回路によって実行された、入力データを用いた深層学習における層の第2の演算結果とを融合して、融合結果を出力する融合処理

をプロセッサに実行させることを特徴とする。

[0083] (付記12) 前記深層学習を実行するプログラムは、

融合処理で、第1の演算結果および第2の演算結果に対して重み付けした結果を入力として受け付け、受け付けた各入力の重み付け和を計算して融合して、融合結果を出力させる

付記11の記録媒体。

[0084] (付記13) コンピュータに、

深層学習のパラメタを内部に回路化したパラメタ値出力回路と、入力データと前記パラメタ値とを用いて積和演算を行う積和回路とを含む第1の情報処理回路によって実行された深層学習における層の第1の演算結果と、プログラマブルなアクセラレータである第2の情報処理回路によって実行された、入力データを用いた深層学習における層の第2の演算結果とを融合して、融合結果を出力する融合処理

を実行させるための深層学習を実行するプログラム。

[0085] (付記14) コンピュータに、

融合処理で、第1の演算結果および第2の演算結果に対して重み付けした結果を入力として受け付け、受け付けた各入力の重み付け和を計算して融合して、融合結果を出力させる

付記13の深層学習を実行するプログラム。

[0086] 以上、実施形態を参照して本願発明を説明したが、本願発明は上記の実施形態に限定されない。本願発明の構成や詳細には、本願発明のスコープ内で当業者が理解し得る様々な変更をすることができる。

符号の説明

[0087] 1, 2, 3, 4, 5 層

10, 11, 12 第1の情報処理回路

20, 21, 22	第2の情報処理回路	
30, 31, 32	融合回路	
40, 41, 42	学習回路	
50, 51, 52	情報処理回路	
60, 61, 62	情報処理回路	
101	積和回路	
1011, 1012, 1013, 1014, 1015		回路
102	パラメタ値出力回路	
1021, 1022, 1023, 1024, 1025		パラメタ
201, 211, 221	演算器	
202, 212, 222	DRAM	
80	情報処理回路	
81	第1の情報処理回路	
811	パラメタ値出力回路	
812	積和回路	
82	第2の情報処理回路	
83	融合回路	
1000	CPU	
1001	記憶装置	
1002	メモリ	

請求の範囲

- [請求項1] 深層学習における層の演算を実行する第1の情報処理回路と、
プログラマブルなアクセラレータにより、入力データに対して深層学習における層の演算を実行する第2の情報処理回路と、
前記第1の情報処理回路の演算結果と、前記第2の情報処理回路の演算結果とを融合して、融合結果を出力する融合回路とを備え、
前記第1の情報処理回路は、
深層学習のパラメタを内部に回路化したパラメタ値出力回路と、
前記入力データと前記パラメタ値とを用いて積和演算を行う積和回路とを含む
ことを特徴とする情報処理回路。
- [請求項2] 融合回路は、第1の情報処理回路の演算結果および第2の情報処理回路の演算結果を入力として受け付け、受け付けた各入力の重み付け和を計算して融合して、融合結果を出力する
請求項1記載の情報処理回路。
- [請求項3] 融合回路は、第1の情報処理回路の演算結果および第2の情報処理回路の演算結果を深層学習における層への入力として受け付け、受け付けた入力に基づく演算結果を融合結果として出力する
請求項1または請求項2記載の情報処理回路。
- [請求項4] 融合回路は、プログラマブルなアクセラレータにより、深層学習における層の演算を実行する
請求項1から請求項3のうちのいずれか1項に記載の情報処理回路。
- [請求項5] 融合回路は、第1の情報処理回路および第2の情報処理回路が受け付ける入力データと同一の入力データを入力し、当該入力データに応じて決定される重み付けパラメタに基づいて、第1の情報処理回路の演算結果および第2の情報処理回路の演算結果に対して重み付けを行う

請求項 1 から請求項 4 のうちのいずれか 1 項に記載の情報処理回路

。

[請求項6] 第 1 の情報処理回路は、深層学習における中間層の演算結果を出力し、

第 2 の情報処理回路は、前記中間層の演算結果を入力データとして、深層学習における層の演算を実行し、

融合回路は、前記中間層の演算結果と、前記第 1 の情報処理回路の演算結果と、前記第 2 の情報処理回路の演算結果とを融合して、融合結果を出力する

請求項 1 から請求項 5 のうちのいずれか 1 項に記載の情報処理回路

。

[請求項7] 第 1 の情報処理回路は、特徴量抽出を行う中間層からの出力を演算結果として出力する

請求項 6 記載の情報処理回路。

[請求項8] 入力データに対する融合回路の演算結果と、前記入力データに対する正解ラベルとを入力して深層学習における層のパラメタを学習する学習回路を備え、

前記学習回路は、前記演算結果と前記正解ラベルとの差に基づいて、第 2 の情報処理回路のパラメタ、および融合回路のパラメタのうち少なくとも一方を補正する

請求項 1 から請求項 7 のうちのいずれか 1 項に記載の情報処理回路

。

[請求項9] 深層学習のパラメタを内部に回路化したパラメタ値出力回路と、入力データと前記パラメタ値とを用いて積和演算を行う積和回路とを含む第 1 の情報処理回路によって実行された深層学習における層の第 1 の演算結果と、プログラマブルなアクセラレータである第 2 の情報処理回路によって実行された、入力データを用いた深層学習における層の第 2 の演算結果とを融合して、融合結果を出力する

ことを特徴とする深層学習方法。

[請求項10] 第1の情報処理回路の演算結果および第2の情報処理回路の演算結果に対して重み付けした結果を入力として受け付け、受け付けた各入力の重み付け和を計算して融合して、融合結果を出力する

請求項9記載の深層学習方法。

[請求項11] 深層学習を実行するプログラムが格納されたコンピュータ読み取り可能な記録媒体であって、

前記深層学習を実行するプログラムは、

深層学習のパラメタを内部に回路化したパラメタ値出力回路と、入力データと前記パラメタ値とを用いて積和演算を行う積和回路とを含む第1の情報処理回路によって実行された深層学習における層の第1の演算結果と、プログラマブルなアクセラレータである第2の情報処理回路によって実行された、入力データを用いた深層学習における層の第2の演算結果とを融合して、融合結果を出力する融合処理

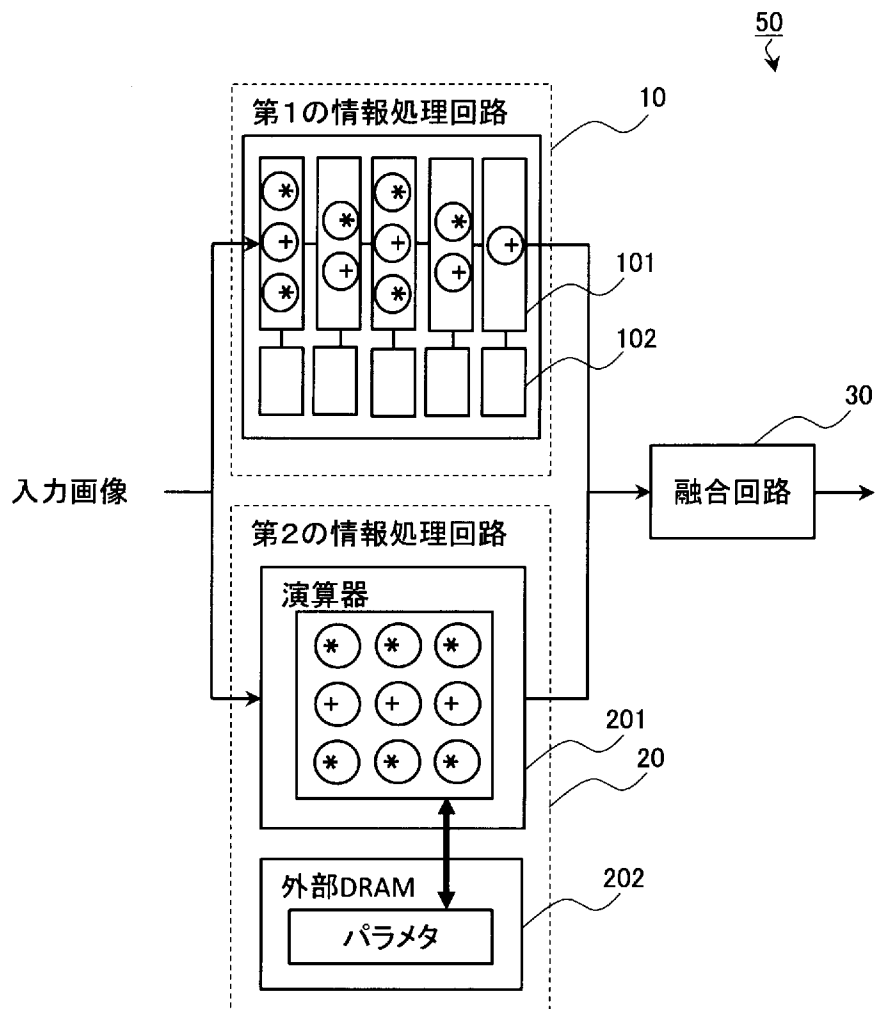
をプロセッサに実行させることを特徴とする。

[請求項12] 深層学習を実行するプログラムは、プロセッサに、

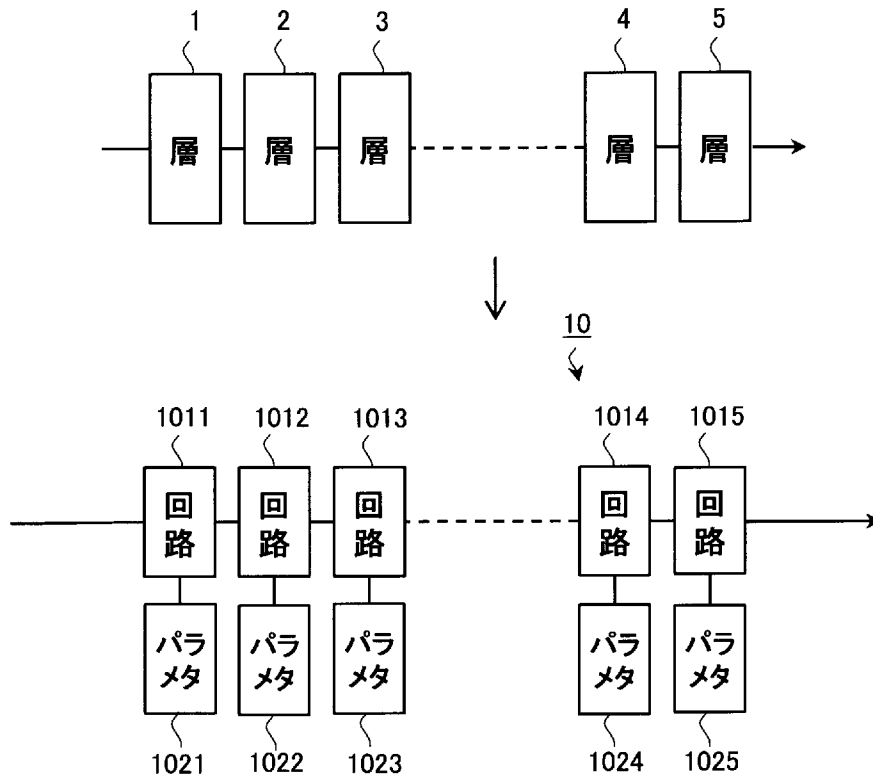
融合処理で、第1の演算結果および第2の演算結果に対して重み付けした結果を入力として受け付け、受け付けた各入力の重み付け和を計算して融合して、融合結果を出力させる

請求項11記載の記録媒体。

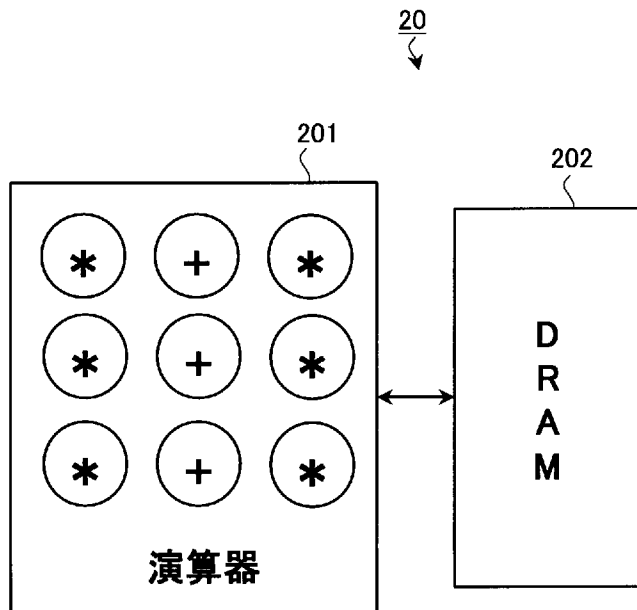
[図1]



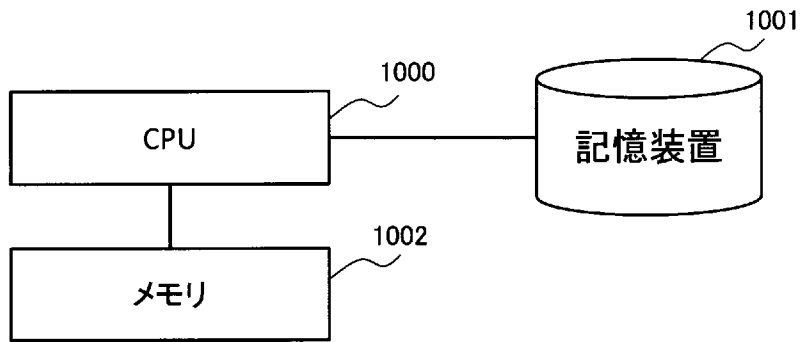
[図2]



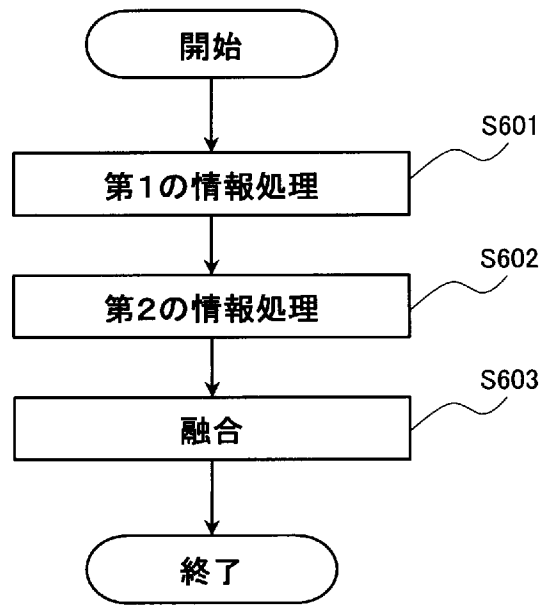
[図3]



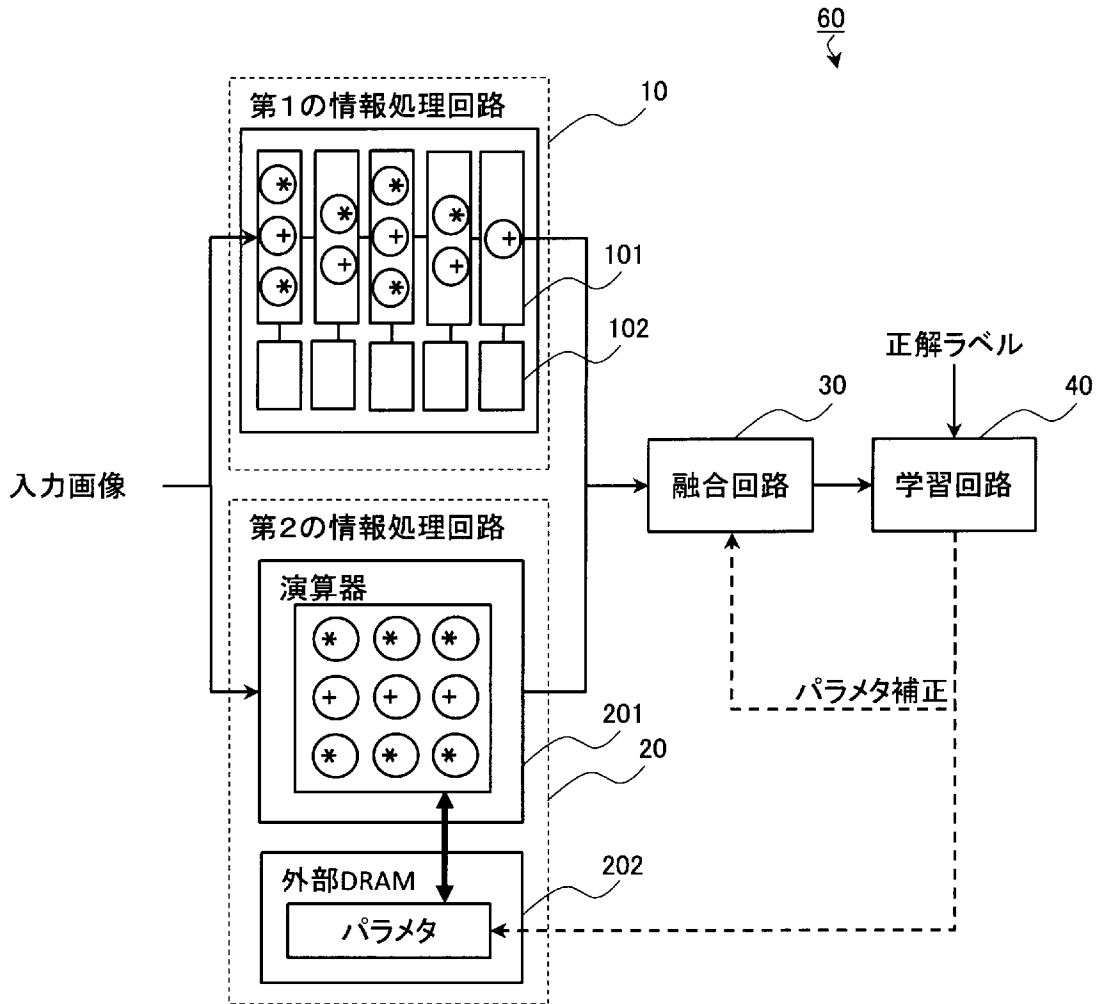
[図4]



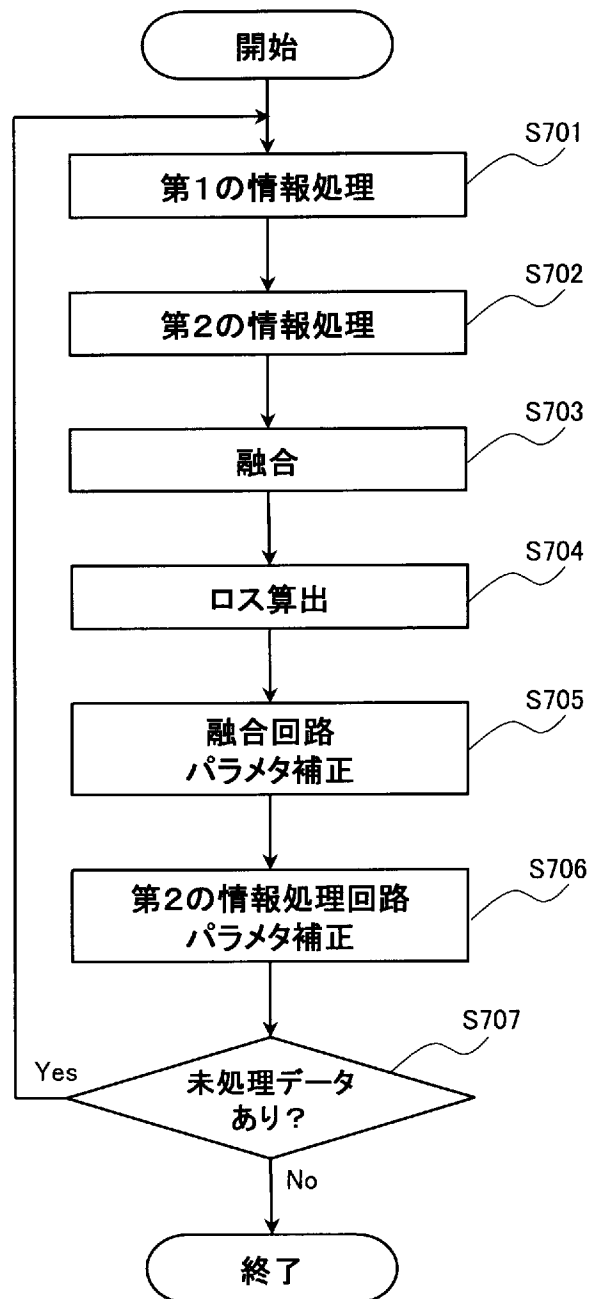
[図5]



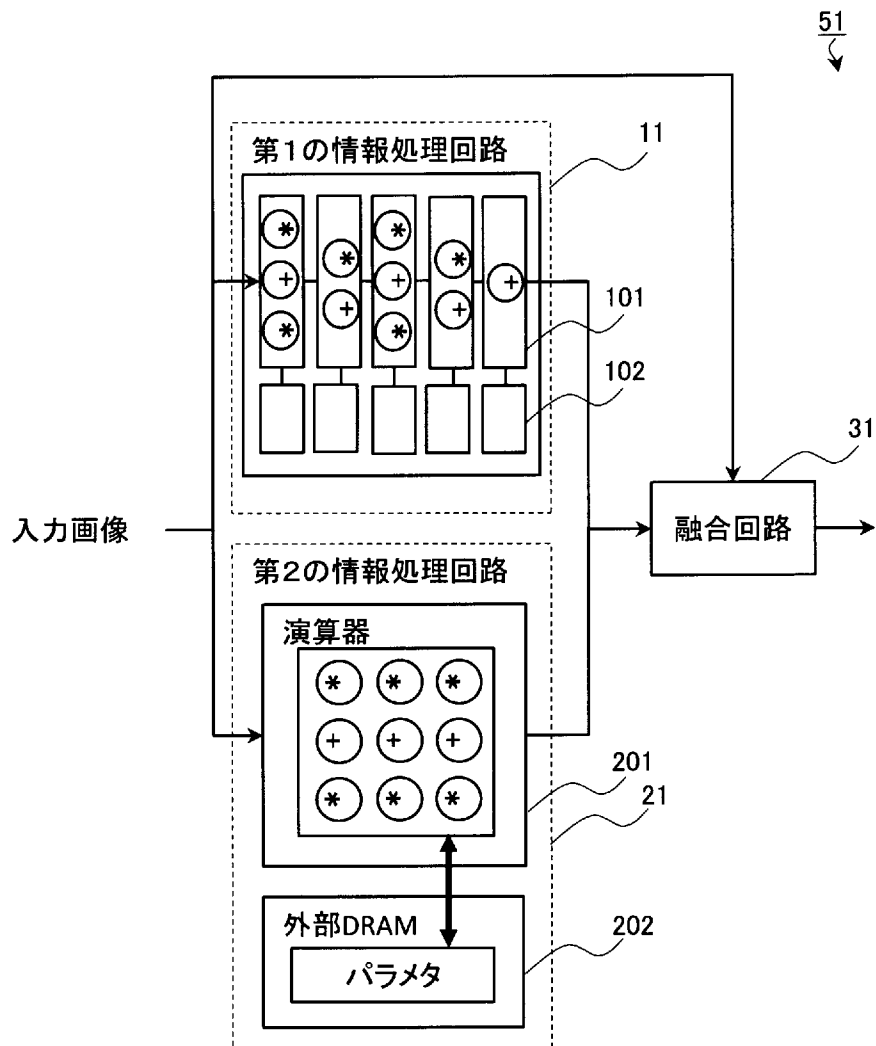
[図6]



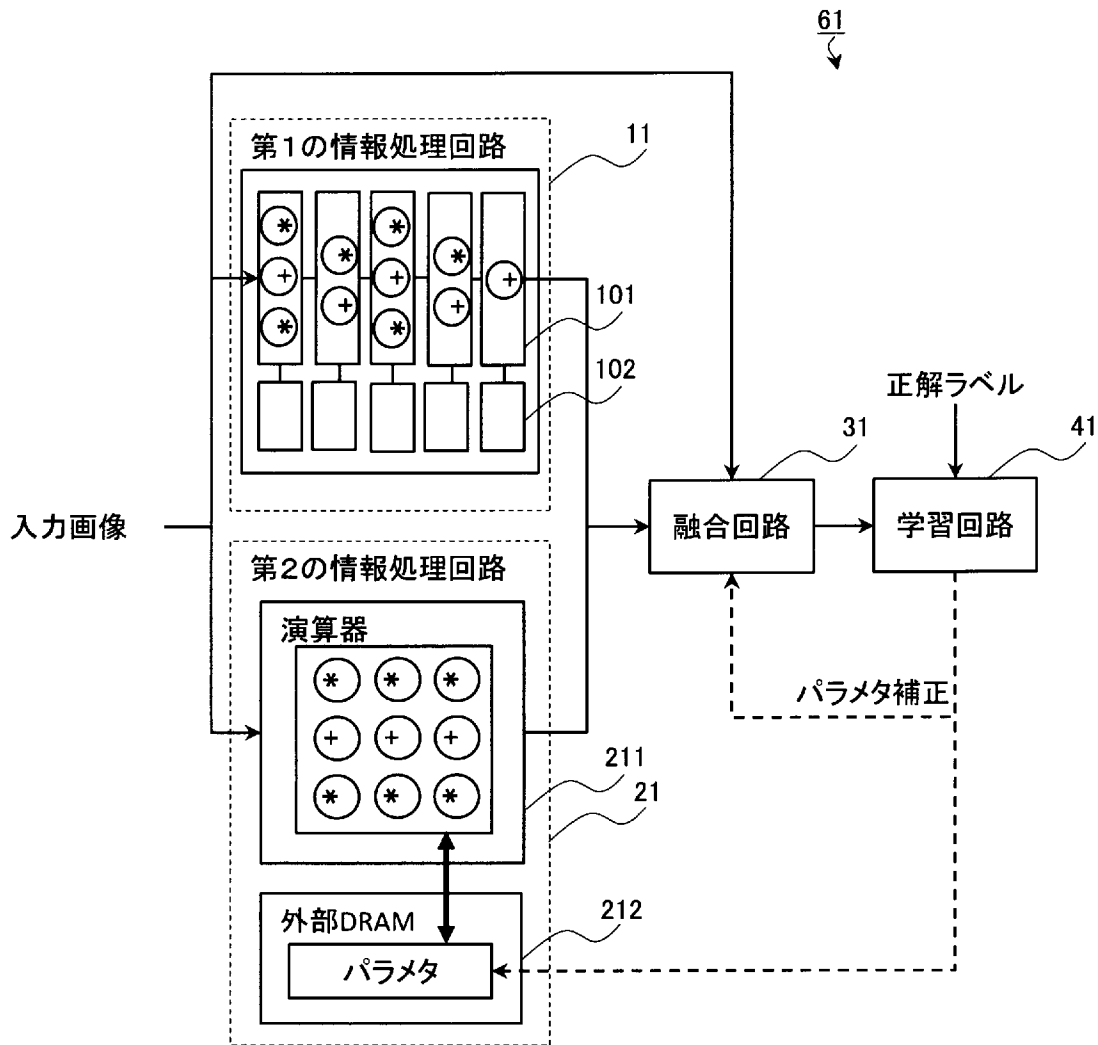
[図7]



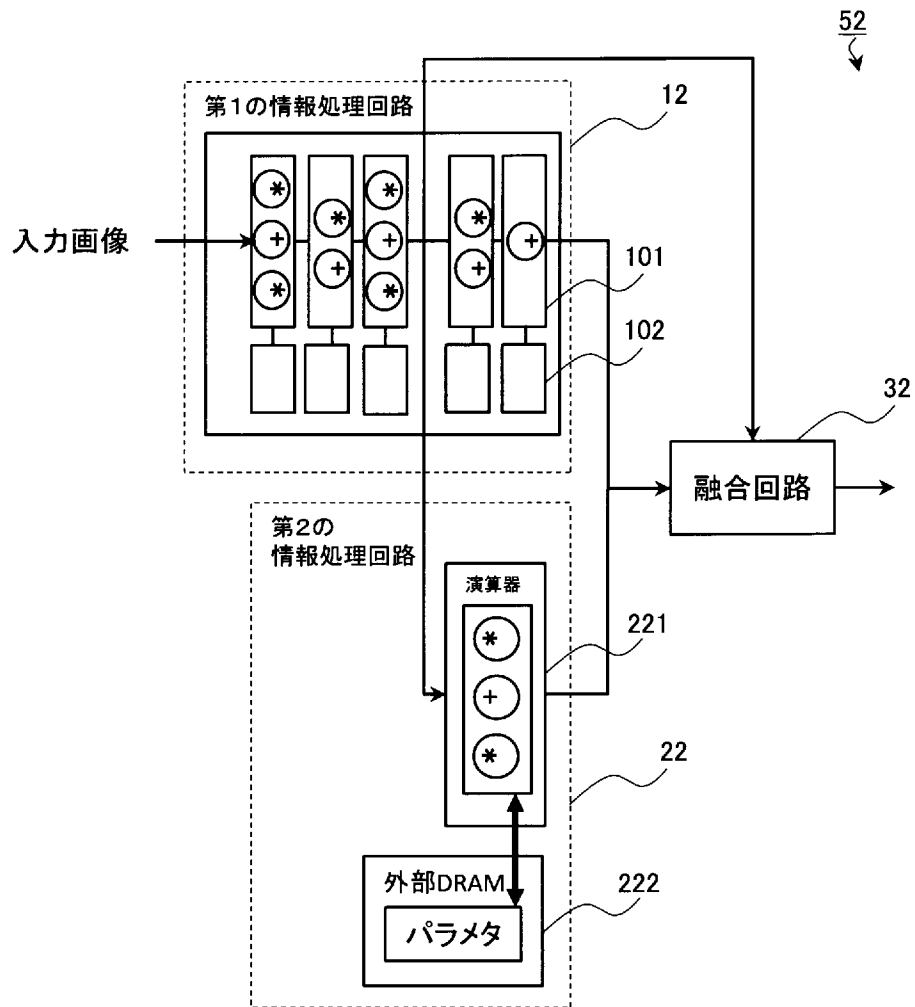
[図8]



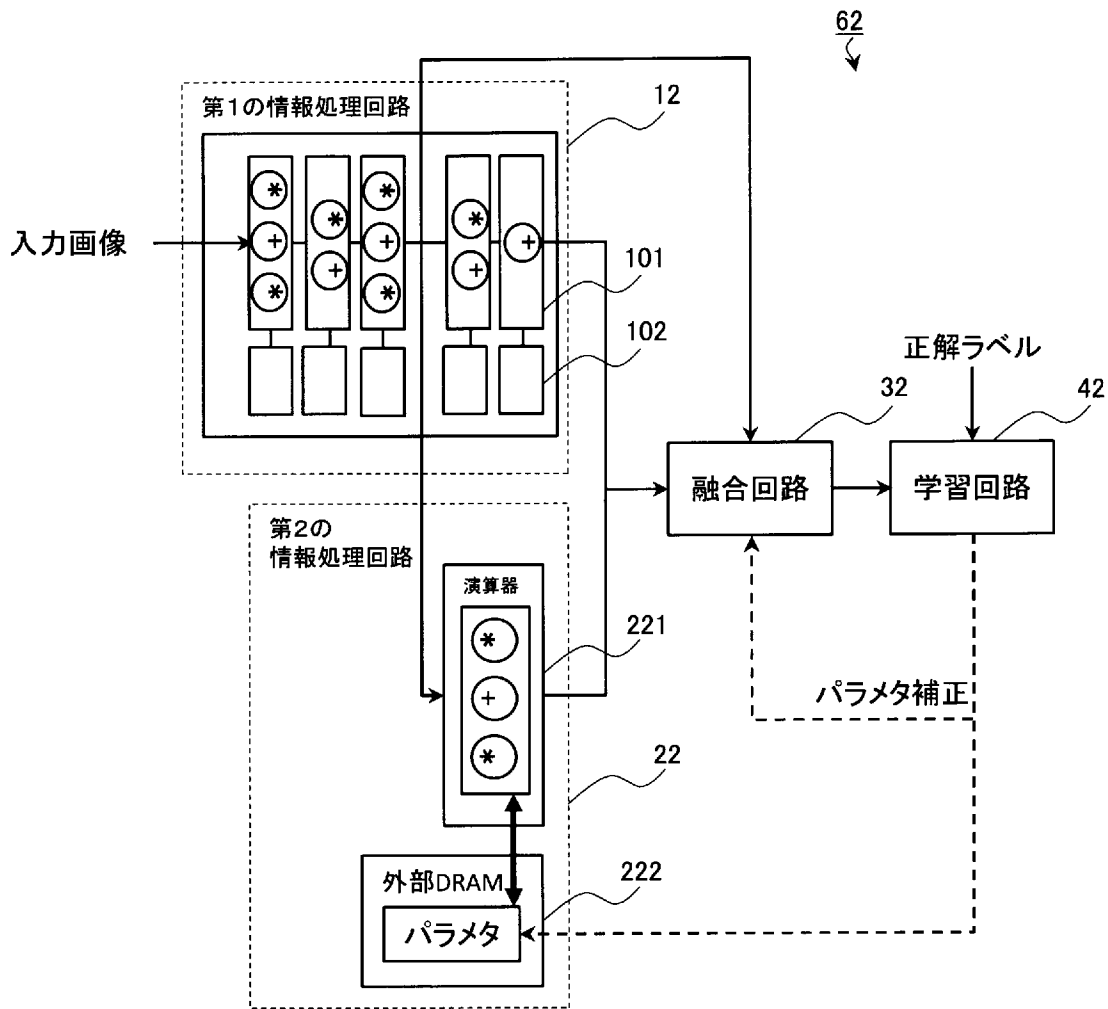
[図9]



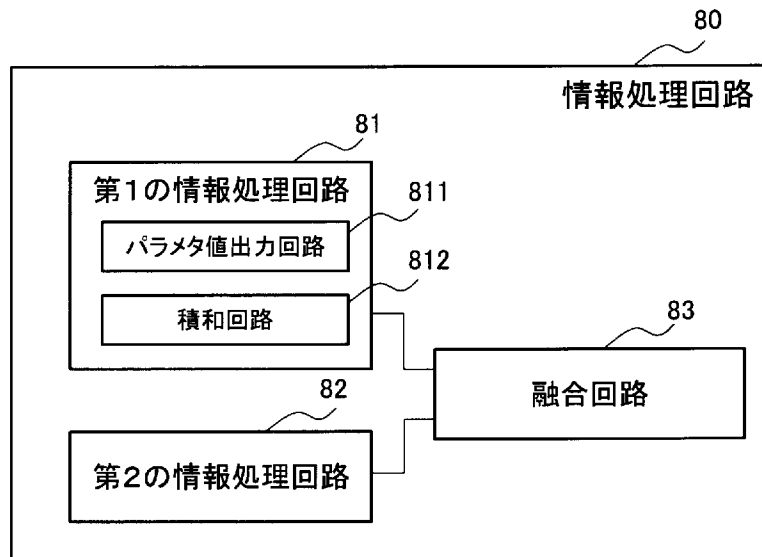
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005733

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G06N3/063 (2006.01) i

FI: G06N3/063

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G06N3/063

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	ALHAMALI, Abdulrahman et al., FPGA-Accelerated Hadoop Cluster for Deep Learning Computations, 2015 IEEE International Conference on Data Mining Workshop, IEEE [online], 04 February 2016 [retrieved on 23 April 2020], pp. 565-574, Retrieved from the Internet: <URL: http://ieeexplore.ieee.org/abstract/document/7395718 > in particular, p. 569 [IV. Parallel Stochastic Gradient Decent Algorithm: An Algorithm for Distributed CNN Training], p. 570 [V. THE FPGA-Accelerated Hadoop Cluster] fig. 2, 3, entire text	1-4, 8-12 5-7

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

23.04.2020

Date of mailing of the international search report

12.05.2020

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC）） G06N 3/063(2006.01)i FI: G06N3/063		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06N3/063 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	ALHAMALI, Abdulrahman et al., FPGA-Accelerated Hadoop Cluster for Deep Learning Computations, 2015 IEEE International Conference on Data Mining Workshop, IEEE [online], 2016.02.04 [retrieved on 2020.04.23], pp.565-574, Retrieved from the Internet: <URL: http://ieeexplore.ieee.org/abstract/document/7395718> 特にp.569「IV. PARALLEL STOCHASTIC GRADIENT DESCENT ALGORITHM: AN ALGORITHM FOR DISTRIBUTED CNN TRAINING」の項, p.570「V. THE FPGA-ACCELERATED HADOOP CLUSTER」の項及びFig.2-3	1-4, 8-12
A	全文	5-7
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		
<input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 23.04.2020	国際調査報告の発送日 12.05.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 今城 朋彬 5B 7888 電話番号 03-3581-1101 内線 3545	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/005733

引用文献	公表日	パテントファミリー文献	公表日