



(12) 发明专利

(10) 授权公告号 CN 1993819 B

(45) 授权公告日 2011.07.20

(21) 申请号 200580026074.1

代理人 屠长存

(22) 申请日 2005.08.04

(51) Int. Cl.

(30) 优先权数据

H01L 21/36(2006.01)

10/710,826 2004.08.05 US

H01L 21/20(2006.01)

(85) PCT申请进入国家阶段日

H01L 31/117(2006.01)

2007.02.02

(56) 对比文件

(86) PCT申请的申请数据

US 20040004271 A1, 说明书第 101-113 段.

PCT/US2005/027691 2005.08.04

US 20040140531 A1, 2004.07.22, 说明书第 26-53 段、附图 3.

(87) PCT申请的公布数据

US 6043517 A, 2000.03.28, 全文.

W02006/017640 EN 2006.02.16

CN 1492476 A, 2004.04.28, 说明书第 5 页第 9-12 行.

(73) 专利权人 国际商业机器公司

A C CHURCHILL. Optical Etalon Effects and Electronic Structure in Silicon-Germanium 4 Monolayer: 4 Monolayer Strained Layer.

地址 美国纽约

Semicond. Sci. Technol 16 1. 1991, 6(1), 18-26.

(72) 发明人 斯蒂芬·W·贝戴尔 陈华杰

基思·福格尔 赖安·M·米切尔

德温德拉·K·萨达纳

审查员 吕媛

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

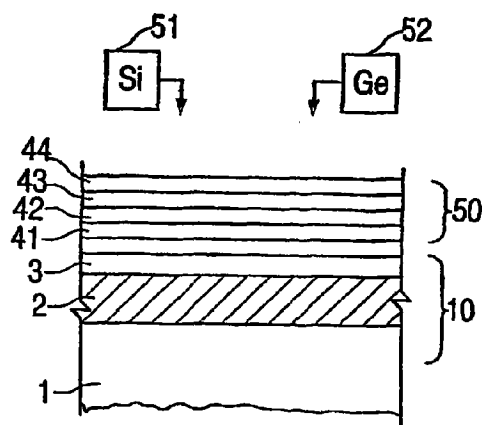
权利要求书 1 页 说明书 4 页 附图 2 页

(54) 发明名称

形成导热性改善的应变硅材料的方法

(57) 摘要

公开了一种用于在 SiGe 上形成应变硅层的方法,其中 SiGe 层具有改善的导热性。在第一淀积步骤中,在衬底 (10) 上淀积 Si 或者 Ge 的第一层 (41);在第二淀积步骤中,在所述第一层上淀积另一种元素的第二层 (42);重复所述第一淀积步骤和第二淀积步骤,以形成具有多个 Si 层和多个 Ge 层 (41-44) 的组合 SiGe 层 (50)。各 Si 层和各 Ge 层各自的厚度依据所希望的组合 SiGe 层的组成比确定。所述组合 SiGe 层 (50) 的特征在于 Si 和 Ge 的数字化合金具有优于 Si 和 Ge 的无序合金的导热性。该方法可以进一步包括在组合 SiGe 层 (50) 上淀积 Si 层 (61) 的步骤,所述组合 SiGe 层的特征在于是松弛的 SiGe 层,而所述 Si 层 (61) 是应变硅层。为了在 SiGe 层中获得更好的导热性,所述第一层和所述第二层的淀积可以使得每一层都基本上由单一同位素组成。



1. 一种在衬底 (10) 上形成 SiGe 层的方法,包括以下步骤:
在第一淀积步骤中淀积 Si 和 Ge 中的一种的第一层 (41);
在第二淀积步骤中,在所述第一层上淀积 Si 和 Ge 中的另一种的第二层 (42);以及,
重复所述第一淀积步骤和第二淀积步骤,以形成具有多个 Si 层和多个 Ge 层 (41-44) 的组合 SiGe 层 (50),
其中,各 Si 层和各 Ge 层各自的厚度依据组合 SiGe 层 (50) 的所需组成比确定,其中 Si 层和 Ge 层中的每一层的厚度使得在该层中不形成应变释放位错,
所述组合 SiGe 层 (50) 是具有优于 Si 和 Ge 的无序合金的导热性的 Si 和 Ge 的数字化合金。
2. 如权利要求 1 所述的方法,还包括下述步骤:
在组合 SiGe 层 (50) 上淀积 Si 层 (61),
其中,所述组合 SiGe 层 (50) 的特征还在于是松弛的 SiGe 层,而所述 Si 层 (61) 是应变硅层。
3. 如权利要求 1 所述的方法,其中,所述衬底 (10) 包括覆盖在 Si 衬底 (1) 上的 SiGe 层,或者所述衬底 (10) 包括绝缘体上 SiGe (SGOI) 结构 (1、2、3)。
4. 如权利要求 1 所述的方法,其特征在于所述衬底 (10) 具有上层 (3),该方法还包括在所述第一淀积步骤之前,抛光所述上层以减小其厚度的步骤。
5. 如权利要求 1 所述的方法,其中,所述第一层和所述第二层中的至少一个由单一同位素组成。
6. 一种半导体器件,包括:
在衬底 (10) 上的 SiGe 数字化合金层 (50),以及
在该 SiGe 数字化合金上的 Si 层 (61),
其中,所述衬底 (10) 包括绝缘体上硅锗 (SGOI) 结构 (1、2、3),所述数字化合金层 (50) 包括多个交替的 Si 和 Ge 亚层,所述亚层 (41-44) 形成的厚度是根据 SiGe 数字化合金的所需组成比确定的,其中 Si 层和 Ge 层中的每一层的厚度使得在该层中不形成应变释放位错,并且所述 SiGe 数字化合金具有优于 Si 和 Ge 的无序合金的导热性。
7. 如权利要求 6 所述的器件,其中,所述数字化合金层 (50) 的特征在于是松弛的 SiGe 层,而所述 Si 层 (61) 是应变硅层。
8. 如权利要求 6 所述的器件,其特征在于每一个亚层 (41-44) 的厚度使得在该层中不形成应变释放位错。
9. 如权利要求 6 所述的器件,其特征在于每一个亚层 (41-44) 由单一同位素组成。
10. 如权利要求 6 所述的器件,其特征在于 Si 亚层 (41) 设置在所述衬底 (10) 上。

形成导热性改善的应变硅材料的方法

技术领域

[0001] 本发明涉及电子器件的制造,尤其涉及用于形成应变 Si 和 SiGe 合金膜的方法,其中 SiGe 合金膜具有改善的导热性。

背景技术

[0002] 对于在高性能 CMOS 器件中的使用,具有拉伸应变的硅层令人感兴趣。应变硅层中得到改善的电荷载流子迁移率可以增强 FET 性能(更高的导通状态电流)而无需在器件中进行几何缩放。应变硅层一般是通过在松弛的硅锗(SiGe)层上生长 Si 层而形成的。取决于器件的应用, SiGe 层既可以在体硅衬底上生长,也可以形成在绝缘层的顶部以形成绝缘体上硅锗(SGOI)晶片。松弛 SiGe 层上的应变硅可以被视为 Si/SiGe 双层结构。

[0003] 不管衬底是如何制造的,在 Si/SiGe 双层结构中制造器件的主要障碍在于 SiGe 合金材料的导热性差。已经表明,这会降低在该双层结构上制造的晶体管的电学特性。由于热量不能象在纯 Si 的情况下那样尽快地被带走,器件沟道区中的温度上升,从而降低电荷载流子的迁移率。

[0004] 一般,构成晶格的原子的质量的变化会缩短晶体内振动量子(声子, phonon)的寿命,这进而会导致导热性降低。在 SiGe 无序合金(random alloy)的情况下, Si 和 Ge 原子之间的质量变化,以及 Si 和 Ge 的各种同位素之间的质量变化,都导致导热性的降低。在典型的天然 Si 和 Ge 的无序 SiGe 合金中, Si 有三种同位素 ^{28}Si 、 ^{29}Si 和 ^{30}Si , Ge 有五种同位素 ^{70}Ge 、 ^{72}Ge 、 ^{73}Ge 、 ^{74}Ge 和 ^{76}Ge 。通过在 SiGe 形成时使用同位素丰富的气源,分别使 Si 和 Ge 的同位素质量变化最小化,可以改善 SiGe 材料的导热性。美国专利申请公开说明书 2004/0004271(Fukuda 等)提出了通过使用 ^{28}Si 和 ^{70}Ge 的同位素浓度均大于 95% 的硅烷(SiH_4)和锗烷(GeH_4)气体进行淀积来形成 SiGe 层。在该 SiGe 层上淀积 Si 层(也可以是富含同位素的)。这种技术形成应变硅在同位素质量差异小的松弛 SiGe 合金层、体硅衬底或者 SOI 衬底上的双层结构。图 1 和图 2 图示了这种技术在 SOI 衬底上的应用。典型的 SOI 衬底 10 具有在 Si 衬底 1 上的绝缘层 2 和衬底层 3(图 1)。在淀积工艺中使用用于形成富含同位素的 Si 和 Ge 的源气体 21、22,以形成无序 SiGe 合金层 4(图 2)。同位素的富集是为了减小 SiGe 层的质量变化,从而提高导热性。

[0005] 可以使用一种热混合工艺(如 Bedell 等人转让给与本申请相同的受让人的美国专利申请 No. 10/055,138 所述)混合衬底层 3 与质量变化减小了的 SiGe 层 4,以产生在绝缘体 2 上的松弛 SiGe 层 5(图 3)。这种结构因此可以视为松弛的绝缘体上 SiGe(SGOI)衬底,在上面可以形成 Si 层 6 以提供应变硅层,如图 4 所示。

[0006] 为了在 CMOS 器件中实现应变硅层的好处,需要提供 SiGe 合金层中的导热性得到改善的 Si/SiGe 双层结构。希望形成质量变化减小的松弛 SiGe 层,而不会增加使用用于 Si 和 Ge 的富含同位素源气体的复杂度和费用。

发明内容

[0007] 本发明提供了一种在衬底上形成 SiGe 层的方法,其中, SiGe 层具有比 SiGe 的无序合金更好的导热性。在该方法中,在第一淀积步骤中在衬底上淀积 Si 或者 Ge 的第一层;在第二淀积步骤中,在所述第一层上淀积另一种元素的第二层;重复所述第一淀积步骤和第二淀积步骤,以形成具有多个 Si 层和多个 Ge 层的组合 SiGe 层。各 Si 层和各 Ge 层各自的厚度依据所希望的组合 SiGe 层的组成比确定(例如,一般实现的是 1 : 1 的比例, Si 和 Ge 层分别为大约 10 埃厚,以形成 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 层)。尽管 Si 和 Ge 层有应变,但是它们足够薄,因此在其中不形成应变释放(应变消除)位错。所述组合 SiGe 层的特征在于 Si 和 Ge 的数字化合金(数位合金, digital alloy)具有优于 Si 和 Ge 的无序合金的导热性。这种方法可以进一步包括在组合 SiGe 层上淀积 Si 层的步骤,所述组合 SiGe 层的特征在于是松弛的 SiGe 层,而所述 Si 层是应变硅层。为了在 SiGe 层中获得更好的导热性,所述第一层和所述第二层的淀积可以使得每一层都基本上由单一同位素组成。

[0008] 根据本发明的另一方面,提供了一种制造半导体器件的方法。该方法包括在衬底上形成 SiGe 的数字化合金层的步骤以及在 SiGe 的数字化合金上形成 Si 层的步骤。SiGe 的数字化合金具有优于 Si 和 Ge 的无序合金的导热性。所述数字化合金层的特征还可以在于是松弛的 SiGe 层,而所述 Si 层是应变硅层。根据本发明的一种具体实施方式,所述数字化合金层包括多个 Si 和 Ge 的交替的亚层。这些亚层形成的厚度依据所希望的 SiGe 数字化合金的组成比确定。每一个亚层可以基本上由单一同位素组成。

[0009] 根据本发明的另一方面,提供了一种半导体器件,其包括在衬底上的 SiGe 数字化合金层以及在该 SiGe 数字化合金上的 Si 层,其中, SiGe 数字化合金具有优于 Si 和 Ge 的无序合金的导热性。所述数字化合金层的特征可以在于是松弛的 SiGe 层,而所述 SiGe 层上的 Si 层是应变硅层。所述数字化合金层包括多个交替的 Si 和 Ge 亚层。所述衬底可以是体硅衬底、在体硅衬底上生长的无序 SiGe 合金层,或者 SOI 或 SGOI 结构。

附图说明

[0010] 图 1 是典型的 SOI 结构的示意图;

[0011] 图 2 图解了使用富含同位素的 Si 和 Ge 源的 SiGe 层形成技术;

[0012] 图 3 是通过 SiGe 和 Si 层的热混合形成的绝缘体上 SiGe (SGOI) 结构的示意图;

[0013] 图 4 图解了 SGOI 衬底上的应变硅层;

[0014] 图 5 是根据本发明,用于在 SOI 或者 SGOI 衬底上形成质量变化小的数字化 SiGe 合金层的方法的示意图;

[0015] 图 6 图解了在图 5 中的 SiGe 合金层上淀积的应变硅层。

具体实施方式

[0016] 根据本发明,在衬底(一般是体硅、在体硅上生长的 SiGe、SOI 或者 SGOI)上形成 SiGe 合金层;该 SiGe 合金层具有比无序 SiGe 合金层小的质量变化,从而有更高的导热性。这是通过将 SiGe 层形成有序的数字化合金而不是无序合金而实现的。

[0017] 图 5 图解了用本发明的方法形成的 SiGe 数字化合金。衬底 10(这里图示的是具有在体衬底 1 上的绝缘体 2 和衬底层 3 的 SGOI 结构)被置于处理室中,在处理室中,可以使用

Si 和 Ge 源 51、52 在衬底上淀积 Si 或 Ge 层。可以使用各种淀积技术,包括超高真空 CVD(UHVCVD, ultrahigh-vacuum CVD) 和低温外延生长 (LTE) (优选在低于 650 摄氏度的温度)。

[0018] 在衬底上淀积 Si 的薄层 41,在层 42 上淀积 Ge 的薄层 42。淀积 Si 和 Ge 交替的层 43、44 等,直到达到所需的 Si/Ge 总厚度。根据所需的组成比调整 Si 和 Ge 层的相对厚度。例如,如果总体的 SiGe 层要有 90% 的 Si,则一般 Si 层 41 和 43 可以分别是 90 埃厚而 Ge 层 42、44 可以分别是 10 埃厚。Si 和 Ge 层的总数取决于所要的组合层 50 的厚度,该厚度从几百埃到微米级不等,取决于器件的应用。例如,如果 SiGe 层要有 50% 的 Si 并有 500 埃厚,则一般会有 50 个 Si 和 Ge 的 10 埃厚的亚层 (Si、Ge 各 25 层)。亚层的最佳厚度主要取决于以平面方式生长这些层同时使形成的缺陷最少的能力。因为 Si 和 Ge 亚层一般会有应变,所以存在这样一个厚度:超过该厚度,就会形成应变释放 (应变消除) 位错。对于面内晶格参数 (in-plane latticeparameter) (平行于衬底表面) 接近松弛 Si 的面内晶格参数的衬底,Ge 亚层不能超过 10 到 20 埃,但是 Si 亚层可以达到几百埃。对于面内晶格参数接近松弛 Ge 的面内晶格参数的衬底, Si 亚层不能超过 10 到 20 埃,但是 Ge 亚层可以达到几百埃。

[0019] 还希望限制衬底层 3 (例如,如果衬底是 SG0I 衬底,则层 3 本身是 SiGe 层) 中质量变化的效应。这可以在淀积 Si/Ge 亚层 41、42 等之前完成:通过使层 3 变薄 (例如通过抛光) 而使得层 3 的厚度只是层 50 的厚度的一小部分。在上面给出的例子中,层 50 是 500 埃厚并包括 Si 和 Ge 的各 25 个亚层,层 3 可以被减薄到 50 埃。

[0020] 所述组合层 50,包括所有的 Si 和 Ge 交替的亚层,可以被视为超晶格,更具体地是 SiGe 的有序合金或者说数字化合金。应当注意,由于每一亚层都只有一种元素,因此组合层中的质量变化小于无序合金层中的质量变化。因此, Si/Ge 组合层 50 的导热性优于传统方法淀积的 SiGe 层。

[0021] 在本实施方式中,衬底的上层 3 是 SG0I 结构中的 SiGe 层,第一个淀积的亚层 41 是 Si。按照现有技术中的理解,这种方案的优点是衬底和被淀积的层之间的界面更优,具体地, Si 的生长倾向于减少生长界面上的氧量,从而得到更高质量的晶体层。

[0022] 或者,如果需要,首先淀积的亚层可以是 Ge。如上面所注意到的, Si/Ge 层 50 也可以形成在体硅上、体衬底上已有的 SiGe 层上,或者 S0I 衬底上。

[0023] 由于由用作生长模板的衬底层 3 的面内晶格参数决定的晶格失配,每一个亚层 42、43、44 等都会有应变。例如,如果衬底层 3 是完全松弛的 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 层,则 Si 亚层会具有大约 2.0% 的拉伸应变, Ge 亚层会具有大约 2.2% 的压缩应变。但是,组合层 50 总体上具有实际上为零的应力,并且对于形成应变硅层的目的,用作松弛 SiGe 层。这样,在层 50 上淀积的 Si 层 61 将是应变硅层 (见图 6), Si/SiGe 组合 61、50 将具有比 SiGe 为无序合金的 Si/SiGe 双层更好的导热性。

[0024] 在本实施方式中,由源 51、52 (例如分别是 SiH_4 和 GeH_4 气体) 供应的 Si 和 Ge 没有富集同位素。但是,可以使用富集同位素的源来在各个 Si 和 Ge 亚层中实现非常小的质量变化,从而进一步改善 Si/Ge 层 50 的导热性。

[0025] 工业实用性

[0026] 本发明可应用于要在 SiGe 合金亚层上的应变硅层中形成器件的高性能半导体器件的制造。具体地,本发明可应用于希望提高 SiGe 的导热性的 SiGe 合金的形成。

[0027] 上面就具体的实施方式描述了本发明,但是从前面的说明显然可知,大量的替代方案、修改和变化对于本领域普通技术人员来说是显然的。因此,本发明应涵盖所有这些落在本发明及所附权利要求的实质范围内的替代方案、修改和变化。

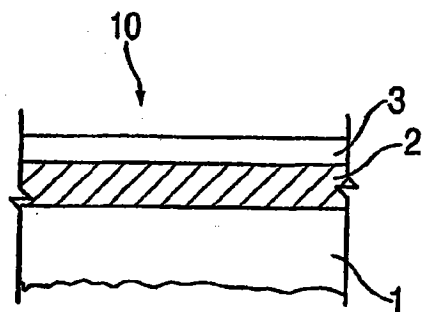


图 1
(现有技术)

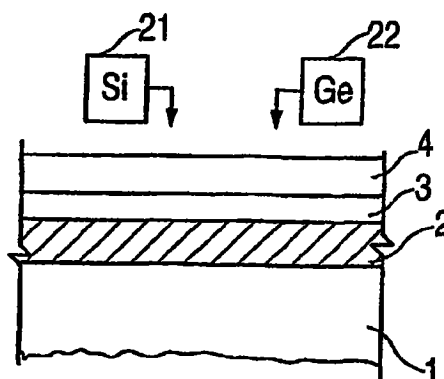


图 2
(现有技术)

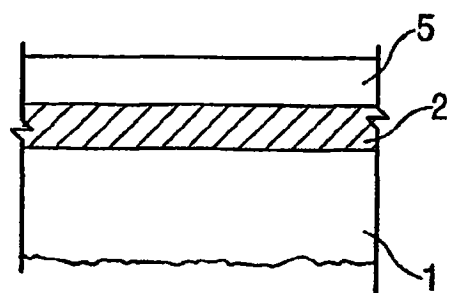


图 3
(现有技术)

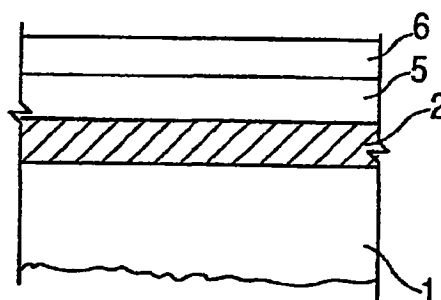


图 4
(现有技术)

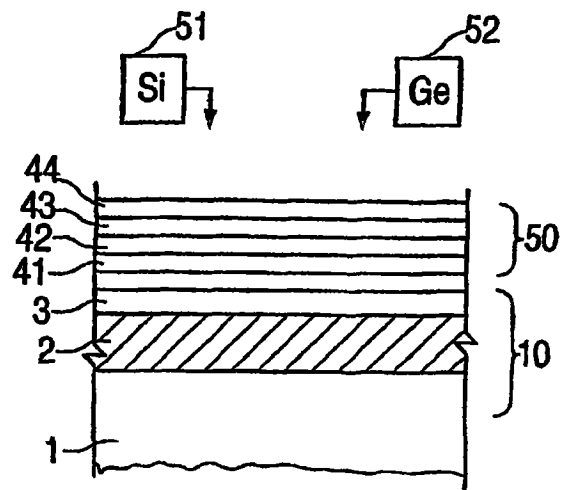


图 5

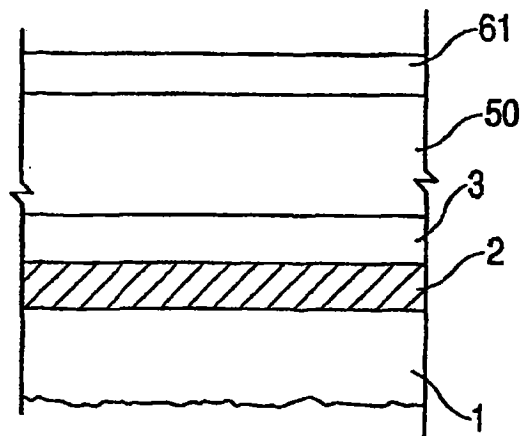


图 6