

FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

(21) PV 4195-86.L
(22) Přihlášeno 06 06 86

(40) Zveřejněno 14 11 89
(45) Vydáno 12 03 91

270 260

(11)

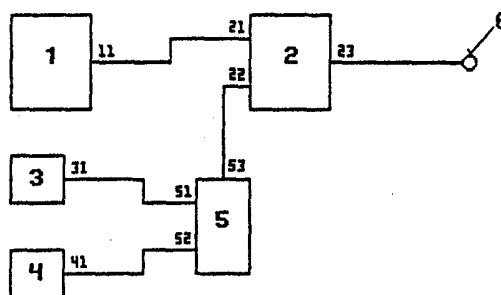
(13) B1

(51) Int. Cl.⁴
G 06 F 13/00

(75) Autor vynálezu GOLAN PETR ing. CSc.,
KUBÍN PAVEL ing. CSc.,
LOUTOCKÝ DUŠAN ing., PRAHA

(54) Zapojení pro jednotné dekódování stavů
sekvenčních obvodů v dvoudrátové logice

(57) Řešení se týká dekódování stavů sekvenčních obvodů, použitých v dvoudrátové logice. Dosud se při konstrukci zabezpečených logických systémů používají dvě samostatné větve, z nichž jedna pracuje v pozitivní logice a druhá v logice negativní. Nevýhodou takových zapojení je skutečnost, že funkčně stejné obvody v obou větvích pracují v opačném režimu činnosti. Tím se komplikuje vyhodnocování stavů, zejména u čítačů a podobných sekvenčních obvodů, což vyvolává nutnost řešit podobné obvody v obou větvích logiky různým zapojením. Tyto nevýhody odstraňuje zapojení uspořádané tak, že výstup (11) sekvenčního obvodu (1) je připojen ke skupině adresových vstupů (21) permanentní paměti (2) se dvěma podrozsahy, jejíž adresový vstup (22) nejvyššího adresového řádu je připojen k výstupu (53) přepínače (5), jehož první vstup (51) je připojen k výstupu (31) zdroje (3) logické jedničky, přičemž druhý vstup (52) přepínače (5) je připojen k výstupu (41) zdroje (4) logické nuly. Datový výstup (23) permanentní paměti (2) se dvěma podrozsahy je připojen k výstupní svorce (6) dekódovaného stavu. Zapojení je použito v obvodech externího adaptéru diskového modulu a dvoukanálového modulu počítače EC 1027.



Obr. 1

Vynález se týká zapojení pro jednotné dekódování stavů sekvenčních obvodů v dvoudrátové logice.

Dosud se při konstrukci zabezpečených logických systémů používají dvě samostatné větve, z nichž jedna pracuje v pozitivní logice a druhá v logice negativní. Nevýhodou takových zapojení je skutečnost, že funkčně stejné obvody v obou větvích pracují v opačném režimu činnosti. Tím se komplikuje vyhodnocování stavů, zejména u čítačů a podobných sekvenčních obvodů, což vyvolává nutnost řešit podobné obvody v obou větvích logiky různým zapojením.

Uvedené nevýhody odstraňuje zapojení pro jednotné dekódování stavů sekvenčních obvodů v dvoudrátové logice podle vynálezu, jehož podstata spočívá v tom, že výstup sekvenčního obvodu je připojen ke skupině adresových vstupů permanentní paměti se dvěma podrozsahy, jejíž adresový vstup nejvyššího adresového řádu je připojen k výstupu přepínače, jehož první vstup je připojen k výstupu zdroje logické jedničky, přičemž druhý vstup přepínače je připojen k výstupu zdroje logické nuly a datový výstup permanentní paměti se dvěma podrozsahy je připojen k výstupní sorce dekódovaného stavu.

Hlavní výhoda zapojení podle vynálezu spočívá v tom, že sekvenční obvody v obou větvích dvoudrátové logiky mohou být řešeny totožně; vlastní rozlišení se provede až připojením prvního nebo druhého vstupu přepínače. Permanentní paměť se dvěma podrozsahy potom vyhodnocuje stavy sekvenčních obvodů.

Na připojeném výkresu je nakreslen příklad zapojení pro jednotné dekódování stavů sekvenčních obvodů v dvoudrátové logice.

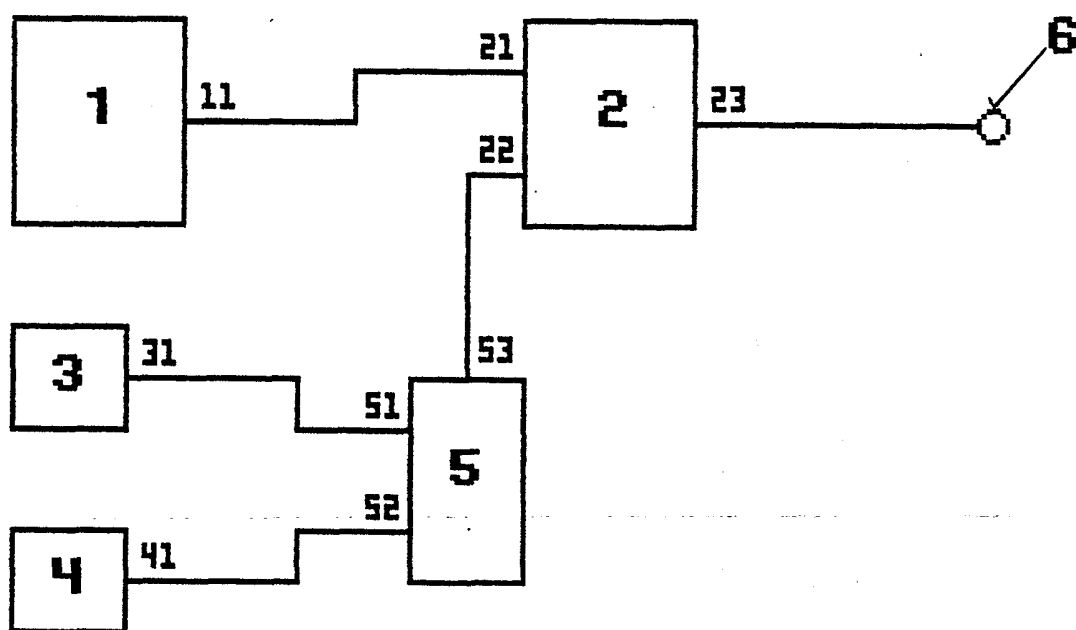
Výstup 11 sekvenčního obvodu 1 je připojen ke skupině adresových vstupů 21 permanentní paměti 2 se dvěma podrozsahy, jejíž adresový vstup 22 nejvyššího adresového řádu je připojen k výstupu 53 přepínače 5, jehož první vstup 51 je připojen k výstupu 31 zdroje 3 logické jedničky, přičemž druhý vstup 52 přepínače 5 je připojen k výstupu 41 zdroje 4 logické nuly. Datový výstup 23 permanentní paměti 2 se dvěma podrozsahy je připojen k výstupní sorce 6 dekódovaného stavu.

Funkce zapojení podle vynálezu je následující: Permanentní paměť 2 se dvěma podrozsahy současně dekóduje stavy sekvenčního obvodu 1, potřebné pro obě větve dvoudrátové logiky. Dekódování se provádí výběrem příslušné skupiny paměťových míst. Signály na skupině výstupů 23 permanentní paměti 2 se dvěma podrozsahy, odpovídající zvolené větvi, jsou přepínány signálem volby větve; tento signál je vysílán do adresového vstupu 22 nejvyššího adresového řádu permanentní paměti 2 se dvěma podrozsahy buď ze zdroje 3 logické jedničky, nebo ze zdroje 4 logické nuly.

Zapojení pro jednotné dekódování stavů sekvenčních obvodů v dvoudrátové logice je použito v obvodech externího adaptéru diskového modulu a dvoukanálového modulu počítače EC 1027.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení pro jednotné dekódování stavů sekvenčních obvodů v dvoudrátové logice, vyznačující se tím, že výstup (11) sekvenčního obvodu (1) je připojen ke skupině adresových vstupů (21) permanentní paměti (2) se dvěma podrozsahy, jejíž adresový vstup (22) nejvyššího adresového řádu je připojen k výstupu (53) přepínače (5), jehož první vstup (51) je připojen k výstupu (31) zdroje (3) logické jedničky, přičemž druhý vstup (52) přepínače (5) je připojen k výstupu (41) zdroje (4) logické nuly a datový výstup (23) permanentní paměti (2) se dvěma podrozsahy je připojen k výstupní sorce (6) dekódovaného stavu.



Obr. 1