



(12) 发明专利

(10) 授权公告号 CN 101242174 B

(45) 授权公告日 2011. 09. 28

(21) 申请号 200810006125. X

US 2002/0149575 A1, 2002. 10. 17, 全文.

(22) 申请日 2008. 02. 03

CN 1467914 A, 2004. 01. 14, 全文.

(30) 优先权数据

审查员 郭星

2007-026745 2007. 02. 06 JP

2007-296351 2007. 11. 15 JP

(73) 专利权人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 串间贵仁 小岛友和

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 梁挥

(51) Int. Cl.

H03K 17/687(2006. 01)

H03K 17/693(2006. 01)

G09G 5/00(2006. 01)

(56) 对比文件

US 2006/0139272 A1, 2006. 06. 29, 全文.

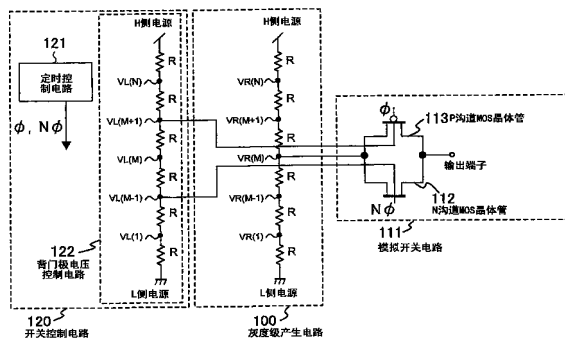
权利要求书 1 页 说明书 7 页 附图 7 页

(54) 发明名称

半导体开关

(57) 摘要

在采用低电压电源的半导体开关中输出中间电位附近的电压时,由于开态电阻的增大和漏电流的产生,运行速度的降低和输出电压的精度降低成为问题。具有灰度级产生电路(100)、模拟开关电路(111)和背门极电压控制电路(122),由具有与灰度级产生电路(100)相同结构的背门极电压控制电路(122)提供输入灰度级产生电路(100)的电压的模拟开关电路(111)的N沟道MOS晶体管(112)和P沟道MOS晶体管(113)的各个背门极电压。



1. 一种半导体开关,包括

产生多个灰度级电压的灰度级产生电路、

具有分别选择所述多个灰度级电压中的一个灰度级电压的多个模拟开关电路的灰度级选择器电路、和

控制所述灰度级选择器电路的运行的开关控制电路,

其特征在于:

所述多个模拟开关电路分别包括具有与所述多个灰度级电压中应该选择的灰度级电压连接的源极的 MOS 晶体管,

所述开关控制电路包括:为了控制所述 MOS 晶体管的接通和断开而提供该 MOS 晶体管的门极电压的定时控制电路、

提供与所述 MOS 晶体管的源极电压大致相等的电压作为所述 MOS 晶体管的背门极电压的背门极电压控制电路,

所述背门极电压控制电路具有与所述灰度级产生电路相同的内部结构,

所述灰度级产生电路和所述背门极电压控制电路分别具有在 H 侧电源和 L 侧电源之间连接的电阻串电路。

2. 权利要求 1 中记载的半导体开关,其特征在于:

所述背门极电压控制电路提供不在正方向上给所述 MOS 晶体管的源极和背门极间的 PN 结进行偏压的电压作为所述 MOS 晶体管的背门极电压。

3. 权利要求 1 中记载的半导体开关,其特征在于:

所述灰度级产生电路和所述背门极电压控制电路分别具有在 H 侧电源和 L 侧电源之间串联连接的电流源、电阻串电路和二极管。

半导体开关

技术领域

[0001] 本发明涉及一种半导体开关,尤其涉及一种抑制开态电阻为低、小型、便宜的、开关应答性优异的半导体开关。

背景技术

[0002] 参照图 6 来说明半导体开关的现有技术。在图 6 中示出的半导体开关由产生灰度级电压的灰度级产生电路 400、模拟开关电路 410 和开关控制电路 420 构成,通过模拟开关电路 410 将灰度级产生电路 400 的任意灰度级电压 VM 传送给输出端子。

[0003] 如图 6 所示,模拟开关电路 410 一般由 P 沟道 MOS 晶体管 412 和 N 沟道 MOS 晶体管 411 并列连接构成,P 沟道 MOS 晶体管 412 和 N 沟道 MOS 晶体管 411 的源极和漏极分别相互连接。另外,由开关控制电路 420 提供使模拟开关电路 410 接通 / 断开的电压,与 P 沟道 MOS 晶体管 412 的门极端子连接的 HIGH 电平或者 LOW 电平的信号为 Φ ,与 N 沟道 MOS 晶体管 411 的门极端子连接的信号 N_{Φ} 是使信号 Φ 的 HIGH 电平和 LOW 电平反相后的信号。另外,N 沟道 MOS 晶体管 411 的背门极端子,即 P 阱与最低电位 L 侧电源连接,P 沟道 MOS 晶体管 412 的背门极端子,即 N 阱与最高电位 H 侧电源连接。

[0004] 该现有的 CMOS 结构的模拟开关电路 410,当将信号 N_{Φ} 的 HIGH 电平电压施加到 N 沟道 MOS 晶体管 411 的门极端子上时,N 沟道 MOS 晶体管 411 呈导通状态,同时将信号 Φ 的 LOW 电平电压施加到 P 沟道 MOS 晶体管 412 的门极端子上,P 沟道 MOS 晶体管 412 也呈导通状态。从而,模拟开关电路 410 成导通 (ON) 状态,使得灰度级电压 VM 被传送给输出端子。

[0005] 然后,将信号 N_{Φ} 的 LOW 电平电压施加到 N 沟道 MOS 晶体管 411 的门极端子上时,N 沟道 MOS 晶体管 411 呈断开状态,同时将信号 Φ 的 HIGH 电平电压施加到 P 沟道 MOS 晶体管 412 的门极端子上,P 沟道 MOS 晶体管 412 也呈断开状态。从而,模拟开关电路 410 呈断开 (OFF) 状态,使得灰度级电压 VM 不被传送给输出端子。

[0006] 其中,在提供给 P 沟道 MOS 晶体管 412 的电压中,当背门极电压比源极电压低时,因为在作为 P 沟道 MOS 晶体管 412 的源极的 P 阱和作为背门极的 N 阱间存在的 PN 结中产生漏电流,所以希望 P 沟道 MOS 晶体管 412 的背门极电压是源极电压以上的电压,在现有技术中 P 沟道 MOS 晶体管 412 的背门极电压与最高电位的 H 侧电源连接。同样,在提供给 N 沟道 MOS 晶体管 411 的电压中,当背门极电压比源极电压高时,因为在作为源极的 N 阱和作为背门极的 P 阱间存在的 PN 结中产生漏电流,所以希望 N 沟道 MOS 晶体管 411 的背门极电压是源极电压以下的电压,在现有技术中 N 沟道 MOS 晶体管 411 的背门极电压与最低电位的 L 侧电源连接。

[0007] 然而,在现有技术中,在模拟开关电路 410 中的各个 MOS 晶体管 411、412 的源极电极的电位和背门极电极的电位之间产生电位差。因此,由于基板偏压效果,MOS 晶体管 411、412 的阈值电压升高。之后,在模拟开关电路 410 的输入电压 VM 是中间电位附近的模拟电压的情形下,基板偏压效果的影响尤其变大,从而使模拟开关电路 410 的开态电阻变高。另

外,在中间电位附近,驱动模拟开关电路 410 的门极端子的门极·源极间电压本身变小。

[0008] 通常,MOS 晶体管在门极·源极间电位差比阈值电压大时接通,这样门极·源极间电压小,阈值电压大时,开态电阻变高,使信号的传送变得困难。由此使运行速度降低,从模拟开关电路 410 的输出端子输出的电压精度误差变大。而且,MOS 晶体管 411、412 的门极·源极间电位差不超过阈值电压的情形下,模拟开关电路 410 呈断开的状态。

[0009] 为了避免上述问题,可以使用改变 MOS 晶体管的尺寸、低阈值电压化和采用耗尽型 MOS 晶体管的方法,但是这些方法造成漏电流增大和芯片成本增加(参照专利文献 1)。

[0010] [专利文献 1] 美国专利第 7,038,525 号

发明内容

[0011] [发明要解决的问题]

[0012] 在三重阱结构等在深度方向上存在多个阱的加工所构成的 MOS 晶体管中,通过连接 MOS 晶体管的源极端子和背门极端子,使二者等电位,虽然使芯片面积增大,但能够避免基板偏压效果。

[0013] 然而,即使如图 7 所示连接三重阱结构中 MOS 晶体管的源极端子和背门极端子,构成 N 沟道 MOS 晶体管 411 的背门极的 P 阱和位于该 P 阱外侧的 N 阱形成 PN 结的反偏压,在该 PN 结中产生逆向偏压漏电流 I3。对于未图示的 P 沟道 MOS 晶体管 412,构成该 P 沟道 MOS 晶体管的背门极的 N 阱和位于该 N 阱外侧的 P 阱也形成 PN 结的反偏压,产生逆向偏压漏电流。这些逆向偏压漏电流随着 PN 结的结间电位差变高而增大。在近年的微细加工中,由于基板电流和热载体的影响,漏电流变得更显著了。

[0014] 逆向偏压漏电流 I3 是由与模拟开关电路 410 连接的灰度级产生电路 400 供给的,虽然本来希望在灰度级产生电路 400 中流过的电流不从 H 侧电源到 L 侧电源分流($I_2 = I_1$),但是由于逆向偏压漏电流 I3 从灰度级产生电路 400 分流到模拟开关电路 410 中,使得 $I_2 = I_1 - I_3$,结果是由于灰度级产生电路 400 中的电阻分压使得在灰度级电压中产生误差,使得从模拟开关电路 410 的输出端子输出的电压的精度降低。

[0015] 从而,本发明的目的在于:即使在需要 MOS 晶体管的阈值电压高的加工和低电压的电路设计的情形下,半导体开关的开态电阻也低,即使是更微细化的加工,也能够防止漏电流,实现高速运行和输出电压的高精度化。

[0016] [解决问题的手段]

[0017] 为了实现上述目的,本发明的半导体开关通过保持构成模拟开关电路的 MOS 晶体管的源极·背门极间的电压为较低,使半导体开关难以受到基板偏压效果的影响,能够实现开态电阻低的半导体开关,能够实现输出电压的精度高地运行。

[0018] 下面进行具体地说明,根据本发明的半导体开关包括:产生多个灰度级电压的灰度级产生电路、具有分别选择所述多个灰度级电压中的一个灰度级电压的多个模拟开关电路的灰度级选择器电路、和控制所述灰度级选择器电路的运行的开关控制电路,其特征在于:所述多个模拟开关电路分别包括具有与所述多个灰度级电压中应该选择的灰度级电压连接的源极的 MOS 晶体管,所述开关控制电路包括:为了控制所述 MOS 晶体管的接通·断开而提供该 MOS 晶体管的门极电压的定时控制电路、提供与所述 MOS 晶体管的源极电压大致

相等的电压作为所述 MOS 晶体管的背门极电压的背门极电压控制电路。

[0019] [发明效果]

[0020] 根据本发明,在半导体开关中,开态电阻较低,能够防止漏电流,能够实行高速运行和输出电压精度高的运行。

附图说明

[0021] 图 1 是示出根据本发明的半导体开关的总结构的方框图。

[0022] 图 2 是根据本发明第 1 实施方式的半导体开关的详细结构图。

[0023] 图 3 是在图 2 中的 N 沟道 MOS 晶体管中采用了三阱结构的情形的剖面图。

[0024] 图 4 是根据本发明第 2 实施方式的半导体开关的详细结构图。

[0025] 图 5 是示出图 4 中的偏压电路的具体实例的电路图。

[0026] 图 6 是示出现有的半导体开关的结构实例的电路图。

[0027] 图 7 是在图 6 中的 N 沟道 MOS 晶体管中采用了三阱结构的情形的剖面图。

[0028] [附图标记说明]

[0029] 100,200,400 灰度级产生电路

[0030] 110 灰度级选择器电路

[0031] 111,211,410 模拟开关电路

[0032] 112,212,411 N 沟道 MOS 晶体管

[0033] 113,213,412 P 沟道 MOS 晶体管

[0034] 120,220,420 开关控制电路

[0035] 121,421 定时控制电路

[0036] 122,222 背门极电压控制电路

[0037] 223,300 偏压电路

[0038] D0,D1,D2,D3 二极管

[0039] M1,M2,M301,M302 P 沟道 MOS 晶体管

[0040] M303,M304 N 沟道 MOS 晶体管

[0041] R,R1 电阻元件

[0042] VR(1)~VR(N),VL(1)~VL(N) 灰度级电压

[0043] ϕ ,N ϕ 模拟开关电路的接通/断开控制信号

具体实施方式

[0044] 第 1 实施方式

[0045] 参照图 1 和图 2 说明根据本发明第 1 实施方式的半导体开关。本发明第 1 实施方式的半导体开关由灰度级产生电路 100、灰度级选择器电路 110 和开关控制电路 120 构成,开关控制电路 120 由定时控制电路 121 和背门极电压控制电路 122 构成。

[0046] 其中,灰度级产生电路 100 由在 H 侧电源和 L 侧电源之间串联连接多个电阻元件 R 的电阻串电路构成。电阻元件 R 的个数为 N 个,在电阻间的连接点处产生的灰度级电压的个数为 N-1 个。H 侧电源和 L 侧电源的电压、电阻元件 R 的大小和数量由基于半导体开关的用途的设计来决定。灰度级选择器电路 110 由多个模拟开关电路 111 构成,多个模拟开关

电路 111 的输入侧分别连接在灰度级产生电路 100 的各电阻元件 R 间的连接点上,输出侧连接在灰度级选择器电路 110 的输出端子上。

[0047] 在图 2 中,仅表示了一个模拟开关电路 111 的电路图,由与灰度级产生电路 100 相同的电阻串电路构成背门极电压控制电路 122。在图 2 中,模拟开关电路 111 是由 N 沟道 MOS 晶体管 112 和 P 沟道 MOS 晶体管 113 并联连接形成的,在 P 沟道 MOS 晶体管 113 的门极信号 ϕ 为 LOW 电平、N 沟道 MOS 晶体管 112 的门极信号 N_{ϕ} 为 HIGH 电平的情形下,从串电阻的一个连接点提供的电压,例如 $VR(M)$ 传送到输出端子。相反,在 P 沟道 MOS 晶体管 113 的门极信号 ϕ 为 HIGH 电平、N 沟道 MOS 晶体管 112 的门极信号 N_{ϕ} 为 LOW 电平的情形下,输入侧电压 $VR(M)$ 不传送到输出端子。与 MOS 晶体管 112、113 的门极端子连接的门极信号 ϕ 和其反相信号 N_{ϕ} 由开关控制电路 120 的定时控制电路 121 提供。

[0048] 背门极电压控制电路 122 由在 H 侧电源和 L 侧电源之间串联连接电阻元件 R 的串电阻构成,电阻元件的个数为 N 个,在电阻间的连接点处产生的灰度级电压的个数为 N-1 个。其中,在背门极电压控制电路 122 的电阻间连接点处产生的灰度级电压从低电压侧依次为 $VL(1)$ 、 $VL(2)$ 、 $\dots$ $VL(N)$,从低电压侧计数的任意的第 M 个灰度级电压为 $VL(M)$,第 M-1 个灰度级电压为 $VL(M-1)$,第 M+1 个灰度级电压为 $VL(M+1)$ 。同样,在灰度级产生电路 100 的电阻间连接点处产生的灰度级电压从低电压侧依次为 $VR(1)$ 、 $VR(2)$ 、 $\dots$ $VR(N)$,从低电压侧数起的任意的第 M 个灰度级电压为 $VR(M)$,第 M-1 个灰度级电压为 $VR(M-1)$,第 M+1 个灰度级电压为 $VR(M+1)$ 。

[0049] 假设背门极电压控制电路 122 和灰度级产生电路 100 的各个电阻值和电阻数相等,从双方的低电位数起的第 M 个电压 $VR(M)$ 和 $VL(M)$ 为相等的电压。在以灰度级电压 $VR(M)$ 为输入的模拟开关电路 111 中,将背门极电压控制电路 122 的 $VL(M+1)$ 电位与构成模拟开关电路 111 的 P 沟道 MOS 晶体管 113 的背门极端子连接,将背门极电压控制电路 122 的 $VL(M-1)$ 电位与构成模拟开关电路 111 的 N 沟道 MOS 晶体管 112 的背门极端子连接。

[0050] 如上所述,通过使灰度级产生电路 100 和背门极电压控制电路 122 具有相同的结构,即使在半导体的制造过程中产生了制造偏差的情形下,因为灰度级产生电路 100 和背门极电压控制电路 122 的各灰度级电压 $VL(M)$ 和 $VR(M)$ 由 H 侧电源和 L 侧电源的电压的电阻分压所决定,所以 $VL(M)$ 和 $VR(M)$ 成大致相等的值,P 沟道 MOS 晶体管 113 的背门极电压 $VL(M+1)$ 为比 P 沟道 MOS 晶体管 113 的源极电位 $VR(M)$ 高的电压,N 沟道 MOS 晶体管 112 的背门极电压 $VL(M-1)$ 为比 N 沟道 MOS 晶体管 112 的源极端子还低的电压。因此,能够实现确实防止 N 沟道 MOS 晶体管 112 和 P 沟道 MOS 晶体管 113 的源极・背门极间的 PN 结的正向泄漏,同时难以受到基板偏压效果的影响,开态电阻小的半导体开关。

[0051] 此时,在电阻的制造偏差小的情形下,可以将 N 沟道 MOS 晶体管 112 的背门极与 $VL(M)$ 连接,也可以将 P 沟道 MOS 晶体管 113 的背门极与 $VL(M)$ 连接。

[0052] 另外,如图 3 所示,从 MOS 晶体管的背门极流入到背门极的外周阱中的电流,例如如果是 N 沟道 MOS 晶体管 112 的情形,从 P 阱流入到 N 阱中的 PN 结逆向偏压漏电流不是由灰度级产生电路 100 提供的,而是由背门极电压控制电路 122 提供的,所以 $I_2 = I_1$,结果是能够将灰度级电压传送给输出端子,而不会引起灰度级产生电路 100 的电压偏差。此外,在 P 沟道 MOS 晶体管 113 的情形下,从 N 阱流入到 P 阱中的逆向偏压漏电流也由背门极电压控制电路 122 提供,但是省略图示。

[0053] 《第 2 实施方式》

[0054] 参照图 4 说明根据本发明第 2 实施方式的半导体开关。第 2 实施方式的半导体开关由模拟开关电路 211、开关控制电路 220 和灰度级产生电路 200 构成。另外，开关控制电路 220 由定时控制电路 121、背门极电压控制电路 222 和偏压电路 223 构成。

[0055] 其中，因为定时控制电路 121 具有与第 1 实施方式相同的结构，所以对于与图 1 和图 2 相同的构成部分赋予相同的标记，省略其详细说明。

[0056] 灰度级产生电路 200 具有 P 沟道 MOS 晶体管 M2、多个电阻元件 R 和二极管 D0 在 H 侧电源和 L 侧电源间串联连接的结构。另外，背门极电压控制电路 222 具有 P 沟道 MOS 晶体管 M1、多个电阻元件 R 和二极管 D1 在 H 侧电源和 L 侧电源间串联连接的结构。此外，二极管 D0 由并联连接的 F 个二极管构成，二极管 D1 也由并联连接的 F 个二极管构成。P 沟道 MOS 晶体管 M1 和 P 沟道 MOS 晶体管 M2 的门极电压共同连接，与偏压电路 223 连接。

[0057] 上述结构是使用了在第 1 实施方式中记载的半导体开关的带隙基准电路，不取决于电源电压和周围温度的基准电压被输出到模拟开关电路 211 的输出端子中。

[0058] 图 5 中示出了图 4 中的偏压电路 223 的具体电路结构。图 5 的偏压电路 300 由构成第 1 电流反射镜电路的 P 沟道 MOS 晶体管 M301 和 M302、构成第 2 电流反射镜电路的 N 沟道 MOS 晶体管 M303 和 M304、与 N 沟道 MOS 晶体管 M303 的源极和 L 侧电源连接的二极管 D3、在 N 沟道 MOS 晶体管 M304 的源极和 L 侧电源间串联连接的电阻元件 R1 和二极管 D2 构成。

[0059] 此外，二极管 D2 由并联连接的 F 个二极管构成。二极管 D3 和二极管 D2 的接合总面积分别为 S1、S2，其面积比 S2/S1 为 F。下面对于如上构成的带隙基准电路说明其运行，建立作为带隙基准电路的输出电压的基准电压的电压公式。

[0060] 在此作为前提，构成偏压电路 300 的第 1 电流反射镜电路的 P 沟道 MOS 晶体管 M301 和 M302 的门极长度和门极宽度的大小相等，构成第 2 电流反射镜电路的 N 沟道 MOS 晶体管 M303 和 M304 的门极长度和门极宽度的大小相等。

[0061] 假设 k 是玻耳兹曼常数，绝对温度为 T，电子的电荷量为 q 时，P 沟道 MOS 晶体管 M302 的源极・漏极间电流 I2 用

$$[0062] \quad I2 = (kT/q) \cdot \ln(F)/R1 \quad \dots (1)$$

[0063] 表示。其中，运算符号 LN 是以 e 为底的自然对数。该电流 I2 不取决于电源电压，但是由物理常数、电阻值 R1 以及二极管 D3 和二极管 D2 的接合总面积比 F 来决定。

[0064] 偏压电路 223(300) 的偏压输出与背门极电压控制电路 222 的 P 沟道 MOS 晶体管 M1、灰度级产生电路 200 的 P 沟道 MOS 晶体管 M2 的门极端子连接，偏压电路 223(300) 的 P 沟道 MOS 晶体管 M302、灰度级产生电路 200 的 P 沟道 MOS 晶体管 M2 和背门极电压控制电路 222 的 P 沟道 MOS 晶体管 M1 构成电流反射镜。

[0065] 从而，假设 P 沟道 MOS 晶体管 M302、P 沟道 MOS 晶体管 M1 和 P 沟道 MOS 晶体管 M2 的门极长度分别相等，门极宽度分别相等，与在 P 沟道 MOS 晶体管 M302 中流过的电流 I2 相等的电流流过 P 沟道 MOS 晶体管 M1 和 P 沟道 MOS 晶体管 M2 中。

[0066] 其中，假设灰度级产生电路 200 的多个电阻元件的电阻值为 R，个数为 N 个，从 L 侧电源数起的第 M 个灰度级电压为 VR(M)，二极管 D0 的正向电压为 VD0，VR(M) 用

$$[0067] \quad VR(M) = (M \cdot R/R1) \cdot (kT/q) \cdot \ln(F) + VD0 \quad \dots (2)$$

[0068] 表示。

[0069] 另外,假设背门极电压控制电路 222 的多个电阻元件的电阻值为 R、个数为 N 个,从 L 侧电源数起的第 M 个灰度级电压为 VL(M),二极管 D1 的正向电压为 VD1,VL(M) 用

$$[0070] \quad VL(M) = (M \cdot R/R1) \cdot (kT/q) \cdot \ln(F) + VD1 \quad \dots (3)$$

[0071] 表示。

[0072] 另外,在背门极电压控制电路 222 中从 L 侧电源数起的第 M-1 个灰度级输出为 VL(M-1) 用

$$[0073] \quad VL(M-1) = [(M-1) \cdot R/R1] \cdot (kT/q) \cdot \ln(F) + VD1 \quad \dots (4)$$

[0074] 表示,在背门极电压控制电路 222 中从 L 侧电源数起的第 M+1 个灰度级输出 VL(M+1) 用

$$[0075] \quad VL(M+1) = [(M+1) \cdot R/R1] \cdot (kT/q) \cdot \ln(F) + VD1 \quad \dots (5)$$

[0076] 表示。

[0077] VL(M+1) 与模拟开关电路 211 的 P 沟道 MOS 晶体管 213 的背门极连接,VL(M-1) 与模拟开关电路 211 的 N 沟道 MOS 晶体管 212 的背门极连接。

[0078] 另外,因为通过模拟开关电路 211 将电压 VR(M) 输出到输出端子 Vout,所以用

$$[0079] \quad Vout = VR(M) = [(M \cdot R)/R1] \cdot (kT/q) \cdot \ln(F) + VD0 \quad \dots (6)$$

[0080] 表示。

[0081] 输出电压 Vout 的温度特性用

$$[0082] \quad \partial Vout / \partial T = \partial VR(M) / \partial T = [(M \cdot R)/R1] \cdot (k/q) \cdot \ln(F) + \partial VD0 / \partial T \quad \dots (7)$$

[0083] 另外,背门极电压控制电路 222 的灰度级电压 VL(M) 的温度特性用 $\partial VL(M) / \partial T = [(M \cdot R)/R1] \cdot (k/q) \cdot \ln(F) + \partial VD1 / \partial T \quad \dots (8)$ 表示。

[0084] 其中,已知二极管正向电压 VF 的温度依存性是 -2mV/°C,通过选择 (7) 式的右边为零的灰度级产生电路 200 和开关控制电路 220 的电阻元件 R 的个数 M、电阻值 R、电阻值 R1、接合总面积比 F 的常数,能够得到不取决于周围温度的 VR(M)、VL(M) 和输出电压 Vout。例如,R1 = 5.0kΩ, R = 5.0kΩ, M = 11,接合总面积比 F 为 8 时,VR(M)、VL(M)、Vout 的温度特性为 -0.3mV/°C。

[0085] 如上所述,根据本实施方式的半导体开关,如从电路结构和式 (2)、(4)、(5) 可以知道的,因为 P 沟道 MOS 晶体管 213 的背门极端子比源极端子的电位高,N 沟道 MOS 晶体管 212 的背门极端子比源极端子的电位低,所以在模拟开关电路 211 中,能够确实防止 N 沟道 MOS 晶体管 212 和 P 沟道 MOS 晶体管 213 的源极·背门极间的 PN 结的正向泄漏。另外,如从式 (7)、(8) 中可以知道的,因为背门极电压控制电路 222 的灰度级电压 VL(M) 和灰度级产生电路 200 的灰度级电压 VR(M) 具有相等的温度依存性和电源电压依存性,所以即使周围温度和电源电压发生变化,VL(M) 和 VR(M) 的电压偏差也很小,能够减少基板偏压效果的影响。因为 PN 结逆向偏压漏电流不是由灰度级产生电路 200 提供的,而是由背门极电压控制电路 222 提供的,所以不会引起灰度级产生电路 200 的电压偏差,能够高精度地产生输出电压。

[0086] 此外,为了实现低阈值电压化,通过采用具有 H 侧电源和 L 侧电源间电压以下的具有耐压的 MOS 晶体管构成半导体开关,可以实现低开态电阻、高速的开关。

[0087] 另外,虽然在上述第 1 和第 2 实施方式中,采用并联连接了 P 沟道 MOS 晶体管和 N 沟道 MOS 晶体管的模拟开关电路,但是采用仅由 P 沟道 MOS 晶体管构成的模拟开关,或者仅由 N 沟道 MOS 晶体管构成的模拟开关也可以取得同样的效果。

[0088] 另外,作为上述第 1 和第 2 实施方式中采用的电阻元件,分别是可以通过半导体工艺制造的电阻元件,采用使用了聚硅的电阻元件、使用了扩散电阻的电阻元件或者使用了阱电阻的电阻元件也能够取得同样的效果。

[0089] 另外,在上述第 2 实施方式中采用的二极管可以是可通过半导体工艺制造的具有 PN 结的元件,例如利用 MOS 晶体管的源极和漏极端子与背门极端子之间的 PN 结也能够取得同样的效果。

[0090] 本发明可用于半导体开关中,尤其可用于构成灰度级产生电路和电源电路的半导体开关中。

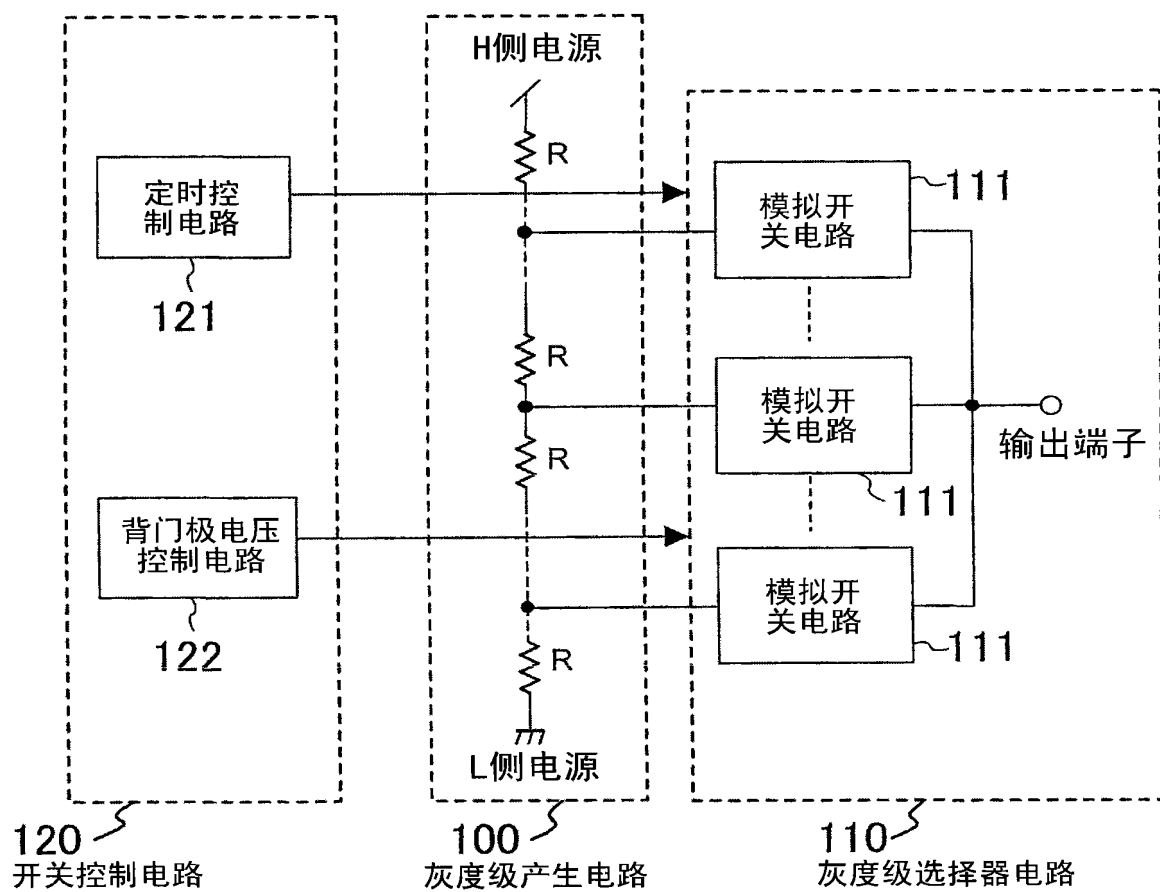


图 1

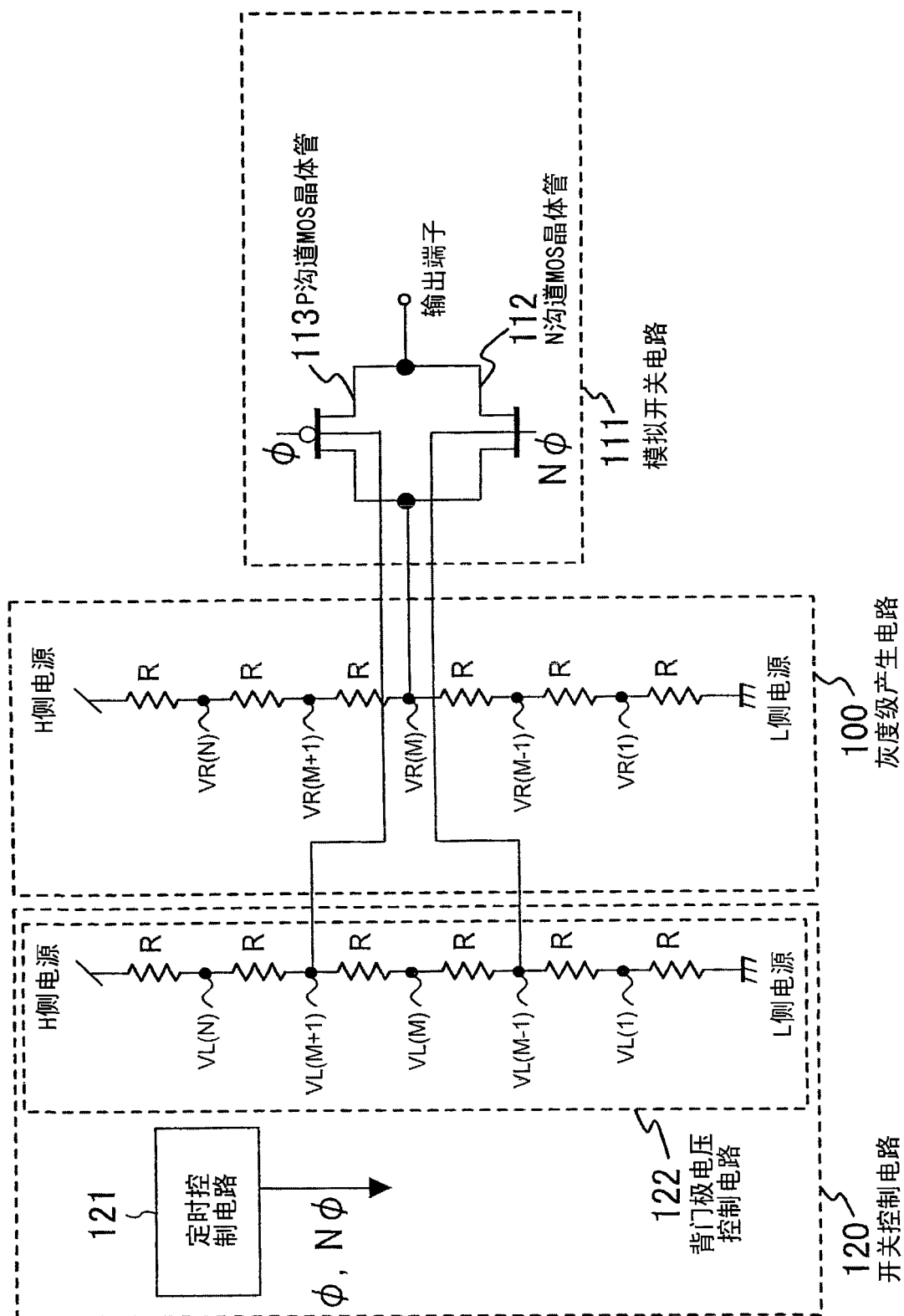


图2

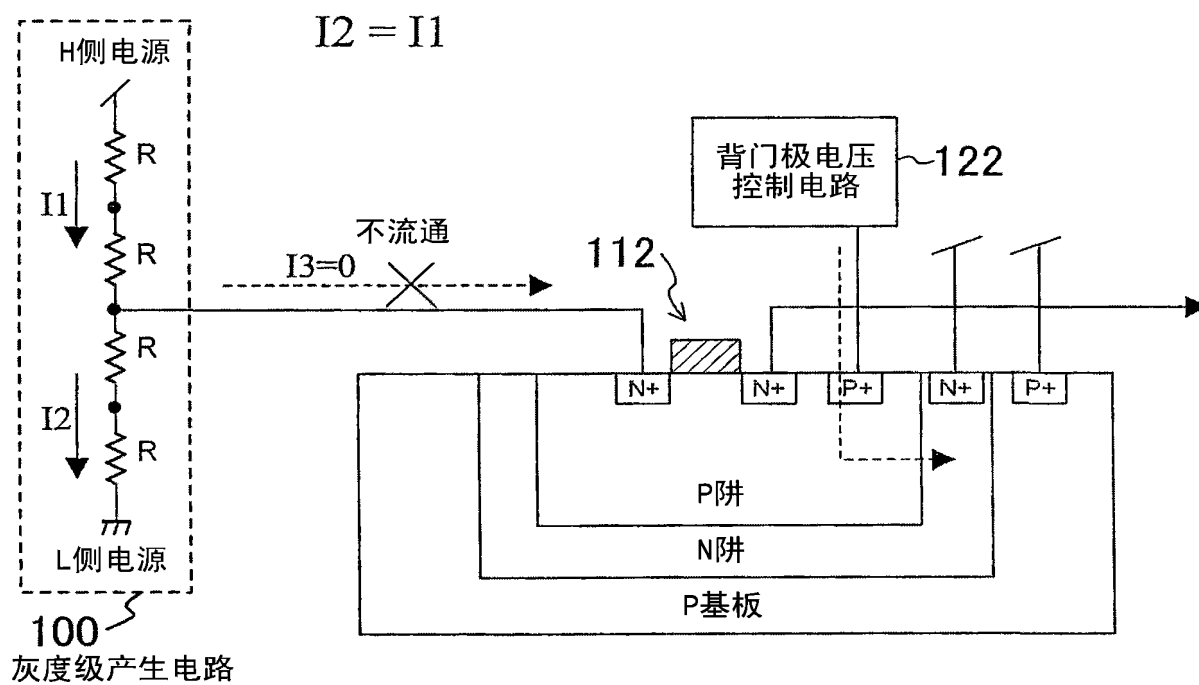
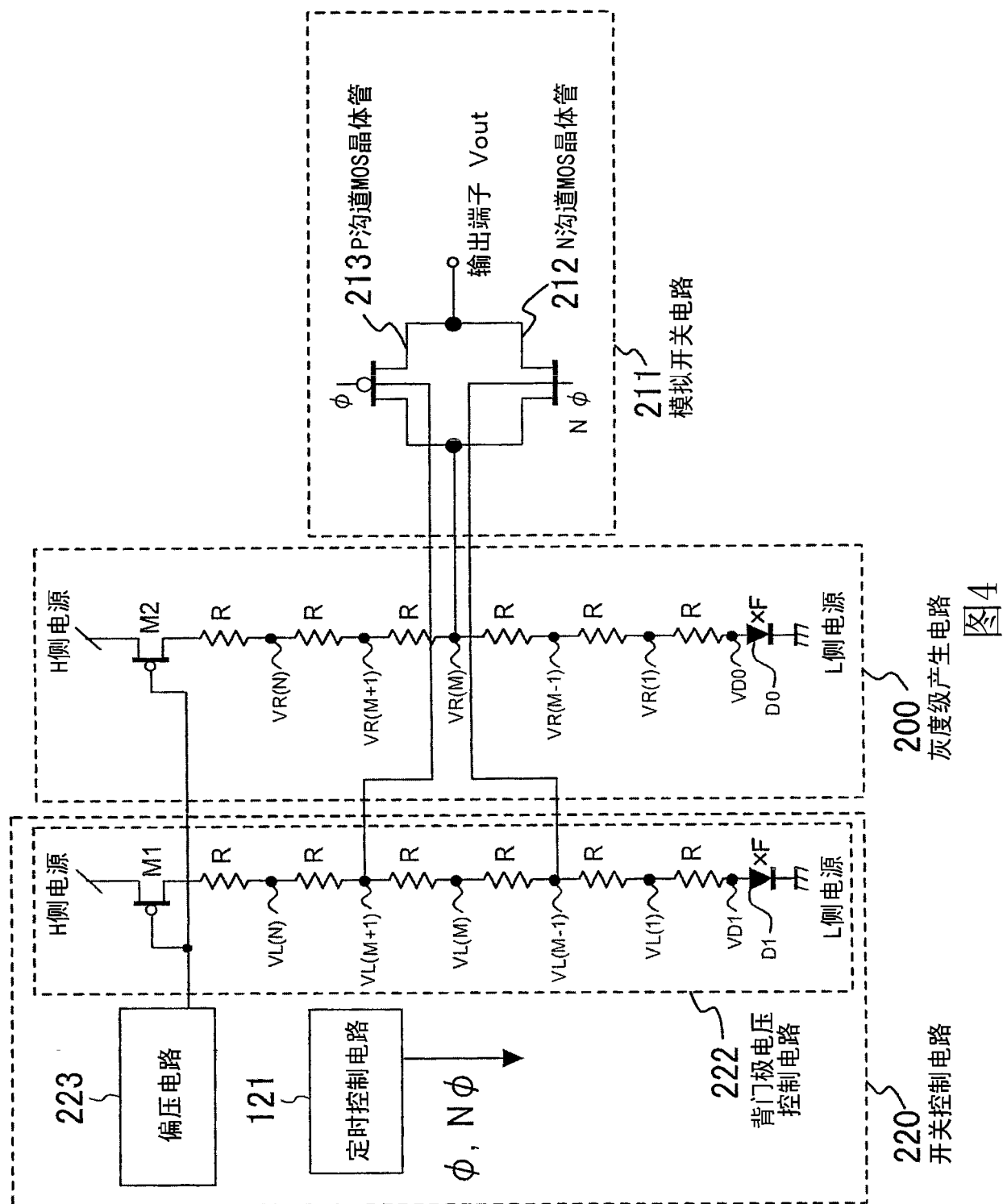


图 3



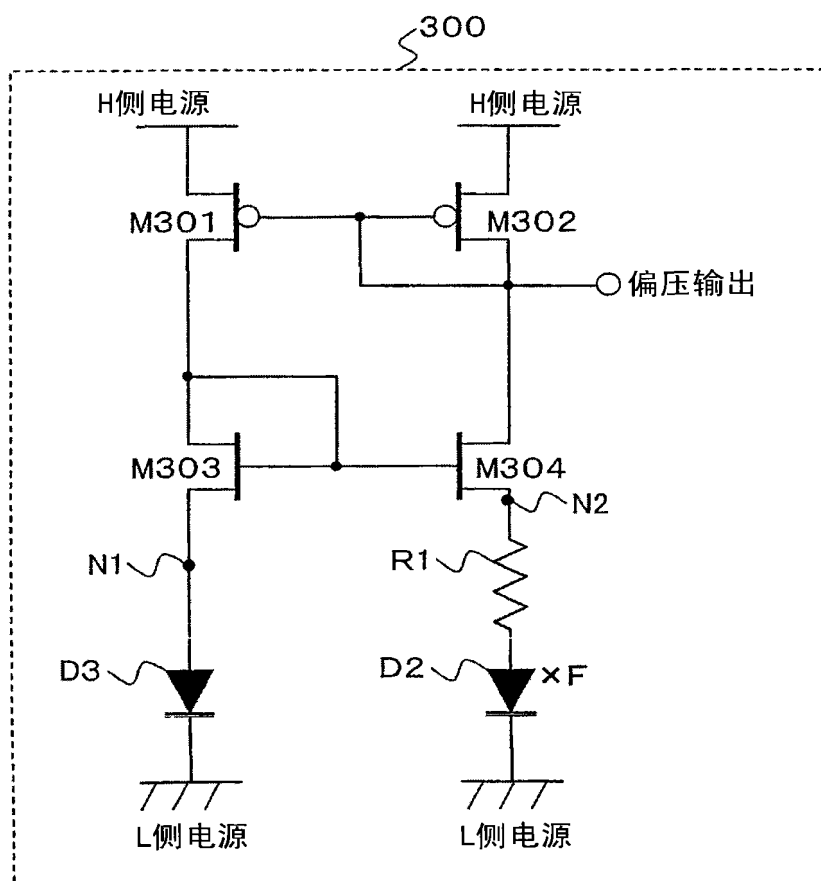


图 5

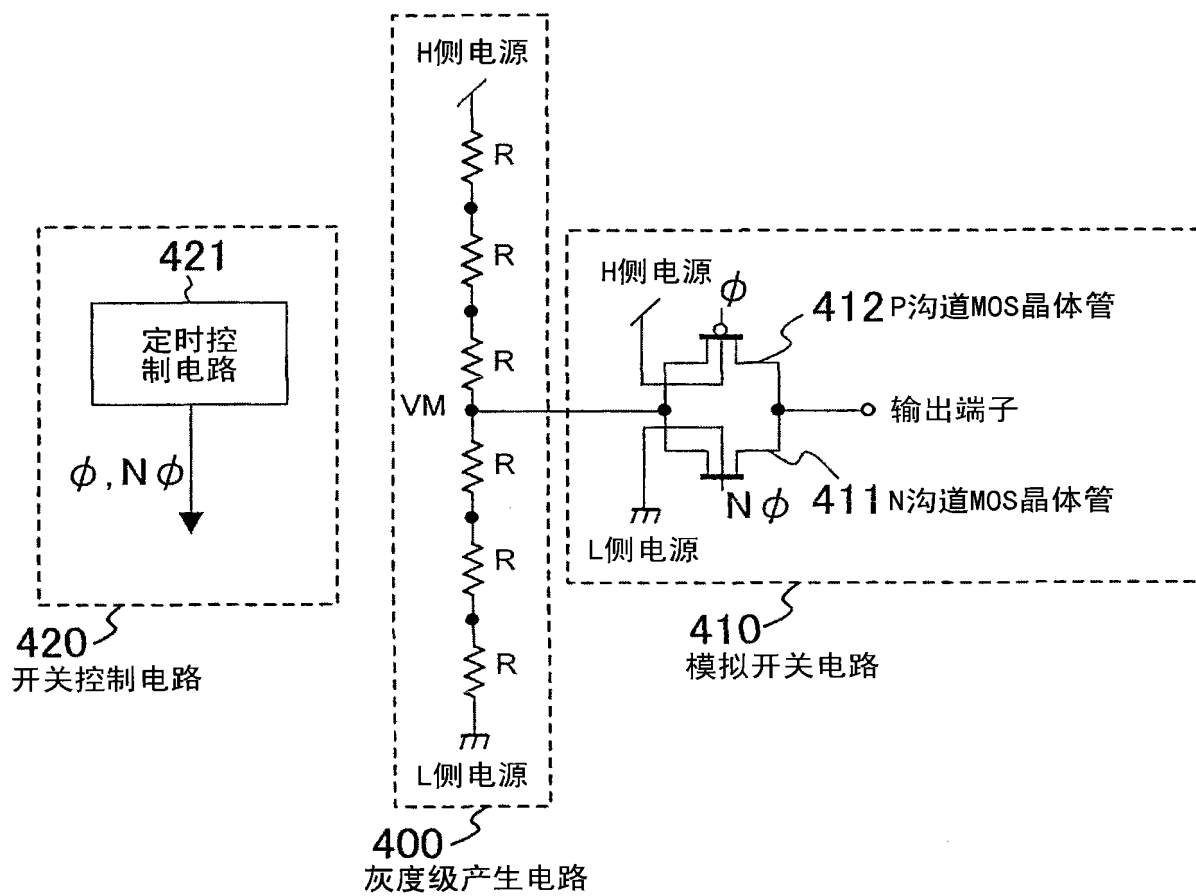


图 6

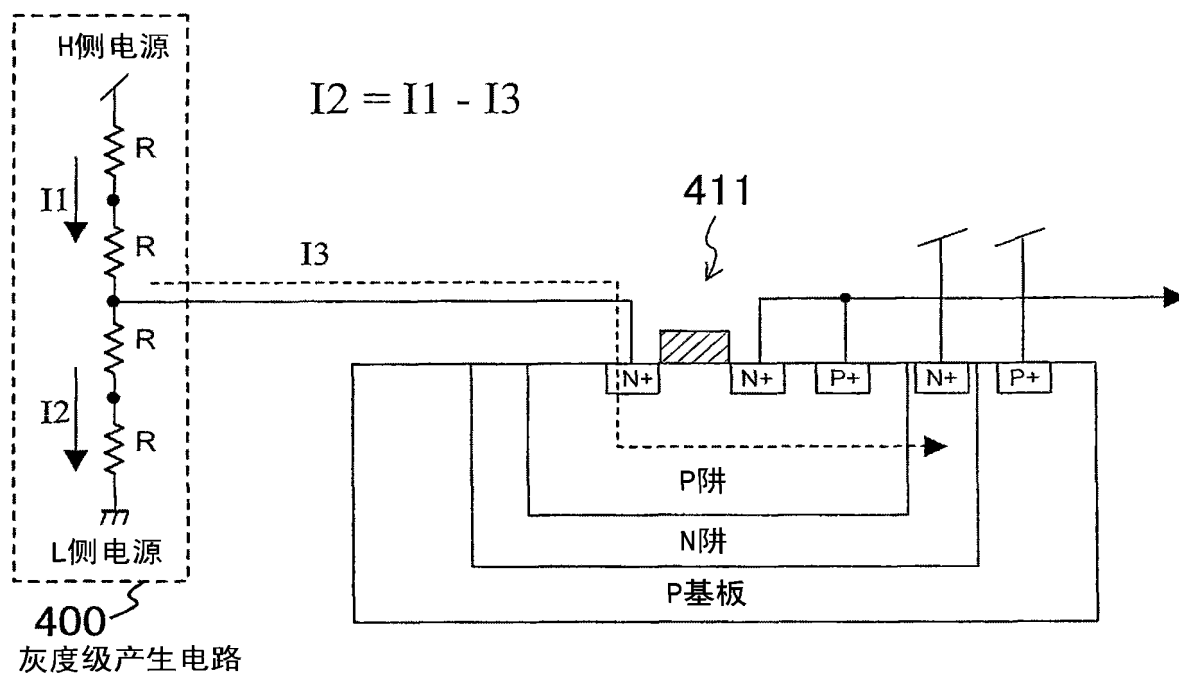


图 7