

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3773256号

(P3773256)

(45) 発行日 平成18年5月10日(2006.5.10)

(24) 登録日 平成18年2月24日(2006.2.24)

(51) Int. Cl.

G 1 1 B 5/09 (2006.01)

F I

G 1 1 B 5/09 3 1 1 B

請求項の数 14 (全 18 頁)

| | | | |
|---------------|------------------------|-----------|----------------------|
| (21) 出願番号 | 特願平8-501880 | (73) 特許権者 | 590000248 |
| (86) (22) 出願日 | 平成7年6月6日(1995.6.6) | | コーニンクレッカ フィリップス エレク |
| (65) 公表番号 | 特表平10-501645 | | トロニクス エヌ ヴィ |
| (43) 公表日 | 平成10年2月10日(1998.2.10) | | Koninklijke Philips |
| (86) 国際出願番号 | PCT/IB1995/000431 | | Electronics N. V. |
| (87) 国際公開番号 | W01995/035563 | | オランダ国 5621 ペーアー アイ |
| (87) 国際公開日 | 平成7年12月28日(1995.12.28) | | ドーフエン フルーネヴァウツウェッハ |
| 審査請求日 | 平成14年6月5日(2002.6.5) | | 1 |
| (31) 優先権主張番号 | 94201659.3 | | Groenewoudseweg 1, 5 |
| (32) 優先日 | 平成6年6月10日(1994.6.10) | | 621 BA Eindhoven, T |
| (33) 優先権主張国 | オランダ(NL) | | he Netherlands |
| | | (74) 代理人 | 100072051 |
| | | | 弁理士 杉村 興作 |
| | | (74) 代理人 | 100100125 |
| | | | 弁理士 高見 和明 |

最終頁に続く

(54) 【発明の名称】 磁気書き込みヘッドを具える装置、及び容量性電流補償を有する書き込み増幅器

(57) 【特許請求の範囲】

【請求項1】

磁気記録担体に情報信号を記録する情報信号記録装置であって、この記録担体に情報を記録する書き込みヘッドと、前記情報信号に 응답して前記書き込みヘッドを駆動させるために前記書き込みヘッドに結合した第1書き込み端子及び第2書き込み端子を有する書き込み増幅器とを具える情報信号記録装置において、

前記書き込み増幅器は、

前記書き込み増幅器に電源電圧を接続するための第1電源端子及び第2電源端子と、
第1電流入力端子、前記第1書き込み端子に結合した第1電流出力端子及び前記第1電流入力端子に接続した第1共通電流端子を有する第1電流ミラーと、

第2電流入力端子、前記第2書き込み端子に結合した第2電流出力端子及び前記第1電源端子に接続した第2共通電流端子を有する第2電流ミラーと、

前記第1電流入力端子と第2電流出力端子との間に接続した第1キャパシタと、前記第2電流入力端子と第1電流出力端子との間に接続した第2キャパシタのうち少なくとも一つと、

前記情報信号の第1の値用に、前記第1書き込み端子及び第2書き込み端子を介して前記第1電流出力端子と第2電源端子との間に電流経路を確立し、かつ、前記情報信号の第2の値用に、前記第1書き込み端子及び第2書き込み端子を介して前記第2電流出力端子と第2電源端子との間に電流経路を確立する電流切替手段とを具えることを特徴とする情報信号記録装置。

10

20

【請求項 2】

前記電流切替手段は、第 3 電流入力端子、前記第 1 書込み端子に結合した第 3 電流出力端子及び前記第 2 電源端子に接続した第 3 共通電流端子を有する第 3 電流ミラーと、第 4 電流入力端子、前記第 2 書込み端子に結合した第 4 電流出力端子、及び第 2 電源端子に接続した第 4 共通電流端子を有する第 4 電流ミラーと、前記情報信号の第 1 の値用に第 1 電流を発生させるために前記第 1 電流入力端子と第 4 電流入力端子との間に接続した第 1 の切替自在の電流源と、前記情報信号の第 2 の値用に第 2 電流を発生させるために前記第 2 電流入力端子と第 3 電流入力端子との間に接続した第 2 の切替自在の電流源とを具えることを特徴とする請求項 1 記載の情報信号記録装置。

10

【請求項 3】

前記書込み増幅器は、前記第 3 電流入力端子と第 4 電流出力端子との間に接続した第 3 キャパシタと前記第 4 電流入力端子と第 3 電流出力端子との間に接続した第 4 キャパシタのうちの少なくとも一つを具えることを特徴とする請求項 2 記載の情報信号記録装置。

【請求項 4】

前記第 3 電流ミラー及び第 4 電流ミラーはそれぞれ、第 3 電流入力端子及び第 4 電流入力端子にそれぞれ結合した制御電極及び第 2 主電極並びに前記第 2 電源端子に結合した第 1 主電極を有するダイオード接続した第 1 導電型の入力トランジスタと、関連の入力トランジスタの制御電極に接続した制御電極、前記第 2 電源端子に結合した第 1 主電極並びに前記第 3 電流出力端子及び第 4 電流出力端子に接続した第 2 主電極を有する第 1 導電型の出力トランジスタとを具え、

20

前記第 1 電流ミラー及び第 2 電流ミラーはそれぞれ、第 1 電流入力端子及び第 2 電流入力端子にそれぞれ結合した制御電極及び第 2 主電極並びに前記第 1 電源端子に結合した第 1 主電極を有するダイオード接続した第 2 導電型の入力トランジスタと、関連の入力トランジスタの制御電極に接続した制御電極、前記第 1 電源端子に結合した第 1 主電極並びに前記第 1 電流出力端子及び第 2 電流出力端子に接続した第 2 主電極を有する第 1 導電型の出力トランジスタとを具えることを特徴とする請求項 1、2 又は 3 記載の情報信号記録装置。

【請求項 5】

前記第 1 電流ミラー及び第 2 電流ミラーの入力トランジスタ及び出力トランジスタの第 1 主電極を、抵抗を介して前記第 1 電源端子に接続し、前記第 3 電流ミラー及び第 4 電流ミラーの入力トランジスタ及び出力トランジスタの第 1 主電極を、抵抗を介して前記第 2 電源端子に接続したことを特徴とする請求項 4 記載の情報信号記録装置。

30

【請求項 6】

前記書込み増幅器はさらに、前記第 1 書込み端子と第 1 ノードとの間に接続した第 1 抵抗と、前記第 1 ノードと第 2 書込み端子との間に接続した第 2 抵抗と、前記第 1 電源端子と第 1 ノードとの間に接続した第 3 抵抗と、前記第 2 電源端子と第 1 ノードとの間に接続した第 4 抵抗とを具えることを特徴とする請求項 1、2、3、4 又は 5 記載の情報信号記録装置。

【請求項 7】

前記書込み増幅器はさらに、前記第 1 書込み端子と第 1 ノードとの間に接続した第 1 抵抗と、前記第 1 ノードと第 2 書込み端子との間に接続した第 2 抵抗と、制御電極、前記第 1 ノードに接続した第 1 主電極、及び前記第 1 電源端子に結合した第 2 主電極を有する第 1 導電型の第 1 トランジスタと、この第 1 トランジスタの制御電極に接続した制御電極、第 1 主電極、及びその制御電極に接続した第 2 主電極を有する第 1 導電型の第 2 トランジスタと、前記第 1 電源端子と第 2 トランジスタの第 2 主電極との間に接続した第 3 抵抗と、制御電極、前記第 1 ノードに接続した第 1 主電極、及び前記第 2 電源端子に結合した第 2 主電極を有する第 2 導電型の第 3 トランジスタと、前記第 3 トランジスタの制御電極に接続した制御電極、前記第 2 トランジスタの第 1 主電極に接続した第 1 主電極、及びその制御電極に接続した第 2 主電極を有する第 2 導電型の第 4 トランジスタと、前記第 2 電源端

40

50

子と第4トランジスタの第2主電極との間に接続した第4抵抗とを具える請求項1, 2, 3, 4又は5記載の情報信号記録装置。

【請求項8】

前記書込み増幅器はさらに、

前記第1書込み端子と第1ノードとの間に接続した第1トランジスタと、前記第1ノードと第2書込み端子との間に接続した第2抵抗と、前記第1書込み端子と第2ノードとの間に接続した第3抵抗と、前記第2ノードと第2書込み端子との間に接続した第4抵抗と、制御電極、前記第1ノードに接続した第1主電極、及び前記第1電源端子に結合した第2主電極を有する第1導電型の第1トランジスタと、前記第1トランジスタの制御電極に接続した制御電極、第1主電極、及びその制御電極に接続した第2主電極を有する第1導電型の第2トランジスタと、前記第1電源端子及び第2トランジスタの第2主電極との間に接続した第5抵抗と、前記第1トランジスタの制御電極に接続した制御電極、前記第1ノードに接続した第1主電極、及び前記第2電源端子に結合した第2主電極を有する第1導電型の第3トランジスタと、

制御電極、前記第1ノードに接続した第1主電極、及び前記第3電流入力端子と第4電流入力端子のうち的一方に結合した第2主電極を有する第2導電型の第4トランジスタと、前記第4トランジスタの制御電極に接続した制御電極、前記第2トランジスタの第1主電極に接続した第1主電極、及びその制御電極に接続した第2主電極を有する第2導電型の第5トランジスタと、前記第2電源端子と前記第5トランジスタの第2主電極との間に接続した第6抵抗と、前記第4トランジスタの制御電極に接続した制御電極、前記第2ノードに接続した第1主電極、及び前記第3電流入力端子と第4電流入力端子のうちの他方に結合した第2主電極を有する第2導電型の第6トランジスタとを具えることを特徴とする請求項1, 2, 3, 4又は5記載の情報信号記録装置。

【請求項9】

前記第2ノードを前記第1ノードに接続したことを特徴とする請求項8記載の情報信号記録装置。

【請求項10】

前記第1の切替自在の電流源及び第2の切替自在の電流源は、第3ノードに接続した制御電極、第1主電極、及び前記第1電流入力端子に結合した第2主電極を有する第1導電型の第7トランジスタと、この第7トランジスタの制御電極に接続した制御電極、第1主電極、及び前記第1電源出力端子に結合した第2主電極を有する第1導電型の第8トランジスタと、第4ノードに接続した制御電極、前記第7トランジスタの第1主電極に接続した第1主電極、及び前記第4電流入力端子に結合した第2主電極を有する第2導電型の第9トランジスタと、前記第8トランジスタの第1主電極に接続した第1主電極、並びに前記第4ノードに接続した制御電極及び第2主電極を有するダイオード接続した第2導電型の第10トランジスタと、

バイアス電流を前記第4ノードに供給するために前記第4ノードに結合したバイアス電流源と、

第5ノードに接続した制御電極、第1主電極、及び前記第2電流入力端子に結合した第2主電極を有する第1導電型の第11トランジスタと、この第11トランジスタの制御電極に接続した制御電極、第1主電極、及び前記第1電源端子に結合した第2主電極を有する第1導電型の第12トランジスタと、前記第4ノードに接続した制御電極、前記第11トランジスタの第1主電極に接続した第1主電極、及び前記第3電流入力端子に結合した第2主電極を有する第2導電型の第13トランジスタとを具えることを特徴とする請求項1, 2, 3, 4, 5, 6, 7, 8又は9記載の情報信号記録装置。

【請求項11】

前記第1の切替自在の電流源及び第2の切替自在の電流源はさらに、

前記情報信号を受信する制御電極、前記第3ノードに接続した第1主電極、及び前記第1電源に結合した第2主電極を有する第1導電型の第14トランジスタと、前記情報信号を受信する制御電極、前記第5ノードに結合した第1主電極、及び前記第1電源端子に結合

10

20

30

40

50

した第2主電極を有する第1導電型の第15トランジスタと、前記第8トランジスタの制御電極に接続した制御電極、前記第8トランジスタの第1主電極に接続した第1主電極、及び前記第5ノードに結合した第2主電極を有する第1導電型の第16トランジスタと、前記第12トランジスタの制御電極に接続した制御電極、前記第12トランジスタの第1主電極に接続した第1主電極、及び前記第3ノードに結合した第2主電極を有する第1導電型の第17トランジスタとを具え、前記第8トランジスタの第2主電極を前記第3ノードに接続し、前記第12トランジスタの第2主電極を前記第5ノードに接続したことを特徴とする請求項10記載の情報信号記録装置。

【請求項12】

前記電流切替手段は、

バイアス電流源からバイアス電流を受信するように各々の第1主電極を結合し、前記情報信号を受信するように各々の制御電極を接続し、かつ、前記第1電流入力端子及び第2電流入力端子に各々の第2主電極を結合した第1の導電型の第1差動対トランジスタ及び第1の導電型の第2差動対トランジスタを具える差動対と、前記第2電源端子と前記第2電流ミラーの他の第2電流出力端子との間に接続した第1電流感知抵抗と、前記第2電源端子と前記第1電流ミラーの他の第1電流出力端子との間に接続した第2電流感知抵抗と、前記第1電流感知抵抗に接続した制御電極及び第1主電極、並びに前記第1電流出力端子に結合した第2主電極を有する第1導電型の第1プルダウントランジスタと、前記第2電流感知抵抗に接続した制御電極及び第1主電極、並びに前記第2電流出力端子に結合した第2主電極を有する第1導電型の第2プルダウントランジスタとを具えることを特徴とする請求項1記載の情報信号記録装置。

【請求項13】

前記第1電流ミラー及び第2電流ミラーはそれぞれ、前記第1電流入力端子及び第2電流入力端子にそれぞれ接続した制御電極及び第2主電極、並びに前記第1電源端子に結合した第2主電極を有するダイオード接続した第2導電型のPNP入力トランジスタと、前記入力トランジスタの制御電極に接続した制御電極、前記第1電源端子に結合した第1主電極、並びに前記第1電流出力端子及び第2電流出力端子に接続した第2主電極を有する第2導電型の出力トランジスタと、関連の入力トランジスタの制御電極に接続した制御電極、前記第1電源端子に結合した第1主電極、並びに前記他の第1電流出力端子及び他の第2出力端子に接続した第2主電極を有する第2導電型の他の出力トランジスタとを具えることを特徴とする請求項12記載の情報信号記録装置。

【請求項14】

磁気記録担体に情報信号を記録するために、請求の範囲1から13のうちのいずれかに記載の情報信号記録装置に用いる書込み増幅器。

【発明の詳細な説明】

本発明は、磁気記録担体に情報信号を記録する情報信号記録装置であって、この記録担体に情報を記録する書込みヘッドと、前記情報信号に応答して前記書込みヘッドを駆動させるために前記書込みヘッドに結合した第1書込み端子及び第2書込み端子を有する書込み増幅器とを具える情報信号記録装置に関するものである。

また、本発明は、このような装置に用いる書込み増幅器に関するものである。

誘導性書込みヘッドを有する書込み増幅器は、書込みヘッドを流れる書込み電流の極性が情報信号のパターンに応じて反転するので、デジタル情報信号の記憶するハードディスクドライブに特に用いられる。ハードディスクドライブの記憶容量を増大させるために一定の傾向がある。増大したデータ量を記憶するのに必要な時間を最小にするために、ビットレートを増大させることによってデータ転送を加速しようという傾向が一般にある。このためには、書込み電流の極性反転をより急速に行うことが要求される。この際、書込み電流がもはや書込みヘッドに流れなくなるだけでなく、第1書込み端子及び第2書込み端子に寄生容量が存在するようになるという問題が生じる。これら寄生容量は、書込み増幅器の内部容量、書込みヘッドそれ自体の両端間の寄生容量、及び書込みヘッドを書込み増幅器の第1書込み端子及び第2書込み端子に接続するワイヤのワイヤ容量によって生じる。

10

20

30

40

50

書込みヘッドを流れる書込み電流は高ビットレートで歪みが生じ、その結果、情報担体への記録が不正確になる。

本発明の目的は、高ビットレートでの情報の記録の正確さを向上させることである。このために、本発明によれば、前記書込み増幅器は、前記書込みヘッドに流れる書込み電流に対する寄生容量の悪影響を減少又は除去する補償手段を更に具えることを特徴とする冒頭で規定したようなタイプの装置とする。

容量性補償電流は、寄生容量の悪影響を完全に又は部分的に補償し、これにより、同一の正確さでより高いビットレートを獲得することができる。

本発明によれば、負容量を、前記書込み増幅器は、前記書込み増幅器に電源電圧を接続するための第1電源端子及び第2電源端子と、

10

第1電流入力端子、前記第1書込み端子に結合した第1電流出力端子及び前記第1電流入力端子に接続した第1共通電流端子を有する第1電流ミラーと、

第2電流入力端子、前記第2書込み端子に結合した第2電流出力端子及び前記第1電源端子に接続した第2共通電流端子を有する第2電流ミラーと、

前記第1電流入力端子と第2電流出力端子との間に接続した第1キャパシタと、前記第2電流入力端子と第1電流出力端子との間に接続した第2キャパシタのうちの少なくとも一つと、

前記情報信号の第1の値用に、前記第1書込み端子及び第2書込み端子を介して前記第1電流出力端子と第2電源端子との間に電流経路を確立し、かつ、前記情報信号の第2の値用に、前記第1書込み端子及び第2書込み端子を介して前記第2電流出力端子と第2電源端子との間に電流経路を確立する電流切替手段とを具えることを特徴とする例を用いて達成することができる。

20

第1及び第2キャパシタは、第1及び第2電流ミラーを介して逆の容量性電流を第1及び第2書込み端子に注入することにより、寄生容量を中和する。最適な影響を得るためには、好適にはキャパシタを、対で、すなわち第1キャパシタを第2キャパシタとともに使用して、装置の対称性を妨害しないようにする。

米国特許出願明細書第5,282,094号の図1は、書込み端子のうち的一方と第2電源端子との間に低インピーダンスを確立する電流切替手段を用いて極性の反転を行う装置を開示している。この場合、他方の書込み端子を、第1又は第2電流ミラーの高インピーダンス電流出力端子に接続する。その結果、書込みヘッドの両端間の共通モード電圧は、固定値を有しなく、情報信号の以前のビットパターンの1又は0の数に依存する。その結果、これに続くビット変化は、変化の直前の共通モード電圧によって影響を及ぼされるおそれがあり、これによりビットパターンに依存する信号歪みが生じるおそれがある。さらに、共通モード電圧が変動することにより、感度の良好な他の回路にクロストークが生じるおそれがある。これらの問題により、記録すべき情報信号のビットレートが制限される。高ビットレートにより好適にする構造の書込み増幅器を有する本発明の例は、前記電流切替手段は、第3電流入力端子、前記第1書込み端子に結合した第3電流出力端子及び前記第2電源端子に接続した第3共通電流端子を有する第3電流ミラーと、

30

第4電流入力端子、前記第2書込み端子に結合した第4電流出力端子、及び第2電源端子に接続した第4共通電流端子を有する第4電流ミラーと、

40

前記情報信号の第1の値用に第1電流を発生させるために前記第1電流入力端子と第4電流入力端子との間に接続した第1の切替自在の電流源と、

前記情報信号の第2の値用に第2電流を発生させるために前記第2電流入力端子と第3電流入力端子との間に接続した第2の切替自在の電流源とを具えることを特徴とするものである。

この際、書込みヘッドを、切替自在の電流源によって一度に二つターンオンされる四つの電流ミラーの高インピーダンス出力間に接続する。第1の切替自在の電流源が導通すると、第1及び第4電流ミラーを介した第1電源端子から第2電源端子まで書込みヘッドに電流が流れる。第2の切替自在の電流源が導通すると、第2及び第3電流ミラーを介した第1電流端子から第2電流端子まで書込みヘッドに逆電流が流れる。第4電流ミラーの高イ

50

ンピーダンス電流出力端子間に書込みヘッドを接続するので、共通モード電圧を、追加の手段によって所望のように、好適には電源電圧の半分に固定することができ、かつ、ビットパターンに依存しないようにすることができる。この際、電流ミラーは、書込みヘッド電圧のピーク中のみ飽和し、書込み増幅器の出力トランジスタの過飽和を除去するのにクランプ回路が必要なくなる。

所望の場合には、第3及び第4電流ミラーを、寄生容量を中和するのに使用することもでき、このために、本発明による装置はさらに、前記書込み増幅器は、前記第3電流入力端子と第4電流出力端子との間に接続した第3キャパシタと前記第4電流入力端子と第3電流出力端子との間に接続した第4キャパシタのうち少なくとも一つを具えることを特徴とするものである。

10

第4電流ミラーを、任意の好適なタイプとすることができる。書込み増幅器の最大出力スイングのためには、本発明による装置の好適例は、前記第3電流ミラー及び第4電流ミラーはそれぞれ、第3電流入力端子及び第4電流入力端子にそれぞれ結合した制御電極及び第2主電極並びに前記第2電源端子に結合した第1主電極を有するダイオード接続した第1導電型の入力トランジスタと、関連の入力トランジスタの制御電極に接続した制御電極、前記第2電源端子に結合した第1主電極並びに前記第3電流出力端子及び第4電流出力端子に接続した第2主電極を有する第1導電型の出力トランジスタとを具え、

前記第1電流ミラー及び第2電流ミラーはそれぞれ、第1電流入力端子及び第2電流入力端子にそれぞれ結合した制御電極及び第2主電極並びに前記第1電源端子に結合した第1主電極を有するダイオード接続した第2導電型の入力トランジスタと、関連の入力トランジスタの制御電極に接続した制御電極、前記第1電源端子に結合した第1主電極並びに前記第1電流出力端子及び第2電流出力端子に接続した第2主電極を有する第1導電型の出力トランジスタとを具えることを特徴とするものである。

20

このようにして実現される電流ミラーは、最小電圧損失を発生させ、出力スイングを電源電圧近くまで許容することができる。さらに、これらは、電流搬送作用については基本的には単一極性であり、したがって、波形に余分なリングングが生じない。リングングにより符号間の干渉が生じるおそれがある。

トランジスタを、バイポーラトランジスタ又はユニポーラトランジスタとすることができる。制御電極、第1主電極、及び第2主電極は、バイポーラトランジスタではそれぞれベース、エミッタ、及びコレクタに対応し、ユニポーラトランジスタではそれぞれゲート、ソース、及びドレインに対応する。

30

この例は、前記第1電流ミラー及び第2電流ミラーの入力トランジスタ及び出力トランジスタの第1主電極を、抵抗を介して前記第1電源端子に接続し、前記第3電流ミラー及び第4電流ミラーの入力トランジスタ及び出力トランジスタの第1主電極を、抵抗を介して前記第2電源端子に接続したことを特徴とするものとしてすることができる。これら抵抗により電流ミラー間の整合が良好になり、かつ、温度安定性が向上する。

共通モード制御を有する本発明による装置の第1例は、前記書込み増幅器はさらに、前記第1書込み端子と第1ノードとの間に接続した第1抵抗と、前記第1ノードと第2書込み端子との間に接続した第2抵抗と、前記第1電源端子と第1ノードとの間に接続した第3抵抗と、前記第2電源端子と第1ノードとの間に接続した第4抵抗とを具えることを特徴とするものである。第1及び第2抵抗を、書込みヘッドの両端間に直列に配置し、これら抵抗は、書込みヘッドの制動抵抗も形成する。書込みヘッドの両端間の共通モード電圧は、第1ノードの電圧に等しく、この第1ノードは、第1及び第2抵抗の中央タップを形成し、電源の両端間に配置されるとともに第3及び第4抵抗を具える簡単な分圧器によって固定される。分圧器のインピーダンスが減少すると、共通モード電圧の固定が向上される。分圧器の散逸の観点から、非常に低いインピーダンスを回避すべきである。

40

散逸を減少させるために、本発明による共通モード制御を有する装置の第2例は、前記書込み増幅器はさらに、前記第1書込み端子と第1ノードとの間に接続した第1抵抗と、前記第1ノードと第2書込み端子との間に接続した第2抵抗と、制御電極、前記第1ノードに接続した第1主電極、及び前記第1電源端子に結合した第2主電極を有する第1導電型

50

の第1トランジスタと、この第1トランジスタの制御電極に接続した制御電極、第1主電極、及びその制御電極に接続した第2主電極を有する第1導電型の第2トランジスタと、前記第1電源端子と第2トランジスタの第2主電極との間に接続した第3抵抗と、制御電極、前記第1ノードに接続した第1主電極、及び前記第2電源端子に結合した第2主電極を有する第2導電型の第3トランジスタと、前記第3トランジスタの制御電極に接続した制御電極、前記第2トランジスタの第1主電極に接続した第1主電極、及びその制御電極に接続した第2主電極を有する第2導電型の第4トランジスタと、前記第2電源端子と第4トランジスタの第2主電極との間に接続した第4抵抗とを具えることを特徴とするものである。

第1及び第2トランジスタは、A/B級で動作するとともに、第1ノードに低インピーダンスを発生させる。これは、比較的大きい第3及び第4抵抗で実現することができる。 10

四つの電流ミラーのうちの二つだけ同時に作動させる。電流ミラーのターンオンを、四つの電流ミラーに静止電流を流すことができるようにすることにより、急速にすることができる。この際、電流ミラーの漂遊容量の充放電に必要な電流は小さくなる。本発明による共通モード制御を有する装置の第3例は、前記書込み増幅器はさらに、

前記第1書込み端子と第1ノードとの間に接続した第1トランジスタと、前記第1ノードと第2書込み端子との間に接続した第2抵抗と、前記第1書込み端子と第2ノードとの間に接続した第3抵抗と、前記第2ノードと第2書込み端子との間に接続した第4抵抗と、制御電極、前記第1ノードに接続した第1主電極、及び前記第1電源端子に結合した第2主電極を有する第1導電型の第1トランジスタと、前記第1トランジスタの制御電極に接続した制御電極、第1主電極、及びその制御電極に接続した第2主電極を有する第1導電型の第2トランジスタと、前記第1電源端子及び第2トランジスタの第2主電極との間に接続した第5抵抗と、前記第1トランジスタの制御電極に接続した制御電極、前記第1ノードに接続した第1主電極、及び前記第2電源端子に結合した第2主電極を有する第1導電型の第3トランジスタと、 20

制御電極、前記第1ノードに接続した第1主電極、及び前記第3電流入力端子と第4電流入力端子のうち的一方に結合した第2主電極を有する第2導電型の第4トランジスタと、前記第4トランジスタの制御電極に接続した制御電極、前記第2トランジスタの第1主電極に接続した第1主電極、及びその制御電極に接続した第2主電極を有する第2導電型の第5トランジスタと、前記第2電源端子と前記第5トランジスタの第2主電極との間に接続した第6抵抗と、前記第4トランジスタの制御電極に接続した制御電極、前記第2ノードに接続した第1主電極、及び前記第3電流入力端子と第4電流入力端子のうちの他方に結合した第2主電極を有する第2導電型の第6トランジスタをと具えることを特徴とするものである。 30

好適には、この例は、共通モード制御及び四つの電流ミラーを設定する静止電流を組み合わせる。この際、第1及び第2ノードに接続した四つのトランジスタを流れるバイアス電流は、電源端子に排出されるのではなく、四つの電流ミラーの各電流入力端子に流れ込み、電流ミラーの静止電流として作用する。制動抵抗は、第1及び第2ノードに中央タップを有する二つの抵抗の二つの直列チェーンからなる。電流ミラーにより、共通モード信号に対する制動抵抗の見かけの抵抗は、電流ミラーの電流利得によって決定された係数によって減少する。個別の直列チェーンは、エミッタを第1ノードに接続した第1及び第4抵抗並びにエミッタを第2ノードに接続した第3及び第6抵抗のエミッタデジェネレーション抵抗の役割を果たす。これにより、第1及び第4トランジスタ間並びに第3及び第6トランジスタ間のあり得る不整合の影響を減少させる。他の例は、前記第2ノードを前記第1ノードに接続したことを特徴とするものである。 40

既に説明した第1及び第2の切替自在の電流源は、書込みヘッドに流れる電流量及びその方向を決定する。これに関して、本発明による装置の例は、前記第1の切替自在の電流源及び第2の切替自在の電流源は、第3ノードに接続した制御電極、第1主電極、及び前記第1電流入力端子に結合した第2主電極を有する第1導電型の第7トランジスタと、この第7トランジスタの制御電極に接続した制御電極、第1主電極、及び前記第1電源出力端 50

子に結合した第2主電極を有する第1導電型の第8トランジスタと、第4ノードに接続した制御電極、前記第7トランジスタの第1主電極に接続した第1主電極、及び前記第4電流入力端子に結合した第2主電極を有する第2導電型の第9トランジスタと、前記第8トランジスタの第1主電極に接続した第1主電極、並びに前記第4ノードに接続した制御電極及び第2主電極を有するダイオード接続した第2導電型の第10トランジスタと、バイアス電流を前記第4ノードに供給するために前記第4ノードに結合したバイアス電流源と、

第5ノードに接続した制御電極、第1主電極、及び前記第2電流入力端子に結合した第2主電極を有する第1導電型の第11トランジスタと、この第11トランジスタの制御電極に接続した制御電極、第1主電極及び前記第1電源端子に結合した第2主電極を有する第1導電型の第12トランジスタと、前記第4ノードに接続した制御電極、前記第11トランジスタ第1主電極に接続した第1主電極、及び前記第3電流入力端子に結合した第2主電極を有する第2導電型の第13トランジスタとを具えることを特徴とするものである。バイアス電流源は、書込みヘッドに流れる書込み電流の大きさを決定する。バイアス電流は、情報信号の値に応じて、第8トランジスタ又は第12トランジスタを介して電源に排出される。第7、第9及び第10トランジスタは、第8トランジスタとともにトランスリニア(translinear)ループを形成し、第11、第13及び第10トランジスタは、第12トランジスタとともにトランスリニアループを形成する。この際、第8又は第12トランジスタが導通し、その結果、増幅電流が、第7及び第9トランジスタを介して第1電流入力端子から第3電流入力端子に、又は、第2電流入力端子から第4電流入力端子まで流れる。所望の場合には、適切なバッファを介して供給される第3及び第5ノードの情報信号の直流レベルは、電流入力端子の直流レベルから十分分離されている。したがって、切替自在の電源は、自由に選択できる直流レベルを切替信号が有する漂遊切替自在の電流源を形成する。

情報信号のバッファを、エミッタホロワ又はソースホロワとすることができる。好適には、これらホロワの静止電流の供給を、切替自在の電流源の電流の供給に組み合わせる。このため、装置の一例はまた、前記第1の切替自在の電流源及び第2の切替自在の電流源はさらに、

前記情報信号を受信する制御電極、前記第3ノードに接続した第1主電極、及び前記第1電源に結合した第2主電極を有する第1導電型の第14トランジスタと、前記情報信号を受信する制御電極、前記第5ノードに接続した第1主電極、及び前記第1電源端子に結合した第2主電極を有する第1導電型の第15トランジスタと、前記第8トランジスタの制御電極に接続した制御電極、前記第8トランジスタの第1主電極に接続した第1主電極、及び前記第5ノードに結合した第2主電極を有する第1導電型の第16トランジスタと、前記第12トランジスタの制御電極に接続した制御電極、前記第12トランジスタの第1主電極に接続した第1主電極、及び前記第3ノードに結合した第2主電極を有する第1導電型の第17トランジスタとを具え、前記第8トランジスタの第2主電極を前記第3ノードに接続し、前記第12トランジスタの第2主電極を前記第5ノードに接続したことを特徴とするものである。

第14及び第15トランジスタは、信号ホロワとして動作するとともに、情報信号を緩衝する。この際、これらトランジスタを流れる電流はそれぞれ、第8及び第12トランジスタを介して第4ノードに流れる。第16及び第17トランジスタにより、常に、バイアス電流源からのバイアス電流の半分が一方の信号ホロワに流れ、半分が他の信号ホロワに流れる。

電流切替手段を、例えば米国特許出願明細書第5,282,094号の図1から既知の他の方法で設計することもできる。このために、本発明による装置の例は、前記電流切替手段は、バイアス電流源からバイアス電流を受信するように各々の第1主電極を結合し、前記情報信号を受信するように各々の制御電極を接続し、かつ、前記第1電流入力端子及び第2電流入力端子に各々の第2主電極を結合した第1の導電型の第1差動対トランジスタ及び第1の導電型の第2差動対トランジスタを具える差動対と、前記第2電源端子と前記第2電

10

20

30

40

50

流ミラーの他の第2電流出力端子との間に接続した第1電流感知抵抗と、前記第2電源端子と前記第1電流ミラーの他の第1電流出力端子との間に接続した第2電流感知抵抗と、前記第1電流感知抵抗に接続した制御電極及び第1主電極、並びに前記第1電流出力端子に結合した第2主電極を有する第1導電型の第1プルダウントランジスタと、前記第2電流感知抵抗に接続した制御電極及び第1主電極並びに前記第2電流出力端子に結合した第2主電極を有する第1導電型の第2プルダウントランジスタとを具備することを特徴とするものである。

電流ミラーの一つの動作を、電流感知抵抗の一つに流れる電流によって検出することができる。関連の電流感知抵抗の両端間の電圧は、関連のプルダウントランジスタをターンオンして、書込み端子の一つを負の電源端子に接続する。

10

二つの電流ミラーを、任意の適切なタイプとすることができる。書込み増幅器の最大出力スイングを得るために、本発明による装置の好適例は、前記第1電流ミラー及び第2電流ミラーはそれぞれ、前記第1電流入力端子及び第2電流入力端子にそれぞれ接続した制御電極及び第2主電極、並びに前記第1電源端子に結合した第2主電極を有するダイオード接続した第2導電型のPNP入力トランジスタと、前記入力トランジスタの制御電極に接続した制御電極、前記第1電源端子に結合した第1主電極、並びに前記第1電流出力端子及び第2電流出力端子に接続した第2主電極を有する第2導電型の出力トランジスタと、関連の入力トランジスタの制御電極に接続した制御電極、前記第1電源端子に結合した第1主電極、並びに前記他の第1電流出力端子及び他の第2出力端子に接続した第2主電極を有する第2導電型の他の出力トランジスタとを具備することを特徴とするものである。

20

このようにして実現した電流ミラーは、最小電圧損失を発生させ、出力スイングを電源電圧近くまで許容する。

本発明のこれら及び他の態様を、添付図面を参照して説明する。

図1は、本発明による磁気記録担体に情報信号を記録する装置の実施の形態のブロック図を示し、

図2は、本発明による磁気記録担体に情報信号を記録する装置の実施の形態の回路図であり、

図3は、本発明による磁気記録担体に情報信号を記録する装置の実施の形態の回路図であり、

図4は、本発明による装置に用いる第1の共通モード回路を示し、

30

図5は、本発明による装置に用いる第2の共通モード回路を示し、

図6は、第3の共通モード回路を含む、本発明による磁気記録担体に情報信号を記録する装置の実施の形態の回路図を示し、

図7は、本発明による装置に用いる第4の共通モード回路を示し、

図8は、本発明による装置に用いる切替電流源の第1の実現例を示し、

図9は、本発明による装置に用いる切替電流源の第2の実現例を示し、

図10は、本発明による磁気記録担体に情報信号を記録する装置の実施の形態の回路図を示し、

図11は、図10に図示した装置の実施の形態に用いる電流ミラーを示す。

図面中、同様な素子に同一参照符号を付すものとする。

40

図1は、本発明による磁気記録担体に情報信号を記録する装置の基本構造を示す。この装置は、(図示しない)記録担体に情報を記録する書込みヘッド2と、情報信号に 응답して書込みヘッド2を駆動させる書込み増幅器4とを具備する。書込み増幅器は、書込み電流を発生させるために書込みヘッド2に結合した第1書込み端子6及び第2書込み端子8を有する。第1電源端子10及び第2電源端子12は、書込み増幅器用の電源電圧に接続するよう作用する。この場合、第2電源端子12を信号アースに接続する。増幅器4は、第1電流入力端子16、第1書込み端子6に結合した第1電流出力端子18、及び第1電源端子10に接続した第1共通電流端子20を有する第1電流ミラー14と、第2電流入力端子24、第2書込み端子8に結合した第2電流出力端子26、及び第1電源端子10に接続した第2共通電流端子28を有する第2電流ミラー22と、第3電流入力端子32、第

50

1 書込み端子 6 に結合した第 3 電流出力端子 3 4、及び第 2 電源端子 1 2 に接続した第 3 共通電流端子 3 6 を有する第 3 電流ミラー 3 0 と、第 4 電流入力端子 4 0、第 2 書込み端子 8 に結合した第 4 電流出力端子 4 2、及び第 2 電源端子 1 2 に接続した第 4 共通電流端子 4 4 を有する第 1 電流ミラー 3 8 とを具える。第 1 の切替自在の電流源 4 6 を、第 1 電流入力端子 1 6 と第 4 電流入力端子 4 0 との間に接続する。この第 1 の切替自在の電流源は、情報信号 U_i の第 1 の値の第 1 電流を発生させ、情報信号 U_i の第 2 の値の電流を発生させない。情報信号 U_i を、例えば、ディスクドライブ又は他の磁気記録媒体の 2 値データ信号とすることができる。第 2 の切替自在の電流源 4 8 を、第 2 電流入力端子 2 4 と第 3 電流入力端子 3 2 との間に接続する。第 2 の切替自在の電流源 4 8 は、逆情報信号 $N U_i$ を受信し、第 1 電流が零又はその付近である場合には第 2 電流を発生させる。

10

第 1 の切替自在の電流源 4 6 がターンオンされると、電流が、第 1 電流ミラー 1 4 の第 1 電流入力端子 1 6 及び第 4 電流ミラー 3 8 の第 4 電流入力端子 4 0 を介して、第 1 電源端子 1 0 から第 2 電源端子 1 2 に流れる。M 倍の大きさの電流が、第 1 書込み端子 6、書込みヘッド 2 及び第 2 書込み端子 8 を介して、第 1 電流ミラー 1 4 の第 1 電流出力端子 1 8 から第 4 電流ミラー 3 8 の第 4 電流出力端子 4 2 の順方向に流れる。ここで、M を電流ミラー 1 4、2 2、3 0 及び 3 8 の電流ミラー比とする。第 2 の切替自在の電流ソース 4 8 がターンオフされて、第 2 電流ミラー 2 2 及び第 3 電流ミラー 3 0 が不動作状態となる。ここで、書込み電流は、書込みヘッド 2 を介して第 1 書込み端子 6 から第 2 書込み端子 8 に流れる。

第 1 の切替自在の電流源 4 6 がターンオフされるとともに、第 2 の切替自在の電流源 4 8 がターンオンされると、第 2 電流ミラー 2 2 及び第 3 電流ミラー 3 0 が作動し、他の二つの電流ミラー 1 4 及び 3 8 は不動作状態となる。ここで、書込み電流が、書込みヘッド 2 を介して、第 2 書込み端子 8 から第 1 書込み端子 6 の逆方向に流れる。電流ミラーの電流ミラー比が全て等しい場合に双方向で等しい書込み電流を獲得するために、第 1 の切替自在の電流源 4 6 の第 1 電流及び第 2 の切替自在の電流源 4 8 の第 2 電流を等しくする必要はあることは、明らかである。

20

図 2 は、第 1 電流ミラー 1 4 及び第 2 電流ミラー 2 2 がバイポーラ PNP トランジスタを具えるとともに第 3 電流ミラー 3 0 及び第 4 電流ミラー 3 8 がバイポーラ NPN トランジスタを具える実施の形態を示す。しかしながら、開示した回路配置において、バイポーラトランジスタを、全部又は一部ユニポーラ MOS トランジスタに置き換えることができる。制御電極、第 1 主電極及び第 2 主電極は、バイポーラトランジスタではベース、エミッタ及びコレクタにそれぞれ対応し、ユニポーラトランジスタではゲート、ソース及びドレインにそれぞれ対応する。第 1 電流ミラー 1 4 は、図 3 に図示したような追加のエミッタ抵抗 R_{ip1} を介して第 1 共通電流端子 2 0 に接続したエミッタ及び第 1 電流入力端子 1 6 に接続したコレクタを有するダイオード接続した PNP 入力トランジスタ T_{ip1} と、入力トランジスタ T_{ip1} のベースに接続したベース、図 3 に図示したような追加のエミッタ抵抗 R_{op1} を介して第 1 共通電流端子 2 0 に接続したエミッタ、及び第 1 電流出力端子 1 8 に接続したコレクタを有する PNP 出力トランジスタ T_{op1} とを具える。追加のエミッタ抵抗は、トランジスタの整合を向上させるとともに、電流ミラーの熱安定性を増大させる。同様に、第 2 電流ミラー 2 2 は PNP トランジスタを具え、同様に、第 3 電流ミラー 3 0 及び第 4 電流ミラー 3 8 は NPN トランジスタ及び追加のエミッタ抵抗を具え、各トランジスタの電極を、対応する電流ミラーの端子に接続する。

30

40

図 2 は、複数の寄生容量も示し、すなわち、PNP 出力トランジスタ T_{op1} 及び T_{op2} のコレクタとウェルとの間の値 C_{cwp} を有するもの、NPN 出力トランジスタ T_{on3} 及び T_{on4} のコレクタと基板との間の値 C_{csn} を有するもの、PNP 出力トランジスタ T_{op1} 及び T_{op2} のコレクタとベースとの間の値 C_{cbp} を有するもの、並びに NPN 出力トランジスタ T_{on3} 及び T_{on4} のコレクタとベースとの間の値 C_{cbn} を有するものも示す。これら全ての寄生容量は、回路端子 6 及び 8 に流れる書込み電流に影響を及ぼす。この影響により、高周波では、書込み電流が、書込みヘッドの代わりに寄生容量に流れる。この影響は、書込み電流のビットレートを制限する。寄生容量の悪影響を減少又は除去するために、四つの中和

50

キャパシタ 1 4 2 , 1 4 4 , 1 4 6 及び 1 4 8 を設け、これらの容量値をそれぞれ C_{np} , C_{np} , C_{nn} 及び C_{nn} とする。キャパシタ 1 4 2 を、第 1 電流入力端子 1 6 と第 2 電流出力端子 2 6 との間に接続し、キャパシタ 1 4 4 を、第 2 電流入力端子 2 4 と第 1 電流出力端子 1 8 との間に接続し、キャパシタ 1 4 6 を、第 3 電流入力端子 3 2 と第 4 電流出力端子 4 2 との間に接続し、キャパシタ 1 4 8 を、第 4 電流入力端子 4 0 と第 3 電流出力端子との間に接続する。

四つの電流ミラー 1 4 , 2 2 , 3 0 及び 3 8 の電流ミラー比を M と仮定すると、書込み端子 6 と書込み端子 8 との間の容量値 C_h は、

$$C_h = (C_{cwp} + C_{csn} + (1+M)(C_{cbp} + C_{cbn}) + (1-M)(C_{np} + C_{nn})) / 2$$

に等しくなる。これを、例えば、第 3 電流出力端子 3 4 にキャパシタを接続した結果どの電流がこの端子を流れるかを決定することにより、次のように説明することができる。第 3 電流出力端子 3 4 の電圧を V と仮定すると、第 4 電流出力端子 4 2 の電圧は $-V$ となる。この場合、第 3 電流出力端子 3 4 を流れる電流 i は、

$$i = p \cdot V \cdot C_{csn} + p \cdot V \cdot C_{cbn} + p \cdot V \cdot C_{nn} + M \cdot \{ p \cdot V \cdot C_{cbn} - p \cdot V \cdot C_{nn} \} = p \cdot V \cdot \{ C_{csn} + (M+1) C_{cbn} - (M-1) C_{nn} \}$$

キャパシタ 1 4 6 を流れる電流は、逆の符号を有し、電流ミラー係数 M によって増大される。同様な計算は、他の電流出力端子に適用される。

$M = 5$ の場合、 $C_{cwp} + C_{csn} = 6 \text{ pF}$ 及び $C_{cbp} + C_{cbn} = 4 \text{ pF}$ は、中和のない場合には 15 pF となり、 $C_{np} + C_{nn} = 5 \text{ pF}$ と仮定すると中和により 5 pF となる。これにより、3 倍の向上となる。

したがって、電流ミラー及び中和キャパシタは、電源電圧にほぼ等しい非常に大きな出力スイングを有する広帯域の書込み増幅器を提供する。さらに、書込み増幅器の寄生容量を中和するだけでなく、中和キャパシタを十分大きくすることにより（図 2 に図示しない）書込みヘッドそれ自体の寄生容量を中和する。この場合、書込み増幅器 4 は、書込みヘッド 2 を切り離す際振動する。このために、書込み増幅器が振動するか否かを検出する検出回路により、書込み増幅器と書込みヘッドとの間の不完全な接触を検出することができる。

中和の効果の一つの中和キャパシタで既に獲得されるのも明らかである。しかしながら、配置の対称性を維持するとともに共通モード制御回路の不必要なロードを回避するために、2 対の中和キャパシタを用いるのが好適である。

書込みヘッド 2 の共通モード電圧は、完全に決定できず、記録すべき情報信号のデータパターンとともに変動するおそれがある。これは望ましくない。共通モード電圧は好適には、利用できる出力スイングの間に存在し、記録すべき信号の信号成分に依存すべきでない。書込みヘッド 2 を、専ら電流ミラーの高インピーダンス出力間に配置するので、共通モード回路を用いて共通モード電圧を固定することができる。

図 4 は、簡単な共通モード回路を示す。第 1 書込み端子 6 及び第 1 ノード 5 2 間に接続した第 1 抵抗 5 0、第 1 ノード 5 2 及び第 2 書込み端子 8 間に接続した第 2 抵抗 5 4、第 1 電源端子 1 0 及び第 1 ノード 5 2 間に接続した第 3 抵抗 5 6、第 2 電源端子 1 2 及び第 1 ノード 5 2 間に接続した第 4 抵抗 5 8 の直列配置を、回路ヘッドに並列に配置する。抵抗 5 0 及び 5 2 は、回路ヘッドの制動抵抗としても作用する。第 1 ノード 5 2 のインピーダンスを、抵抗 5 6 及び 5 8 によって指示する。共通モード電圧を正確に固定するために、最小インピーダンスが望ましい。しかしながら、抵抗 5 6 及び 5 8 の抵抗値を、これら抵抗を流れる電流が増大するのを考慮すると、任意に小さく選定することができない。

図 5 は、この問題を軽減する共通モード回路を示す。この回路は、第 1 回路端子 6 及び第 1 ノード 6 2 間に接続した第 1 抵抗 6 0 と、第 1 ノード 6 2 及び第 2 回路端子 8 間に接続した第 2 抵抗 6 4 とを具え、さらに、第 1 ノード 6 2 に接続したエミッタ及び第 1 電源端子 1 0 に結合したコレクタを有する第 1 NPN トランジスタ 6 6 と、第 1 NPN トランジスタ 6 6 のベースに接続したベースを有するダイオード接続した NPN トランジスタ 6 8 と、第 1 電源端子 1 0 及び第 2 NPN トランジスタ 6 8 のコレクタ間に接続した第 3 抵抗 7 0 と、第 1 ノード 6 2 に接続したエミッタ及び第 2 電源端子 1 2 に結合したコレクタを

10

20

30

40

50

有する第1PNPトランジスタ72と、第1PNPトランジスタ72のベースに接続したベース及び第2NPNトランジスタ68のエミッタに接続したエミッタを有するダイオード接続した第2PNPトランジスタ74と、第2電源端子12及び第2PNPトランジスタ74間に接続した第4抵抗76とを具える。

回路はA/B級で動作する。ノード62では、インピーダンスはローであり、これにより共通ノード電圧は正確に固定される。A/B級動作により、小静止電流を獲得することができ、最大電流を、第1NPNトランジスタ66又は第1PNPトランジスタ72から発生させることができる。抵抗60及び抵抗64の抵抗値は両方とも $R_d/2$ に等しいので、有効な共通ノード抵抗は $R_d/4$ に等しくなる。書込みヘッド2の両端間の全体に亘る制動抵抗は、その結果 R_d となる。

図1及び2に図示した装置の電流ミラーの切替速度を上昇させるために、電流ミラーに静止電流を有することが望ましい。この静止電流の設定及び共通モード回路を好適に組み合わせることができる。図6は、これを実現する実施の形態を示す。書込み増幅器4も、図1に図示したような、四つの電流ミラー14, 22, 30及び38と、書込みヘッド2と、第1の切替自在な電流源46と、第2の切替自在な電流源48とを具える。共通モード回路は、第1書込み端子6及び第1ノード80間に接続した第1抵抗78と、第2ノード84及び第2書込み端子8間の第2抵抗82と、第1ノード80に接続したエミッタ及び第1電流入力端子16に結合したコレクタを有するNPNタイプの第1トランジスタ86と、第1トランジスタ86のベースに接続したベースを有するダイオード接続したNPNタイプの第2抵抗88と、第1電源端子10及び第2トランジスタ88のコレクタ間に接続した第3抵抗90と、第1抵抗86のベースに接続したベース、第2ノード84に接続したエミッタ及び第2電流入力端子24に結合したコレクタを有するNPNタイプの第3トランジスタ92とを具える。さらに、共通モード回路は、第1ノード80に接続したエミッタ及び第3電流入力端子32に結合したコレクタを有するPNPタイプの第4トランジスタ94と、この第4トランジスタ94のベースに接続したベース及び第2トランジスタ88のエミッタに接続したエミッタを有するダイオード接続したPNPタイプの第5トランジスタ96と、第2電源端子12及び第5トランジスタ96のコレクタ間に接続した第5抵抗98と、第4トランジスタ94のベースに接続したベース、第2ノード84に接続したエミッタ及び第4電流入力端子40に結合したコレクタを有するPNPタイプの第6トランジスタ100とを具える。第1ノード80及び第2ノード84を相互接続する。トランジスタ86及び94を流れる静止電流はこの際、第1電流ミラー14の第1電流入力端子16及び第3電流ミラー30の第3電流入力端子32に流れ込む。第2電流ミラー22及び第4電流ミラー38に対する静止電流の設定は、トランジスタ92及び100によって同様に行われる。 $R_d/2$ を、第1抵抗78及び第2抵抗82の抵抗値とし、Mを、電流ミラー14, 22, 30及び38の電流ミラー値とする場合、有効な共通モード抵抗は、 $R_d/(4(M+1))$ となる。書込み端子6の電圧変動により、同一書込み端子6に現れる電流のM倍の電流が第1抵抗78に生じる。したがって、第1抵抗78の見かけの抵抗値 $R_d/2$ は、係数 $(M+1)$ によって減少される。同様なことが第2抵抗82についても生じる。トランジスタ94のコレクタを、第3電流入力端子32の代わりに第4電流入力端子40に結合することができ、トランジスタ100のコレクタを、第4電流入力端子40の代わりに第3電流入力端子32に結合することができる。これは、静止電流の設定に対しては相違がない。その理由は、トランジスタ94及び100の電流は同一だからである。所望の場合には、トランジスタ94及び100の代わりに、トランジスタ86及び92のコレクタを、電流入力端子16及び24に交差して接続することができる。

図7は、図6に図示した第1ノード80及び第2ノード84間の接続を行う他の解決法を示す。この場合、この代わりに、第5抵抗102を、書込み端子6と第2ノード84との間に接続するとともに、第6抵抗104を、第1ノード80と書込み端子8との間に接続する。これにより、より正確に解決される。その理由は、トランジスタ86及び92並びにトランジスタ94及び100はこの際、それらのエミッタに直列な個別のデジェネレー

10

20

30

40

50

ション抵抗をそれぞれ見つけるからである。これにより、抵抗 8 6 及び 9 2 間並びに抵抗 9 4 及び 1 0 0 間のあり得る不整合の影響を軽減する。また、トランジスタ 9 4 のコレクタを、第 3 電流入力端子 3 2 の代わりに第 4 電流入力端子 4 0 に結合することができ、かつ、トランジスタ 1 0 0 のコレクタを、第 4 電流入力端子 4 0 の代わりに第 3 電流入力端子 3 2 に結合することができる。

図 8 は、図 1, 2 及び 5 に図示した装置の第 1 の切替電流源 4 6、第 2 の切替電流源 4 8 を実現する回路図を示す。二つの切替自在の電流源を、以下の素子、すなわち、第 3 ノード 1 0 8 に接続したベース及び第 1 電流入力端子 1 6 に結合したコレクタを有する NPN トランジスタ 1 0 6 と、トランジスタ 1 0 6 のベースに接続したベース及び第 1 電源端子 1 0 に結合したコレクタを有する NPN トランジスタ 1 1 0 と、第 4 ノード 1 1 4 に接続したベース、トランジスタ 1 0 6 のエミッタに接続したエミッタ及び第 4 電流入力端子 4 0 に結合したコレクタを有する PNP トランジスタ 1 1 2 と、トランジスタ 1 1 0 のエミッタに接続したエミッタ、第 4 ノード 1 1 4 に接続したベース及びコレクタを有するダイオード接続した PNP トランジスタ 1 1 6 と、バイアス電流 I_0 を第 4 ノード 1 1 4 に供給するために第 4 ノード 1 1 4 に結合したバイアス電流源 1 1 8 とを具える一つの回路に結合する。さらに、この回路は、第 5 ノード 1 2 2 に接続したベース及び第 2 電流入力端子 2 4 に結合したコレクタを有する NPN トランジスタ 1 2 0 と、トランジスタ 1 2 0 のベースに接続したベース及び第 1 電源端子 1 0 に結合したコレクタを有する NPN トランジスタ 1 2 4 と、第 4 ノード 1 1 4 に接続したベース、トランジスタ 1 2 0 のエミッタに接続したエミッタ及び第 3 電流入力端子 3 2 に結合したコレクタを有する PNP トランジスタ 1 2 6 とを具える。

ノード 1 0 8 及び 1 2 2 を、バッファ 1 2 8 及び 1 3 0 を介して、情報信号 U_i 及び逆情報信号 NU_i と逆位相で駆動させる。ノード 1 0 8 の電圧がハイであるとともに、ノード 1 2 2 の電圧がローである場合、トランジスタ 1 1 0 を導通させるとともに、トランジスタ 1 2 4 を遮断する。ベース電流源 1 1 8 のバイアス電流 I_0 は、トランジスタ 1 1 6 を介して、全体がトランジスタ 1 1 0 に流れる。トランジスタ 1 0 6 及び 1 1 2 のベース - エミッタ電圧の和がトランジスタ 1 1 0 及び 1 1 6 のベース - エミッタ電圧の和に等しいので、トランジスタ 1 0 6, 1 1 0, 1 1 6 及び 1 1 2 のベース - エミッタ接合はトランスリニアループを形成する。この場合、トランジスタのコレクタ電流とベース - エミッタ電圧との間の関係に対する既知の式により、 $I = \text{SQRT}(M * N) * I_0$ に等しいトランジスタ 1 0 6 及び 1 1 2 を流れる電流 I を獲得することができる。ここで、SQRT をルート関数とし、M を、トランジスタ 1 0 6 及び 1 1 0 のエミッタ領域間の比とし、N を、トランジスタ 1 1 2 及び 1 1 6 のエミッタ領域間の比とする。この結果、電流 I は端子 1 6 及び 4 0 間を流れ、その大きさは電流 I_0 に比例し、比例係数を、トランジスタ 1 0 6, 1 1 0, 1 1 2 及び 1 1 6 の幾何学的配置によって決定する。

同様に、ノード 1 2 2 の電圧がハイであるとともにノード 1 0 8 の電圧がローである場合、第 2 電流入力端子 2 4 と第 3 電流入力端子 3 2 との間に電流が流れる。このために、バイアス電流源 1 1 8 は、好適には、調整自在なすなわちプログラム自在の電流源、例えば IDAC (電流出力を有するデジタル - アナログコンバータ) とする。電流入力端子 1 6, 2 4, 3 2 及び 4 0 を全てコレクタに結合するので、情報信号 U_i 及び NU_i の直流レベルはこの場合、書込み増幅器の電流ミラーの電流入力端子の直流レベルから分離される。したがって、切替電流源 4 6 及び 4 8 は、第 1 電源端子 1 0 及び第 2 電源端子 1 2 の電源電圧に対して漂遊する。

バッファ 1 2 8 及び 1 3 0 は、エミッタ電流源を有するエミッタホロワを具えることができる。しかしながら、このためにトランジスタ 1 1 0 及び 1 2 4 を流れる電流を用いることにより、電流をセーブすることができる。図 9 は、これを実現する方法を示す。この場合、バッファ 1 2 8 を、ベースが増幅情報信号を受信し、エミッタを第 3 ノード 1 0 8 に接続し、かつ、コレクタを第 1 電源端子 1 0 に結合した NPN エミッタホロワ 1 3 2 とする。トランジスタ 1 1 0 のコレクタを、エミッタホロワ 1 3 2 のエミッタに接続する。同様に、バッファ 1 3 0 は、ベースが増幅逆情報信号を受信し、エミッタを第 5 ノード 1 2

10

20

30

40

50

2に接続し、かつ、コレクタを第1電源端子10に結合したNPNエミッタホロワ134を具える。トランジスタ124のコレクタを、エミッタホロワ134のエミッタに接続する。その結果、トランジスタ110及び124のコレクタ電流も、エミッタホロワ132及び134にそれぞれ流れる。さらに、トランジスタ110のベースに接続したベース及びトランジスタ110のエミッタに接続したエミッタを有するNPNトランジスタ136と、トランジスタ124のベースに接続したベース、トランジスタ124のエミッタに接続したエミッタ及び第3ノード108に結合したコレクタNPNトランジスタ138とを設ける。トランジスタ136及び138により、トランジスタ110及び124のうちの一つが遮断された場合、エミッタホロワ132及び134を流れる電流が零とならないようにする。したがって、トランジスタ110, 136, 138及び124の幾何学的配置を等しく選択した場合、二つのエミッタホロワの各々は常にバイアス電流 I_0 の半分を受信する。

10

エミッタホロワ132及び134のベースを、例えば、差動対140のトランジスタによって駆動し、そのベースを、例えばデータフリップフロップによって供給される相補足的な情報信号 U_i 及び $N U_i$ を受信するよう配置する。

図10は、既に説明した実施の形態と同様な方法で寄生キャパシタを中和する本発明による装置の他の実施の形態を示す。この装置は、記録担体(図示せず)に情報を記録する書込みヘッド2と、情報信号に 응답して書込みヘッド2を駆動する書込み増幅器4とを具える。書込み増幅器は第1書込み端子6及び第2書込み端子8を有し、それら端子を、書込み電流を発生させるために書込みヘッド2に結合する。第1電源端子10及び第2電源端子12は、書込み増幅器の電源電流を受信するよう作用する。この場合、第2書込み端子12を信号アースに接続する。増幅器4は、第1電流入力端子16、第1書込み端子6に結合した第1電流出力端子18及び第1電源端子10に接続した第1共通電流端子20を有する第1電流ミラー14と、第2電流入力端子24、第2書込み端子8に結合した第2電流出力端子26及び第1電源端子10に接続した第2共通電流端子28を有する第2電流ミラー22とを具える。中和キャパシタ142を、第1電流入力端子16と第2電流出力端子26との間に接続し、第2中和キャパシタ144を、第2電流入力端子24と第1電流出力端子18との間に接続する。第1電流ミラー14及び第2電流ミラー22並びに中和キャパシタ142及び144の機能及び作用は、図1及び2の装置のものと類似している。この装置は、第1NPN差動対トランジスタ150及び第2NPN差動対トランジスタ152を有する差動対を具え、それらのエミッタを相互接続し、それらエミッタは、バイアス電流源154からバイアス電流を受信する。それらのベースを、情報信号 U_i 及び $N U_i$ を受信するために接続し、それらのコレクタを、第1電流入力端子16及び第2電流入力端子24にそれぞれ結合する。第1電流感知抵抗156を、第2電源端子12と第2電流ミラー22の他の第2電流出力端子158との間に接続し、第2電流感知抵抗160を、第2電源端子12と第1電流ミラー14の他の第1電流出力端子162との間に接続する。さらに、第1PNPプルダウントランジスタ164は、第1電流感知抵抗156に接続したベース及びエミッタと、第1電流出力端子18に結合したコレクタとを有し、第2NPNプルダウントランジスタ166は、第2電流感知抵抗160に接続したベース及びエミッタと、第2電流出力端子26に結合したコレクタとを有する。

20

30

40

差動対は、バイアス電流源154のバイアス電流を、第1電流入力端子16又は第2電流入力端子24に搬送する。第1電流ミラー14が電流を受信すると第2プルダウントランジスタ166はターンオンされ、その結果、書込み端子8が第2電源端子12に相互接続され、電流が、書込みヘッド2を介して、第1電流出力端子18から第2電源端子12に流れることができる。第2電流ミラー22が電流を受信すると、その結果書込みヘッド2を流れる逆方向の電流が生じる。

図11は、図10に図示した装置に用いる電流ミラーを示す。第1電流ミラー14及び第2電流ミラー22はそれぞれ、第1電流入力端子16及び24にそれぞれ接続したベース及びコレクタ並びに第1電源端子10に結合したエミッタを有するダイオード接続したPNP入力トランジスタ T_{ip} と、入力トランジスタ T_{ip} のベースに接続したベース、第1電

50

源端子10に結合したエミッタ並びに第1及び第2電流出力端子18及び26に接続したコレクタを有するPNP出力トランジスタ T_{op} と、関連の入力トランジスタ T_{ip} のベースに接続したベース、第1電源端子10に結合したエミッタ並びに他の第1及び第2電流出力162及び158に接続したコレクタを有する他のPNP出力トランジスタ T'_{op} とを具える。所望の場合には、直列抵抗をこれらエミッタに直列に配置することができる。所望の場合には、ここで図示した例のバイポーラトランジスタを、ユニポーラトランジスタ、例えばMOSトランジスタに置き換えることができる。この場合、ベース、エミッタ及びコレクタを、ゲート、ソース及びドレインと読む必要がある。

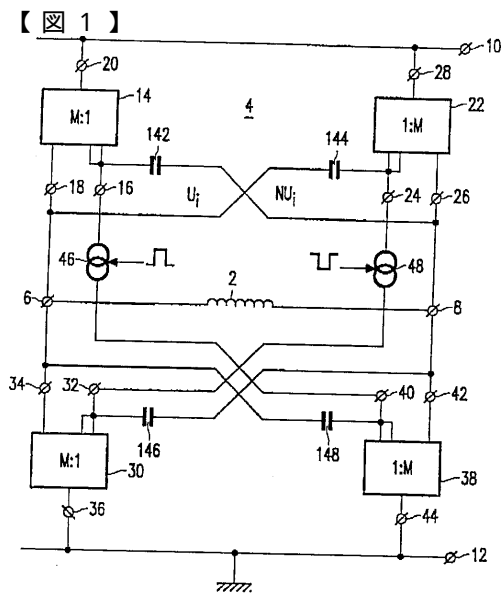


FIG. 1

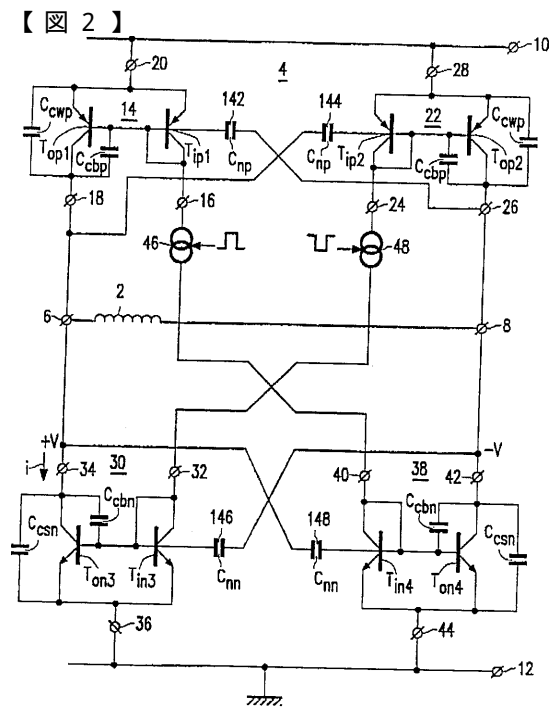
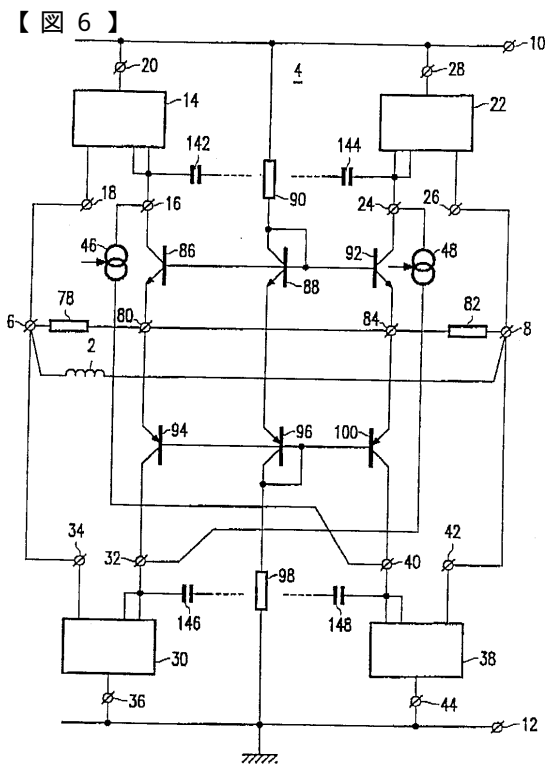
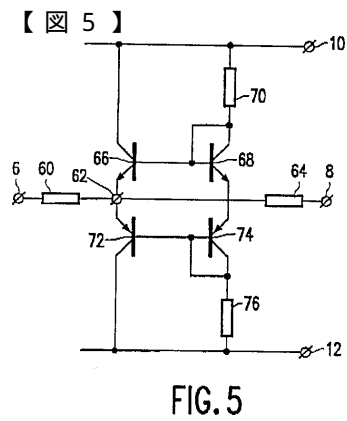
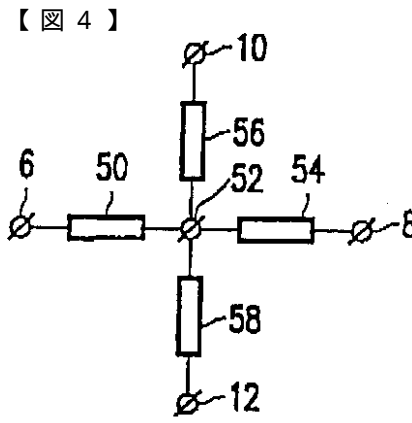
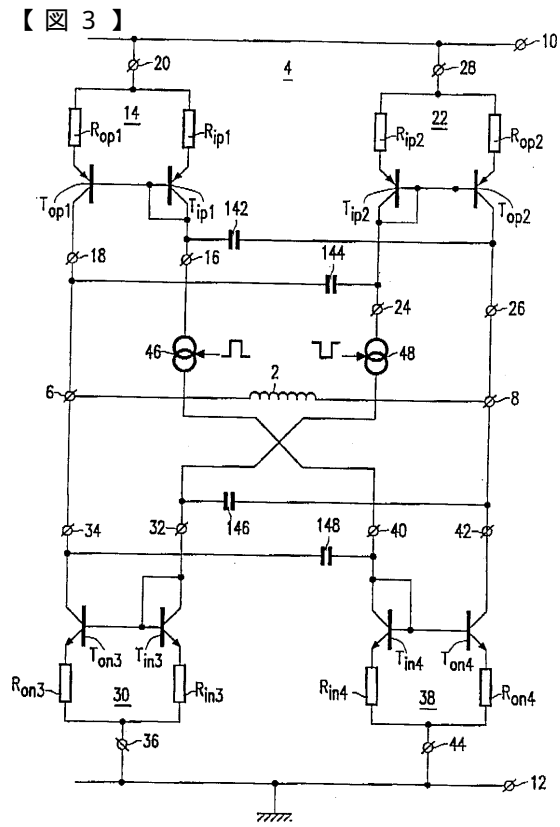
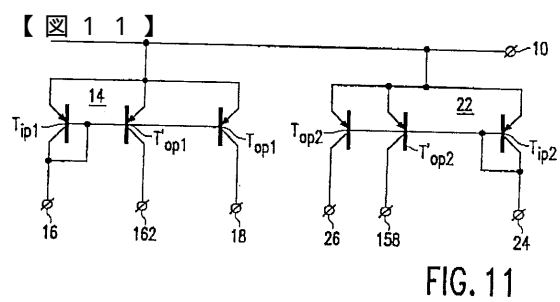
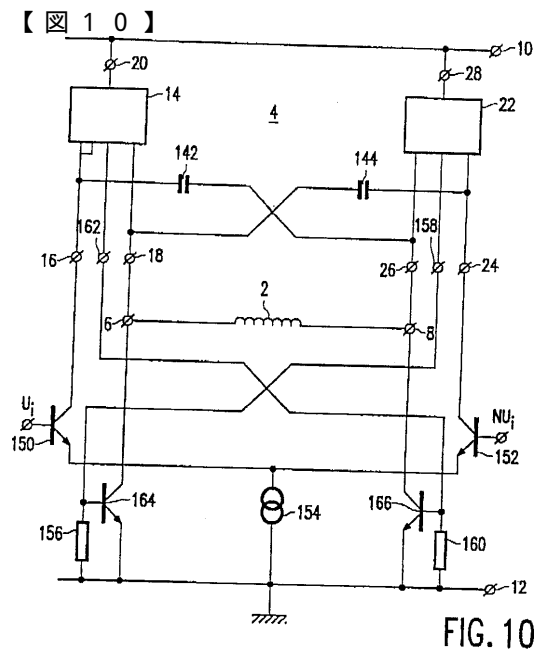
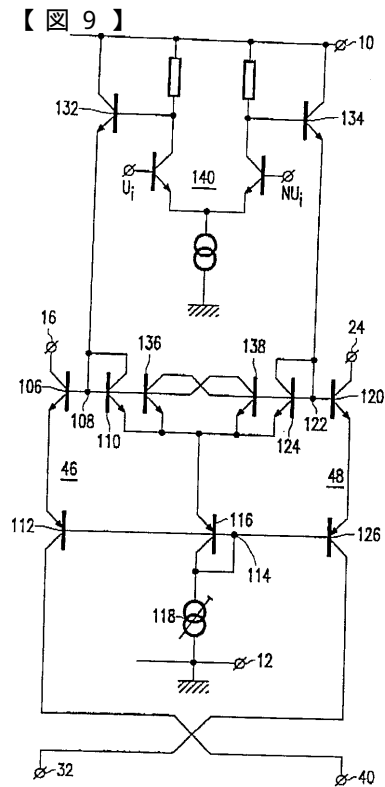
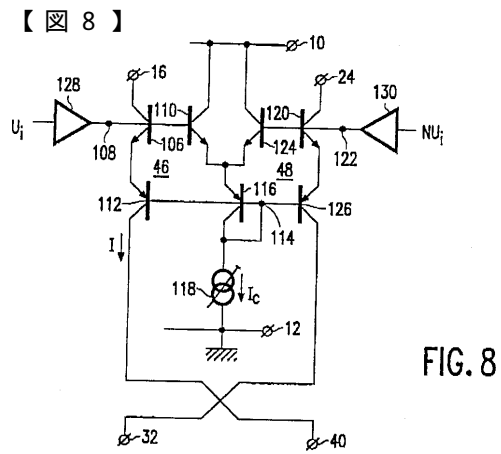
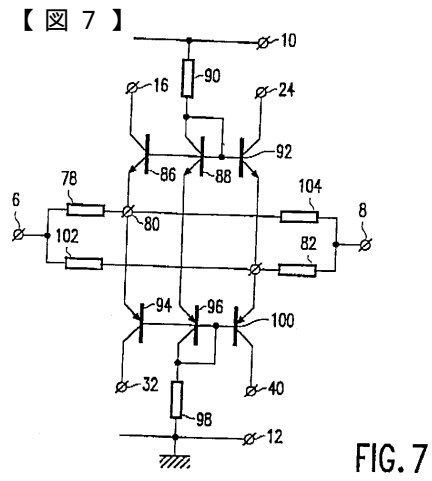


FIG. 2





フロントページの続き

- (74)代理人 100101096
弁理士 徳永 博
- (74)代理人 100086645
弁理士 岩佐 義幸
- (74)代理人 100107227
弁理士 藤谷 史朗
- (74)代理人 100114292
弁理士 来間 清志
- (74)代理人 100119530
弁理士 富田 和幸
- (72)発明者 フォールマン ヨハネス オット
オランダ国 5 6 2 1 ベーアー アインドーフエン フルーネヴァウツウェッハ 1
- (72)発明者 ポタスト ヘンドリク イアン
オランダ国 5 6 2 1 ベーアー アインドーフエン フルーネヴァウツウェッハ 1
- (72)発明者 ウォン - ラム ホー ワイ
オランダ国 5 6 2 1 ベーアー アインドーフエン フルーネヴァウツウェッハ 1

審査官 富澤 哲生

- (56)参考文献 米国特許第 4 5 5 1 7 7 2 (US, A)
米国特許第 5 2 8 7 2 3 1 (US, A)
米国特許第 5 3 8 6 3 2 8 (US, A)
米国特許第 5 2 8 2 0 9 4 (US, A)

(58)調査した分野(Int.Cl., DB名)

G11B 5/00 - 5/024

G11B 5/09