(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月19日(19.09.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/190112 A1

(51) 国際特許分類:
H02M 3/155 (2006.01) *H02M 7/48* (2007.01)

(21) 国際出願番号： PCT/JP2024/002401

(22) 国際出願日： 2024年1月26日(26.01.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-038590 2023年3月13日(13.03.2023) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

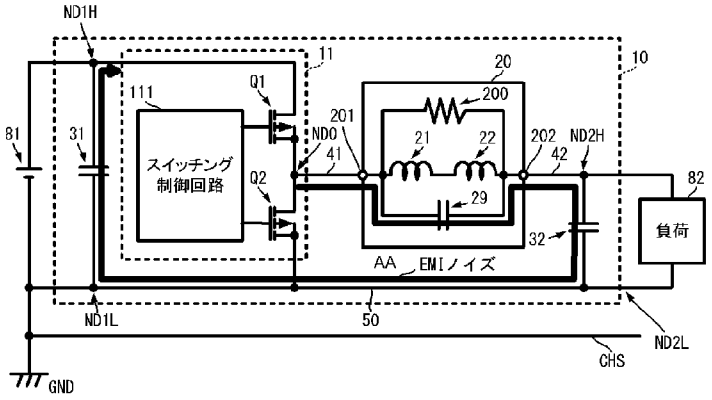
(72) 発明者: 細谷 達也 (**HOSOTANI Tatsuya**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 高辻 寛之 (**TAKATSUJI Hiroyuki**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 弁理士法人 楓国際特許事務所 (**KAEDE PATENT ATTORNEYS' OFFICE**); 〒5400011 大阪府大阪市中央区農人橋１丁目４番３４号 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) **Title:** SWITCHING POWER SUPPLY DEVICE

(54) 発明の名称： スイッチング電源装置



82 Load
111 Switching control circuit
AA EMI noise

(57) **Abstract:** According to the present invention, a circuit board (60) comprises: a wiring pattern (41) that electrically connects nodes (ND0) of a switching element (Q1) and a switching element (Q2) to a first terminal (201); a wiring pattern (42) that electrically connects a second terminal (202) to an output capacitor (32); and a reference potential-side wiring pattern (50). When the circuit board is viewed from the front, the area of the wiring pattern (41) is smaller than the area of the wiring pattern (42). An inductor (20) has a parasitic capacitor (29) between the first terminal (201) and the second

WO 2024/190112 A1

[続葉有]

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

terminal (202) due to the structure of a winding conductor and a magnetic core (200). The circuit board (60) is arranged on a chassis (CHS) so that the parasitic capacitor (29) of the inductor (20) is larger than the parasitic capacitor (Cpm) between the magnetic core (200) and the chassis (CHS) at the switching frequencies of the switching element (Q1) and the switching element (Q2), thus forming a noise balancing circuit composed of an electric closed circuit formed by the parasitic capacitor (29) of the inductor (20), the wiring pattern (42), the output capacitor (32), the reference potential-side wiring pattern (50) of the circuit board (60), an input capacitor (31), and the wiring pattern (41).

(57) 要約：回路基板（６０）は、スイッチング素子（Ｑ１）およびスイッチング素子（Ｑ２）のノード（ＮＤ０）と第１端子（２０１）とを電気接続する配線パターン（４１）と、第２端子（２０２）と出力キャパシタ（３２）を電気接続する配線パターン（４２）と、基準電位側配線パターン（５０）と、を有する。回路基板を正面視して、配線パターン（４１）の面積は、配線パターン（４２）の面積よりも小さい。インダクタ（２０）は、巻線導体と磁性コア（２００）の構造によって第１端子（２０１）と第２端子（２０２）との間に寄生キャパシタ（２９）を有する。回路基板（６０）のシャーシ（ＣＨＳ）への配置によって、磁性コア（２００）とのシャーシ（ＣＨＳ）との間の寄生キャパシタ（Ｃｐｍ）よりもインダクタ（２０）の寄生キャパシタ（２９）をスイッチング素子（Ｑ１）およびスイッチング素子（Ｑ２）のスイッチング周波数において大きくすることで、インダクタ（２０）の寄生キャパシタ（２９）、配線パターン（４２）、出力キャパシタ（３２）、回路基板（６０）の基準電位側配線パターン（５０）、入力キャパシタ（３１）、および、配線パターン（４１）による電気閉回路からなるノイズ平衡化回路を構成する。

明　細　書

発明の名称 ： スイッチング電源装置

技術分野

[0001]　本発明は、電力変換用のスイッチング素子を備えたスイッチング電源装置に関する。

背景技術

[0002]　特許文献１には、ＤＣ－ＤＣコンバータが記載されている。特許文献１のＤＣ－ＤＣコンバータは、スイッチング素子と、スイッチング素子の出力側に接続されたインダクタとを備える。また、特許文献１のＤＣ－ＤＣコンバータは、シールド部材を備える。

[0003]　スイッチング素子、インダクタ、および、シールド部材は、基板に実装されている。シールド部材は、インダクタを覆うように基板に配置される。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１８－９８８５３号公報

発明の概要

発明が解決しようとする課題

[0005]　しかしながら、電力変換に関係しないシールド部材を備えることで、ＤＣ－ＤＣコンバータ（スイッチング電源装置）は、不所望に大型化してしまう。また、特許文献１の構成において、シールド部材を備えていないと、インダクタからスイッチングノイズが外部に輻射されてしまう。

[0006]　したがって、本発明の目的は、スイッチングノイズの輻射を抑制した高効率かつ小型のスイッチング電源装置を提供することにある。

課題を解決するための手段

[0007]　この発明のスイッチング電源装置は、入力キャパシタと、入力キャパシタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、巻線導体と磁性コアとを備え、巻線の一方端に電気接続される第１端子

と巻線導体の他方端に電気接続される第２端子とを有するインダクタと、出力キャパシタと、入力キャパシタ、第１スイッチング素子、第２スイッチング素子、インダクタ、および、出力キャパシタが実装された回路基板と、を備える。

[0008] 回路基板は、第１スイッチング素子および第２スイッチング素子の接続ノードと第１端子とを電気接続する第１配線パターンと、第２端子と出力キャパシタを電気接続する第２配線パターンと、基準電位パターンと、を有する。回路基板を正面視して、第１配線パターンの面積は、第２配線パターンの面積よりも小さい。インダクタは、巻線導体と磁性コアの構造によって第１端子と第２端子との間にインダクタの内部寄生容量を有する。回路基板のシャーシへの配置によって、磁性コアとシャーシとの間の外部寄生容量よりもインダクタの内部寄生容量は、第１スイッチング素子および第２スイッチング素子を動作させるスイッチング周波数において大きく、インダクタの内部寄生容量、第２配線パターン、出力キャパシタ、回路基板の基準電位パターン、入力キャパシタ、および、第１配線パターンによる電気閉回路からなるノイズ平衡化回路を構成する。

[0009] ノイズ平衡化回路は、第１スイッチング素子および第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、インダクタから輻射または伝導するスイッチングノイズに起因するコモンモードノイズの発生を抑制する。

発明の効果

[0010] この発明によれば、ノイズ低減部品を用いることなくノイズ平衡化回路を構成し、かつ、スイッチング動作に起因する電磁雑音の発生を相殺し、スイッチングノイズの輻射または伝導およびこの伝導に起因するコモンモードノイズを抑制するスイッチング電源装置を高効率かつ小型に形成できる。

図面の簡単な説明

[0011] [図1]図１は、本発明の第１の実施形態に係るスイッチング電源装置の概略構成を示す回路図である。

[図2]図２は、本発明の第1の実施形態に係るインダクタの等価回路図である。

[図3]図３（Ａ）は、本発明の第１の実施形態に係るインダクタの平面図であり、図３（Ｂ）は、このインダクタの側面図である。

[図4]図４（Ａ）は、本発明の第１の実施形態に係るインダクタの巻線導体の構成を示す平面透視図であり、図４（Ｂ）は、このインダクタの巻線導体の構成を示す側面透視図であり、図４（Ｃ）、図４（Ｄ）は、各巻線導体を視た平面透視図である。

[図5]図５（Ａ）は、本発明の第１の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成を示す側面断面図であり、図５（Ｂ）は実装部分の平面図である。

[図6]図６は、本発明の第１の実施形態に係るスイッチング電源装置におけるＥＭＩノイズの流れを概略的に示す図である。

[図7]図７は、比較構成のスイッチング電源装置におけるＥＭＩノイズの流れを概略的に示す図である。

[図8]図８（Ａ）は本願構成および比較構成の伝導ノイズのレベルを示すグラフであり、図８（Ｂ）は本願構成および比較構成の放射ノイズのレベルを示すグラフである。

[図9]図９は、本発明の第２の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[図10]図１０は、本発明の第３の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[図11]図１１は、本発明の第４の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[図12]図１２は、本発明の第５の実施形態に係るインダクタの巻線導体の構成を示す側面透視図である。

[図13]図１３は、本発明の第６の実施形態に係るインダクタの巻線導体の構成を示す側面透視図である。

[図14]図１４（Ａ）、図１４（Ｂ）は、本発明の第７の実施形態に係るインダクタの各巻線導体を視た平面透視図である。

[図15]図１５は、本発明の第８の実施形態に係るインダクタの巻線導体の構成を示す側面透視図である。

[図16]図１６（Ａ）は、本発明の第９の実施形態に係るインダクタの構成を示す側面図であり、図１６（Ｂ）は、このインダクタにおける磁性コアに対する導体パターンの巻き付け状態を概念的に示した図である。

[図17]図１７は、本発明の第１０の実施形態に係るスイッチング電源装置の概略構成を示す回路図である。

発明を実施するための形態

[0012] ［第１の実施形態］

本発明の第１の実施形態に係るスイッチング電源装置について、図を参照して説明する。

[0013] （スイッチング電源装置１０の構成）

図１は、本発明の第１の実施形態に係るスイッチング電源装置の概略構成を示す回路図である。

[0014] 図１に示すように、スイッチング電源装置１０は、スイッチングＩＣ１１、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２を備える。スイッチングＩＣ１１は、スイッチング制御回路１１１、スイッチング素子Ｑ１、および、スイッチング素子Ｑ２を備える。スイッチング素子Ｑ１が「第１スイッチング素子」に対応し、スイッチング素子Ｑ２が「第２スイッチング素子」に対応する。スイッチング素子Ｑ１およびスイッチング素子Ｑ２は、電力用半導体素子であり、例えば、Ｎ型のＭＯＳ－ＦＥＴによって構成される。

[0015] スイッチング電源装置１０は、直流電源８１に電気接続されている。より具体的には、入力キャパシタ３１は、直流電源８１に並列に電気接続されている。直流電源８１の正極と入力キャパシタ３１との接続点がノードＮＤ１Ｈであり、直流電源８１の負極と入力キャパシタ３１との接続点がノードＮ

ＤＩＬである。

[0016] スイッチング素子Ｑ１とスイッチング素子Ｑ２とは、直列に電気接続される。より具体的には、スイッチング素子Ｑ１のソースとスイッチング素子Ｑ２のドレインとは、電気接続されている。スイッチング素子Ｑ１とスイッチング素子Ｑ２との接続点がノードＮＤ０である。

[0017] スイッチング素子Ｑ１およびスイッチング素子Ｑ２は、入力キャパシタ３１に電気接続されている。より具体的には、スイッチング素子Ｑ１のドレインは、入力キャパシタ３１のＨｉ側のノードＮＤ１Ｈに接続されている。スイッチング素子Ｑ２のソースは、入力キャパシタ３１のＬｏｗ側のノードＮＤ１Ｌに接続されている。

[0018] スイッチング素子Ｑ１のゲートおよびスイッチング素子Ｑ２のゲートには、スイッチング制御回路１１１が電気接続されている。スイッチング素子Ｑ１およびスイッチング素子Ｑ２は、スイッチング制御回路１１１からのスイッチング制御信号によって、ドレインソース間を電気的に導通または開放する。

[0019] インダクタ２０は、第１端子２０１と第２端子２０２とを備える。なお、インダクタ２０の具体的な電気的物理的構成、および、インダクタ２０に接続される具体的な配線パターンについては後述し、ここでは省略する。

[0020] スイッチングＩＣ１１のノードＮＤ０には、配線パターン４１を通じて、インダクタ２０の第１端子２０１が接続されている。インダクタ２０の第２端子２０２には、配線パターン４２を通じて、出力キャパシタ３２の一方端子（Ｈｉ側端子）が接続されている。インダクタ２０の第２端子２０２と出力キャパシタ３２の一方端子との接続点が、ノードＮＤ２Ｈである。

[0021] 出力キャパシタ３２の他方端子（Ｌｏｗ側端子）は、基準電位側配線パターン５０に接続されている。出力キャパシタ３２の他方端子と基準電位側配線パターン５０との接続点が、ノードＮＤ２Ｌである。

[0022] 基準電位側配線パターン５０は、ノードＮＤ１Ｌ（直流電源８１の負極と入力キャパシタ３１との接続点）に接続されている。基準電位側配線パター

ン５０が「基準電位パターン」に対応する。

[0023] このような構成によって、スイッチング電源装置１０は、非絶縁型で降圧型ＤＣＤＣコンバータ（電力変換回路）を実現する。

[0024] 負荷８２は、出力キャパシタ３２に対して並列に電気接続されている。より具体的には、負荷８２の一方端子は、ノードＮＤ２Ｈに接続されており、負荷８２の他方端子は、ノードＮＤ２Ｌに接続されている。

[0025] さらに、スイッチング電源装置１０のノードＮＤ１Ｌ（直流電源８１の負極と入力キャパシタ３１との接続点）は、スイッチング電源装置１０、直流電源８１、および、負荷８２が搭載される車両等のシャーシＣＨＳに電気接続される。なお、シャーシＣＨＳは、適宜、グランド電位に接続されている。

[0026] 具体的には、スイッチングＩＣ１１、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２は、実装型電子部品によって実現される。また、スイッチング電源装置１０の上述の回路構成を実現する配線パターンは、回路基板６０（後述の図５（Ｂ）等参照）に形成されている。スイッチングＩＣ１１、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２が回路基板６０に実装されることで、スイッチング電源装置１０が実現される。そして、この回路基板６０がシャーシＣＨＳに物理的電気的に接続される。

[0027] （インダクタ２０の具体的な構成およびインダクタ２０に接続する配線パターンの具体的な構成）

（インダクタ２０の等価回路）

図２は、本発明の第1の実施形態に係るインダクタの等価回路図である。インダクタ２０は、第１巻線２１、第２巻線２２、磁性コア２００、第１端子２０１、および、第２端子２０２を備える。第１巻線２１と第２巻線２２とは、第１端子２０１と第２端子２０２との間に直列接続されている。

[0028] また、インダクタ２０は、第１端子２０１と第２端子２０２との間に接続される寄生キャパシタ２９を有する。言い換えれば、インダクタ２０は、第

１巻線２１と第２巻線２２の直列回路に対して並列に接続される寄生キャパシタ２９を有する。寄生キャパシタ２９のキャパシタンスは、第１巻線２１、第２巻線２２、磁性コア２００の構造によって決定される。寄生キャパシタ２９が「インダクタの内部寄生容量」に対応する。

[0029] さらに、インダクタ２０は、磁性コア２００による抵抗成分を第１端子２０１と第２端子２０２との間に有する。

[0030] （インダクタ２０の具体的構造）

図３（Ａ）は、本発明の第１の実施形態に係るインダクタの平面図であり、図３（Ｂ）は、このインダクタの側面図である。図４（Ａ）は、本発明の第１の実施形態に係るインダクタの巻線導体の構成を示す平面透視図であり、図４（Ｂ）は、このインダクタの巻線導体の構成を示す側面透視図であり、図４（Ｃ）、図４（Ｄ）は、各巻線導体を視た平面透視図である。

[0031] 図３（Ａ）、図３（Ｂ）、図４（Ａ）、図４（Ｂ）、構造的に、インダクタ２０は、第１巻線２１、第２巻線２２、磁性コア２００、第１端子２０１、および、第２端子２０２を備える。

[0032] 磁性コア２００は、略直方体形状であり、天面ＦＵ２００、底面ＦＢ２００、側面ＦＳ２０１、側面ＦＳ２０２、および、その他の二側面を備える。側面ＦＳ２０１と側面ＦＳ２０２とは対向する。その他の二側面は、対向し、側面ＦＳ２０１と側面ＦＳ２０２とに直交し、連接する。側面ＦＳ２０１が「第１側面」に対応し、側面ＦＳ２０２が「第２側面」に対応する。

[0033] 第１巻線２１および第２巻線２２は、平板導体を巻いた巻線導体である。

[0034] 第１巻線２１は、平面視して巻回形であり、所定の高さを有する。この第１巻線２１の高さは、第１巻線２１および平面視したときの平板導体の厚みよりも大きい。第１巻線２１は、巻回形の内端部Ｅｉ２１と外端部Ｅｏ２１を備える。

[0035] 第２巻線２２は、第１巻線２１と同様の構成を備える。第２巻線２２は、巻回形の内端部Ｅｉ２２と外端部Ｅｏ２２を備える。

[0036] 第１巻線２１と第２巻線２２とは、平面視して巻回形となるように、磁性

コア２００に内蔵されている。すなわち、磁性コア２００は、第１巻線２１および第２巻線２２の周りを覆うとともに、第１巻線２１および第２巻線２２の巻回形の中央開口の内部にも充填されている。

[0037] 第１巻線２１および第２巻線２２は、磁性コア２００の高さ方向に積層されている。この際、第１巻線２１は、第２巻線２２よりも底面ＦＢ２００側に配置される。言い換えれば、磁性コア２００の底面ＦＢ２００から天面ＦＵ２００に向かって、第１巻線２１、第２巻線２２の順に配置されている。

[0038] この構成によって、第１巻線２１と第２巻線２２とは、容量結合し、寄生キャパシタ２９（インダクタ２０の内部寄生容量）が形成される。また、この構成によって、磁性コア２００による抵抗成分が形成される。

[0039] 第１巻線２１の内端部Ｅｉ２１と第２巻線２２の内端部Ｅｉ２２とは、接続導体２８によって接続されている。第１巻線２１の外端部Ｅｏ２１は、磁性コア２００の側面ＦＳ２０１に露出する。第２巻線２２の外端部Ｅｏ２２は、磁性コア２００の側面ＦＳ２０２に露出する。

[0040] 磁性コア２００の側面ＦＳ２０１から底面ＦＢ２００にかけては、導電体の第１端子２０１が形成されている。これにより、第１巻線２１の外端部Ｅｏ２１は、第１端子２０１に電気接続されている。

[0041] 磁性コア２００の側面ＦＳ２０２から底面ＦＢ２００にかけては、導電体の第２端子２０２が形成されている。これにより、第２巻線２２の外端部Ｅｏ２２は、第２端子２０２に電気接続されている。

[0042] このような構成によって、インダクタ２０は、図２に示す等価回路の構成を実現する。

[0043] （インダクタ２０の実装箇所の構成）

図５（Ａ）は、本発明の第１の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成を示す側面断面図であり、図５（Ｂ）は実装部分の平面図である。図５（Ａ）、図５（Ｂ）では、インダクタ２０の内部の配線が分かるように、インダクタ２０の内部の第１巻線２１と第２巻線２２とを図示している。また、図５（Ａ）では、説明をわかり易くする

ため、寄生キャパシタの回路記号も記入している。

[0044] 回路基板６０は、絶縁性基材と、絶縁性基材に形成された各種の導体パターンとを備える。回路基板６０は、表面６１を備える。概略的に、スイッチングＩＣ１１、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２は、回路基板６０の表面６１に実装される。また、各種の導体パターンは、配線パターン４１、配線パターン４２、基準電位側配線パターン５０を含み、スイッチングＩＣ１１、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２とともに、図１に示すスイッチング電源装置１０の回路構成を実現するように、回路基板６０に形成されている。

[0045] 回路基板６０は、図示を省略した固定構造によって、シャーシＣＨＳに物理的に固定さされている。また、回路基板６０のグランド電位は、図示を省略した電気的接続構造によって、シャーシＣＨＳに電気的に接続されている（接地されている）。

[0046] インダクタ２０の実装部分の具体的な構造は、以下の通りである。

[0047] 図５に示すように、回路基板６０の表面６１には、それぞれが導体パターンからなる配線パターン４１、および、配線パターン４２が形成されている。

[0048] 配線パターン４１の一方端には、スイッチングＩＣ１１のスイッチング素子Ｑ１のソース端子が実装されるランド、および、スイッチングＩＣ１１のスイッチング素子Ｑ２のドレイン端子が実装されるランドが形成されている。スイッチング素子Ｑ１のソース端子およびスイッチング素子Ｑ２のドレイン端子は、それぞれバンプＢＰ１１１、ＢＰ１１２によってランドに実装される。したがって、配線パターン４１の一端が、ノードＮＤ０に対応する。

[0049] 配線パターン４１の他方端には、インダクタ用第１ランドが形成されている。インダクタ２０の第１端子２０１は、インダクタ用第１ランドにはんだ等によって実装されている。これにより、インダクタ２０の第１端子２０１は、配線パターン４１に電気的物理的に接続されている。

[0050] 配線パターン４２の一方端は、配線パターン４１の他方端に対して、イン

ダクタ２０の平面形状に応じた距離で離間して配置されている。配線パターン４２の一方端には、インダクタ用第２ランドが形成されている。インダクタ２０の第２端子２０２は、インダクタ用第２ランドにはんだ等によって実装されている。これにより、インダクタ２０の第２端子２０２は、配線パターン４２に電気的物理的に接続されている。

[0051] なお、図示をしていないが、配線パターン４２の所定位置には、出力キャパシタ３２の一方端子（Ｈｉ側端子）および負荷８２の一方端子が電気的物理的に接続されている。

[0052] ここで、インダクタ２０は、磁性コア２００とシャーシＣＨＳとの間の空間距離が長くなるように、回路基板６０に実装されている。より具体的には、磁性コア２００とシャーシＣＨＳとが空間をあけて配置された場合、磁性コア２００とシャーシＣＨＳとの間に寄生キャパシタＣｐｍが生じる。寄生キャパシタＣｐｍが「インダクタの外部寄生容量」に対応する。インダクタ２０は、スイッチング素子Ｑ１とスイッチング素子Ｑ２のスイッチング周波数において、寄生キャパシタ２９（インダクタ２０の内部寄生容量）によるインピーダンスＺ２９が、寄生キャパシタＣｐｍ（インダクタ２０の外部寄生容量）によるインピーダンスＺｃｐｍよりも小さくなる位置で、回路基板６０に実装されている。すなわち、Ｚ２９＜Ｚｃｐｍの関係となる位置で、インダクタ２０は回路基板６０に実装されている。この際、Ｚ＜＜Ｚｃｐｍの関係であることが好ましく、さらに、スイッチング周波数の各種高調波の周波数において、Ｚ２９＜Ｚｃｐｍの関係、Ｚ＜＜Ｚｃｐｍの関係であることが好ましい。

[0053] このような寄生キャパシタ２９によるインピーダンスＺ２９と、寄生キャパシタＣｐｍによるインピーダンスＺｃｐｍは、インピーダンスアナライザやネットワークアナライザ等の電気回路のインピーダンスが測定可能な装置やシステムによって測定可能である。

[0054] このような構成によって、スイッチング電源装置１０は、次に示すようなスイッチングノイズ（電磁雑音）に対する電気閉回路を構成し、ノイズ平衡

化回路を実現する。

[0055] 図６は、本発明の第１の実施形態に係るスイッチング電源装置におけるＥＭＩノイズの流れを概略的に示す図である。

[0056] 上述のように、インダクタ２０は、寄生キャパシタ２９を備え、寄生キャパシタ２９は、第１端子２０１と第２端子２０２との間に接続されている。そして、スイッチング素子Ｑ１とスイッチング素子Ｑ２のスイッチング周波数において、寄生キャパシタ２９（インダクタ２０の内部寄生容量）によるインピーダンスＺ２９は、寄生キャパシタＣｐｍ（インダクタ２０の外部寄生容量）によるインピーダンスＺｃｐｍよりも小さい。

[0057] したがって、図６の太線矢印に示すように、スイッチングＩＣ１１のノードＮＤ０からのスイッチングノイズは、配線パターン４１、インダクタ２０の寄生キャパシタ２９、配線パターン４２、出力キャパシタ３２、基準電位側配線パターン５０、入力キャパシタ３１、および、入力側Ｈｉ電位パターンを通じて、スイッチングＩＣ１１に戻る。なお、入力側Ｈｉ電位パターンとは、入力キャパシタ３１のＨｉ側端子とスイッチングＩＣ１１のＨｉ側入力端子（スイッチング素子Ｑ１のドレイン端子に接続される端子）とを接続する配線パターンである。

[0058] そして、スイッチングノイズに対して、インダクタ２０の外部寄生容量によるインピーダンスは大きいので、スイッチングノイズがインダクタ２０の磁性コア２００からシャーシＣＨＳに伝搬（漏洩）することは、抑制される。

[0059] この構成によって、スイッチング電源装置１０は、スイッチングノイズに対して、スイッチングＩＣ１１、配線パターン４１、インダクタ２０の寄生キャパシタ２９、配線パターン４２、出力キャパシタ３２、基準電位側配線パターン５０、入力キャパシタ３１、および、入力側Ｈｉ電位パターンによる電気閉回路を備える。

[0060] スイッチングＩＣ１１から発生したスイッチングノイズは、この電気閉回路によって閉じ込められる。また、第１巻線２１から輻射したスイッチング

ノイズは、第２巻線２２によって、この電気閉回路に導かれる。そして、連続的に発生するスイッチングノイズの位相は一定ではないので、電気閉回路に閉じ込められることで、互いに相殺される。すなわち、この電気閉回路は、スイッチングノイズを平衡化してコモンモードノイズの発生を抑制するノイズ平衡化回路として機能する。言い換えれば、スイッチング電源装置１０は、ノイズ平衡化回路を備える。

[0061] このように、上述の構成を備えることによって、スイッチング電源装置１０は、スイッチングノイズのシャーシＣＨＳおよび外部への輻射または伝導を抑制することでコモンモードノイズの発生、伝導を抑制するとともに、ノイズ平衡化回路によってスイッチングノイズのレベルを抑制できる。すなわち、スイッチング電源装置１０は、スイッチングノイズの輻射、伝導およびコモンモードノイズの発生、伝導をより効果的に抑制できる。また、スイッチングノイズのシャーシＣＨＳへの重畳が抑制され、スイッチングノイズに起因するコモンモードノイズの発生、シャーシＣＨＳでの伝導は、抑制されることによって、スイッチング電源装置１０は、シャーシＣＨＳを備える車両の各種の電子機器へのスイッチングノイズによる悪影響を抑制できる。

[0062] この際、スイッチング電源装置１０は、スイッチングノイズの輻射、伝導の抑制用およびコモンモードノイズの発生、伝導の抑制用の部材（シールド部材）を別部品として必要としないので、簡素な構成および小型化を実現できる。

[0063] なお、本実施形態に係るスイッチング電源装置１０の構成を備えない比較構成のスイッチング電源装置１０Ｐでは、シャーシＣＨＳにコモンモードノイズが流れてしまう。

[0064] 図７は、比較構成のスイッチング電源装置におけるＥＭＩノイズの流れを概略的に示す図である。本願のスイッチング電源装置１０のようなインダクタ２０の構成および実装態様を採用しないと、図７に示すように、インダクタ２０の磁性コア２００とシャーシＣＨＳとによる寄生キャパシタＣｐｍのキャパシタンスは、インダクタ２０の寄生キャパシタ２９のキャパシタンス

よりも大きくなる。

[0065] これにより、スイッチングノイズの伝送について、寄生キャパシタ２９（インダクタ２０の内部寄生容量）よりも寄生キャパシタＣｐｍ（インダクタ２０の外部寄生容量）が支配的になる。この結果、コモンモードノイズは、寄生キャパシタＣｐｍを通じてシャーシＣＨＳに流れる。

[0066] このように、比較構成のスイッチング電源装置１０Ｐでは、シャーシＣＨＳにコモンモードノイズが漏洩してしまう。しかしながら、上述の構成を備えることで、本実施形態のスイッチング電源装置１０は、シャーシＣＨＳにスイッチングノイズが結合することによるコモンモードノイズの発生、伝導を抑制できる。

[0067] 図８（Ａ）は本願構成および比較構成の伝導ノイズのレベルを示すグラフであり、図８（Ｂ）は本願構成および比較構成の放射ノイズのレベルを示すグラフである。なお、図８（Ａ）は、一部の周波数帯域を示しているが、より広い周波数帯域においても同様のノイズが分布している。図８（Ａ）、図８（Ｂ）において、実線が本願発明のノイズレベルを示し、破線が比較構成のノイズレベルを示す。また、本願発明のノイズレベルと比較構成のノイズレベルとが重なる箇所は、本願発明のノイズレベルが比較構成のノイズレベルを上書きするように図示している。

[0068] 図８（Ａ）に示すように、スイッチング電源装置１０の構成を備えることで、各周波数帯の伝導ノイズレベルを小さく抑制できる。図８（Ｃ）に示すように、スイッチング電源装置１０の構成を備えることで、各周波数帯の放射ノイズレベルを小さく抑制でき、例えば、比較構成において１０［ｄＢｕＶ／ｍ］よりも大きい１０ＭＨｚ帯の放射ノイズレベルを、１０［ｄＢｕＶ／ｍ］よりも小さく抑制できる。

[0069] 特に、インダクタ２０は、第１巻線２１と第２巻線２２との積層構造を備える。第１巻線２１と第２巻線２２とは、磁性コア２００の厚み方向において近接している。これにより、インダクタ２０は、寄生キャパシタ２９のキャパシタンスを大きくし易い。したがって、インダクタ２０の構成を備える

ことで、スイッチング電源装置１０は、スイッチングノイズに対する上述の電気閉回路からなるノイズ平衡化回路をより確実に実現できる。

[0070] また、インダクタ２０は、底面ＦＢ２００が天面ＦＵ２００よりも回路基板６０の表面６１になり、底面ＦＢ２００が表面６１に対向するように、回路基板６０の表面６１に実装されている。

[0071] この構成によって、第１巻線２１は、第２巻線２２よりも回路基板６０に近い側に配置されている。言い換えれば、第２巻線２２は、回路基板６０の表面６１に直交する方向において、第１巻線２１よりも外方に配置される。さらに言い換えれば、第１巻線２１は、第２巻線２２と回路基板６０の表面６１との間に配置されている。

[0072] 配線パターン４１の一方端は、スイッチング素子Ｑ１とスイッチング素子Ｑ２のノードＮＤ０に対応する。このため、配線パターン４１には、スイッチング素子Ｑ１、Ｑ２のスイッチング動作によるノイズが流れる。すなわち、配線パターン４１は、スイッチングノードパターンといえる。

[0073] 配線パターン４１の他方端は、第１巻線２１に接続している。したがって、第１巻線２１には、スイッチングノイズが流入する。

[0074] 一方、第２巻線２２の一方端は、スイッチング素子Ｑ１とスイッチング素子Ｑ２のノードＮＤ０に直接接続されておらず、第１巻線２１を通じてノードＮＤ０に接続されている。さらに、第２巻線２２の他方端は、配線パターン４２に接続されている。配線パターン４２は、出力キャパシタ３２に接続されており、電位が安定している。すなわち、配線パターン４２は、安定電位パターンをいえる。

[0075] そして、上述のように、回路基板６０の表面６１を基準として、スイッチングノードパターンに接続される第１巻線２１の外方には、安定電位パターンに接続される第２巻線２２が配置されている。このため、第１巻線２１からスイッチングノイズが輻射されても、このスイッチングノイズがスイッチング電源装置１０の外部へ輻射することは、第２巻線２２によって抑制される。

[0076] また、さらに、スイッチング電源装置１０は、次の構成を備えていることが好ましい。

[0077] 図示を省略しているが、スイッチング電源装置１０では、配線パターン４１の面積は、配線パターン４２の面積よりも小さい。すなわち、スイッチングノードパターンの面積は、安定電位パターンの面積よりも小さい。したがって、スイッチングノイズの輻射源である配線パターン４１からスイッチングノイズがスイッチング電源装置１０の外部およびシャーシＣＨＳへ輻射することは、抑制される。

[0078] さらに、配線パターン４１は、小面積化にあたって、幅をできる限り狭くすることなく、長さを短くすることによって対応している。これにより、配線パターン４１の抵抗成分は低下する。これにより、スイッチング電源装置１０は、電流による損失を抑制でき、高効率な電力変換を実現できる。特に、スイッチング電源装置１０は、大電流を必要とする場合、より効率的な電力変換を実現できる。

[0079] また、配線パターン４１の面積は、インダクタ２０を回路基板６０の表面６１に投影した面積（インダクタ２０の投影面積）よりも小さい。これにより、スイッチング電源装置１０は、スイッチングノイズの外部およびシャーシＣＨＳへ輻射、伝導、およびこれによるコモンモードノイズの発生、伝導を抑制できる。

[0080] また、この際、配線パターン４２の面積は、インダクタ２０の投影面積と略同じ、または、インダクタ２０の投影面積よりも大きい。これにより、スイッチング電源装置１０を平面視した全体面積に対して、相対的に安定した電位の面が大きくなる。したがって、スイッチング電源装置１０の外部およびシャーシＣＨＳへのスイッチングノイズの影響を抑制できる。

[0081] なお、スイッチング電源装置１０は、降圧型ＤＣＤＣコンバータを構成しており、インダクタ２０に係る電圧（整流平滑電圧）は、直流電源８１の電圧よりも低い。このような場合に、上述の構成はより効果的である。また、直流電源８１に変えて、商用交流電源から例えばインバータ回路を通じて直

流に変換して入力を受ける場合、インダクタ２０に係る電圧（整流平滑電圧）は、商用交流電圧よりも低い。この場合にも、上述の構成はより効果的である。

[0082] ［第２の実施形態］

本発明の第２の実施形態に係るスイッチング電源装置について、図を参照して説明する。図９は、本発明の第２の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[0083] 第２の実施形態に係るスイッチング電源装置１０Ａは、第１の実施形態に係るスイッチング電源装置１０に対して、基準電位側配線パターン５０の配線パターンにおいて異なる。スイッチング電源装置１０Ａの他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0084] スイッチング電源装置１０Ａは、回路基板６０Ａによって形成される。回路基板６０Ａは、導体パターンからなる基準電位側配線パターン５０を備える。

[0085] 基準電位側配線パターン５０は、回路基板６０Ａの内部に形成されている。基準電位側配線パターン５０は、平面視して（表面６１に直交する方向に視て）、インダクタ２０（インダクタ２０の実装領域）および配線パターン４１に重なっている。

[0086] このような構成によって、インダクタ２０および配線パターン４１と、基準電位側配線パターン５０との間に、寄生キャパシタが構成される。この寄生キャパシタは、電力変換用の主たる電流が流れるものではなく、それよりも周波数が高いスイッチングノイズが流れる程度のものである。

[0087] この構成によって、スイッチング電源装置１０Ａでは、シャーシＣＨＳに対する外部寄生容量よりも電気閉回路を構成する内部寄生容量を、より大きくできる。これにより、スイッチングノイズは、ノイズ平衡化回路にさらに効果的に閉じ込められ、コモンモードノイズの発生は、さらに効果的に抑制される。

[0088] したがって、スイッチング電源装置１０Ａは、スイッチングノイズの外部

への輻射、伝導およびコモンモードノイズの発生、伝導を、より効果的に抑制できる。

[0089] なお、基準電位側配線パターン５０は、インダクタ２０と配線パターン４１の少なくとも一方の一部に重なっていればよいが、インダクタ２０と配線パターン４１との両方に重なっていることが好ましい。

[0090] ［第３の実施形態］

本発明の第３の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１０は、本発明の第３の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[0091] 第３の実施形態に係るスイッチング電源装置１０Ｂは、第１の実施形態に係るスイッチング電源装置１０に対して、入力側Ｈｉ電位パターン４３の配線パターンにおいて異なる。入力側Ｈｉ電位パターン４３が「入力配線パターン」に対応する。スイッチング電源装置１０Ｂの他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0092] 入力側Ｈｉ電位パターン４３は、入力キャパシタ３１のＨｉ電位側のノードＮＤ１Ｈとスイッチング ＩＣ１１とを接続する配線パターンである。

[0093] スイッチング電源装置１０Ｂは、回路基板６０Ｂによって形成される。回路基板６０Ｂは、導体パターンからなる入力側Ｈｉ電位パターン４３を備える。

[0094] 入力側Ｈｉ電位パターン４３は、回路基板６０Ｂの内部に形成されている。入力側Ｈｉ電位パターン４３は、平面視して、インダクタ２０および配線パターン４１に重なっている。

[0095] このような構成によって、インダクタ２０および配線パターン４１と、入力側Ｈｉ電位パターン４３との間に、寄生キャパシタが構成される。この寄生キャパシタは、電力変換用の主たる電流が流れるものではなく、それよりも周波数が高いスイッチングノイズが流れる程度のものである。

[0096] この構成によって、スイッチング電源装置１０Ｂでは、シャーシＣＨＳに対する外部寄生容量よりも電気閉回路を構成する内部寄生容量を、より大き

くできる。これにより、スイッチングノイズは、ノイズ平衡化回路にさらに効果的に閉じ込められ、コモンモードノイズの発生は、さらに効果的に抑制される。

[0097] したがって、スイッチング電源装置１０Ｂは、スイッチングノイズの外部への輻射、伝導およびコモンモードノイズの発生、伝導を、より効果的に抑制できる。

[0098] なお、入力側Ｈｉ電位パターン４３は、インダクタ２０と配線パターン４１の少なくとも一方の一部に重なっていればよいが、インダクタ２０と配線パターン４１との両方に重なっていることが好ましい。

[0099] ［第４の実施形態］

本発明の第４の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１１は、本発明の第４の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[0100] 第４の実施形態に係るスイッチング電源装置１０Ｃは、第１の実施形態に係るスイッチング電源装置１０に対して、配線パターン４２Ｃにおいて異なる。スイッチング電源装置１０Ｃの他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0101] スイッチング電源装置１０Ｃは、回路基板６０Ｃによって形成される。回路基板６０Ｃは、導体パターンからなる配線パターン４２Ｃを備える。

[0102] 配線パターン４２Ｃは、配線パターン４２０、配線パターン４２１、接続導体ＶＩＡ４２を備える。配線パターン４２０は、回路基板６０Ｃの表面６１に形成されている。配線パターン４２０は、インダクタ２０用のランドを備える。配線パターン４２１は、回路基板６０Ｃの内部に形成されている。配線パターン４２１は、接続導体ＶＩＡ４２を通じて配線パターン４２０に接続されている。配線パターン４２１は、平面視して、インダクタ２０および配線パターン４１に重なっている。

[0103] このような構成によって、インダクタ２０および配線パターン４１と、配線パターン４２１との間に、寄生キャパシタが構成される。この寄生キャパ

シタは、電力変換用の主たる電流が流れるものではなく、それよりも周波数が高いスイッチングノイズが流れる程度のものである。

[0104] この構成によって、スイッチング電源装置１０Ｃでは、シャーシＣＨＳに対する外部寄生容量よりも電気閉回路を構成する内部寄生容量を、より大きくできる。これにより、スイッチングノイズは、ノイズ平衡化回路にさらに効果的に閉じ込められ、コモンモードノイズの発生は、さらに効果的に抑制される。

[0105] したがって、スイッチング電源装置１０Ｃは、コモンモードノイズを含むスイッチングノイズの外部への輻射、伝導およびコモンモードノイズの発生、伝導を、より効果的に抑制できる。

[0106] なお、配線パターン４２１は、インダクタ２０と配線パターン４１の少なくとも一方の一部に重なっていればよいが、インダクタ２０と配線パターン４１との両方に重なっていることが好ましい。

[0107] ［第５の実施形態］

本発明の第５の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１２は、本発明の第５の実施形態に係るインダクタの巻線導体の構成を示す側面透視図である。

[0108] 第５の実施形態に係るスイッチング電源装置は、第１の実施形態に係るスイッチング電源装置１０に対して、インダクタ２０Ｄにおいて異なる。第５の実施形態に係るスイッチング電源装置の他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0109] 図１１に示すように、インダクタ２０Ｄは、第１端子２０１Ｄおよび第２端子２０２Ｄを備える。第１端子２０１Ｄは、磁性コア２００の側面ＦＳ２０１および底面ＦＢ２００に亘って形成されている。第２端子２０２Ｄは、磁性コア２００の側面ＦＳ２０２および底面ＦＢ２００に亘って形成されている。

[0110] 第１端子２０１Ｄの高さＨ２０１Ｄは、第２端子２０２Ｄの高さＨ２０２Ｄよりも低い。第１端子２０１Ｄは、側面ＦＳ２０１に全幅に亘って形成さ

れている。第２端子２０２Ｄは、側面ＦＳ２０２に全幅に亘って形成されている。これにより、第１端子２０１Ｄが側面ＦＳ２０１に形成される面積は、第２端子２０２Ｄが側面ＦＳ２０２に形成される面積よりも小さい。

[0111] この構成によって、第１端子２０１Ｄからのスイッチングノイズの輻射は、抑制される。

[0112] ［第６の実施形態］

本発明の第６の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１３は、本発明の第６の実施形態に係るインダクタの巻線導体の構成を示す側面透視図である。

[0113] 第６の実施形態に係るスイッチング電源装置は、第１の実施形態に係るスイッチング電源装置１０に対して、インダクタ２０Ｅにおいて異なる。第６の実施形態に係るスイッチング電源装置の他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0114] 図１２に示すように、インダクタ２０Ｅは、第１端子２０１Ｅおよび第２端子２０２Ｅを備える。第１端子２０１Ｅは、磁性コア２００の底面ＦＢ２００に形成されており、側面ＦＳ２０１には形成されていない。いる。第２端子２０２Ｅは、磁性コア２００の側面ＦＳ２０２および底面ＦＢ２００に亘って形成されている。

[0115] この構成によって、第１端子２０１Ｅからのスイッチングノイズの輻射は、抑制される。

[0116] ［第７の実施形態］

本発明の第７の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１４（Ａ）、図１４（Ｂ）は、本発明の第７の実施形態に係るインダクタの各巻線導体を視た平面透視図である。

[0117] 第７の実施形態に係るスイッチング電源装置は、第１の実施形態に係るスイッチング電源装置１０に対して、インダクタ２０Ｆにおいて異なる。第７の実施形態に係るスイッチング電源装置の他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0118] 図１４（Ａ）、図１４（Ｂ）に示すように、インダクタ２０Ｆは、第１巻線２１Ｆ、および、第２巻線２２Ｆを備える。第２巻線２２Ｆの巻回数は、第１巻線２１Ｆの巻回数よりも多く、平面視において、第２巻線２２Ｆの外形形状の面積Ｓ２２Ｆは、第１巻線２１Ｆの外形形状の面積Ｓ２１Ｆよりも大きい。

[0119] さらに、平面視において、第２巻線２２Ｆの巻回形部分は、第１巻線２１Ｆの巻回形部分に重なっている。

[0120] このような構成によって、第２巻線２２Ｆは、第１巻線２１Ｆからのスイッチングノイズのシャーシ ＣＨＳおよび外部への輻射を、より効果的に抑制できる。

[0121] ［第８の実施形態］

本発明の第８の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１５は、本発明の第８の実施形態に係るインダクタの巻線導体の構成を示す側面透視図である。

[0122] 第８の実施形態に係るスイッチング電源装置は、第１の実施形態に係るスイッチング電源装置１０に対して、インダクタ２０Ｇにおいて異なる。第８の実施形態に係るスイッチング電源装置の他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0123] 図１４に示すように、インダクタ２０Ｇは、第１巻線２１Ｇ、第２巻線２２Ｇ、および、第３巻線２３Ｇを備える。第１巻線２１Ｇ、第２巻線２２Ｇ、および、第３巻線２３Ｇは、上述の第１巻線２１、第２巻線２２と同様に巻線導体である。

[0124] 第１巻線２１Ｇ、第２巻線２２Ｇ、および、第３巻線２３Ｇは、磁性コア２００の底面ＦＢ２００から天面ＦＵ２００に向かって、第１巻線２１Ｇ、第３巻線２３Ｇ、第２巻線２２Ｇの順で配置されている。

[0125] 第１巻線２１Ｇの内端部Ｅｉ２１は、接続導体２８１を通じて、第１端子２０１Ｇにおける磁性コア２００の底面に形成されている部分（底面部）に接続されている。より具体的には、第１巻線２１Ｇの内端は、第１端子２０

１Ｇの底面部における第１巻線２１Ｇを平面視した中央に近い位置に接続されている。なお、第１端子２０１Ｇは磁性コア２００の底面のみに形成されてもよい。第１巻線２１Ｇの外端部Ｅｏ２１は、接続導体２８２を通じて、第３巻線２３Ｇの外端部Ｅｏ２３に接続されている。第３巻線２３Ｇの内端部Ｅｉ２３は、接続導体２８３を通じて、第２巻線２２Ｇの内端部Ｅｉ２２に接続されている。第２巻線２２Ｇの外端部Ｅｏ２２は、第２端子２０２Ｇに接続されている。

[0126] このように、スイッチング電源装置に利用するインダクタは、三層以上の巻線導体によって構成されていてもよい。

[0127] この際、インダクタ２０Ｇのように、スイッチングノードパターンおよび第１端子２０１Ｇに電気回路的に最も近い第１巻線２１Ｇは、内端部Ｅｉ２１を通じて第１端子２０１Ｇおよびスイッチングノードパターンに接続されている。これにより、ノイズレベルの大きな箇所は、インダクタ２０Ｇを平面視した中央部分となる。したがって、インダクタ２０ＧからシャーシＣＨＳおよび外部へのノイズの輻射は、より効果的に抑制される。

[0128] ［第９の実施形態］

本発明の第９の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１６（Ａ）は、本発明の第９の実施形態に係るインダクタの構成を示す側面図であり、図１６（Ｂ）は、このインダクタにおける磁性コアに対する導体パターンの巻き付け状態を概念的に示した図である。

[0129] 第９の実施形態に係るスイッチング電源装置は、第１の実施形態に係るスイッチング電源装置１０に対して、インダクタ２０Ｈにおいて異なる。第９の実施形態に係るスイッチング電源装置の他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0130] インダクタ２０Ｈは、磁性コア２００Ｈ、第４巻線２１Ｈ、第５巻線２２Ｈ、第１端子２０１Ｈ、および、第２端子２０２Ｈを備える。

[0131] 磁性コア２００Ｈは、底板２００１、天板２００２、および、支柱２００３を備える。支柱２００３は、底板２００１と天板２００２との間に配置さ

れ、底板２００１と天板２００２とに接続されている。

[0132] 第４巻線２１Ｈは、支柱２００３に巻き付けられた巻線導体である。第４巻線２１Ｈの一方端は、底板２００１に形成された第１端子２０１Ｈに接続されている。

[0133] 第５巻線２２Ｈは、第４巻線２１Ｈを間に挟んで支柱２００３に巻き付けられた巻線導体である。すなわち、第５巻線２２Ｈは、支柱２００３を基準として第４巻線２１Ｈの外側に配置されている。第５巻線２２Ｈの一方端は、第４巻線２１Ｈの他方端に接続されている。第５巻線２２Ｈの他方端は、底板２００１に形成された第２端子２０２Ｈに接続されている。

[0134] 第１端子２０１Ｈは、スイッチングノードパターンである配線パターン４１に接続されている。第２端子２０２Ｈは、安定電位パターンである配線パターン４２に接続されている。

[0135] このような構成のインダクタ２０Ｈを用いても、上述のインダクタ２０を用いたスイッチング電源装置１０と同様の作用効果を奏することができる。

[0136] ［第１０の実施形態］

本発明の第１０の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１７は、本発明の第１０の実施形態に係るスイッチング電源装置の概略構成を示す回路図である。

[0137] 第１の実施形態に係るスイッチング電源装置１０が降圧型ＤＣＤＣコンバータであったのに対して、第１０の実施形態に係るスイッチング電源装置１０Ｉは、昇圧型ＤＣＤＣコンバータである。スイッチング電源装置１０Ｉにおけるインダクタ２０の構成、配線パターン４１、および、配線パターン４２の形状は、スイッチング電源装置１０と同様である。

[0138] 図１７に示すように、スイッチング電源装置１０Ｉは、スイッチングＩＣ１１Ｉ、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２を備える。スイッチングＩＣ１１Ｉは、スイッチング制御回路（図示を省略）、スイッチング素子Ｄ１、および、スイッチング素子Ｑ２を備える。スイッチング素子Ｄ１が「第１スイッチング素子」に対応し、スイッチング素

子Ｑ２が「第２スイッチング素子」に対応する。スイッチング素子Ｄ１およびスイッチング素子Ｑ２は、電力用半導体素子である。

[0139] スイッチング電源装置１０Ｉは、直流電源８１に電気接続されている。より具体的には、入力キャパシタ３１は、直流電源８１に並列に電気接続されている。直流電源８１の正極と入力キャパシタ３１との接続点がノードＮＤ１Ｈであり、直流電源８１の負極と入力キャパシタ３１との接続点がノードＮＤＩＬである。

[0140] スイッチング素子Ｄ１とスイッチング素子Ｑ２とは、直列に電気接続される。より具体的には、スイッチング素子Ｄ１のアノードとスイッチング素子Ｑ２のドレインとは、電気接続されている。スイッチング素子Ｄ１とスイッチング素子Ｑ２との接続点がノードＮＤ０である。

[0141] ノードＮＤ１Ｌには、配線パターン４２が接続されている。配線パターン４２には、インダクタ２０の第２端子２０２が接続されている。インダクタ２０の第１端子２０１には、配線パターン４１が接続されており、配線パターン４１は、ノードＮＤ０に接続されている。

[0142] スイッチング素子Ｄ１のカソードには、出力キャパシタ３２の一方端子（Ｈｉ側端子）が接続されている。スイッチング素子Ｄ１のカソードと出力キャパシタ３２の一方端子との接続点が、ノードＮＤ２Ｈである。

[0143] 出力キャパシタ３２の他方端子（Ｌｏｗ側端子）は、基準電位側配線パターン５０に接続されている。出力キャパシタ３２の他方端子と基準電位側配線パターン５０との接続点が、ノードＮＤ２Ｌである。

[0144] 基準電位側配線パターン５０は、ノードＮＤ１Ｌ（直流電源８１の負極と入力キャパシタ３１との接続点）に接続されている。

[0145] このような構成によって、スイッチング電源装置１０Ｉは、配線パターン４１、インダクタ２０、配線パターン４２、入力キャパシタ３１、基準電位側配線パターン５０、および、出力キャパシタ３２を含んで構成されるノイズ平衡化回路を実現できる。これにより、スイッチング電源装置１０Ｉは、スイッチング電源装置１０と同様に、スイッチングノイズの外部への輻射お

よびコモンモードノイズの発生、伝導、外部への輻射を抑制するとともに、ノイズ平衡化回路によってノイズレベルを抑制できる。したがって、スイッチング電源装置１０１は、スイッチングノイズのシャーシＣＨＳへの輻射、伝導および外部への輻射、さらにはコモンモードノイズの発生および伝導をより効果的に抑制できる。

[0146] なお、上述の各実施形態のスイッチング電源装置において、コモンモードノイズの抑制効果は、例えば、次のように確認できる。

[0147] 第１例としては、直流電源８１の正極側および負極側の配線パターンにデルタ型ＬＩＳＮを接続し、デルタ型ＬＩＳＮにスペクトラムアナライザを接続する。スペクトラムアナライザによって、デルタ型ＬＩＳＮの出力電圧を計測することで、コモンモードノイズの抑制効果を確認できる。

[0148] 第２例としては、直流電源８１の正極側および負極側の配線パターンに電流センサ（電流プローブ）を設置し、電流センサにスペクトラムアナライザを接続する。スペクトラムアナライザによって、電流センサの出力電流を計測することで、コモンモードノイズの抑制効果を確認できる。

[0149] 第３例としては、直流電源８１の負極側の配線パターンにＬＩＳＮを接続し、このＬＩＳＮをシャーシＣＨＳに接続する。ＬＩＳＮとシャーシＣＨＳとの接続ラインに電流センサ（電流プローブ）を設置し、電流センサにスペクトラムアナライザを接続する。スペクトラムアナライザによって、電流センサの出力電流を計測することで、コモンモードノイズの抑制効果を確認できる。

[0150] なお、上述の各実施形態の構成は、適宜組み合わせることができ、それぞれの組み合わせに応じた作用効果を奏することができる。

[0151] ＜１＞ 入力キャパシタと、

前記入力キャパシタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

巻線導体と磁性コアとを備え、前記巻線導体の一方端に電気接続される第１端子と前記巻線導体の他方端に電気接続される第２端子とを有するインダ

クタと、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記出力キャパシタを電気接続する第２配線パターンと、

基準電位パターンと、

を有し、

前記回路基板を正面視して、

前記第１配線パターンの面積は、前記第２配線パターンの面積よりも小さく、

前記インダクタは、前記巻線導体と前記磁性コアの構造によって前記第１端子と前記第２端子との間に前記インダクタの内部寄生容量を有し、

前記回路基板のシャーシへの配置によって、前記磁性コアと前記シャーシとの間の外部寄生容量よりも前記インダクタの内部寄生容量は、前記第１スイッチング素子および前記第２スイッチング素子を動作させるスイッチング周波数において大きく、

前記インダクタの内部寄生容量、前記第２配線パターン、前記出力キャパシタ、前記回路基板の基準電位パターン、前記入力キャパシタ、および、前記第１配線パターンは、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、前記インダクタから輻射または伝導するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、スイッチング電源装置。

[0152] ＜２＞ 前記巻線導体は、前記磁性コアの厚み方向に離間して配置された

第１巻線と第２巻線とを備え、

前記第１巻線と前記第２巻線とによって前記内部寄生容量が形成される、＜１＞のスイッチング電源装置。

[0153] ＜３＞ 前記第２巻線は、前記第１巻線よりも前記回路基板から離れた位置に配置されており、

前記インダクタを平面視して、前記第２巻線の外形形状は、前記第１巻線の外形形状よりも小さく、前記第２巻線は、前記第１巻線に重なっている、＜１＞または＜２＞のスイッチング電源装置。

[0154] ＜４＞ 前記インダクタは、

前記第１巻線と前記第１巻線との間に電気接続された少なくとも１つの第３巻線を有し、

前記第１巻線の内端が前記第１端子に電気接続され、

前記第２巻線の外端が前記第２端子に電気接続される、＜１＞乃至＜３＞のいずれかのスイッチング電源装置。

[0155] ＜５＞ 前記基準電位パターンは、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、＜１＞乃至＜４＞のいずれかのスイッチング電源装置。

[0156] ＜６＞ 前記回路基板は、前記入力キャパシタに電気接続する入力配線パターンを有し、

前記入力配線パターンは、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、＜１＞乃至＜５＞のいずれかのスイッチング電源装置。

[0157] ＜７＞ 前記第２配線パターンの一部は、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、＜１＞乃至＜６＞のいずれかのスイッチング電源装置。

[0158] ＜８＞ 前記磁性コアは、底面、第１側面、および、第２側面を有し、

前記第１端子は、前記底面と前記第１側面とに亘って形成され、

前記第２端子は、前記底面と前記第２側面とに亘って形成され、

前記第１端子における前記第１側面に形成される面積は、前記第２端子における前記第２側面に形成される面積よりも小さい、＜１＞乃至＜７＞のいずれかのスイッチング電源装置。

[0159] ＜９＞ 前記磁性コアは、底面、第１側面、および、第２側面を有し、

前記第１端子は、前記底面のみに形成され、

前記第２端子は、前記底面と前記第２側面とに亘って形成される、＜１＞乃至＜８＞のいずれかのスイッチング電源装置。

[0160] ＜１０＞ 前記第１配線パターンの面積は、前記インダクタを平面視した面積よりも小さい、＜１＞乃至＜９＞のいずれかのスイッチング電源装置。

[0161] ＜１１＞ 前記第１スイッチング素子、前記第２スイッチング素子、および、前記インダクタは、非絶縁型形の電力変換回路を構成し、

前記インダクタに印加される整流平滑電圧は、商用交流電圧の整流平滑電圧未満である、＜１＞の乃至＜１０＞のいずれかのスイッチング電源装置。

[0162] ＜１２＞ 入力キャパシタと、

巻線導体と磁性コアとを備え、前記巻線導体の一方端に電気接続される第１端子と前記巻線導体の他方端に電気接続される第２端子とを有するインダクタと、

前記インダクタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記入力キャパシタを電気接続する第２配線パターンと、

基準電位パターンと、

を有し、

前記第１配線パターンの面積は、前記第２配線パターンの面積よりも小さく、

前記インダクタは、前記巻線導体と前記磁性コアの構造によって前記第１端子と前記第２端子との間にインダクタの内部寄生容量を有し、

前記回路基板のシャーシへの配置によって、前記磁性コアと前記シャーシとの間の外部寄生容量よりも前記インダクタの内部寄生容量は、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング周波数において大きくし、

前記インダクタの内部寄生容量、前記第２配線パターン、前記出力キャパシタ、前記回路基板の基準電位パターン、前記入力キャパシタ、および、前記第１配線パターンは、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、前記インダクタから輻射または伝導するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、　スイッチング電源装置。

符号の説明

[0163] １０、１０Ａ、１０Ｂ、１０Ｃ、１０Ｉ、１０Ｐ：スイッチング電源装置

２０、２０Ｄ、２０Ｅ、２０Ｆ、２０Ｇ、２０Ｈ：インダクタ

２１、２１Ｆ、２１Ｇ、：第１巻線

２２、２２Ｆ、２２Ｇ：第２巻線

２３Ｇ：第３巻線

２１Ｈ：第４巻線

２２Ｈ：第５巻線

２８：接続導体

２９：寄生キャパシタ

３１：入力キャパシタ

３２：出力キャパシタ

４１、４２、４２Ｃ、４２０、４２１：配線パターン

４３：入力側Ｈｉ電位パターン

５０：基準電位側配線パターン

６０、６０Ａ、６０Ｂ、６０Ｃ：回路基板

６１：表面

８１：直流電源

８２：負荷

１１１：スイッチング制御回路

２００、２００Ｈ：磁性コア

２０１、２０１Ｄ、２０１Ｅ、２０１Ｇ、２０１Ｈ：第１端子

２０２、２０２Ｄ、２０２Ｅ、２０２Ｇ、２０２Ｈ：第２端子

２８１、２８２、２８３：接続導体

２００１：底板

２００２：天板

２００３：支柱

ＢＰ１１１、ＢＰ１１２：バンプ

ＣＨＳ：シャーシ

Ｃｐｍ：寄生キャパシタ

Ｄ１、Ｑ１、Ｑ２：スイッチング素子

Ｅｉ２１、Ｅｉ２２、Ｅｉ２３：内端部

Ｅｏ２１、Ｅｏ２２、Ｅｏ２３：外端部

ＦＢ２００：底面

ＦＳ２０１、ＦＳ２０２：側面

ＦＵ２００：天面

Ｈ２０１Ｄ、Ｈ２０２Ｄ：高さ

１１、１１ｌ：スイッチングＩＣ

ＮＤ０、ＮＤ１Ｈ、ＮＤ１Ｌ、ＮＤ２Ｈ、ＮＤ２Ｌ、ＮＤｌＬ：ノード

ＶＩＡ４２：接続導体

Ｚ２９、Ｚｃｐｍ：インピーダンス

請求の範囲

[請求項1] 入力キャパシタと、

前記入力キャパシタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

巻線導体と磁性コアとを備え、前記巻線導体の一方端に電気接続される第１端子と前記巻線導体の他方端に電気接続される第２端子とを有するインダクタと、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記出力キャパシタを電気接続する第２配線パターンと、

基準電位パターンと、

を有し、

前記回路基板を正面視して、

前記第１配線パターンの面積は、前記第２配線パターンの面積よりも小さく、

前記インダクタは、前記巻線導体と前記磁性コアの構造によって前記第１端子と前記第２端子との間に前記インダクタの内部寄生容量を有し、

前記回路基板のシャーシへの配置によって、前記磁性コアと前記シャーシとの間の外部寄生容量よりも前記インダクタの内部寄生容量は、前記第１スイッチング素子および前記第２スイッチング素子を動作

させるスイッチング周波数において大きく、

前記インダクタの内部寄生容量、前記第２配線パターン、前記出力キャパシタ、前記回路基板の基準電位パターン、前記入力キャパシタ、および、前記第１配線パターンは、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、前記インダクタから輻射または伝導するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、

スイッチング電源装置。

[請求項2] 前記巻線導体は、前記磁性コアの厚み方向に離間して配置された第１巻線と第２巻線とを備え、

前記第１巻線と前記第２巻線とによって前記内部寄生容量が形成される、

請求項１に記載のスイッチング電源装置。

[請求項3] 前記第２巻線は、前記第１巻線よりも前記回路基板から離れた位置に配置されており、

前記インダクタを平面視して、前記第２巻線の外形形状は、前記第１巻線の外形形状よりも小さく、前記第２巻線は、前記第１巻線に重なっている、

請求項１または請求項２に記載のスイッチング電源装置。

[請求項4] 前記インダクタは、

前記第１巻線と前記第１巻線との間に電気接続された少なくとも１つの第３巻線を有し、

前記第１巻線の内端が前記第１端子に電気接続され、

前記第２巻線の外端が前記第２端子に電気接続される、

請求項１乃至請求項３のいずれかに記載のスイッチング電源装置。

[請求項5] 前記基準電位パターンは、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、

請求項１乃至請求項４のいずれかに記載のスイッチング電源装置。

[請求項6] 前記回路基板は、前記入力キャパシタに電気接続する入力配線パターンを有し、

前記入力配線パターンは、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、

請求項１乃至請求項５のいずれかに記載のスイッチング電源装置。

[請求項7] 前記第２配線パターンの一部は、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、

請求項１乃至請求項６のいずれかに記載のスイッチング電源装置。

[請求項8] 前記磁性コアは、底面、第１側面、および、第２側面を有し、

前記第１端子は、前記底面と前記第１側面とに亘って形成され、

前記第２端子は、前記底面と前記第２側面とに亘って形成され、

前記第１端子における前記第１側面に形成される面積は、前記第２端子における前記第２側面に形成される面積よりも小さい、

請求項１乃至請求項７のいずれかに記載のスイッチング電源装置。

[請求項9] 前記磁性コアは、底面、第１側面、および、第２側面を有し、

前記第１端子は、前記底面のみに形成され、

前記第２端子は、前記底面と前記第２側面とに亘って形成される、

請求項１乃至請求項８のいずれかに記載のスイッチング電源装置。

[請求項10] 前記第１配線パターンの面積は、前記インダクタを平面視した面積よりも小さい、

請求項１乃至請求項９のいずれかに記載のスイッチング電源装置。

[請求項11] 前記第１スイッチング素子、前記第２スイッチング素子、および、前記インダクタは、非絶縁型の電力変換回路を構成し、

前記インダクタに印加される電圧は、商用交流電圧の整流平滑電圧未満である、

請求項１乃至請求項１０のいずれかに記載のスイッチング電源装置。

[請求項12] 入力キャパシタと、

巻線導体と磁性コアとを備え、前記巻線導体の一方端に電気接続される第１端子と前記巻線導体の他方端に電気接続される第２端子とを有するインダクタと、

前記インダクタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記入力キャパシタを電気接続する第２配線パターンと、

基準電位パターンと、

を有し、

前記第１配線パターンの面積は、前記第２配線パターンの面積よりも小さく、

前記インダクタは、前記巻線導体と前記磁性コアの構造によって前記第１端子と前記第２端子との間にインダクタの内部寄生容量を有し、

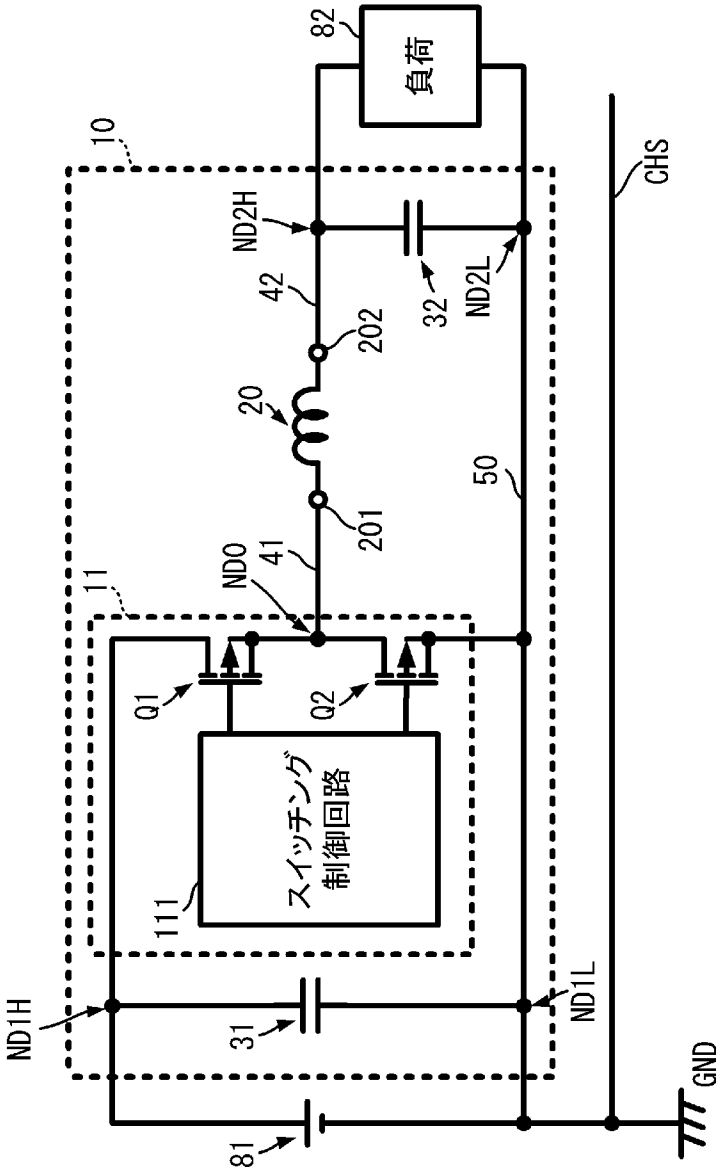
前記回路基板のシャーシへの配置によって、前記磁性コアと前記シャーシとの間の外部寄生容量よりも前記インダクタの内部寄生容量は、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング周波数において大きくし、

前記インダクタの内部寄生容量、前記第２配線パターン、前記出力

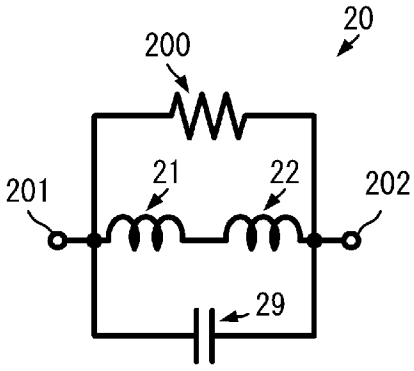
キャパシタ、前記回路基板の基準電位パターン、前記入力キャパシタ、および、前記第１配線パターンは、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、前記インダクタから輻射または伝導するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、

スイッチング電源装置。

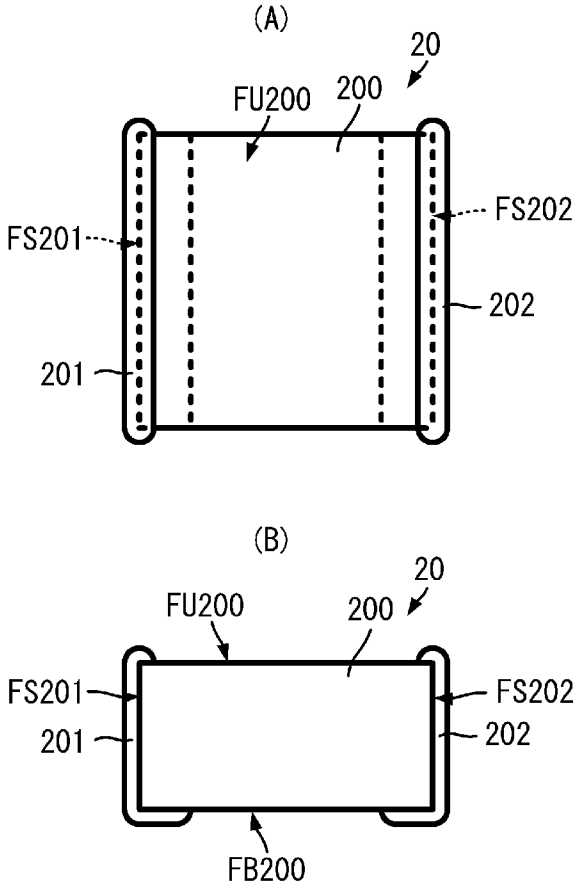
[図1]


82
負荷
10
CHS
ND2H
42
202
32
ND2L
20
50
201
ND0
41
11
Q1
Q2
スイッチング
制御回路
111
ND1H
31
ND1L
GND
81

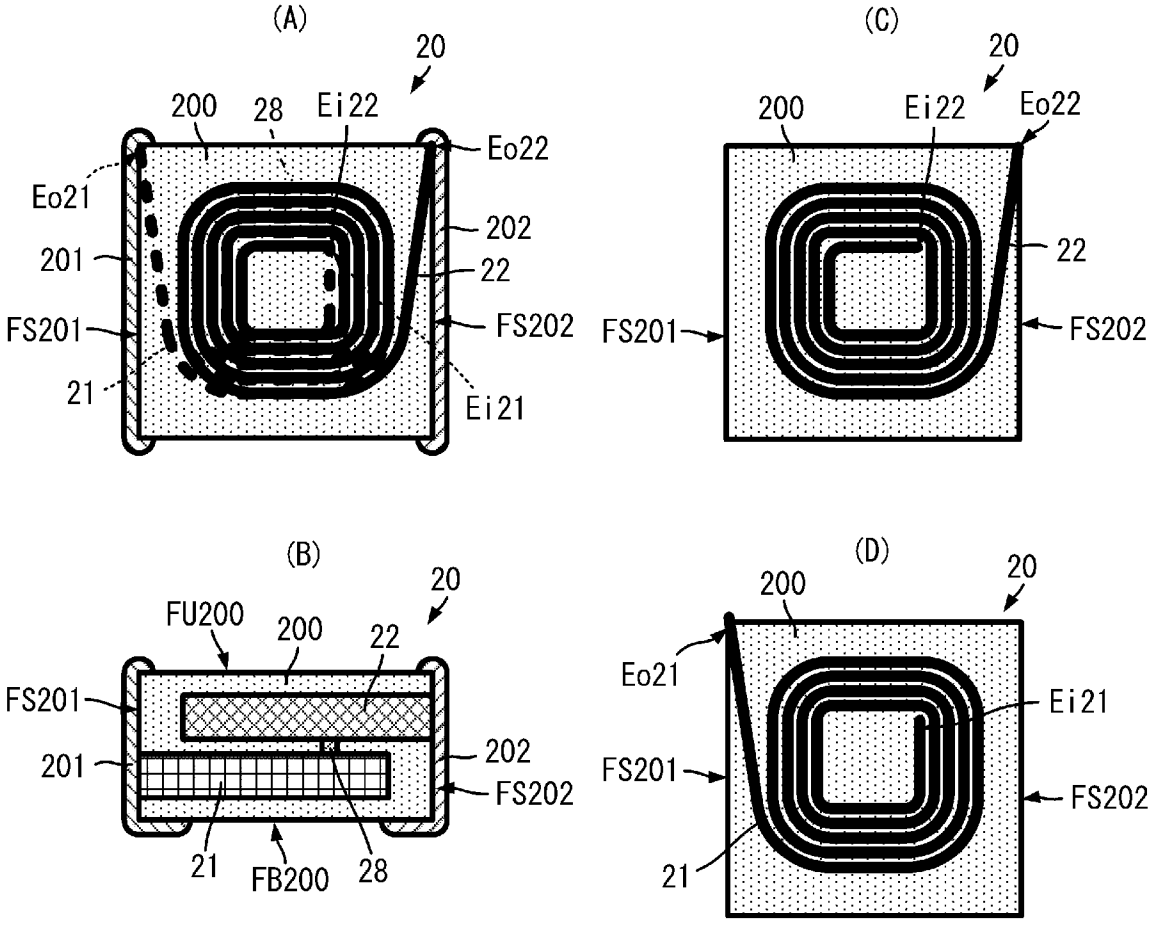
[図2]


20
200
201
21
22
202
29

[図3]

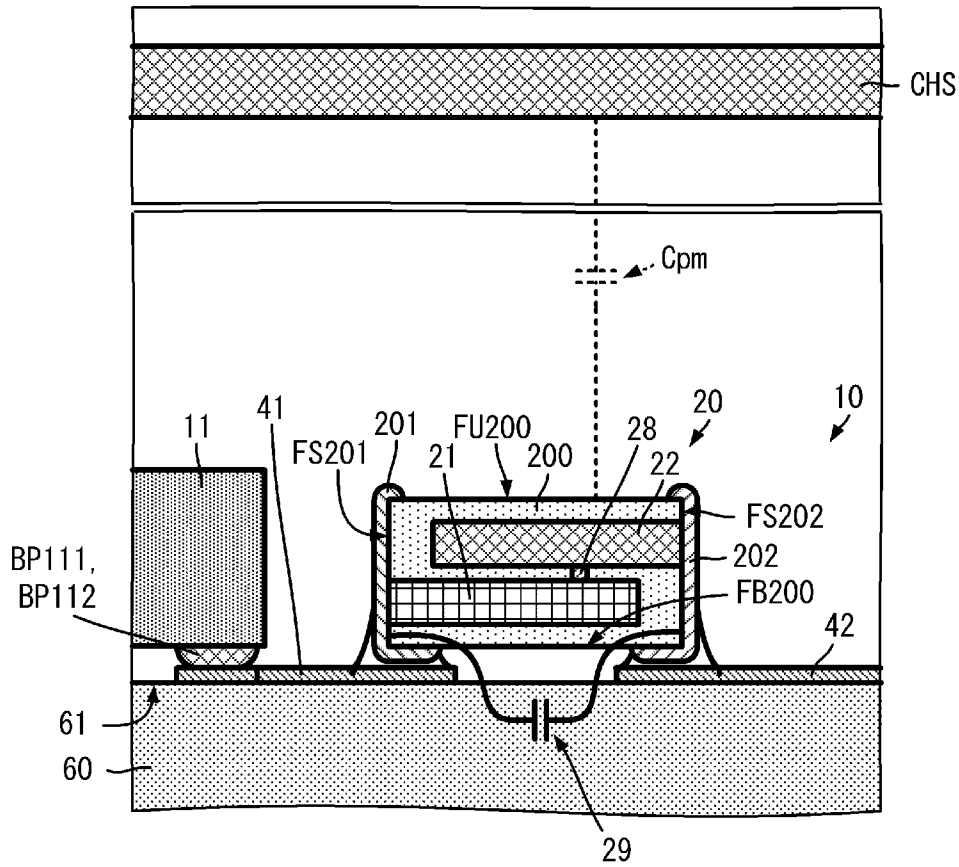

(A)
20
FU200
200
FS201
FS202
202
201
(B)
20
FU200
200
FS201
FS202
201
202
FB200

[図4]

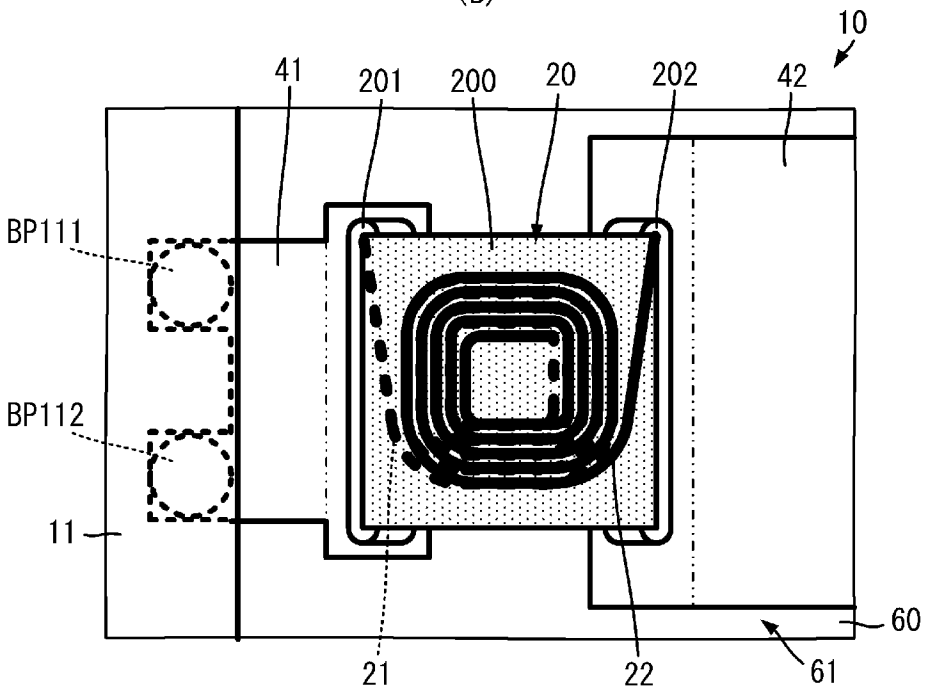

(A)
20
200
28
Ei22
Eo22
Eo21
202
201
22
FS201
FS202
21
Ei21
(C)
20
200
Ei22
Eo22
22
FS201
FS202
(B)
20
FU200
200
22
FS201
202
201
FS202
21
FB200
28
(D)
200
20
Eo21
Ei21
FS201
FS202
21

[図5]

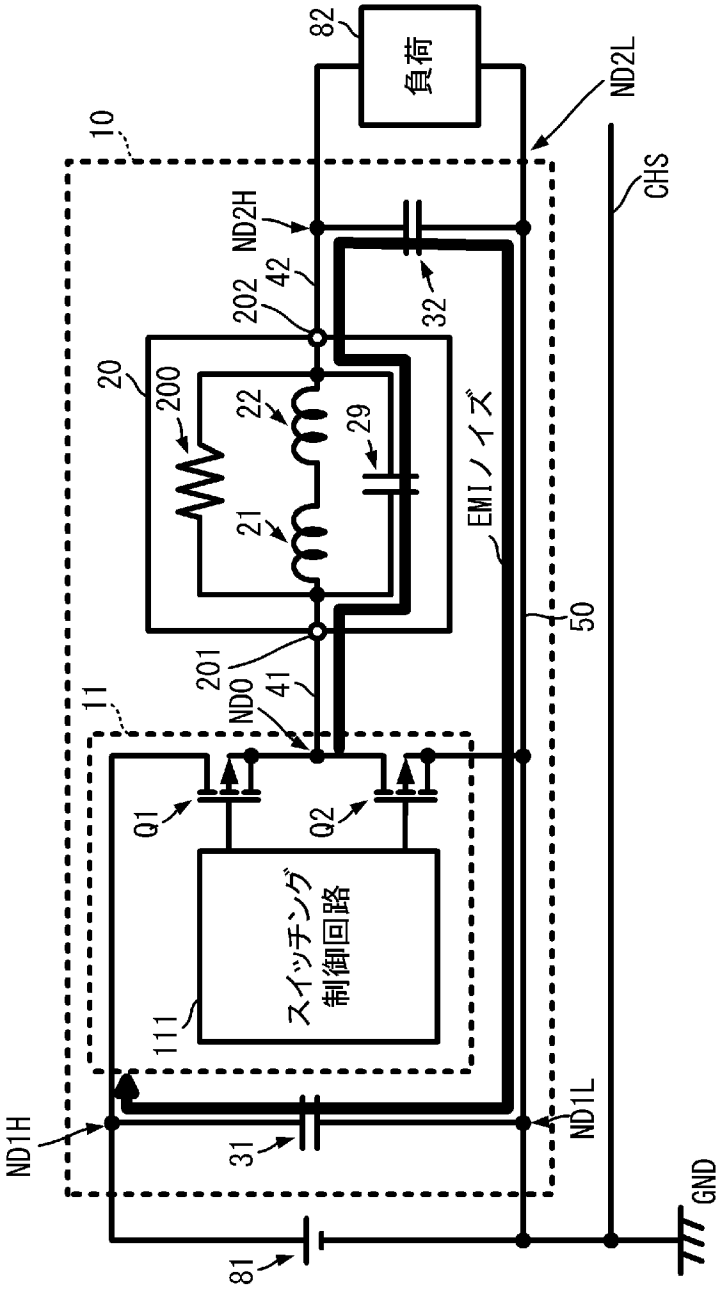
(A)


CHS
Cpm
11
41
FS201
201
FU200
21
200
28
22
20
10
FS202
202
FB200
42
BP111,
BP112
61
60
29

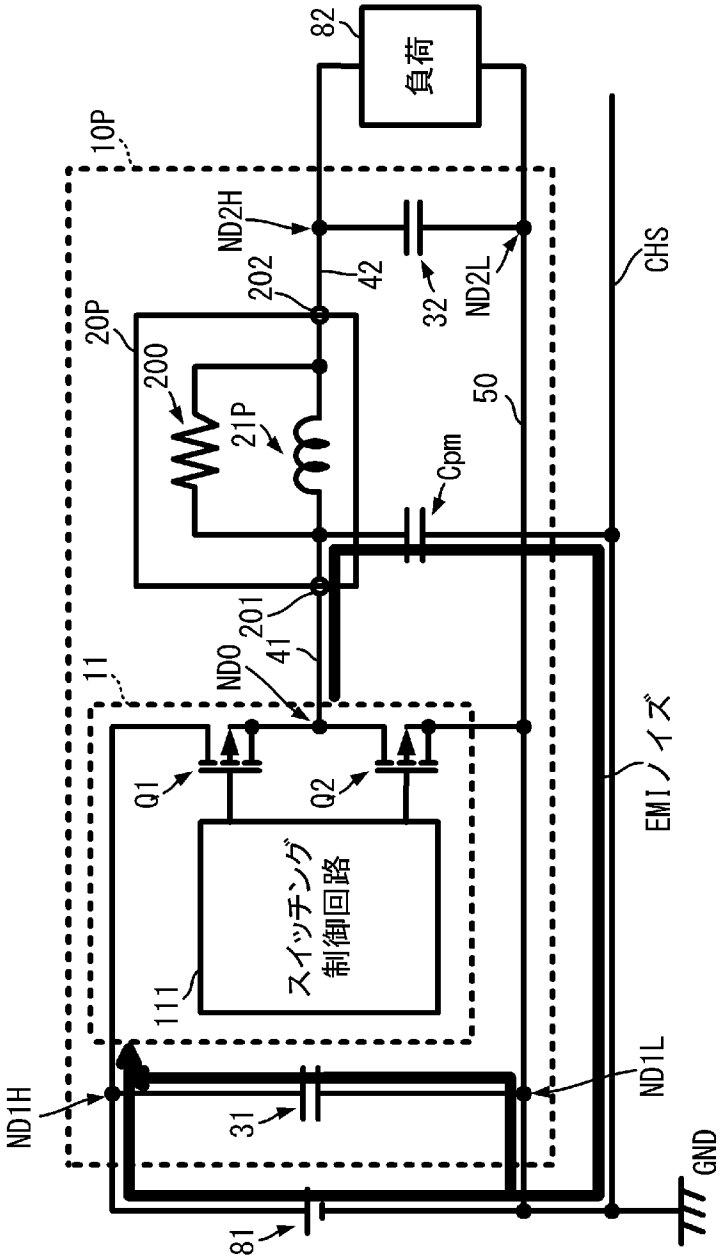
(B)


10
41
201
200
20
202
42
BP111
BP112
11
60
21
22
61

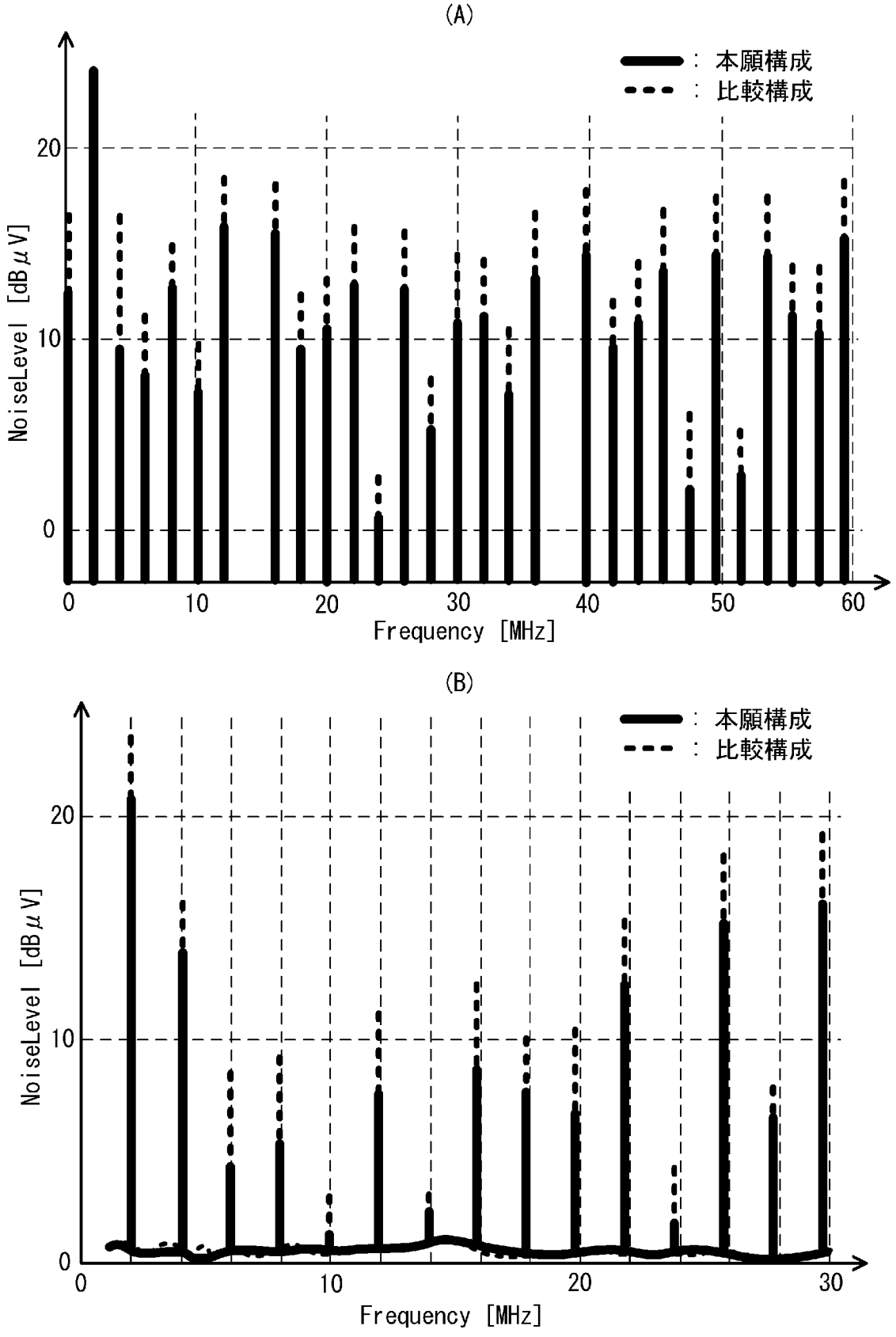
[図6]


82
負荷
ND2L
10
CHS
ND2H
42
202
32
20
200
22
29
21
EMIノイズ
50
201
NDO
41
11
Q1
Q2
スイッチング
制御回路
111
ND1H
31
ND1L
GND
81

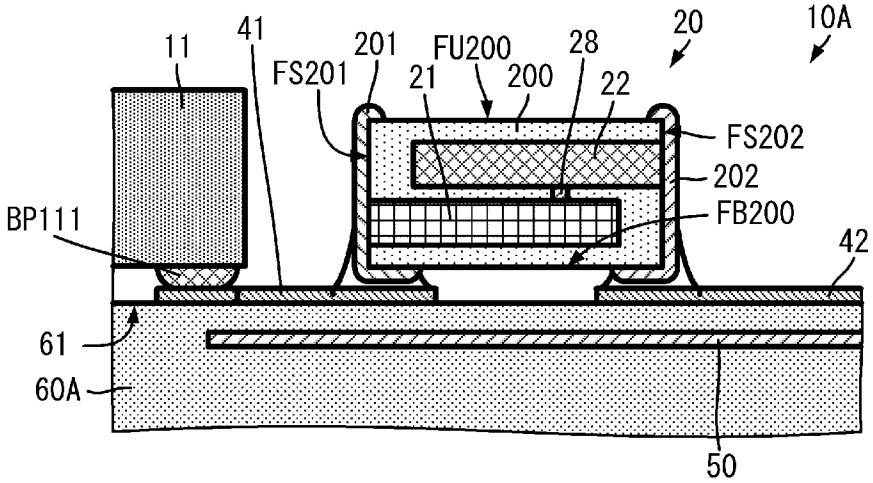
[図7]


82
負荷
10P
ND2H
202
42
32
ND2L
CHS
20P
200
21P
50
Cpm
201
41
ND0
11
Q1
Q2
EMIノイズ
スイッチング
制御回路
111
ND1H
31
ND1L
GND
81

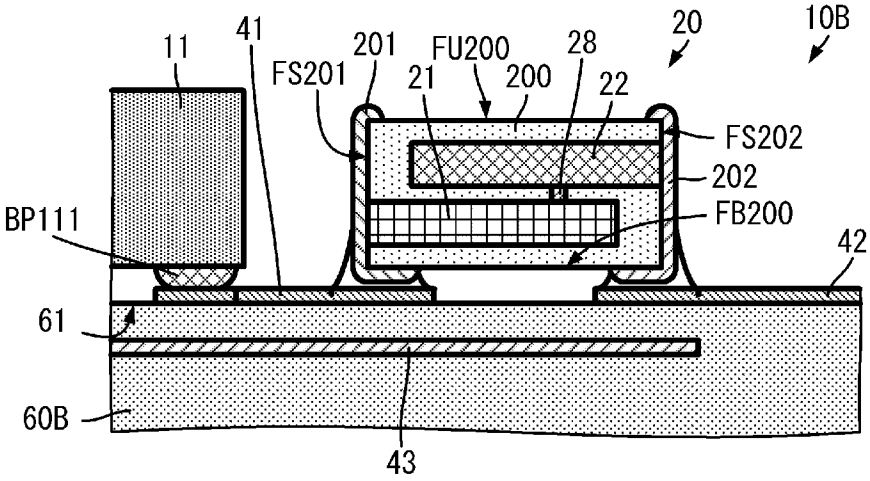
[図8]


(A)
：本願構成
：比較構成
NoiseLevel [dBμV]
20
10
0
0
10
20
30
40
50
60
Frequency [MHz]
(B)
：本願構成
：比較構成
NoiseLevel [dBμV]
20
10
0
0
10
20
30
Frequency [MHz]

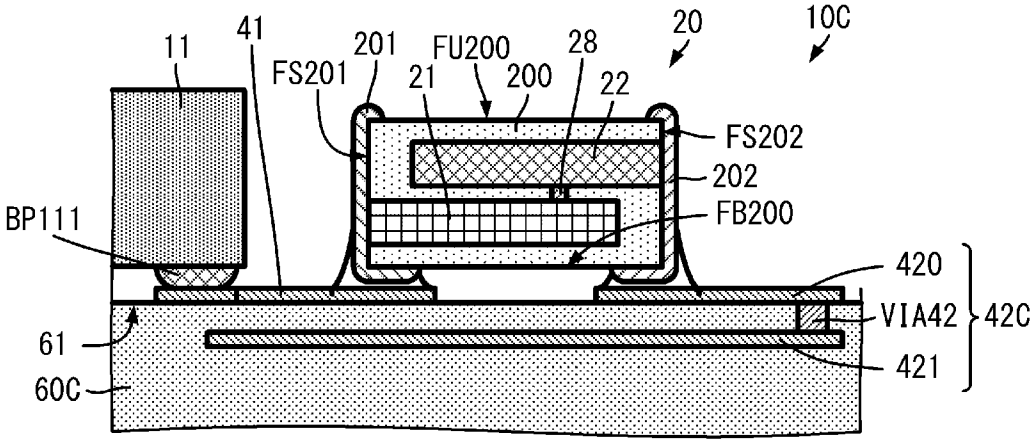
[図9]



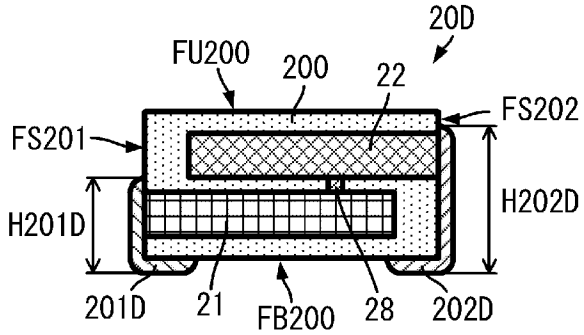
[図10]



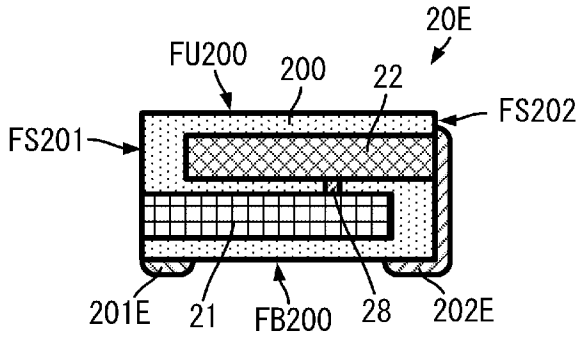
[図11]



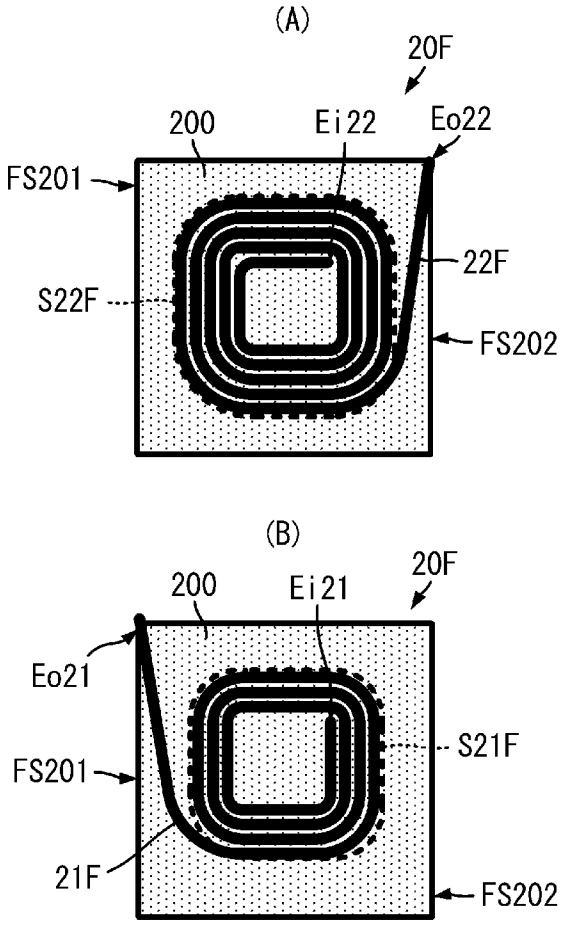
[図12]



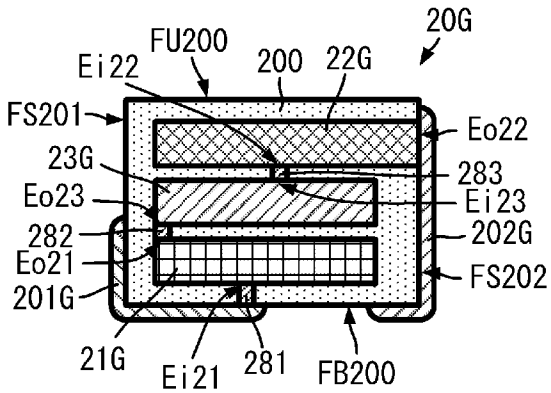
[図13]


20E
FU200
200
22
FS202
FS201
201E
21
FB200
28
202E

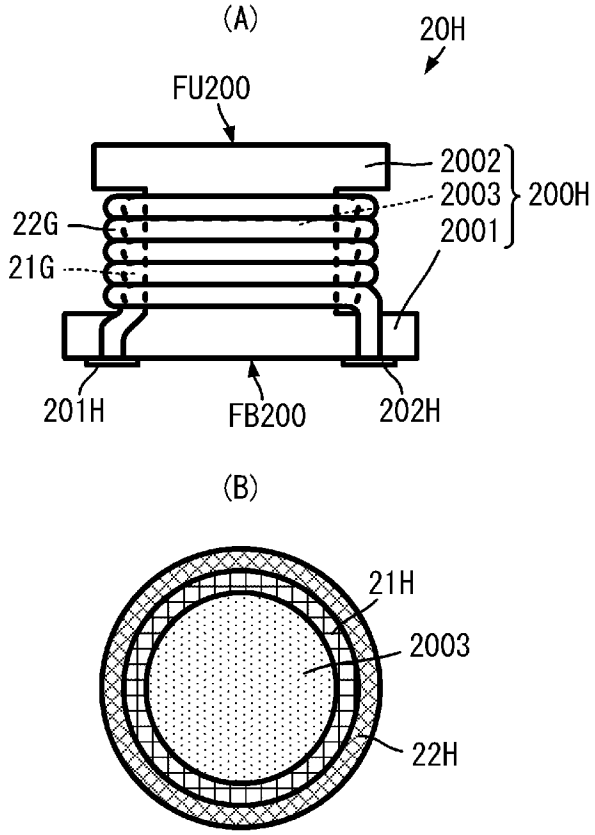
[図14]


(A)
20F
200
Ei22
Eo22
FS201
22F
S22F
FS202
(B)
200
Ei21
20F
Eo21
S21F
FS201
21F
FS202

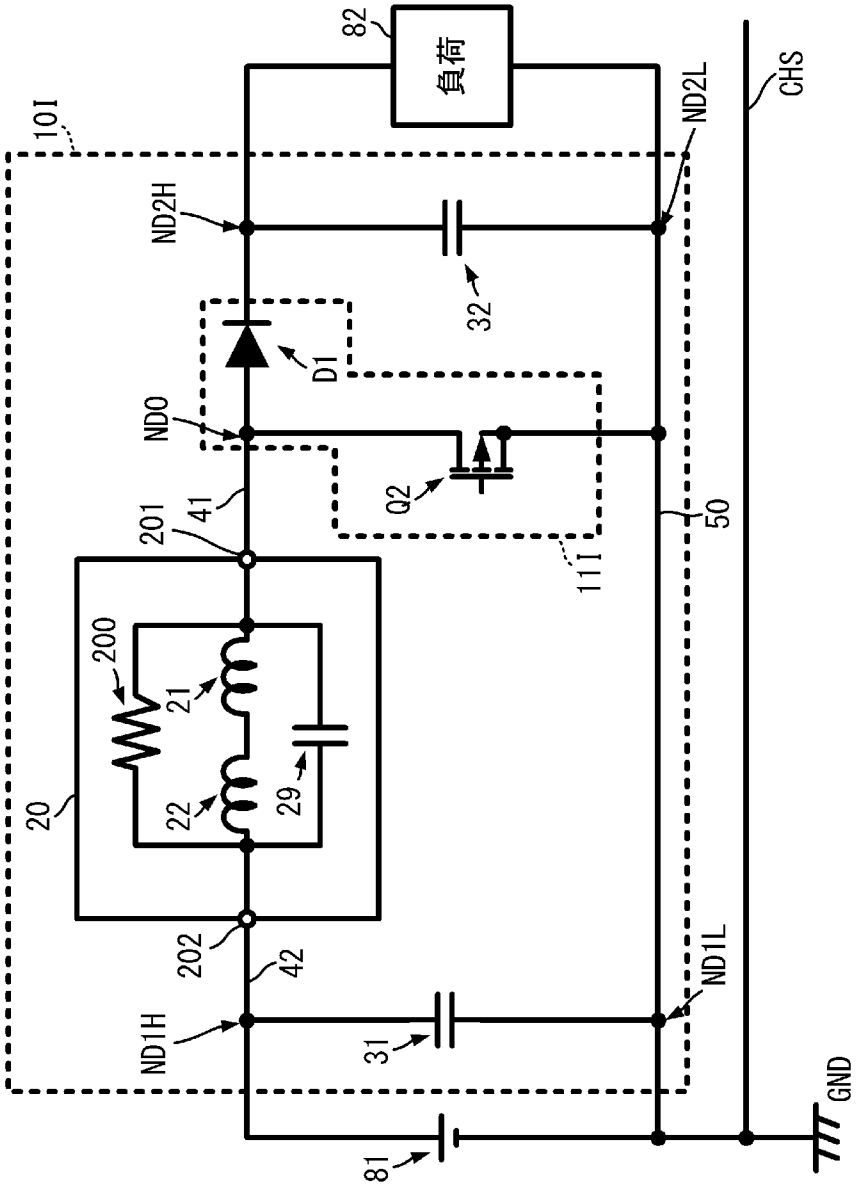
[図15]


20G
FU200
Ei22
200
22G
FS201
Eo22
23G
283
Eo23
Ei23
282
202G
Eo21
FS202
201G
21G
Ei21
281
FB200

[図16]


(A)
20H
FU200
2002
2003
2001
200H
22G
21G
201H
FB200
202H
(B)
21H
2003
22H

[図17]


82
負荷
CHS
ND2L
10I
ND2H
32
D1
ND0
Q2
50
111
201
41
200
21
20
22
29
202
42
ND1L
ND1H
31
GND
81

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/002401

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/155(2006.01)i; ***H02M 7/48***(2007.01)i
FI: H02M3/155 E; H02M3/155 Y; H02M7/48 M

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155; H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/208420 A1 (NISSAN MOTOR CO., LTD.) 07 December 2017 (2017-12-07) entire text, all drawings	1-12
A	JP 2019-220876 A (DENSO CORPORATION) 26 December 2019 (2019-12-26) entire text, all drawings	1-12
A	JP 2019-197836 A (KABUSHIKI KAISHA TOYOTA CHUO KENKYUSHO) 14 November 2019 (2019-11-14) entire text, all drawings	1-12
A	JP 2013-099086 A (COSEL CO., LTD.) 20 May 2013 (2013-05-20) entire text, all drawings	1-12

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 March 2024	**26 March 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/002401

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2017/208420 A1	07 December 2017	US 2019/0379285 A1 entire text, all drawings EP 3468020 A1 CA 3026209 C CN 109314460 A KR 10-2019-0008385 A	
JP 2019-220876 A	26 December 2019	(Family: none)	
JP 2019-197836 A	14 November 2019	(Family: none)	
JP 2013-099086 A	20 May 2013	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2024/002401

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H02M 3/155(2006.01)i; H02M 7/48(2007.01)i
FI: H02M3/155 E; H02M3/155 Y; H02M7/48 M

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02M3/155; H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2017/208420 A1 (日産自動車株式会社) 07.12.2017 (2017-12-07) 全文，全図	1-12
A	JP 2019-220876 A (株式会社デンソー) 26.12.2019 (2019-12-26) 全文，全図	1-12
A	JP 2019-197836 A (株式会社豊田中央研究所) 14.11.2019 (2019-11-14) 全文，全図	1-12
A	JP 2013-099086 A (コーセル株式会社) 20.05.2013 (2013-05-20) 全文，全図	1-12

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
13.03.2024	26.03.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

柳下　勝幸 5G 2676

電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/002401

引用文献	公表日	パテントファミリー文献	公表日
WO 2017/208420 A1	07.12.2017	US 2019/0379285 A1 全文，全図 EP 3468020 A1 CA 3026209 C CN 109314460 A KR 10-2019-0008385 A	
JP 2019-220876 A	26.12.2019	（ファミリーなし）	
JP 2019-197836 A	14.11.2019	（ファミリーなし）	
JP 2013-099086 A	20.05.2013	（ファミリーなし）	