

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 12/08 (2006.01)

G06F 12/10 (2006.01)



[12] 发明专利说明书

专利号 ZL 03800522.0

[45] 授权公告日 2007 年 2 月 28 日

[11] 授权公告号 CN 1302396C

[22] 申请日 2003.3.13 [21] 申请号 03800522.0

[30] 优先权

[32] 2002. 3. 22 [33] US [31] 10/104,815

[86] 国际申请 PCT/US2003/007710 2003. 3. 13

[87] 国际公布 WO2003/083663 英 2003. 10. 9

[85] 进入国家阶段日期 2003. 12. 25

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 佩尔·哈马隆德

K. S. · 文卡特拉曼

阿拉温·巴克萨 迈克尔·厄普顿

[56] 参考文献

US5179675A 1993. 1. 12

US5809522A 1998. 9. 15

CN1302017A 2001. 7. 4

EP1182571A2 2002. 2. 27

审查员 范 丹

[74] 专利代理机构 北京东方亿思知识产权代理有限公司

代理人 柳春雷

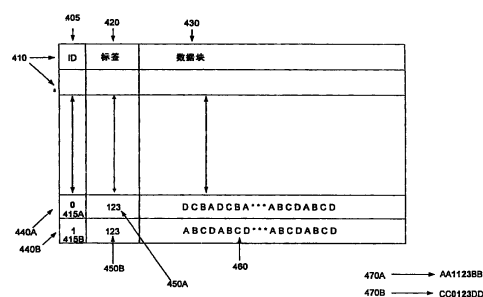
权利要求书 2 页 说明书 10 页 附图 8 页

[54] 发明名称

高速缓存中上下文标识符的使用

[57] 摘要

在本发明中，在高速缓存装置中使用了上下文标识符。 根据一个技术方案，将第一线程所使用的页目录的基址地址与第二线程所使用的页目录的基址地址进行比较，以确定二者是否相匹配。 如果匹配，则将一个上下文标识符同时分配给所述第一线程和第二线程；如果不匹配，则将不同的上下文标识符分配给所述第一线程和第二线程。



1. 一种方法，包括：

将第一线程所使用的页目录的基址地址与第二线程所使用的页目录的基址地址进行比较，以确定所述第一线程所使用的页目录的基址地址是否与所述第二线程所使用的页目录的基址地址相匹配；

如果所述第一线程所使用的页目录的基址地址与所述第二线程所使用的页目录的基址地址相匹配，则将一个上下文标识符同时分配给所述第一线程和所述第二线程；以及

如果所述第一线程所使用的页目录的基址地址不与所述第二线程所使用的页目录的基址地址相匹配，则将不同的上下文标识符分配给所述第一线程和所述第二线程。

2. 如权利要求 1 所述的方法，还包括：

在第一寄存器中存储所述第一线程所使用的页目录的基址地址；

在第二寄存器中存储所述第二线程所使用的页目录的基址地址；

读所述第一寄存器，以确定所述第一线程的页目录的基址地址；

读所述第二寄存器，以确定所述第二线程的页目录的基址地址。

3. 如权利要求 2 所述的方法，其中所述第一寄存器和所述第二寄存器是同一个寄存器。

4. 一种装置，包括：

地址生成单元，响应于由处理器发射的指令而生成地址；

高速缓存，存储多条高速缓存线，所述多条高速缓存线中的每一条都至少包括上下文标识符、标签和数据块；

至少一个耦合到所述地址生成单元并耦合到所述高速缓存的比较器，以将由所述地址生成单元生成的一个地址部分与所述多条高速缓存线中每一条高速缓存线中的标签的每一个进行比较；

控制单元，生成两个或更多上下文标识符，并选择所述两个或更多上下文标识符中的一个；

至少一个耦合到所述控制单元并耦合到所述高速缓存的比较器，以将

由所述控制单元选择的上下文标识符与所述多条高速缓存线中每条高速缓存线中的上下文标识符的每一个进行比较；

第一寄存器，存储与执行计算机指令的第一线程相关联的页目录的基址地址；

第二寄存器，存储与执行计算机指令的第二线程相关联的页目录的基址地址；

另一个比较器，耦合到所述第一寄存器和所述第二寄存器，以将存储在所述第一寄存器中的值与存储在所述第二寄存器中的值进行比较；

上下文标识符生成器，生成至少两个上下文标识符；以及

多路复用器，耦合到所述上下文标识符生成器和所述耦合到第一寄存器和第二寄存器的比较器，以选择所述至少两个上下文标识符中的一个。

5. 如权利要求 4 所述的装置，其中：

如果与执行计算机指令的所述第一线程相关联的页目录的基址地址和与执行计算机指令的所述第二线程相关联的页目录的基址地址相匹配，则所述多路复用器将选择第一上下文标识符；并且

如果与执行计算机指令的所述第一线程相关联的页目录的基址地址不与与执行计算机指令的所述第二线程相关联的页目录的基址地址相匹配，则所述多路复用器将选择第二上下文标识符。

高速缓存中上下文标识符的使用

技术领域

本发明涉及计算机技术。更具体地说，本发明涉及改进计算机设备中的高速缓存的性能。

背景技术

在计算机的存储层次结构中使用一个或多个高速缓存系统是一项用来提高计算机性能的公知技术（参见例如 Handy,Jim; The Cache Memory Book; Academic Press, 1998）。图 1 示出了一个典型的高速缓存阵列 100。高速缓存阵列 100 包括多条高速缓存线 110。每条高速缓存线包括标签 120 和数据块 130。示例高速缓存线 140 包括标签 150 和数据块 160。标号 170 示出了示例标签 150 是主存地址 170 的一部分。主存地址 170 是对应于数据块 160 的主存地址。

在存储器传输期间，处理器在处理器执行核与计算机的存储层次结构之间来回传输指令和操作数。从存储器层次结构向处理器装载指令/操作数以及从处理器向存储器层次结构存储指令/操作数是存储器传输的示例。在存储器传输期间，处理器生成主存地址。在高速缓存查找期间，将主存地址的一部分与标签 120 中的条目进行比较，以确定高速缓存阵列 100 是否包含与该存储器传输对应的条目。如标签 150 和主存地址 170 之间的关系所表现的那样，通过要求处理器只将各主存地址的一部分与各标签中的条目进行比较，可加速高速缓存查找的处理。一般地，高速缓存使用处理器所生成的各个线性地址的一部分来做存储在高速缓存阵列 100 中的数据的索引。

线程是计算机程序的一部分，其可独立于该计算机程序的其他部分而执行。如果可以在处理器上并发地执行多个线程，则可以提高处理器的性能。如果检测到并适当地管理多线程的各指令之间的相关性，则可以并发

执行多个线程。

图 2 示出了许多 Intel®处理器是怎样使用虚拟存储器环境来使得可由少量物理存储器（例如随机访问存储器）来支持大线性地址空间的。在存储器传输期间，处理器生成线性地址 210。线性地址 210 包括目录字段 220、表字段 225 以及偏移量字段 230。页目录 235 的基址（base）包含在控制寄存器 CR3 240 中。线性地址 210 的目录条目 220 提供了相对于包含在控制寄存器 CR3 240 中的值的偏移量。页目录包含页表基址指针 245。表字段 225 提供一个偏移量，其与页表基址指针 245 相结合，以标识包含物理地址 255 的页的基址。偏移量字段 230 与页表条目相结合以标识物理地址 255。

图 3 示出了与只用一部分主存地址来执行高速缓存查找相关的缺点。响应于装载指令 LD0 和 LD1，处理器（未示出）生成线性地址 304 和 306。305 和 307 示出了每个地址用于执行高速缓存查找的部分。尽管 305 和 307 看起来相同，但它们分别只是 304 和 306 的一部分。304 和 306 映射到两个不同的物理地址，因为每个地址在它们各自的目录字段（320 和 325）以及偏移量字段（330 和 335）中具有不同的入口。如图 3 所示，当处理器支持多线程并发执行时，产生了另一个复杂因素。线程 0 和线程 1 对于它们各自的页目录的基址（340 和 345）可以具有不同的值。因此，即使 304 和 306 是相同的，它们也会映射到两个不同的物理地址。

发明内容

本发明的一个技术方案提供了一种方法，该方法包括：将第一线程所使用的页目录的基址地址与第二线程所使用的页目录的基址地址进行比较，以确定第一线程所使用的页目录的基址地址是否与第二线程所使用的页目录的基址地址相匹配；如果第一线程所使用的页目录的基址地址与第二线程所使用的页目录的基址地址相匹配，则将一个上下文标识符同时分配给第一线程和第二线程；以及如果第一线程所使用的页目录的基址地址不与第二线程所使用的页目录的基址地址相匹配，则将不同的上下文标识符分配给第一线程和第二线程。

本发明的另一技术方案提供了一种装置，该装置包括：地址生成单元，响应于由处理器发射的指令而生成地址；高速缓存，存储多条高速缓存线，所述多条高速缓存线中的每一条都至少包括上下文标识符、标签和数据块；至少一个耦合到所述地址生成单元并耦合到所述高速缓存的比较器，以将由所述地址生成单元生成的一个地址部分与所述多条高速缓存线中每一条高速缓存线中的标签的每一个进行比较；控制单元，生成两个或更多上下文标识符，并选择所述两个或更多上下文标识符中的一个；至少一个耦合到所述控制单元并耦合到所述高速缓存的比较器，以将由所述控制单元选择的上下文标识符与所述多条高速缓存线中每条高速缓存线中的上下文标识符的每一个进行比较；第一寄存器，存储与执行计算机指令的第一线程相关联的页目录的基址地址；第二寄存器，存储与执行计算机指令的第二线程相关联的页目录的基址地址；另一个比较器，耦合到所述第一寄存器和所述第二寄存器，以将存储在所述第一寄存器中的值与存储在所述第二寄存器中的值进行比较；上下文标识符生成器，生成至少两个上下文标识符；以及多路复用器，耦合到所述上下文标识符生成器和所述耦合到第一寄存器和第二寄存器的比较器，以选择所述至少两个上下文标识符中的一个。

附图说明

在附图中，通过例示而非限制性的方式图示了本发明，其中相似的标号表示类似的元件。

图 1 是现有技术的高速缓存阵列的示意图；

图 2 在概念上示出了将线性地址映射到物理地址；

图 3 在概念上示出了两个映射到两个不同物理地址的类似的标签；

图 4A 是使用上下文标识符的高速缓存阵列的一个实施例的示意图；

图 4B 在概念上示出了上下文标识符的一个实施例；

图 5 是一个简化框图，示出了上下文标识符生成器及相关控制电路的一个实施例；

图 6 是高速缓存系统的一个实施例的方框图；

图 7 是高速缓存系统的一个实施例的方框图。

具体实施方式

在此描述了在高速缓存中使用上下文标识符。在下面的描述中，给出了大量的具体细节，以提供对本发明实施例的透彻理解。然而，本领域内的技术人员将会认识到，没有一个或多个这些具体细节，或者利用其他方法、组件、材料等等也能实施本发明。在其他情形下，没有示出或描述一些公知的结构、材料或操作，以免混淆本发明的多个方面。

在整个说明书中，“一个实施例”或“实施例”的引用意味着结合该实施例而描述的特定特征、结构、特性包含在本发明的至少一个实施例中。因此，在整个说明书中不同位置处出现的短语“在一个实施例中”或“在实施例中”未必都指的是同一个实施例。而且，在一个或多个实施例中，可以任何合适的方式来结合多个具体的特征、结构或特性。

高速缓存系统利用称为标签的线性地址的一部分来索引高速缓存线。在存储器传输操作期间，处理器生成线性地址。在高速缓存查找期间，将线性地址的一部分与标签进行比较。许多 Intel®处理器提供了一种机制，以确保在部分地址和标签之间的表面上的匹配是真匹配。这一机制称为命中/缺失确定器。命中/缺失确定器与高速缓存的高速缓存查找过程并行地运行。命中/缺失确定器将与已发射的指令相关联的线性地址转换成对应的物理地址，并将该物理地址与一个完整的地址进行比较，该完整的地址与和所述部分线性地址相匹配的标签相关联。命中/缺失确定器比高速缓存慢很多，因为它必须将线性地址翻译成物理地址，并且它执行了完整地址的比较。如果命中/缺失确定器检测到高速缓存产生了一个假的匹配，则它就纠正由高速缓存产生的错误。检测并响应由高速缓存中的假匹配产生的错误的处理可能会降低处理器性能。

图 4A 示出了一个高速缓存阵列的一个实施例，该阵列包含上下文标识符。高速缓存阵列 400 包括多条高速缓存线 410。每条高速缓存线 410 包括上下文标识符 405、标签 420 和数据块 430。这样，高速缓存线 440A 包括上下文标识符 415A 和标签 450A。类似地，高速缓存线 440B 包括上

下文标识符 415B 和标签 450B。两个不同的线程生成了上下文标识符 415A 和 415B。

线性地址 470A 和 470B 对应于标签 450A 和 450B。在图 4A 和 4B 中，线性地址包含上下文标识符，以示出可以怎样使用上下文标识符来区分相似的线性地址。上下文标识符不是线性地址的一部分，但是它们分别从线性地址而生成。

根据现有技术而实现的高速缓存系统通过将由处理器（未示出）生成的部分线性地址与高速缓存阵列 400 中的每个标签 420 进行比较来执行高速缓存查找。如果处理器生成了部分线性地址 123，则该地址会同时与标签 450A 和 450B 相匹配。如上所述，命中/缺失确定器最终确定哪条高速缓存线（如果有一条相匹配的话）与由处理器生成的主存地址相匹配。当命中/缺失确定器管理并纠正在部分线性地址和标签 420 之间的假匹配时，现有技术的系统就会出现性能损失。

图 4B 示出了使用上下文标识符来减少在由处理器生成的部分线性地址与标签 420 之间的假匹配的频率。线性地址 470A 和 470B 与图 4A 的高速缓存线 440A 和 440B 相关联。响应于一条发射的指令，处理器生成地址 475。地址 475 包括上下文标识符 480 和部分线性地址 485。现有技术的高速缓存可能会标识出 475 和 470B 之间的假匹配，因为部分线性地址 485 与标签 450B 相匹配。在一个实施例中，将上下文标识符 480 与上下文标识符 415B 进行比较。而且，在一个实施例中，将部分线性地址 485 与标签 450B 进行比较。这样，高速缓存阵列 400 将不会发现 475 和 470B 之间的假匹配，因为上下文标识符 480 不与上下文标识符 415B 相匹配。

图 5 示出了页缺失处理机（PMH）的一部分的实施例。在一个实施例中，PMH 500 生成并控制上下文标识符的分配。PMH 500 包括上下文标识符生成器 510、比较器 520、上下文标识符复用器 530 和反相器 540。在一个实施例中，上下文标识符生成器 510 生成对应于当前正在执行的线程的一位二进制数。在本发明的其它实施例中，上下文标识符生成器 510 生成多于一位的二进制数。比较器 520 比较处理器上正在执行的两个线程所使用的页目录的基址地址。在另一个实施例中，上下文标识符包括两个或

更多位。

根据另一个实施例，PMH 500 确定是否有相同的上下文标识符被分配给两个不同线程的指令。对于图 5 所示的实施例，PMH 500 将第一上下文标识符分配给在处理器上执行的第一线程。例如，如果线程 0 是在处理器上执行的第一线程，则处理器可以将 0 分配作为线程 0 的上下文标识符。上下文标识符不需要与线程号相匹配。因此，线程 0 可以具有上下文标识符 1 或 0。在本发明的可选实施例中，处理器执行多于 2 个的线程的指令，并使用多于 1 个位的上下文标识符。

如果第二线程开始在处理器上执行（例如线程 1），PMH 500 确定是否将不同于分配给线程 0 的指令的上下文标识符分配给第二线程的指令。线程 0 和 1 可能正在使用主存中相同的页。如果是这样，则希望将相同的上下文标识符分配给这两个线程的指令，因为当已知线性地址映射到与标签相同的页时，不太可能在标签和线性地址之间发生假匹配。通过比较两个线程所使用的页目录的基址，比较器 520 确定线程 0 和 1 是否正在使用主存中相同的页。

如果线程 0 和 1 正在使用相同的地址作为它们各自的页目录的基址，则多路复用器 530 将为线程 1 选择与它为线程 0 所选择的相同的上下文标识符。相反地，如果比较器 520 指示出线程 0 和 1 当前未在使用相同的地址作为它们各自页目录的基址，则多路复用器 530 选择反相器 540 的输出作为线程 1 的上下文标识符。可以用不同的方式来实现对两个线程是否共享相同的上下文标识符进行的确定。例如，在本发明的实施例中，操作系统确定两个线程是否共享相同的上下文标识符，并直接将正确的上下文标识符告诉给处理器以与线程相关联。在本发明的另一个实施例中，研究线程的内存访问模式的预测器预测该上下文标识符。根据一个实施例，用户可以指示 PMH 500 总是为两个不同的线程的指令选择相同的值，或者总是为两个不同的线程的指令选择不同的上下文标识符值。而且，一些实施例利用基址目录的地址之外的其他标准来确定两个线程是否共享相同的上下文标识符。

在本发明的可选实施例中，在处理器中出现了多于 2 个的线程。对于

处理器中出现 n 个线程的实施例，上下文标识符扩展成一个编码方案，其允许指定 n 个不同的上下文标识符。本领域内的技术人员将会认识到，当使用 n 位的上下文标识符时，该 n 个位是以在高速缓存中设置单个位的相同方式来在高速缓存中设置的。而且，本领域内的技术人员将会认识到，可以与比较 2 个单个位的上下文标识符几乎相同的方式来相互比较 n 位的上下文标识符。

本发明一个具有多线程的实施例使用了未用上下文标识符池。当线程改变其页表基址（CR3）时，它将该新值与其他活动线程所使用的页表基址的值或者池中任意上下文标识符的有效页表基址进行比较。如果存在匹配，它就取得产生该匹配的线程的上下文标识符的值。如果没有与另一个活动线程的匹配，它就从池中取得一个未用上下文标识符。当线程改变其页的基址值时，或者当具有给定上下文标识符的最后的高速缓存线被释放时，将上下文标识符返回到未用池。后一个方案使得线程能够命中一个先前的线程带进来的数据。本领域内的技术人员将会认识到，可以使用许多方案来为线程预测上下文标识符值。

图 6 示出了对具有上下文标识符的高速缓存系统的读操作。高速缓存阵列 610 包括多条高速缓存线 605。每条高速缓存线 605 包括上下文标识符 610A、标签 610B 和数据块 610C。高速缓存阵列 610 耦合到高速缓存控制器 620。高速缓存控制器 620 控制对包含在高速缓存阵列 610 中的数据的访问。

高速缓存控制器 620 耦合到命中/缺失确定器 670 和比较器 675 及 680。下面讨论命中/缺失确定器 670 和比较器 675 及 680 的操作。在一个实施例中，比较器 675 耦合到 AGU 630 和与门 685。AGU 630 为已发射的需要存储器传输的指令（例如 LOAD 或 STORE 指令）生成线性地址。在一个实施例中，比较器 680 耦合到与门 685 并且通过多路复用器 650 耦合到 PMH 640。PMH 640 包含用来确定哪个上下文标识符被分配给哪个已发射的指令的控制逻辑。

一般由已发射的 LOAD 指令（LD）660 启动读周期。LD 660 发送到 PMH 640 和 AGU 630。PMH 640 除了其它事项以外，确定哪个线程是 LD

660 的源。PMH 640 部分地基于哪个线程是 LD 660 的源而将上下文标识符分配给 LD 660。PMH 640 将与 LD 660 关联的上下文标识符通过多路复用器 650 发射到比较器 680。类似地，AGU 630 将部分线性地址发射到比较器 675。

比较器 675 和 680 使用所述部分线性地址和 LD 660 的上下文标识符来确定高速缓存阵列 610 是否包含 LD 660 需要的信息。如果高速缓存阵列 610 包含所需的信息，则产生高速缓存命中。如果高速缓存阵列 610 不包含所需信息，则产生高速缓存缺失。

高速缓存命中需要特定的高速缓存线包含与 LD 660 的上下文标识符相匹配的上下文标识符，并包含与对应于 LD 660 的部分线性地址相匹配的标签。比较器 675 和 680 将每条高速缓存线的标签字段和上下文标识符字段与 LD 660 的上下文标识符和部分线性地址进行比较。根据一个实施例，存在与高速缓存线一样多的比较器，以使得可以在单个并行操作中完成所述比较。如果单个高速缓存线包含与 LD 660 的上下文标识符和部分线性地址相匹配的上下文标识符和标签，则与门 685 发出表示高速缓存命中的信号。然而，该高速缓存命中也可能是基于假匹配的，因为比较器 675 只将 LD 660 的地址的一部分与高速缓存阵列 610 中的每个标签进行比较。

命中/缺失确定器 670 检测高速缓存命中是否是基于假匹配的。命中/缺失确定器接收 LD 660 需要从其处获得指令/操作数的主存中的位置的完整线性地址。根据一个实施例，命中/缺失确定器 670 将由 AGU 传送给它的线性地址翻译成物理地址。命中/缺失确定器 670 确定对应于和 LD 660 的部分线性地址相匹配的标签的物理地址。命中/缺失确定器 670 比较两个完整的物理地址，以确定所述高速缓存命中是否是基于假匹配的。

图 7 示出了对使用上下文标识符的高速缓存的写操作。高速缓存阵列 710 包括多条高速缓存线 705。每条高速缓存线 705 包括上下文标识符 710A、标签 710B 和数据块 710C。高速缓存阵列 710 耦合到高速缓存控制器 720。高速缓存控制器 720 执行多种功能，包括确定一块数据将被写入到哪条高速缓存线中。高速缓存控制器 720 耦合到 AGU 730 并通过多路复

用器 750 耦合到 PMH 740。

已发射的指令 760 从处理器（未示出）发送到 PMH 740 和 AGU 730。在一个实施例中，当已发射的指令 760 需要进行存储器传输时，AGU 730 生成线性地址。AGU 730 一般是处理器的执行内核的一部分。在其他实施例中，AGU 730 可生成物理地址。在一个实施例中，PMH 740 生成至少 2 个上下文标识符和用以控制多路复用器 750 的控制信号。在其他实施例中，PMH 740 可生成任意数量的上下文标识符。

一般由已发射的存储指令（ST）（例如 ST 760）启动写周期。ST 760 发送到 PMH 740 和 AGU 730。PMH 740 确定哪个线程是 ST 760 的源。PMH 740 还确定将哪个上下文标识符分配给 ST 760。根据一个实施例，PMH 740 具有 3 种操作模式：OFF、NON-SHARED 和 ADAPTIVE。如果 PMH 740 以 OFF 模式操作，则 PMH 740 可以为每个上下文标识符写入相同的值。如果两个或更多的线程具有与存储在高速缓存线中的上下文标识符相同的上下文标识符，则该高速缓存线由所述线程的指令共享。

当以 NON-SHARED 模式操作时，PMH 740 可分配专用于包含所发射的指令的线程的上下文标识符。在一个实施例中，ADAPTIVE 模式使得 PMH 740 可动态确定为来自不同线程的指令分配相同还是不同的上下文标识符。在一个实施例中，如果线程对它们的页目录的基址共享相同的地址。则 PMH 740 为包含在所述线程中的指令动态分配相同的上下文标识符。在一个实施例中，如果不是这样，则 PMH 740 可为包含在所述线程中的指令动态分配不同的上下文标识符。

在一个实施例中，在确定是否为两个不同的线程的指令写入相同的上下文标识符时，PMH 740 考虑计算机是否处于多线程模式以及是否允许调页。可以使用任意多个标准来确定分配给已发射指令的上下文标识符的值。而且，上下文标识符生成器和相关控制逻辑可以位于电子系统中的多个位置，并且不需要包含在 PMH 或类似单元中。

PMH 740 通过多路复用器 750 将适用于 ST 760 的上下文标识符发送到高速缓存控制器 720。AGU 730 生成与 ST 760 寻求向其处存储数据的主存位置对应的线性地址。AGU 730 向高速缓存控制器 720 和命中/缺失确定

器 770 提供对应于 ST 760 的线性地址。高速缓存控制器 720 应用高速缓存线替换策略，以确定将用哪条高速缓存线来为 ST 760 存储数据。高速缓存线替换策略是本领域的公知技术（参见例如 Handy, Jim; The Cache Memory Book; Academic Press, 1998，以获得对高速缓存线替换策略的更详细的描述）。

在合适的高速缓存线之后，高速缓存控制器 720 将上下文标识符写到所选择的高速缓存线 780 的上下文标识符字段 780A。高速缓存控制器 720 将 ST 760 的线性地址的一部分写到高速缓存线 780 的标签字段 780B。在一个实施例中，标签包括 32 位线性地址的 23 到 12 位。可对标签使用地址位的许多组合。高速缓存控制器将与 ST 760 相关联的数据写入到所选择的高速缓存线 780 的数据块字段 780C。

高速缓存管理可由来自电子可访问介质的指令所控制，其可用来对计算机（或其他电子设备）编程，以执行在此描述的处理。所述电子可访问介质可包括但不限于软盘、光盘、CD-ROM、磁光盘、ROM、RAM、EPROM、EEPROM、磁或光卡、闪存或适用于存储电子指令的其他类型的介质/机器可读介质。而且，所述指令也可作为计算机程序产品而下载，其中所述程序通过包含在载波或其他传播介质中的数据信号而经由通信链路（例如调制解调器或网络连接）从远程计算机传输到请求计算机。

上述对本发明示出的实施例的描述不是对本发明的穷尽式描述，也未将本发明限制为所公开的具体形式。尽管在此描述了本发明的实施例和示例以用于说明，但是，如同本领域内的技术人员将会认识到的那样，仍可在本发明的范围内做出各种等同修改。

基于上述详细的描述，可对本发明做出这些修改。所附权利要求中的术语不应当被理解成将本发明限制到在说明书和权利要求中所公开的具体实施例。相反地，本发明的范围完全只由所附权利要求所确定，所述权利要求应根据所确立的解释权利要求的原则来理解。

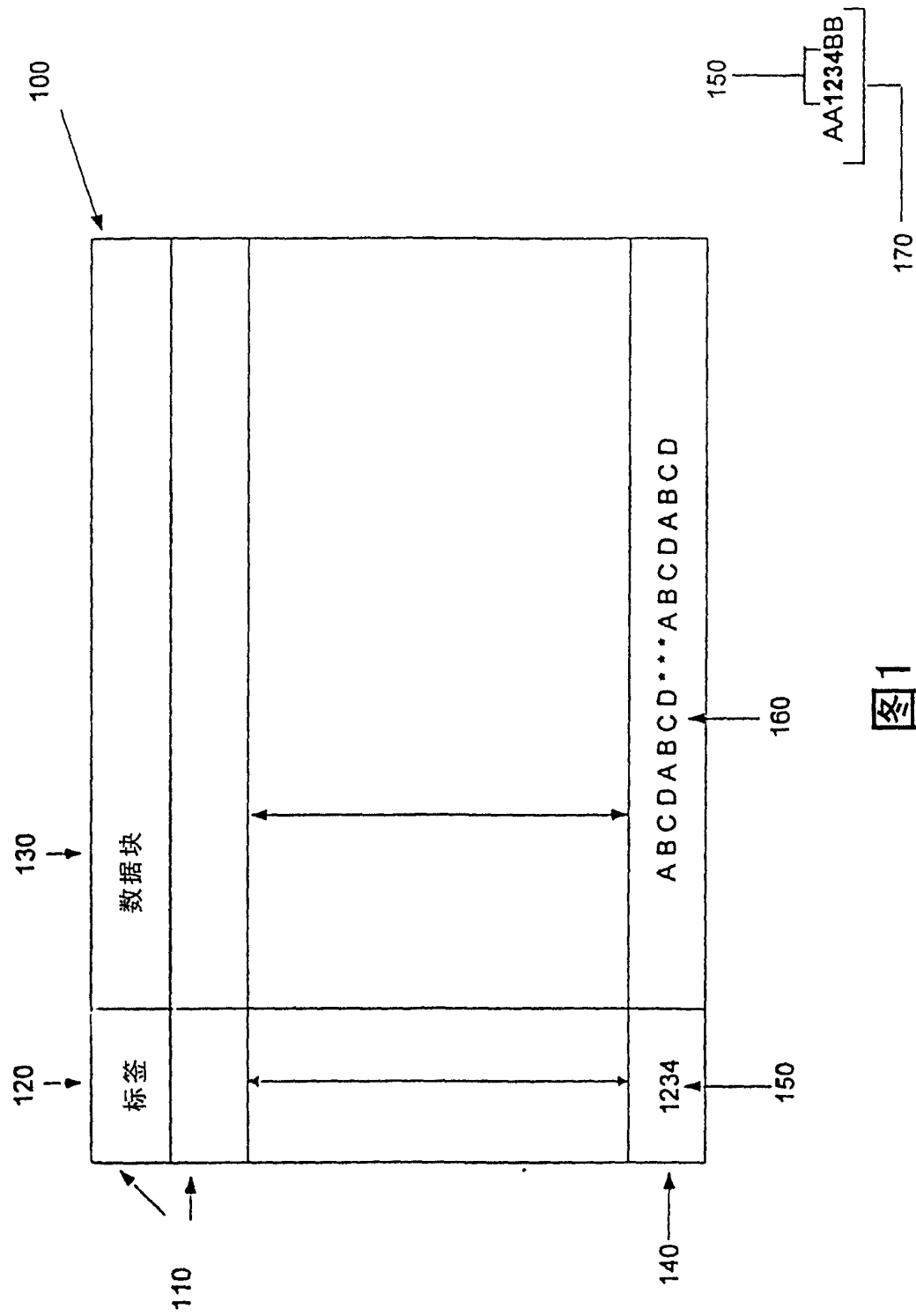


图1

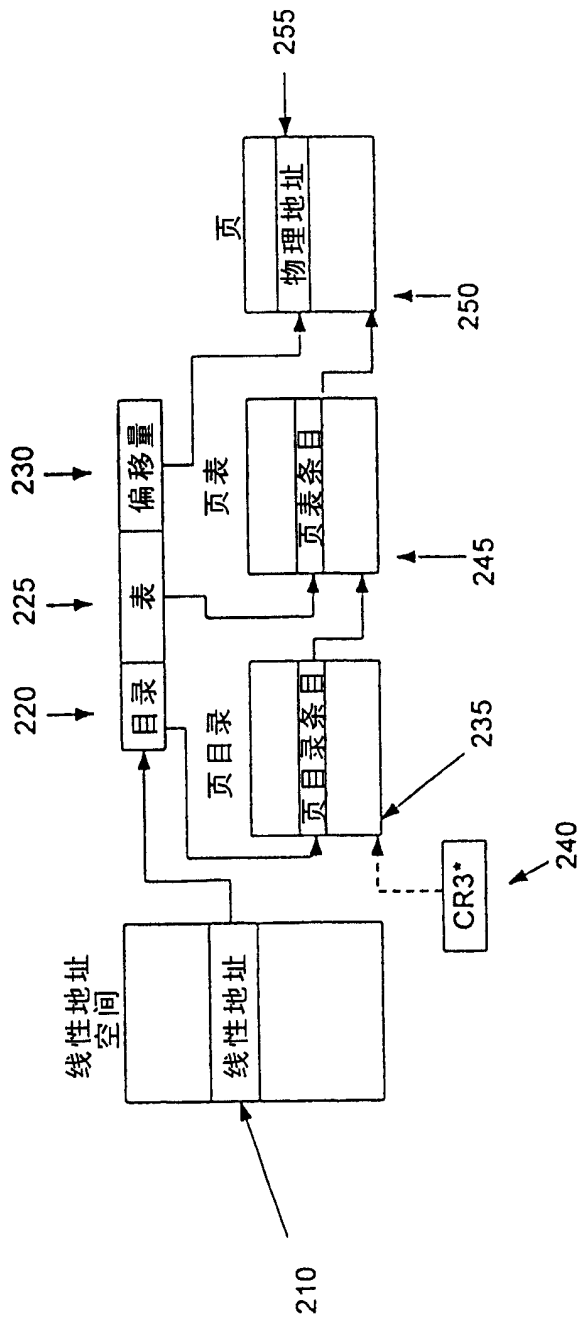
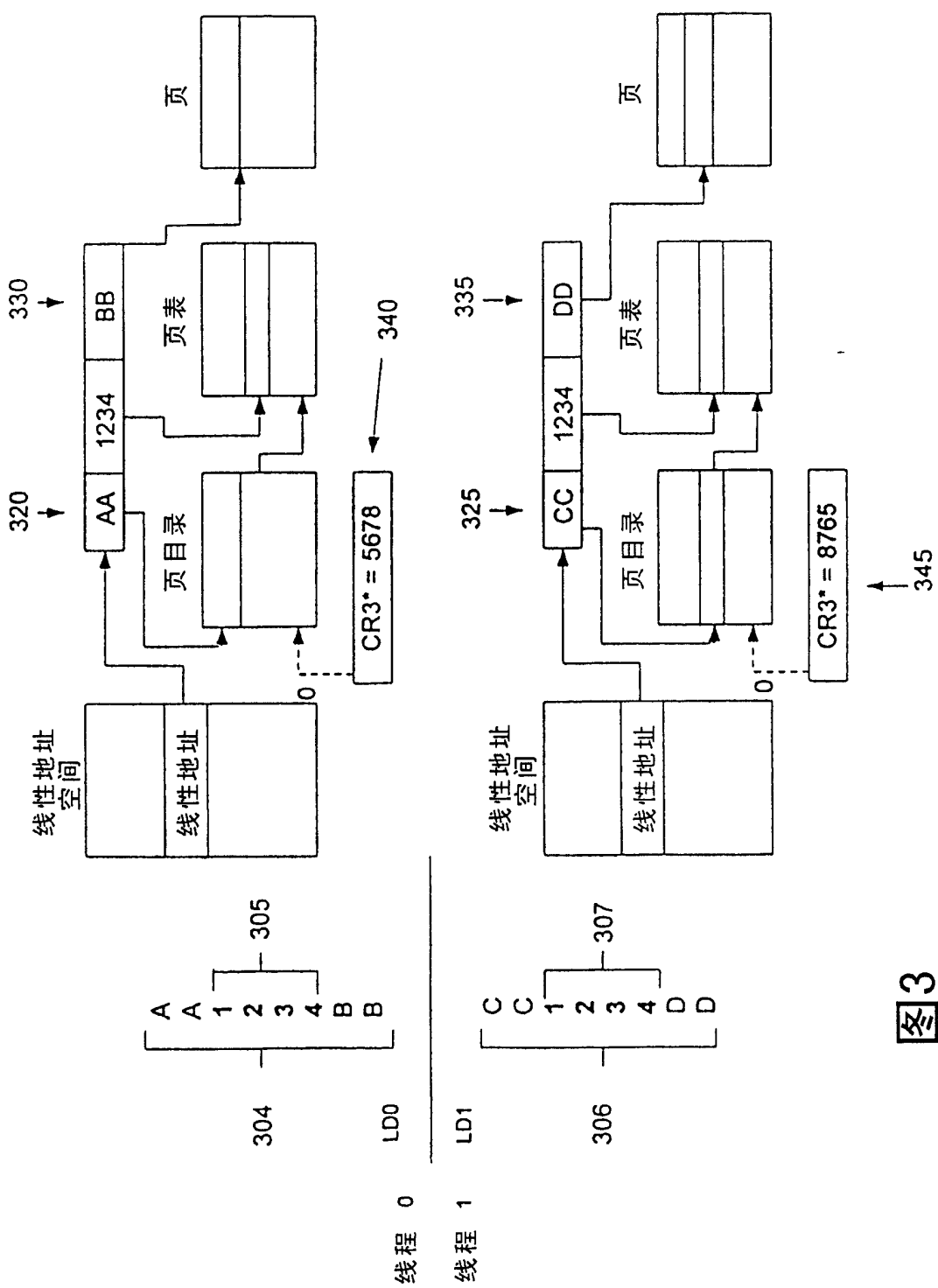
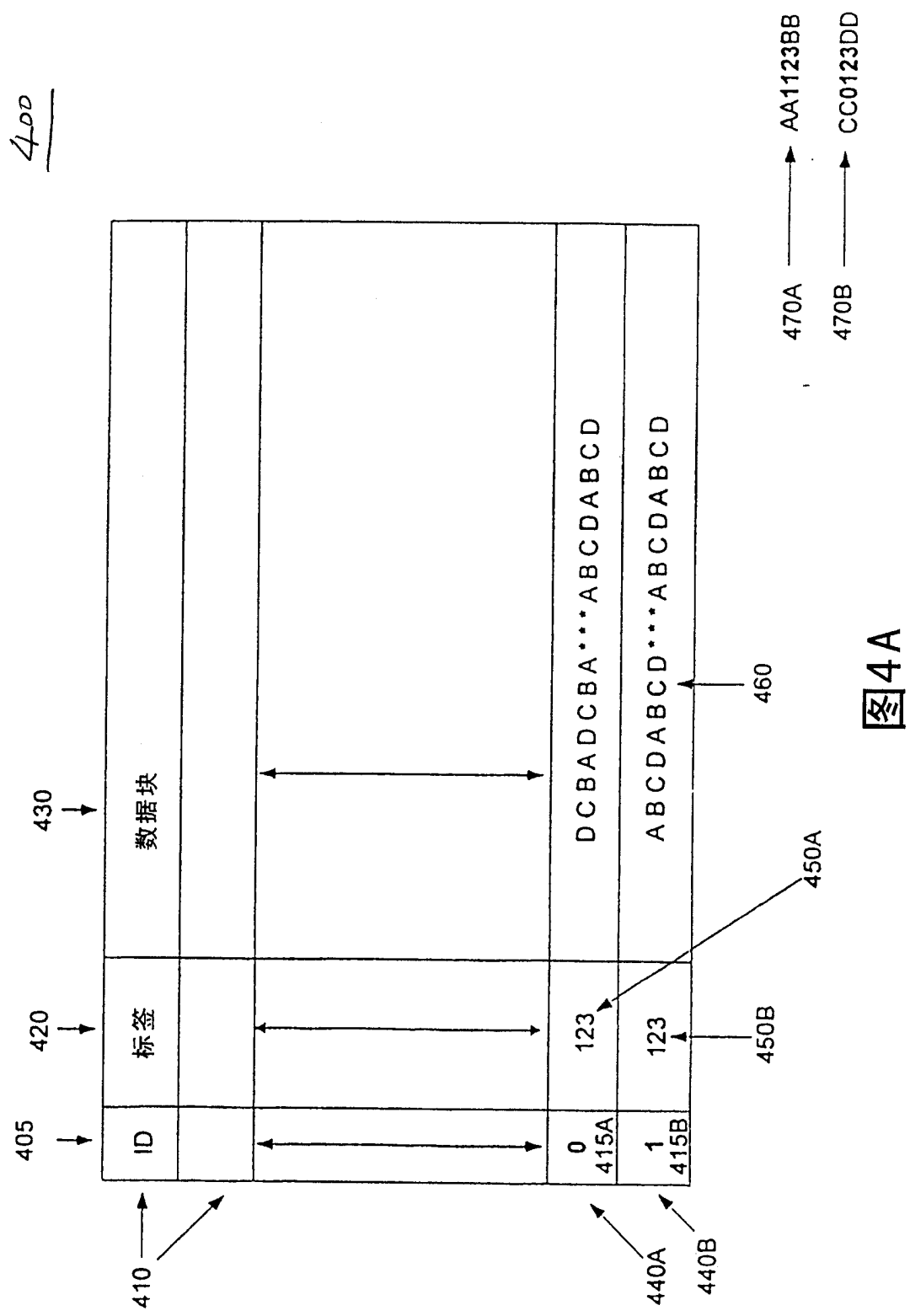


图2





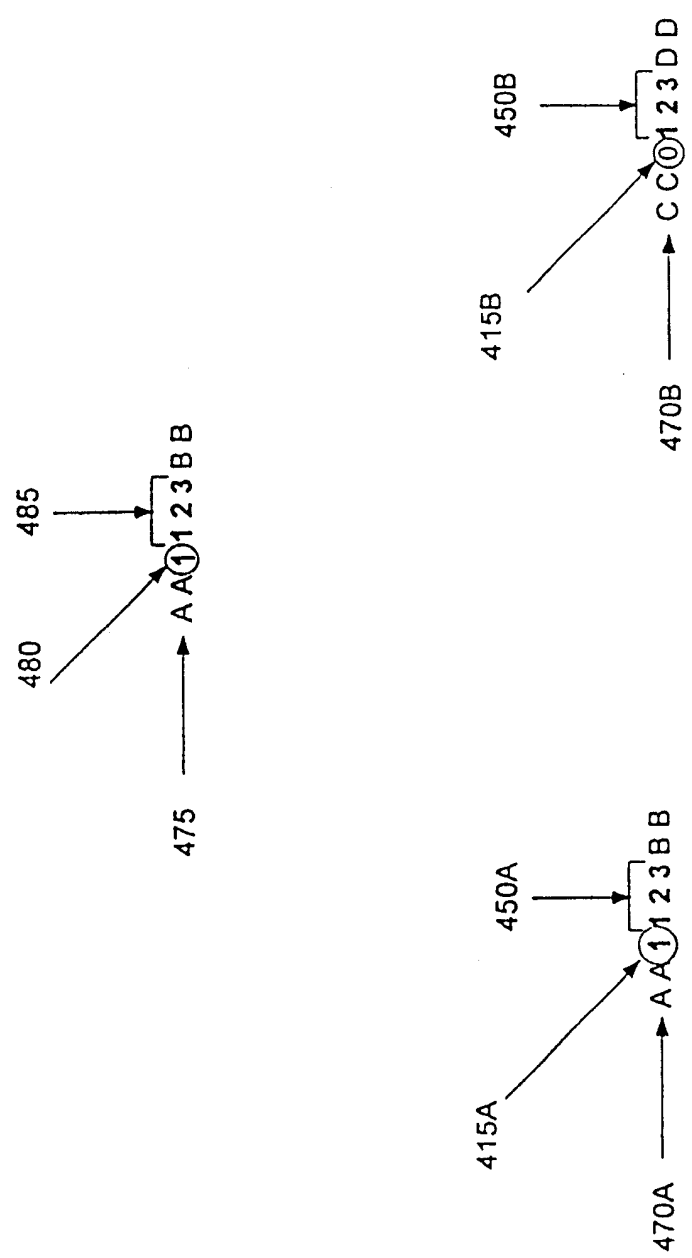


图4B

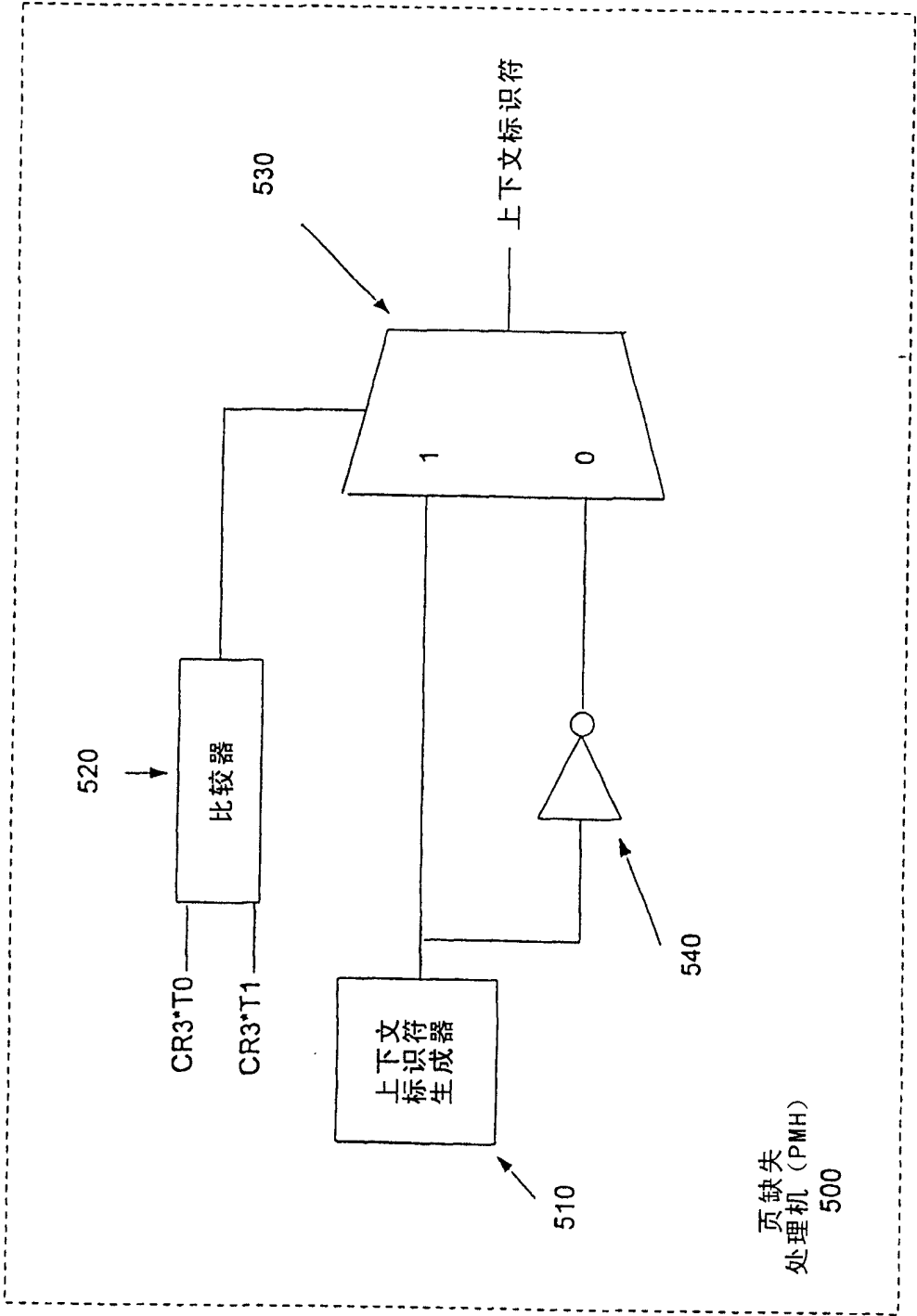


图5

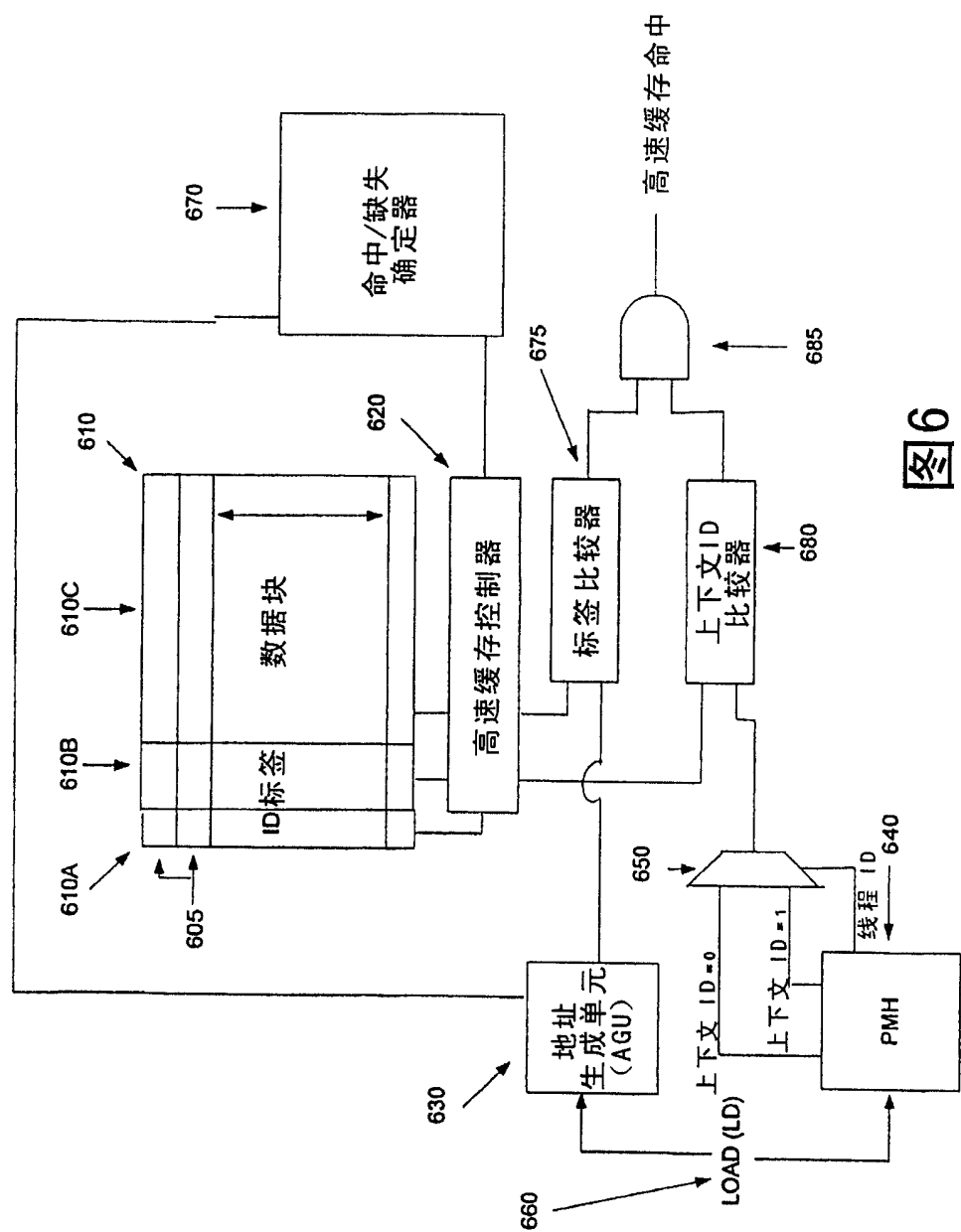


图6

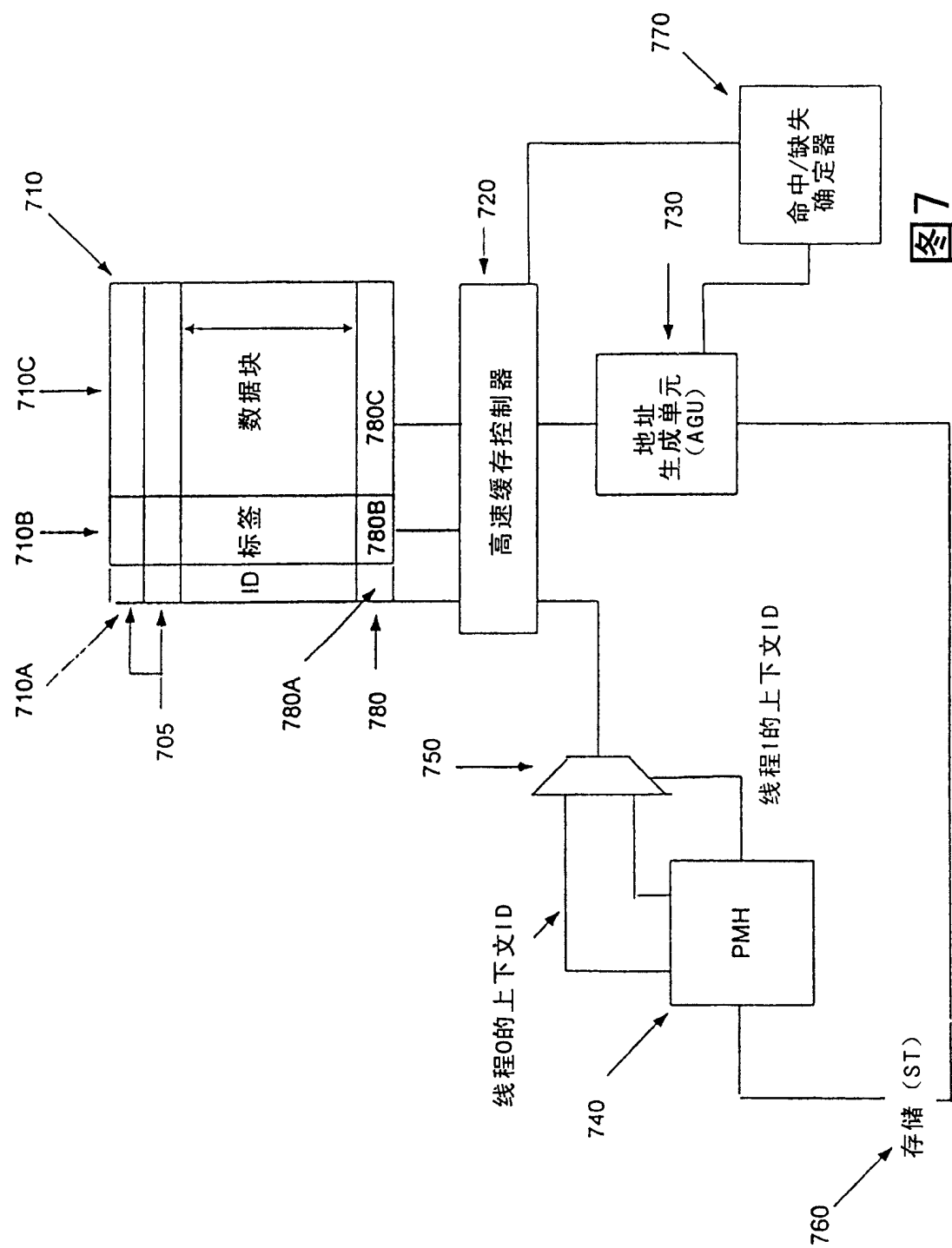


图7