



(12) 发明专利

(10) 授权公告号 CN 1925321 B

(45) 授权公告日 2011.07.06

(21) 申请号 200610128807.9

(22) 申请日 2006.08.30

(30) 优先权数据

2005-252596 2005.08.31 JP

(73) 专利权人 太阳诱电株式会社

地址 日本国东京都

专利权人 富士通株式会社

(72) 发明人 宓晓宇 水野义博 松本刚

奥田久雄 上田知史 高桥岳雄

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 张龙哺

(51) Int. Cl.

H03H 7/00 (2006.01)

(56) 对比文件

US 2005/0184358 A1, 2005.08.25, 全文.

审查员 郑嘉青

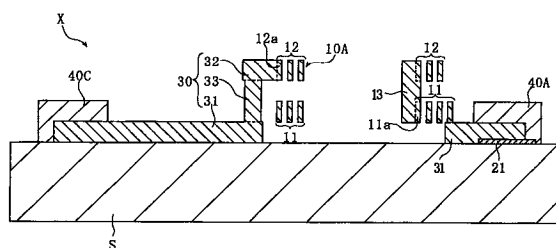
权利要求书 1 页 说明书 14 页 附图 33 页

(54) 发明名称

集成电子器件及其制造方法

(57) 摘要

本发明提供一种集成电子器件及其制造方法,该集成电子器件包括衬底、无源元件、用于外部连接的焊盘和三维布线。无源元件包括设置在衬底上的多级线圈电感器。多级线圈电感器具有设置在多层中的多个线圈。相邻的线圈线彼此隔开。三维布线包括在衬底上延伸的第一布线区、与衬底隔开但沿着衬底延伸的第二布线区以及与第一布线区和第二布线区连接的第三布线区。



1. 一种集成电子器件,包括:
衬底;
多个无源元件;
多个焊盘,用于外部连接;以及
三维布线;

其中,所述多个无源元件包括设置在该衬底上的多级线圈电感器,该多级线圈电感器包括设置在一级中的第一线圈和设置在另一级中的第二线圈,在该第一线圈和该第二线圈之间以间隙隔开;

其中,该三维布线包括在该衬底上延伸的第一布线区、与衬底隔开并沿着衬底延伸的第二布线区以及连接该第一布线区和该第二布线区的第三布线区。

2. 如权利要求 1 所述的集成电子器件,其中,该第一线圈和该第二线圈的每个线圈都是螺旋线圈。

3. 如权利要求 1 所述的集成电子器件,其中,该第一线圈和该第二线圈的每个线圈都是螺线管线圈或螺旋管线圈。

4. 如权利要求 1 所述的集成电子器件,其中,该衬底是半导体衬底、表面形成有绝缘膜的半导体衬底、石英衬底、玻璃衬底、压电衬底、陶瓷衬底、绝缘体上硅衬底、石英上硅衬底和玻璃上硅衬底其中之一。

5. 如权利要求 1 所述的集成电子器件,其中,所述多个无源元件包括电容器和/或电阻器。

6. 如权利要求 5 所述的集成电子器件,其中,该电容器包括彼此相对的第一电极和第二电极,该第一电极设置在该衬底上,该第二电极与该衬底隔开并沿着衬底设置。

7. 如权利要求 1 所述的集成电子器件,其中,该多级线圈电感器包括最接近该衬底的线圈,所述最接近该衬底的线圈与该衬底隔开。

8. 如权利要求 1 所述的集成电子器件,其中,该多级线圈电感器包括最接近该衬底的线圈,所述最接近该衬底的线圈以图案的形式形成在该衬底上。

9. 如权利要求 1 所述的集成电子器件,其中,所述多个无源元件包括 LCR 滤波器、SAW 滤波器、FBAR 滤波器和机械振动滤波器其中之一。

10. 如权利要求 1 所述的集成电子器件,还包括树脂密封剂,用于密封该衬底上的无源元件和三维布线。

11. 如权利要求 10 所述的集成电子器件,其中,该树脂密封剂的一部分进入到该多级线圈电感器的线圈之间。

12. 如权利要求 1 所述的集成电子器件,其中,该多级线圈电感器和/或该三维布线的一部分用抗蚀膜、磁性膜和包括该抗蚀膜或该磁性膜的多层膜其中之一涂布。

13. 如权利要求 1 所述的集成电子器件,其中,该衬底具有凹陷区,在该凹陷区中设置该多级线圈电感器。

14. 如权利要求 1 所述的集成电子器件,其中,该第一线圈和该第二线圈分层排列。

15. 如权利要求 14 所述的集成电子器件,其中,该第一线圈和该第二线圈电性串接,并且其中流经该第一线圈的电流方向与流经该第二线圈的电流方向相同。

集成电子器件及其制造方法

技术领域

[0001] 本发明涉及具有多个无源元件例如电感器的集成电子器件。本发明也涉及制造这种集成电子器件的方法。

背景技术

[0002] 组合在例如移动终端中的 RF(射频)系统或 RF 电路一般包括用作高频模块器件的 IPD(集成无源器件),以获得高性能、小尺寸、轻重量等。IPD 包括无源元件,例如电感器、电容器、电阻器和滤波器。在这些元件中,电感器往往具有比例如电容器低的 Q 因子(质量因子)。当 IPD 包括电感器时,整个 IPD 也很可能具有低 Q 因子。因此,需要具有高 Q 因子的 IPD。另外,由于 RF 系统利用较高的频带,因此 IPD 也需要适合那些较高的频带。在下面的专利文献 1 和 2 中以及非专利文献 1 和 2 中,公开了这些和其它关于 IPD 的技术方案。

[0003] 专利文献 1:JP-A-H04-61264。

[0004] 专利文献 2:U. S. P. No. 5,370,766。

[0005] 非专利文献 1:阿尔伯特苏特奴(Albert Sutono)等,“IEEE 先进封装学报”(IEEE TRANSACTION ON ADVANCED PACKAGING),卷 22,第 3 期,1999 年 8 月,326-331 页。

[0006] 非专利文献 2:郭立辉(Guo Lihui)等,“IEEE 电子器件快报”(IEEE ELECTRON DEVICE LETTERS),卷 23,第 8 期,2002 年 8 月,470-472 页。

[0007] 例如,非专利文献 1 提出了用 LTCC(低温烧结陶瓷)技术制造 IPD。这种用 LTCC 技术制造的 IPD 包括具有多个无源元件的多层陶瓷衬底。在一些情况下,在多层陶瓷衬底的多个层上堆叠多个线圈,以提高电感器的感应系数。因为电感器的感应系数越高,电感器往往具有更高的 Q 因子,因此这种结构适于增大整个 IPD 的 Q 因子。

[0008] 然而,这种用 LTCC 技术制造的 IPD 面对下列问题。电感器的每个线圈被具有相对较大的介电常数的陶瓷包围。因此,电感器过度地受到寄生电容影响。影响电感器的大寄生电容阻碍电感器的 Q 因子增大。因此,用 LTCC 技术制造的 IPD 在许多情况下不能表现出足够大的 Q 因子。

[0009] 另外,Q 因子通常与频率有关。寄生电容越大,电感器的自振频率和电感器的 Q 因子的峰值频率向低频侧移动的就越多,从而使 IPD 的高频特性恶化。这样,由于 Q 因子不够大,所以有时阻碍用 LTCC 技术制造的 IPD 应用在目标高频带和获得良好的高频特性。

[0010] 发明内容

[0011] 本发明是在上述情况下提出的,因此本发明的目的是提供适于获得高 Q 因子和良好的高频特性的 IPD,以及该 IPD 的制造方法。

[0012] 本发明的第一方案提供集成电子器件。该集成电子器件包括:衬底、多个无源元件、多个用于外部连接的焊盘以及三维布线。所述无源元件包括设置在衬底上的多级线圈电感器。该多级线圈电感器具有设置在一级中的第一线圈和设置在另一级中的第二线圈,在该第一线圈和该第二线圈之间以间隙隔开。该三维布线包括在衬底上延伸的第一布线区、沿着衬底延伸并与衬底隔开的第二布线区以及连接第一和第二布线区的第三布线区。

当有多个第一布线区和 / 或第二布线区时,一对第一和第二布线区之间的电性连接可以通过第三布线区,也可以不通过第三布线区,即可以不使用第三布线区而直接进行连接。

[0013] 对于具有上述结构的集成电子器件,设置在衬底上的多级线圈电感器可以用如图 1 所示的等效集总常数电路来表示,并且 Q 因子可以用下面给出的公式 (1) 来表示。在图 1 和公式 (1) 中, L 代表电感器的感应系数, R_i 代表电感器的电阻, R_s 代表衬底的电阻, C 代表电感器的寄生电容,以及 ω 代表角频率且等于 $2\pi f$ (f 代表频率)。公式 (1) 可表示为三个因子的乘积,这里第二因子被称为衬底损失因子,第三因子被称为自振因子。

$$[0014] \quad Q = \frac{\omega L}{R_i} \cdot \frac{R_s}{R_s + [(\omega L / R_i + 1)]R_i} \cdot \left[1 - \frac{R_i^2 C}{L} - \omega^2 LC \right] \quad (1)$$

[0015] 由于施加交流电流时,螺旋线圈之间的相互电磁感应使螺旋线圈表现出互感,因此上述集成电子器件的多级线圈电感器作为整个电感器可产生较大的感应系数 L。为此,根据本集成电子器件中的多级线圈电感器,获得特定感应系数 L 所需的导线总长度趋向于变短 (即,通过特定长度的导线可获得的感应系数 L 趋向于变大)。另一方面,组成多级线圈电感器的导线总长度越短,每个多级线圈电感器中的电阻 R_i 往往越小。因此,根据本集成电子器件的多级线圈电感器适于在小电阻 R_i 下获得预定的感应系数 L。如可从上述公式 (1),尤其是从公式中的第一因子获知的,在小电阻 R_i 下获得预定的感应系数 L 有助于提高 Q 因子。

[0016] 另外,根据本集成电子器件的多级线圈电感器,施加的交流电流在相邻螺旋线圈中沿相同的方向流动,从而减小了线圈间产生的磁场强度,降低了线圈线中高频电流的表面效应。因此,能够降低线圈线的电阻 R_i (高频电阻)。如可从公式 (1) 获知的,降低电阻 R_i 有助于提高 Q 因子。

[0017] 另外,在根据本集成电子器件的多级线圈电感器中,线圈线没有被例如很厚的陶瓷 (具有高介电常数) 包围。特别地,在相邻的线圈绕组之间没有如陶瓷之类的材料。因此,该多级线圈电感器适于降低寄生电容 C。如可从公式 (1) 获知的,降低寄生电容 C 有助于提高 Q 因子。

[0018] 如上所述,根据本集成电子器件的多级线圈电感器适于获得高 Q 因子。因此,如上所述包括该多级线圈电感器的集成电子器件适于获得高 Q 因子。

[0019] 此外,本集成电子器件也适于获得良好的高频特性。通常,电感器的寄生电容越小,电感器的自振频率和电感器的 Q 因子的峰值频率向高频侧移动的越多,从而更容易获得良好的高频特性。为此,适于降低寄生电容 C 的多级线圈电感器也适于获得良好的高频特性。因此,如上所述包含这种多级线圈电感器的本集成电子器件适于获得良好的高频特性。

[0020] 另外,本集成电子器件适于降低用于在无源元件与焊盘之间建立电性连接的布线中的损失。本集成电子器件具有三维布线,包括在衬底上延伸并与之连接的第一布线区、与衬底隔开并沿着衬底延伸的第二布线区以及与第一和第二布线区连接的第三布线区。当这三种布线区适当地结合使用时,该三维布线在一个无源元件与另一个无源元件的连接中以及无源元件与焊盘的连接中提供高自由度。换句话说,根据本集成电子器件,在连接衬底上元件 (无源元件和焊盘) 的布线设计中具有高自由度。布线设计中的高自由度适于将元件之间的布线长度降至最短,并且也适于避免布线之间以及布线与线圈导体之间的交叉。将

元件之间的布线长度降至最短有助于降低布线中的高频电阻。避免电线之间以及布线与线圈导体之间的交叉有助于降低由于交叉结构产生的相互电磁感应而导致在布线和 / 或线圈导体中不希望地产生涡流。高频电阻的降低和涡流的降低适于降低连接元件的布线中的损失。另外, 布线损失的降低适于在作为整体的集成电子器件 X 中获得高 Q 因子。

[0021] 如上所述, 根据本发明第一方案的集成电子器件适于获得高 Q 因子和良好的高频特性。

[0022] 根据优选实施例, 如权利要求 1 所述的集成电子器件, 其中多个线圈是通过间隙彼此隔开的螺旋线圈。通过增加设置在多层中的线圈的数量以及通过增加用于螺旋线圈在同一平面内制造的绕组的数量, 如上所述的这种多级线圈电感器能够增加作为整体的电感器中线圈绕组的数量。因此, 能够有效地获得所需的感应系数 L。增大感应系数 L 有助于提高 Q 因子。

[0023] 根据另一优选实施例, 如权利要求 1 所述的集成电子器件, 其中多个线圈中的每一个是螺线管线圈或螺旋管线圈。这些类型的线圈可以用于本发明。

[0024] 优选地, 衬底选自半导体衬底、表面形成有绝缘膜的半导体衬底、石英衬底、玻璃衬底、压电衬底、陶瓷衬底、绝缘体上硅 (SOI) 衬底、石英上硅 (SOQ) 衬底和玻璃上硅 (SOG) 衬底。压电衬底由压电材料例如 LiTaO_3 、 LiNbO_3 、 AlN 、 ZnO 和压电陶瓷制成。

[0025] 根据本集成电子器件的多个无源部件包括电容器和 / 或电阻器。除了多级线圈电感器之外, 根据所需的功能, 本集成电子器件可以设计为包括电容器和电阻器作为无源元件。

[0026] 优选地, 电容器具有彼此相对的第一电极和第二电极。第一电极设置在衬底上, 而第二电极与衬底隔开并沿着衬底设置。

[0027] 优选地, 多级线圈电感器中所包含的最接近衬底的线圈与衬底隔开。这种结构适于减少向多级线圈电感器施加电流时在衬底中产生的感应电流。当用导电材料提供衬底时, 感应电流的减少尤为显著。在这种情况下, 多级线圈电感器中最接近衬底的线圈与衬底隔开, 电感器的机械稳定性可通过设置在衬底上突起的支持物来支持电感器而得到增强。

[0028] 优选地, 多级线圈电感器中所包含的最接近衬底的线圈以图案的形式形成在衬底上。考虑到衬底上三维多级线圈电感器的机械稳定性, 优选这种结构。

[0029] 优选地, 无源元件包括选自 LCR 滤波器、SAW 滤波器、FBAR 滤波器和机械振动滤波器构成的集合中的滤波器。机械振动滤波器的例子包括微机械圆盘谐振器, 微机械圆环谐振器和微机械梁谐振器。

[0030] 优选地, 集成电子器件还包括用于密封衬底上的无源元件和三维布线的树脂密封剂。在这种情况下, 树脂密封剂的一部分可能进入到多级线圈电感器中相邻线圈线之间的空间, 但是该部分树脂密封剂没有完全密封线圈线之间的空间。树脂密封剂适于在本集成电子器件中获得高度的可靠性。

[0031] 优选地, 多级线圈电感器和 / 或三维布线的一部分涂布有选自抗蚀膜和磁性膜组成的集合中的膜或者包括该膜的多层膜。用抗蚀膜涂布适于提高多级线圈电感器的线圈导线和三维布线的导电区的抗蚀性。抗蚀膜可由不同的材料形成。例子包括诸如 Au、Rh 和 Ru 的金属以及介电材料。介电材料的例子包括树脂材料例如苯并环丁烯 (Benzocyclobutenes, BCB)、聚苯并噁唑 (Polybenzoxazoles, PBO) 和聚酰亚胺, 以及非树

脂材料例如氧化硅、氮化硅和氧化铝。另一方面,用磁性膜涂布尤其适于增强在线圈导线周围产生的磁场。增强在线圈导线周围产生的磁场适于提高多级线圈电感器的感应系数 L 。考虑到降低在磁性膜自身中产生的涡流,磁性膜优选由高阻抗材料形成。这种磁性膜材料的例子包括 Fe-Al-O 合金和 CoFeB-SiO₂ 高阻抗磁性材料。

[0032] 优选地,多级线圈电感器的线圈线和 / 或三维布线的第一至第三导电区由 Cu、Au、Ag 或 Al 制成。多级线圈电感器的线圈线和 / 或三维布线的第一至第三导电区优选由这些低阻抗导电材料形成。

[0033] 优选地,衬底具有凹陷区,并且在该凹陷区中设置多级线圈电感器。这种设置适于减小集成电子器件的尺寸。

[0034] 本发明的第二方案提供一种制造集成电子器件的方法。该方法包括如下步骤:通过电镀形成下部导电区;

[0035] 在该下部导电区上形成第一抗蚀图案,该第一抗蚀图案具有用于形成上部导电区的开口,该开口中使得部分该下部导电区暴露;在该第一抗蚀图案的表面上和在该开口中暴露的该下部导电区的表面上形成籽晶层;在该第一抗蚀图案上形成具有开口的第二抗蚀图案;通过电镀在该第二抗蚀图案的该开口中形成上部导电区;去除该第二抗蚀图案;去除该籽晶层;以及去除该第一抗蚀图案。如上所述的方法适于制造根据第一方案的集成电子器件。

附图说明

[0036] 图 1 示出了根据本发明的多级线圈电感器的集总常数等效电路。

[0037] 图 2 是根据本发明的集成电子器件的平面图。

[0038] 图 3 是图 2 中沿着线 III-III 的横截面图。

[0039] 图 4 是图 2 中沿着线 IV-IV 的横截面图。

[0040] 图 5 是图 2 中沿着线 V-V 的横截面图。

[0041] 图 6 是图 2 中的集成电子器件的电路图。

[0042] 图 7 是一个两级线圈电感器的分解平面图。

[0043] 图 8 是另一个多级线圈电感器的分解平面图。

[0044] 图 9 是示出线圈线周围的磁通量分布的概念图。

[0045] 图 10(a) 至图 10(d) 示出根据本发明的集成电子器件制造方法的几个步骤。

[0046] 图 11(a) 至图 11(d) 示出图 10(a) 至图 10(d) 中的步骤之后的步骤。

[0047] 图 12(a) 至图 12(d) 示出图 11(a) 至图 11(d) 中的步骤之后的步骤。

[0048] 图 13(a) 至图 13(d) 示出图 12(a) 至图 12(d) 中的步骤之后的步骤。

[0049] 图 14(a) 至图 14(d) 示出图 13(a) 至图 13(d) 中的步骤之后的步骤。

[0050] 图 15(a) 至图 15(c) 示出图 14(a) 至图 14(d) 中的步骤之后的步骤。

[0051] 图 16 是图 2 中的集成电子器件的第一改型的横截面图。该横截面图可与图 2 所示的集成电子器件的图 3 相比较。

[0052] 图 17 是图 2 中的集成电子器件的第一改型的另一个横截面图。该横截面图可与图 2 所示的集成电子器件的图 4 相比较。

[0053] 图 18 是图 2 中的集成电子器件的第二改型的横截面图。该横截面图与可图 2 所

示的集成电子器件的图 3 相比较。

[0054] 图 19 是图 2 中的集成电子器件的第二改型的另一个横截面图。该横截面图可与图 2 所示的集成电子器件的图 4 相比较。

[0055] 图 20(a) 至 20(e) 示出第一改型的制造方法的几个步骤。

[0056] 图 21(a) 21(d) 示出图 20(a) 至 20(e) 中的步骤之后的步骤。

[0057] 图 22(a) 至 22(d) 示出图 21(a) 至 21(d) 中的步骤之后的步骤。

[0058] 图 23(a) 至 23(d) 示出图 22(a) 至 22(d) 中的步骤之后的步骤。

[0059] 图 24(a) 至 24(d) 示出第一改型的另一种制造方法的几个步骤。

[0060] 图 25(a) 至 25(d) 示出图 24(a) 至 24(d) 中的步骤之后的步骤。

[0061] 图 26(a) 至 26(d) 示出图 25(a) 至 25(d) 中的步骤之后的步骤。

[0062] 图 27(a) 至 27(c) 示出图 26(a) 至 26(d) 中的步骤之后的步骤。

[0063] 图 28(a) 至 28(d) 示出第二改型的制造方法的几个步骤。

[0064] 图 29(a) 至 29(d) 示出图 28(a) 至 28(d) 中的步骤之后的步骤。

[0065] 图 30(a) 至 30(d) 示出图 29(a) 至 29(d) 中的步骤之后的步骤。

[0066] 图 31(a) 至 31(d) 示出图 30(a) 至 30(d) 中的步骤之后的步骤。

[0067] 图 32(a) 至 32(d) 示出图 31(a) 至 31(d) 中的步骤之后的步骤。

[0068] 图 33 是图 2 中的集成电子器件的第三改型的横截面图。该横截面图可与图 2 所示的集成电子器件的图 3 相比较。

[0069] 图 34 示出根据本发明的集成电子器件的另一个电路。

[0070] 图 35 示出根据本发明的集成电子器件的又一个电路。

具体实施方式

[0071] 图 2 至图 5 示出根据本发明的集成电子器件 X。图 2 是集成电子器件 X 的平面图。图 3 至图 5 分别是图 2 中沿着线 III-III、IV-IV 和 V-V 的横截面图。

[0072] 集成电子器件 X 包括衬底 S、多级线圈电感器 10A、10B、电容器 20、三维布线 30 和焊盘 40A、40B、40C、40D，组成图 6 所示的电路。

[0073] 由半导体衬底、表面形成有绝缘膜的半导体衬底、石英衬底、玻璃衬底、压电衬底、陶瓷衬底、SOI（绝缘体上硅）衬底、SOQ（石英上硅）衬底和 SOG（玻璃上硅）衬底提供衬底 S。半导体衬底由硅材料例如单晶硅构成。压电衬底由压电材料例如 LiTaO_3 、 LiNbO_3 、 AlN 、 ZnO 和压电陶瓷构成。

[0074] 每个多级线圈电感器 10A、10B 是一种无源元件，如图 3 和图 4 所示，包括例如两层螺旋线圈 11、12 和将这些线圈彼此串联连接的连接件 13。在图 2 中，用粗体的螺旋简单地代表多级线圈电感器 10A、10B。图 7 是多级线圈电感器 10A 的分解平面图，而图 8 是多级线圈电感器 10B 的分解平面图。在每个多级线圈电感器 10A、10B 中，螺旋线圈 11、12 缠绕成使通过这两个螺旋线圈的电流方向相同。在每个多级线圈电感器 10A、10B 中，相邻的绕组线通过间隙彼此隔开。优选地，螺旋线圈 11、12 的厚度不小于 $3\mu\text{m}$ 。另外，在本实施例中，螺旋线圈 11 比螺旋线圈 12 更接近衬底 S，并与衬底 S 隔开。螺旋线圈 11 与衬底 S 之间的距离为例如 $1\text{--}100\mu\text{m}$ 。多级线圈电感器 10A、10B 由

[0075] 在集成电子器件 X 中，在衬底 S 上设置的每个多级线圈电感器 10A、10B 被描述为

图 1 所示的等效集总常数电路,并且 Q 因子用上述公式 (1) 表示。在图 1 和公式 (1) 中,如上所述, L 代表电感器的感应系数, R_i 代表电感器的电阻, R_s 代表衬底的电阻, C 代表电感器的寄生电容,以及 ω 代表角频率并且其等于 $2\pi f$ (f : 频率)。

[0076] 电容器 20 是另一种无源元件,并且具有图 5 所示的堆叠结构,包括第一电极 21、第二电极 22 以及位于它们之间的介电层 23。第一电极 21 设置在衬底 S 上。第二电极 22 与衬底 S 隔开并沿着衬底 S 设置。优选地,第二电极 22 的厚度不小于 $3\mu m$ 。另外,第一电极 21 具有预定的多层结构,例如,其中每一层包含选自 Cu 、 Au 、 Ag 和 Al 的金属。第二电极 22 由例如 Cu 、 Au 、 Ag 或 Al 制成。介电层 23 由例如氧化硅、氮化硅、氧化铝、氧化钽或氧化钛制成。

[0077] 三维布线 30,作为在衬底上的元件(无源元件和焊盘)之间建立电性连接的布线,包括:第一布线区 31,其具有在衬底 S 上延伸的部分;第二布线区 32,其脱离衬底 S 并沿着衬底 S 延伸;以及第三布线区 33,其与第一布线区 31 和第二布线区 32 连接。为了图示清楚,在图 2 中只将三维布线 30 的第一布线区 31 画上阴影线。三维布线 30 由例如 Cu 、 Au 、 Ag 或 Al 制成。第一布线区 31 和第二布线区 32 的厚度优选不小于 $3\mu m$ 。

[0078] 焊盘 40A 至 40D 是用于外部连接的电性焊盘。如可从图 6 获知的,焊盘 40A、40B 用作电信号的输入/输出端子,焊盘 40C、40D 接地。焊盘 40A 至 40D 由例如上表面涂布有 Au 膜的 Ni 块制成。

[0079] 如图 6 所示,多级线圈电感器 10A 与焊盘 40A、40C 以及电容器 20 的第一电极 21 电性连接。具体地,如图 3 所示,在多级线圈电感器 10A 中,图中的下部螺旋线圈 11 的一端 11a 通过第一布线区 31 与焊盘 40A 和电容器 20 的第一电极 21 电性连接,而图中的上部螺旋线圈 12 的一端 12a 通过第二布线区 32、第三布线区 33 和第一布线区 31 与焊盘 40C 电性连接。

[0080] 如图 6 所示,多级线圈电感器 10B 与焊盘 40B、40D 和电容器 20 的第二电极 22 电性连接。具体地,如图 4 和图 5 所示,在多级线圈电感器 10B 中,图中的上部螺旋线圈 12 的一端 12a 通过第二布线区 32、第三布线区 33 和第一布线区 31 与焊盘 40B 电性连接,另外,通过第二布线区 32 与电容器 20 的第二电极 22 连接。另外,在多级线圈电感器 10B 中,图中的下部螺旋线圈 11 的一端 11a 通过第一布线区 31 与焊盘 40D 电性连接。

[0081] 由于施加 AC(交流)电流时,螺旋线圈 11、12 之间的相互电磁感应使螺旋线圈 11、12 表现出互感,因此上述集成电子器件 X 的多级线圈电感器 10A、10B 作为整个电感器产生较大的感应系数 L 。为此,根据多级线圈电感器 10A、10B,组成提供预定感应系数 L 的电感器的导线总长度趋向于变短。另一方面,组成每个多级线圈电感器 10A、10B 的导线总长度越短,每个多级线圈电感器 10A、10B 中的电阻 R_i 往往越小。因此,多级线圈电感器 10A、10B 适于在小电阻 R_i 下获得预定的感应系数 L 。如可从上述公式 (1),尤其是从公式中的第一因子获知的,在小电阻 R_i 下获得预定的感应系数 L 有助于提高 Q 因子。

[0082] 另外,在集成电子器件 X 的每个多级线圈电感器 10A、10B 中,如图 9 所示,施加的 AC 电流在螺旋线圈 11、12 中沿相同的方向流动,这能够降低在线圈之间产生的磁场强度(因为电流流过螺旋线圈 11 而在螺旋线圈 11 周围产生的磁场和电流流过螺旋线圈 12 而在螺旋线圈 12 周围产生的磁场在螺旋线圈 11、12 之间相互抵消)。这能够降低螺旋线圈 11、12 的线圈线中高频电流的表面效应,从而降低线圈线的电阻 R_i (高频电阻)。如上述可从

公式 (1) 获知的,降低电阻 R_i 有助于提高 Q 因子。

[0083] 另外,集成电子器件 X 中的多级线圈电感器 10A、10B 都是没有被例如很厚的陶瓷 (具有较大的介电常数) 包围的线圈线。尤其是,在相邻的线圈绕组之间没有例如陶瓷之类的材料。因此,每个多级线圈电感器 10A、10B 均适于降低寄生电容 C 。如可从公式 (1) 获知的,降低寄生电容 C 有助于提高 Q 因子。

[0084] 如上所述,集成电子器件 X 中的多级线圈电感器 10A、10B 适于获得高 Q 因子。因此,如上所述,包括多级线圈电感器 10A、10B 的集成电子器件 X 适于获得高 Q 因子。

[0085] 另外,集成电子器件 X 也适于获得良好的高频特性。通常,电感器的寄生电容越小,电感器的自振频率和电感器的 Q 因子的峰值频率向高频侧移动的越多,因而易于获得良好的高频特性。出于这个原因,适于降低寄生电容 C 的多级线圈电感器 10A、10B 也适于获得良好的高频特性。因此,如上所述,包括多级线圈电感器 10A、10B 的集成电子器件 X 适于获得良好的高频特性。

[0086] 另外,集成电子器件 X 适于降低用于在元件 (无源元件和焊盘) 之间建立电性连接的布线中的损失。集成电子器件 X 具有三维布线 30,该三维布线 30 包括:第一布线区 31,其具有在衬底 S 上延伸并与该衬底 S 连接的部分;第二布线区 32,其脱离衬底 S 并沿着衬底 S 延伸;以及第三布线区 33,其与第一布线区 31 和第二布线区 32 连接。当适当地结合使用这三种布线区时,三维布线 30 在连接元件中提供高自由度。换句话说,根据集成电子器件 X ,在用于连接衬底 S 上的元件的布线设计中有高自由度。布线设计中的高自由度适于减小元件之间的布线长度,也适于避免电线之间以及布线与线圈导体之间的交叉。减小元件之间的布线长度有助于降低布线中的高频电阻。避免布线之间以及布线与线圈导体之间的交叉有助于降低由于交叉结构产生的相互电磁感应而导致在布线和 / 或线圈导体中不希望地产生涡流。高频电阻的降低和涡流的降低适于降低为连接元件所必须制作的布线中的损失。另外,布线损失的降低适于在作为整体的集成电子器件 X 中获得高 Q 因子。

[0087] 如至此所述,集成电子器件 X 适于获得高 Q 因子和良好的高频特性。

[0088] 另外,在根据本实施例的多级线圈电感器 10A、10B 中,通过增加或减少分层螺旋线圈 11、12 的数量以及通过改变用于螺旋线圈 11、12 在同一平面中制造的绕组的数量,可改变作为整体的电感器中线圈绕组的总数。因此,能够有效地获得所需的感应系数 L 。

[0089] 另外,根据本实施例,每个多级线圈电感器 10A、10B 中的螺旋线圈 11,即最接近衬底的线圈,与衬底 S 隔开。这种结构适于降低当向多级线圈电感器 10A、10B 施加电流时在衬底 S 中产生的感应电流。

[0090] 图 10(a) 至图 15(c) 示出制造集成电子器件 X 的方法。这是一种使用体型 (bulk) 微加工技术制造集成电子器件 X 的方法。图 10(a) 至图 15(c) 均给出横截面图,以示出图 15(c) 所示的元件,即多级线圈电感器 10、电容器 20、两个焊盘 40 和三维布线 30 的形成过程以及它们是如何连接的。横截面包括在单块材料衬底中所包含的多个区域,由该材料衬底形成单一集成电子器件。这一系列的横截面图是说明性的顺序描述。多级线圈电感器 10 代表多级线圈电感器 10A、10B,焊盘 40 代表焊盘 40A 至 40D。

[0091] 在集成电子器件 X 的制造过程中,如图 10(a) 所示,首先在衬底 S 上形成电容器 20 的第一电极 21。例如,首先通过溅射在衬底 S 上形成预定的金属膜,然后通过湿刻蚀或干刻蚀图案化该金属膜,而形成第一电极 21。

[0092] 下一步,如图 10(b) 所示,在第一电极 21 上形成电容器 20 的介电层 23。例如,首先通过溅射至少在第一电极 21 上形成预定的介电材料膜,然后使用预定的湿刻蚀或干刻蚀图案化该介电膜,而形成介电层 23。

[0093] 下一步,如图 10(c) 所示,在衬底 S 上形成用于电镀的籽晶层 101(用粗实线表示),其覆盖第一电极 21 和介电层 23。籽晶层 101 具有通过组合例如 Ti 膜和其上形成的 Au 膜、Cr 膜和其上形成的 Au 膜、Ti 膜和其上形成的 Cu 膜、或 Cr 膜和其上形成的 Cu 膜所提供的层叠结构。籽晶层 101 可通过例如气相沉积或溅射形成。后面将要描述的其它籽晶层与籽晶层 101 具有相同的结构,并且可以使用相同的方法形成。

[0094] 下一步,如图 10(d) 所示,形成用于形成第一层厚导体的抗蚀图案 102。在本方法中,第一层厚导体提供电容器 20 的第二电极 22 和三维布线 30 的第一布线区 31。抗蚀图案 102 具有与第二电极 22 和第一布线区 31 的图案相对应的开口 102a。当形成抗蚀图案 102 时,首先,通过在第一电极 21 和介电层 23 上进行旋涂,在衬底 S 上形成液态光致抗蚀剂膜。下一步,通过曝光处理和其后的显影处理图案化该光致抗蚀剂膜。光致抗蚀剂的例子包括 AZP4210(由 AZ 电子材料制造)和 AZ1500(由 AZ 电子材料制造)。后面将要描述的其它抗蚀图案也可以通过如同所述的光致抗蚀剂膜形成过程的步骤,即曝光处理和显影处理形成。

[0095] 下一步,如图 11(a) 所示,通过电镀方法在抗蚀图案 102 的开口 102a 中形成第一层厚导体(第二电极 22 和第一布线区 31)。在电镀过程中,向籽晶层 101 通电。

[0096] 下一步,如图 11(b) 所示,用例如去除剂(remover)去除抗蚀图案 102。去除剂可以是 AZ 去除剂 700(由 AZ 电子材料制造)。注意,后面将要描述的抗蚀图案也可以使用与抗蚀图案 102 相同的方法去除。

[0097] 下一步,如图 11(c) 所示,形成用于形成焊盘的抗蚀图案 103。抗蚀图案 103 具有开口 103a,每一个开口 103a 对应于一个焊盘 40 的图案。

[0098] 下一步,如图 11(d) 所示,通过电镀方法在抗蚀图案 103 的开口 103a 中形成焊盘 40。在电镀过程中,向籽晶层 101 通电。每个焊盘 40 优选由上表面涂布有 Au 膜的 Ni 块提供。

[0099] 下一步,如图 12(a) 所示,去除抗蚀图案 103,并且在去除之后,去除籽晶层 101 的暴露部分。(注意,在图 12(a) 或其后的图中没有示出籽晶层 101 的未暴露部分)。通过例如离子研磨方法可实现籽晶层 101 的去除。注意,后面将要描述的籽晶层也可以用离子研磨方法去除。

[0100] 下一步,如图 12(b) 所示,形成抗蚀图案 104。抗蚀图案 104 用作在第一层厚导体上形成第二层厚导体的牺牲层,并具有与第一层厚导体的图案相对应的开口 104a。在本方法中,第二层厚导体提供多级线圈电感器 10 的螺旋线圈 11 以及三维布线 30 的第二布线区 32 和第三布线区 33。抗蚀图案 104 形成为在开口 104a 中暴露部分第一层厚导体(第二电极 22 和第一布线区 31)。此处应注意,在本实施例中由抗蚀图案提供的、根据本发明的牺牲层不一定由抗蚀材料形成,而可以由能够被图案化和去除的可选材料形成,(并且这也适用于后面将要描述的其它牺牲层)。

[0101] 下一步,如图 12(c) 所示,形成籽晶层 105(用粗实线表示)以覆盖抗蚀图案 104 的表面、在开口 104a 中暴露的第一层厚导体的表面和焊盘 40 的表面。

[0102] 下一步,如图 12(d) 所示,形成用于形成第二层厚导体的抗蚀图案 106。抗蚀图案 106 具有对应于多级线圈电感器 10 的螺旋线圈 11 和部分连接件 13,以及对应于三维布线 30 的第二布线区 32 和部分第三布线区 33 的开口 106a。

[0103] 下一步,如图 13(a) 所示,用电镀方法在抗蚀图案 106 的开口 106a 中形成第二层厚导体(螺旋线圈 11、部分连接件 13、第二布线区 32 和部分第三布线区 33)。在电镀过程中,向籽晶层 105 通电。

[0104] 下一步,如图 13(b) 所示,在抗蚀图案 106 上形成用于形成第三层厚导体的抗蚀图案 107。在本方法中,第三层厚导体提供多级线圈电感器 10 中的部分连接件 13 和三维布线 30 的部分第三布线区 33。抗蚀图案 107 具有对应于部分连接件 13 和部分第三布线区 33 的开口 107a。

[0105] 下一步,如图 13(c) 所示,用电镀方法在抗蚀图案 107 的开口 107a 中形成第三层厚导体(部分连接件 13 和部分第三布线区 33)。在电镀过程中,向籽晶层 105 通电。

[0106] 下一步,如图 13(d) 所示,去除抗蚀图案 106、107,并且在去除抗蚀图案 106、107 之后,去除籽晶层 105 的暴露部分(注意,在图 13(d) 或其后的图中没有示出籽晶层 105 的未暴露部分)。在这个步骤之后,如图 14(a) 所示去除抗蚀图案 104。

[0107] 下一步,如图 14(b) 所示,形成抗蚀图案 108。抗蚀图案 108 用作在第三层厚导体上形成第四层厚导体的牺牲层,并具有对应于第三层厚导体的图案的开口 108a。在本方法中,第四层厚导体提供多级线圈电感器 10 中的螺旋线圈 12 和部分连接件 13,以及提供三维布线 30 的第二布线区 32。另外,抗蚀图案 108 形成为在开口 108a 中暴露部分第三层厚导体。

[0108] 下一步,如图 14(c) 所示,形成籽晶层 109(用粗实线表示),以覆盖抗蚀图案 108 的表面和在开口 108a 中暴露的第三层厚导体的表面。

[0109] 下一步,如图 14(d) 所示,形成用于形成第四层厚导体的抗蚀图案 110。抗蚀图案 110 具有对应于多级线圈电感器 10 中螺旋线圈 12 和部分连接件 13 图案,以及对应于三维布线 30 的第二布线区 32 图案的开口 110a。

[0110] 下一步,如图 15(a) 所示,用电镀法在抗蚀图案 110 的开口 110a 中形成第四层厚导体(螺旋线圈 12、部分连接件 13 和第二布线区 32)。在电镀过程中,向籽晶层 109 通电。

[0111] 下一步,如图 15(b) 所示,去除抗蚀图案 110,并且在去除抗蚀图案 110 之后去除籽晶层 109 的暴露部分(注意,在图 15(b) 或其后的图中未示出籽晶层 109 的未暴露部分)。之后,如图 15(c) 所示,去除抗蚀图案 108。

[0112] 在去除抗蚀图案 108 之后,优选地,用选自抗蚀膜和磁性膜的膜涂布多级线圈电感器 10 的暴露部分和/或三维布线 30 的暴露部分,或者用包括所选膜的多层膜来进行涂布。用抗蚀膜涂布适于提高多级线圈电感器的线圈导线和三维布线的导电部分的抗蚀性。抗蚀膜可以由不同的材料形成。抗蚀膜的例子包括金属例如 Au、Rh 和 Ru,以及介电材料。介电材料的例子包括树脂材料例如苯并环丁烯(Benzocyclobutenes, BCB)、聚苯并噁唑(Polybenzoxazoles, PBO) 和聚酰亚胺,以及非树脂材料例如氧化硅、氮化硅和氧化铝。另一方面,用磁性材料涂布尤其适于增强线圈导线周围产生的磁场。增强线圈导线周围产生的磁场适于提高多级线圈电感器的感应系数 L。考虑到降低在磁性膜自身中产生的涡流,优选地,由高阻抗材料形成磁性膜。用于这种磁性膜的材料例子包括 Fe-Al-O 合金和

CoFeB-SiO₂ 高阻抗磁性材料。

[0113] 至此,通过如上所述的步骤,能够在衬底 S 上形成多级线圈电感器 10、电容器 20、三维布线 30 和焊盘 40,从而制造集成电子器件 X。

[0114] 如图 16 和图 17 所示,集成电子器件 X 中的多级线圈电感器 10A、10B 可以与衬底 S 接触(第一改型)。在这种情况下,三维布线 30 可以与上述实施例中使用的三维布线具有不同的尺寸和形状,以与每个多级线圈电感器 10A、10B 中螺旋线圈 11、12 的高度匹配。

[0115] 另外,集成电子器件 X 可以如图 18 和图 19 所示:具体地,多级线圈电感器 10A、10B 可以与衬底 S 接触,然后被密封剂 50 部分密封(第二改型)。密封剂 50 可以由树脂材料如 BCB、PBO 和聚酰亚胺提供。在形成较高层中的导电区(例如螺旋线圈 12 和第二布线区 32)之后,有时难以用上述抗蚀膜来涂布较低层中的导电区(例如,螺旋线圈 11 和第一布线区 31)。根据本改型,用密封剂 50 覆盖较低层中的导电区,并使其表现出抗蚀性,所以在形成较高层中的导电区之后不必用抗蚀膜来涂布较低层中的导电区。

[0116] 图 20(a) 至图 23(d) 示出制造上述第一改型的第一方法。这是一种通过使用体型微加工技术来制造第一改型的方法。图 20(a) 至图 23(d) 均给出横截面图,以示出图 23(d) 所示的元件,即多级线圈电感器 10、电容器 20、两个焊盘 40 和三维布线 30 的形成过程,以及它们是如何连接的。横截面包括在单块材料衬底中所包含的多个区域,由该材料衬底形成单一集成电子器件。这一系列的横截面图是说明性的顺序描述。多级线圈电感器 10 代表多级线圈电感器 10A、10B,焊盘 40 代表焊盘 40A 至 40D。

[0117] 在本方法中,首先,如图 20(a) 所示,在衬底 S 上形成电容器 20 的第一电极 21。下一步,如图 20(b) 所示,在第一电极 21 上形成电容器 20 的介电层 23。下一步,如图 20(c) 所示,在衬底 S 上形成用于电镀的籽晶层 101,其覆盖第一电极 21 和介电层 23。这些过程与上面参照图 10(a) 至图 10(c) 所述的过程相同。

[0118] 下一步,如图 20(d) 所示,形成用于形成第一层厚导体的抗蚀图案 201。在本方法中,该第一层厚导体提供多级线圈电感器 10 的螺旋线圈 11 和部分连接件 13、电容器 20 的第二电极 22 以及三维布线 30 的第一布线区 31。抗蚀图案 201 具有对应于螺旋线圈 11、部分连接件 13、第二电极 22 和第一布线区 31 的图案的开口 201a。

[0119] 下一步,如图 20(e) 所示,通过电镀方法形成第一层厚导体(螺旋线圈 11、部分连接件 13、第二电极 22 和第一布线区 31)。在电镀过程中,向籽晶层 101 通电。

[0120] 下一步,如图 21(a) 所示,在抗蚀图案 201 上形成用于形成第二层厚导体的抗蚀图案 202。在本方法中,该第二层厚导体提供多级线圈电感器 10 的部分连接件 13 和三维布线 30 的第三布线区 33。抗蚀图案 202 具有对应于部分连接件 13 和第三布线区 33 的图案的开口 202a。

[0121] 下一步,如图 21(b) 所示,通过电镀方法在抗蚀图案 202 的开口 202a 中形成第二层厚导体(部分连接件 13 和第三布线区 33)。在电镀过程中,向籽晶层 101 通电。之后,如图 21(c) 所示,去除抗蚀图案 201 和抗蚀图案 202。

[0122] 下一步,如图 21(d) 所示,形成用于焊盘的抗蚀图案 203。抗蚀图案 203 具有开口 203a,每个开口 203a 对应于一个焊盘 40 的图案。

[0123] 下一步,如图 22(a) 所示,通过电镀方法在抗蚀图案 203 的开口 203a 中形成焊盘 40。在电镀过程中,向籽晶层 101 通电。每个焊盘 40 优选由上表面涂布有 Au 膜的 Ni 块提

供。之后,如图 22(b) 所示,去除抗蚀图案 203,并且在去除抗蚀图案 203 之后,去除籽晶层 101 的暴露部分(注意,在图 22(b) 或其后的图中没有示出籽晶层 101 的未暴露部分)。

[0124] 下一步,如图 22(c) 所示,形成抗蚀图案 204。抗蚀图案 204 用作在第二层厚导体上形成第三层厚导体的牺牲层,并具有对应于该第二层厚导体的图案的开口 204a。在本方法中,该第三层厚导体提供多级线圈电感器 10 的螺旋线圈 12 和部分连接件 13 以及三维布线 30 的第二布线区 32。抗蚀图案 204 形成为在开口 204a 中暴露部分第二层厚导体。

[0125] 下一步,如图 22(d) 所示,形成籽晶层 205(用粗实线表示)以覆盖抗蚀图案 204 的表面和在开口 204a 中暴露的第二层厚导体的表面。

[0126] 下一步,如图 23(a) 所示,形成用于形成第三层厚导体的抗蚀图案 206。抗蚀图案 206 具有对应于多级线圈电感器 10 的螺旋线圈 12 和部分连接件 13 以及三维布线 30 的第二布线区 32 的开口 206a。

[0127] 下一步,如图 23(b) 所示,通过电镀方法在抗蚀图案 206 的开口 206a 中形成第三层厚导体(螺旋线圈 12、部分连接件 13 和第二布线区 32)。在电镀过程中,向籽晶层 205 通电。

[0128] 下一步,如图 23(c) 所示,去除抗蚀图案 206,并且在去除抗蚀图案 206 之后去除籽晶层 205 的暴露部分(注意,在图 23(c) 或其后的图中没有示出籽晶层 205 的未暴露部分)。

[0129] 下一步,如图 23(d) 所示,去除抗蚀图案 204。在去除抗蚀图案 204 之后,优选地,用选自抗蚀膜和磁性膜的膜涂布多级线圈电感器 10 的暴露部分和/或三维布线 30 的暴露部分,或者用包括所选膜的多层膜进行涂布。至此,通过如上所述的步骤,能够在衬底 S 上形成多级线圈电感器 10、电容器 20、三维布线 30 和焊盘 40,从而制造上述第一改型。

[0130] 图 24(a) 至图 27(c) 示出制造上述第一改型的第二种方法。这是一种使用体型微加工技术制造该第一改型的方法。图 24(a) 至图 27(c) 均给出横截面图,以示出图 27(c) 所示的元件,即多级线圈电感器 10、电容器 20、两个焊盘 40 和三维布线 30 的形成过程,以及它们是如何连接的。横截面包括在单块材料衬底中所包含的多个区域,由该材料衬底形成单一集成电子器件。这一系列的横截面图是说明性的顺序描述。多级线圈电感器 10 代表多级线圈电感器 10A、10B,焊盘 40 代表焊盘 40A 至 40D。

[0131] 在本方法中,首先,如图 24(a) 所示,在衬底 S 上形成电容器 20 的第一电极 21。下一步,如图 24(b) 所示,在第一电极 21 上形成电容器 20 的介电层 23。下一步,如图 24(c) 所示,在衬底 S 上形成用于电镀的籽晶层 101,其覆盖第一电极 21 和介电层 23。这些过程与上面参照图 10(a) 至图 10(c) 所述的过程相同。

[0132] 下一步,如图 24(d) 所示,形成用于形成第一层厚导体的抗蚀图案 301。在本方法中,第一层厚导体提供多级线圈电感器 10 的螺旋线圈 11 和部分连接件 13、电容器 20 的第二电极 22 和三维布线 30 的第一布线区 31。抗蚀图案 301 具有与螺旋线圈 11、部分连接件 13、第二电极 22 和第一布线区 31 的图案相对应的开口 301a。

[0133] 下一步,如图 25(a) 所示,通过电镀方法在抗蚀图案 301 的开口 301a 中形成第一层厚导体(螺旋线圈 11、部分连接件 13、第二电极和第一布线区 31)。在电镀过程中,向籽晶层 102 通电。之后,如图 25(b) 所示,用例如去除剂去除抗蚀图案 301。

[0134] 下一步,如图 25(c) 所示,形成用于形成焊盘的抗蚀图案 302。抗蚀图案 302 具有

开口 302a, 每个开口 302a 对应于一个焊盘 40 的图案。

[0135] 下一步, 如图 25(d) 所示, 通过电镀方法在抗蚀图案 302 的开口 302a 中形成焊盘 40。在电镀过程中, 向籽晶层 101 通电。每个焊盘 40 优选由上表面涂布有 Au 膜的 Ni 块提供。之后, 如图 26(a) 所示, 去除抗蚀图案 302, 并且在去除抗蚀图案 302 之后, 去除籽晶层 101 的暴露部分 (注意, 在图 26(a) 中或其后的图中没有示出籽晶层 101 的未暴露部分)。

[0136] 下一步, 如图 26(b) 所示, 形成用于形成第二层厚导体的抗蚀图案 303。在本方法中, 该第二层厚导体提供多级线圈电感器 10 的部分连接件 13 和三维布线 30 的第三布线区 33。抗蚀图案 33 具有对应于部分连接件 13 和第三布线 30 的开口 303a, 并且形成为在开口 303a 中暴露部分第一层厚导体。抗蚀图案 303 用作在第二层厚导体上形成第三层厚导体的牺牲层。在本方法中, 第三层厚导体提供多级线圈电感器 10 的螺旋线圈 12 和部分连接件 13 以及三维布线 30 的第二布线区 32。

[0137] 下一步, 如图 26(c) 所示, 形成籽晶层 304 (用粗实线表示) 以覆盖抗蚀图案 303 的表面和在开口 303a 中暴露的第一层厚导体的表面。

[0138] 下一步, 如图 26(d) 所示, 形成用于形成第三层厚导体的抗蚀图案 305。抗蚀图案 305 具有对应于多级线圈电感器 10 的螺旋线圈 12 和部分连接件 13 以及三维布线 30 的第二布线 32 的开口 305a。

[0139] 下一步, 如图 27(a) 所示, 通过电镀方法在抗蚀图案 303 的开口 303a 中形成第二层厚导体 (部分连接件 13 和第三布线区 33), 而在抗蚀图案 305 的开口 305a 中形成第三层厚导体 (螺旋线圈 12、部分连接件 13 和第二布线区 32)。在电镀过程中, 向籽晶层 304 通电。

[0140] 下一步, 如图 27(b) 所示, 去除抗蚀图案 305, 并且在去除抗蚀图案 305 之后, 去除籽晶层 304 的暴露部分 (注意, 在图 27(b) 或其后的图中没有示出籽晶层 304 的未暴露部分)。

[0141] 下一步, 如图 27(c) 所示, 去除抗蚀图案 303。在去除抗蚀图案 303 之后, 优选地, 用选自抗蚀膜和磁性膜的膜涂布多级线圈电感器 10 的暴露部分和 / 或三维布线 30 的暴露部分, 或者用包括所选膜的多层膜进行涂布。至此, 通过如上所述的步骤, 能够在衬底 S 上形成多级线圈电感器 10、电容器 20、三维布线 30 和焊盘 40, 从而制造上述第一改型。

[0142] 图 28(a) 至图 32(d) 示出制造上述第二改型的方法。这是一种使用体型微加工技术制造第二改型的方法。图 28(a) 至图 32(d) 均给出横截面图, 以示出图 32(d) 所示的元件, 即多级线圈电感器 10、电容器 20、两个焊盘 40 和三维布线 30 的形成过程, 以及它们是如何连接的。横截面包括在单块材料衬底中所包含的多个区域, 由该材料衬底形成单一集成电子器件。这一系列的横截面图是说明性的顺序描述。多级线圈电感器 10 代表多级线圈电感器 10A、10B, 焊盘 40 代表焊盘 40A 至 40D。

[0143] 在本方法中, 首先, 如图 28(a) 所示, 在衬底 S 上形成电容器 20 的第一电极 21。下一步, 如图 28(b) 所示, 在第一电极 21 上形成电容器 20 的介电层 23。下一步, 如图 28(c) 所示, 在衬底 S 上形成用于电镀的籽晶层 101, 其覆盖第一电极 21 和介电层 23。这些过程与上面参照图 10(a) 至图 10(c) 所述的过程相同。

[0144] 下一步, 如图 28(d) 所示, 形成用于形成第一层厚导体的抗蚀图案 401。在本方法中, 第一层厚导体提供多级线圈电感器 10 的螺旋线圈 11 和部分连接件 13、电容器 20 的第

二电极 22 和三维布线 30 的第一布线区 31。抗蚀图案 401 具有与螺旋线圈、部分连接件 13、第二电极和第一布线区 31 的图案相对应的开口 401a。

[0145] 下一步,如图 29(a) 所示,通过电镀方法形成第一层厚导体(螺旋线圈 11、部分连接件 13、第二电极 22 和第一布线区 31)。在电镀过程中,向籽晶层 101 通电。之后,如图 29(b) 所示,去除抗蚀图案 401,然后去除籽晶层 101 的暴露部分(注意,在图 29(b) 或其后的图中没有示出籽晶层 101 的未暴露部分)。

[0146] 下一步,如图 29(c) 所示,形成介电膜 402。介电膜 402 具有预定的开口 402a。首先通过旋涂方法或喷涂方法制造预定的介电材料膜,然后图案化该膜,而形成介电膜 402。

[0147] 下一步,如图 29(d) 所示,形成籽晶层 403(用粗实线所示),以覆盖介电膜 402 的表面和在开口 402a 中暴露的第一层厚导体的表面。

[0148] 下一步,如图 30(a) 所示,形成用于形成第二层厚导体的抗蚀图案 404。在本方法中,第二层厚导体提供多级线圈电感器 10 的部分连接件 13 和三维布线 30 的第三布线区 33。抗蚀图案 404 具有与部分连接件 13 和三维布线 30 的第三布线区 33 的图案相对应的开口 404a。

[0149] 下一步,如图 30(b) 所示,通过电镀方法在抗蚀图案 404 的开口 404a 中形成第二层厚导体(部分连接件 13 和第三布线区 33)。在电镀过程中,向籽晶层 403 通电。之后,如图 30(c) 所示,去除抗蚀图案 404。

[0150] 下一步,如图 30(d) 所示,形成用于形成焊盘的抗蚀图案 405。抗蚀图案 405 具有开口 405a,每个开口 405a 对应于一个焊盘 40 的图案。

[0151] 下一步,如图 31(a) 所示,通过电镀方法在抗蚀图案 405 的开口 405a 中形成焊盘 40。在电镀过程中,向籽晶层 403 通电。每个焊盘 40 优选由上表面涂布有 Au 膜的 Ni 块提供。之后,如图 31(b) 所示,去除抗蚀图案 405,并且在去除抗蚀图案 405 之后,去除籽晶层 403 的暴露部分(注意,在图 31(b) 或其后的图中没有示出籽晶层 403 的未暴露部分)。

[0152] 下一步,如图 31(c) 所示,形成抗蚀图案 406。抗蚀图案 406 用作在第二层厚导体上形成第三层厚导体的牺牲层,并具有与第二层厚导体的图案相对应的开口 406a。在本方法中,第三层厚导体提供多级线圈电感器 10 的螺旋线圈 12 和部分连接件 13 以及三维布线 30 的第二布线区 32。抗蚀图案 406 形成为在开口 406a 中暴露部分第二层厚导体。

[0153] 下一步,如图 31(d) 所示,形成籽晶层 407(用粗实线表示)以覆盖抗蚀图案 406 的表面和在开口 406a 中暴露的第二层厚导体的表面。

[0154] 下一步,如图 32(a) 所示,形成用于形成第三层厚导体的抗蚀图案 408。抗蚀图案 408 具有对应于多级线圈电感器 10 的螺旋线圈 12 和部分连接件 13 以及三维布线 30 的第二布线区 32 的开口 408a。

[0155] 下一步,如图 32(b) 所示,通过电镀方法在抗蚀图案 408 的开口 408a 中形成第三层厚导体(螺旋线圈 12、部分连接件 13 和第二布线区 32)。在电镀过程中,向籽晶层 407 通电。

[0156] 下一步,如图 32(c) 所示,去除抗蚀图案 408,并且在去除抗蚀图案 408 之后,去除籽晶层 407 的暴露部分(注意,在图 32(c) 或其后的图中没有示出籽晶层 407 的未暴露部分)。

[0157] 下一步,如图 32(d) 所示,去除抗蚀图案 406。在去除抗蚀图案 406 之后,用选自抗

蚀膜和磁性膜的膜涂布多级线圈电感器 10 的暴露部分和 / 或三维布线 30 的暴露部分,或者用包括所选膜的多层膜进行涂布。至此,通过按照 如上所述的步骤,能够在衬底 S 上形成多级线圈电感器 10、电容器 20、三维布线 30 和焊盘 40,从而制造上述第二改型。

[0158] 在集成电子器件 x 中,如图 33 所示,衬底 S 可以具有凹陷区 Sa,并且在该凹陷区中可形成多级线圈电感器 10(第三改型)。这种设置适于减小集成电子器件 X 的尺寸。

[0159] 取代多级线圈电感器 10 和 / 或电容器 20,或者除了多级线圈电感器 10 和 / 或电容器 20 之外,根据本发明的集成电子器件可以包括预定的电阻器和 / 或滤波器。滤波器的例子包括 LCR 滤波器、SAW 滤波器、FBAR 滤波器和机械振动滤波器。机械振动滤波器的例子包括微机械圆盘(disc)谐振器,微机械圆环(ring)谐振器和微机械梁(beam)谐振器。

[0160] 在根据本发明的集成电子器件中,可以适当地改变多级线圈电感器 10、电容器 20 和焊盘 40 的数量、以及它们在衬底 S 上的布局和三维布线 30 的形式,从而可将图 6 中的电路结构变为图 34 和图 35 中的电路结构。另外,在根据本发明的集成电子器件中,通过适当地结合图 6、图 34 和图 35 所示的电路可以建立更复杂的电路。

[0161] 在根据本发明的集成电子器件中,多级线圈电感器 10 可以用其它类型的多级线圈电感器,例如由螺线管线圈和螺旋管线圈所提供的多级线圈电感器来取代。另外,根据本发明的集成电子器件可能包括覆盖衬底上全部结构的树脂密封剂。在这种情况下,树脂密封剂可能进入到多级线圈电感器的相邻线圈线之间的空间。树脂密封剂适于获得集成电子器件的高度可靠性。

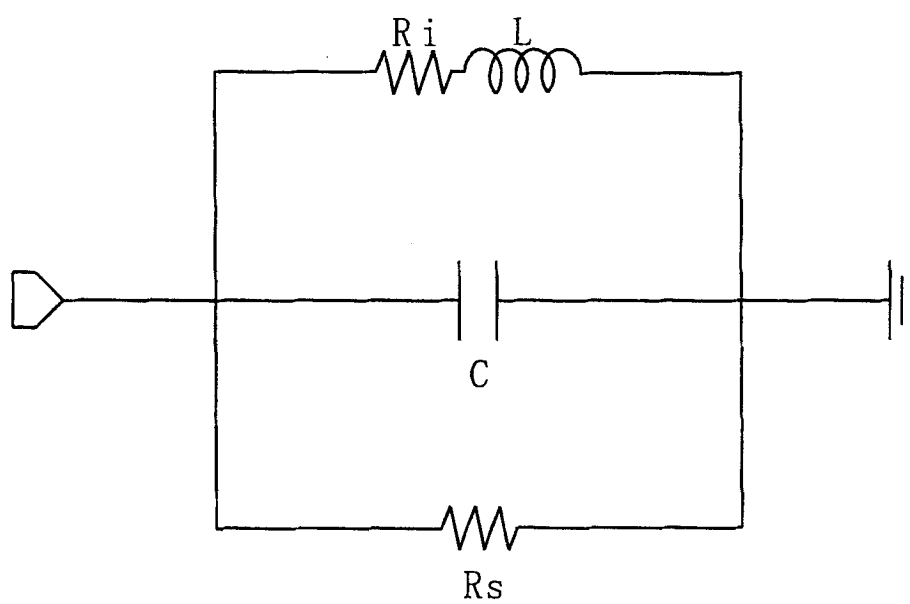


图 1

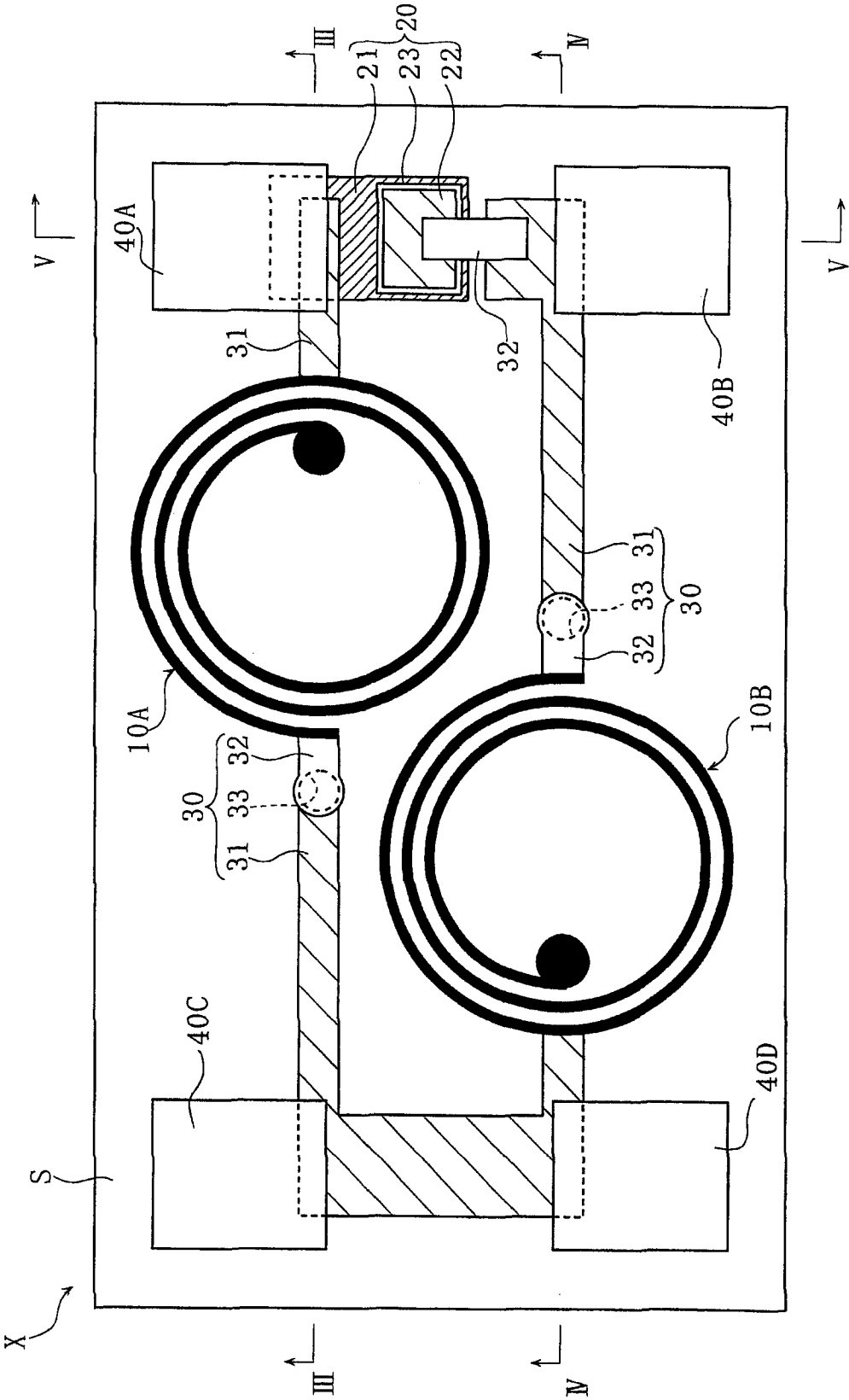


图2

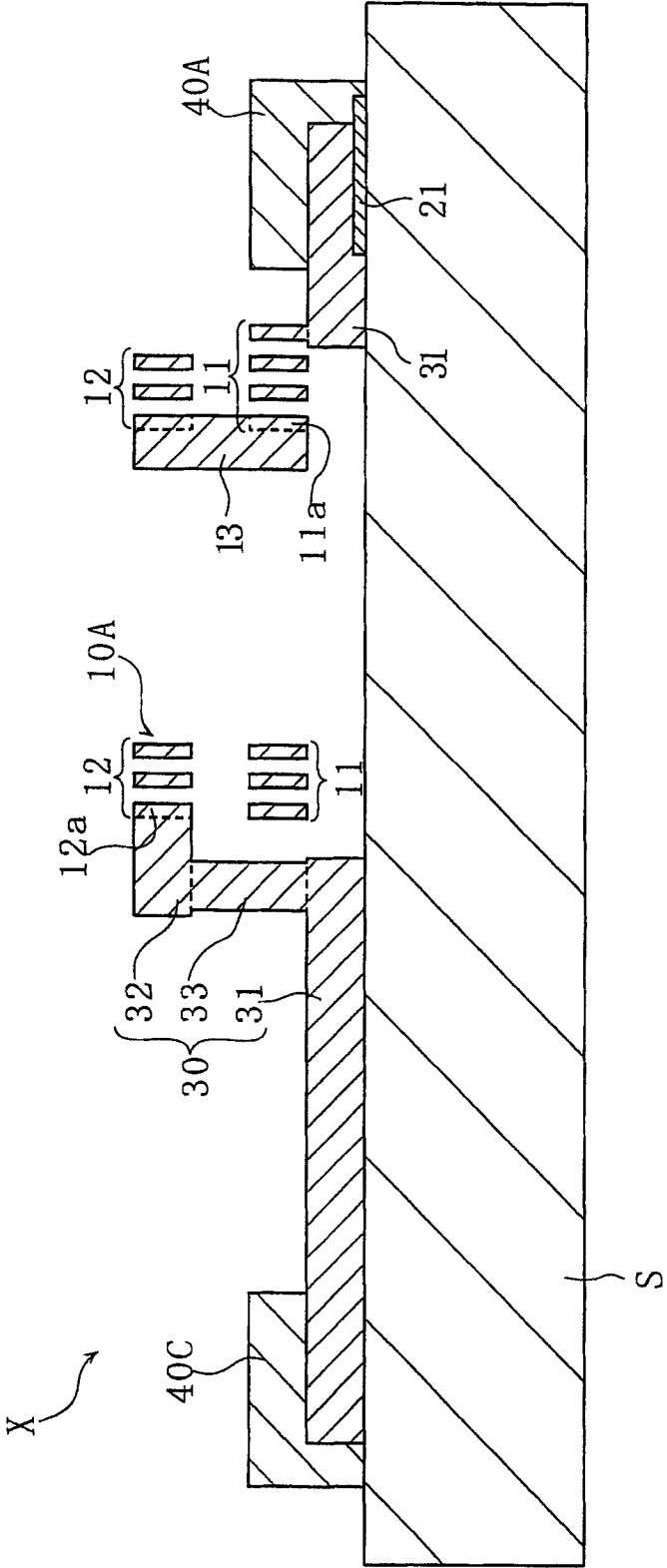


图3

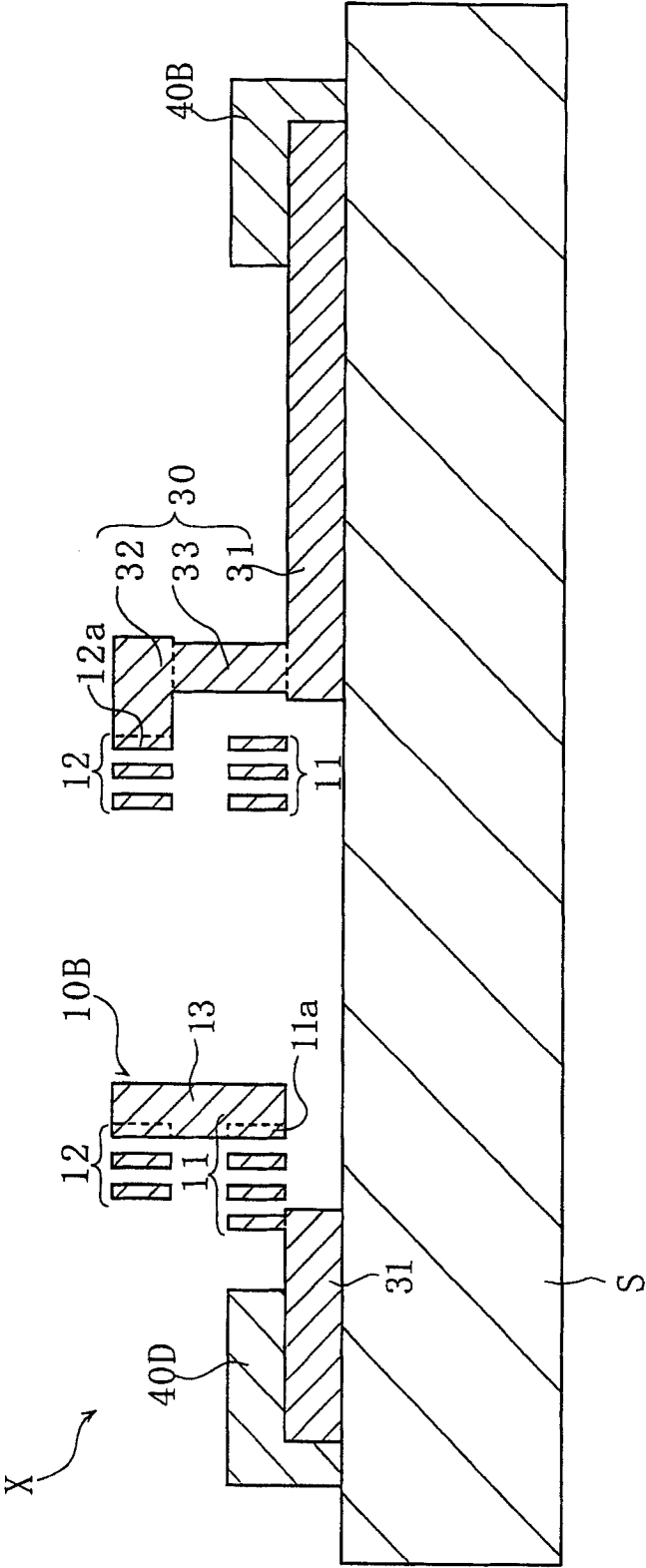


图4

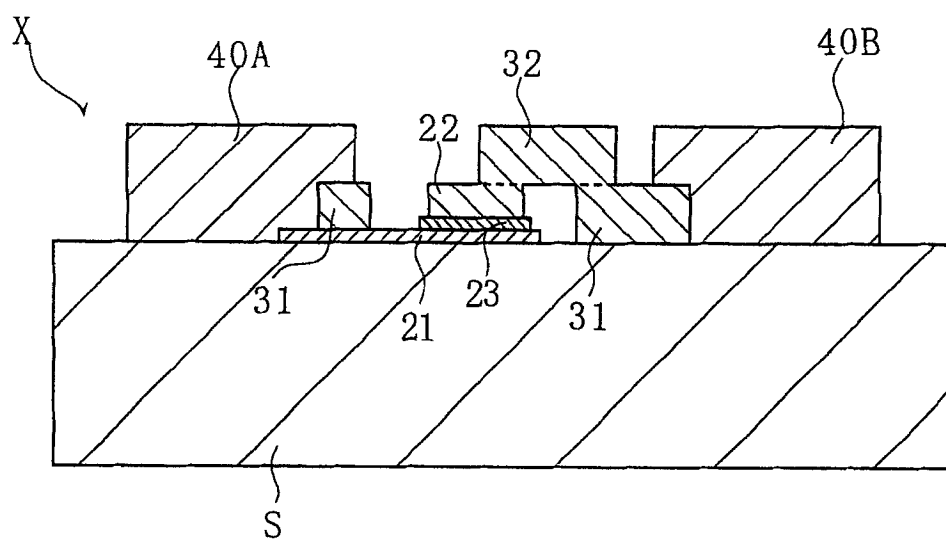


图 5

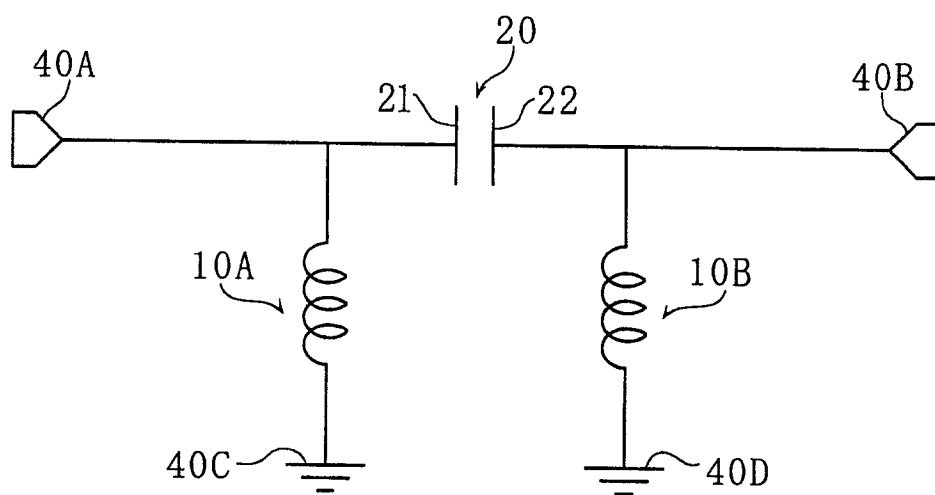


图 6

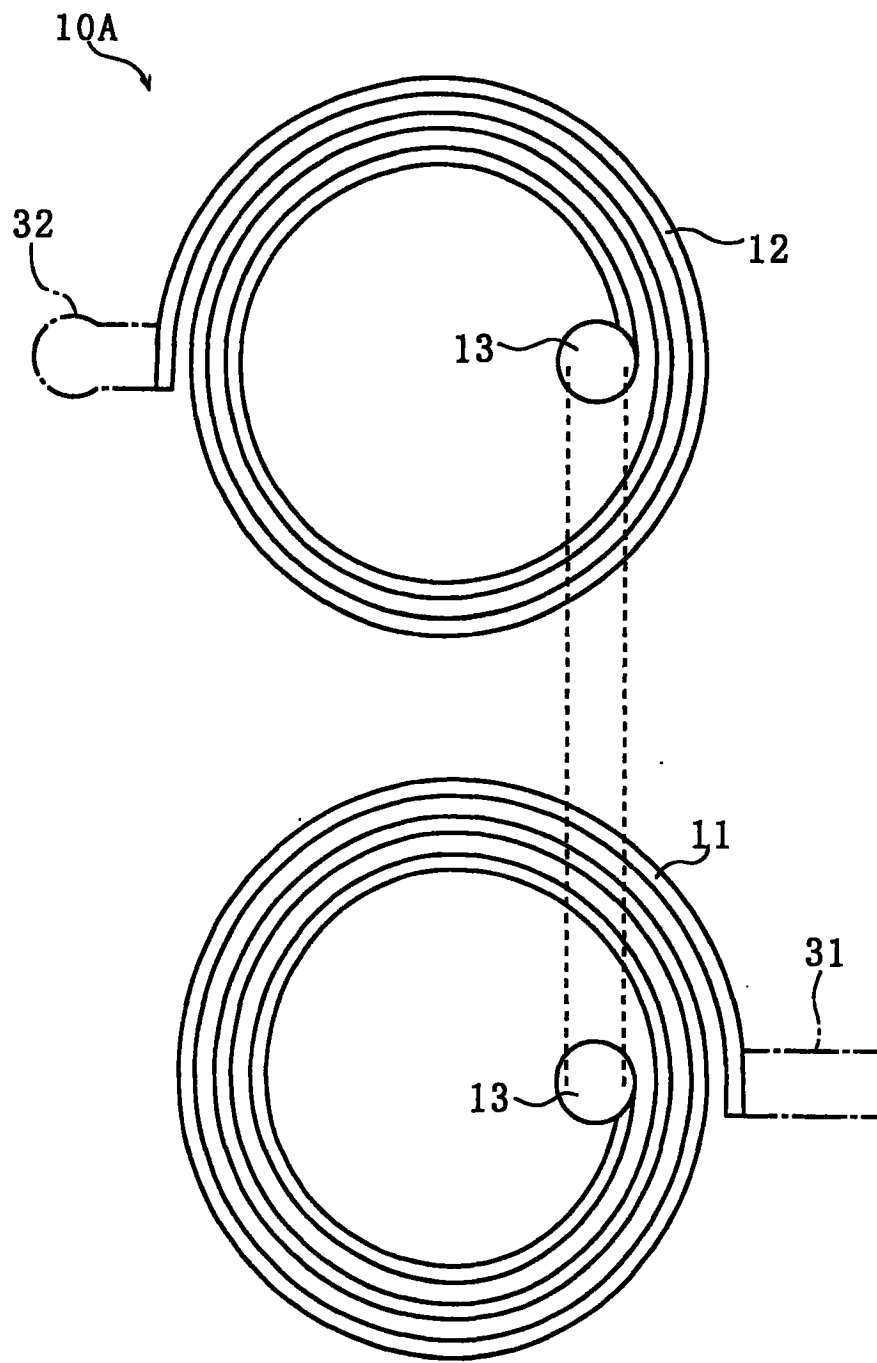


图 7

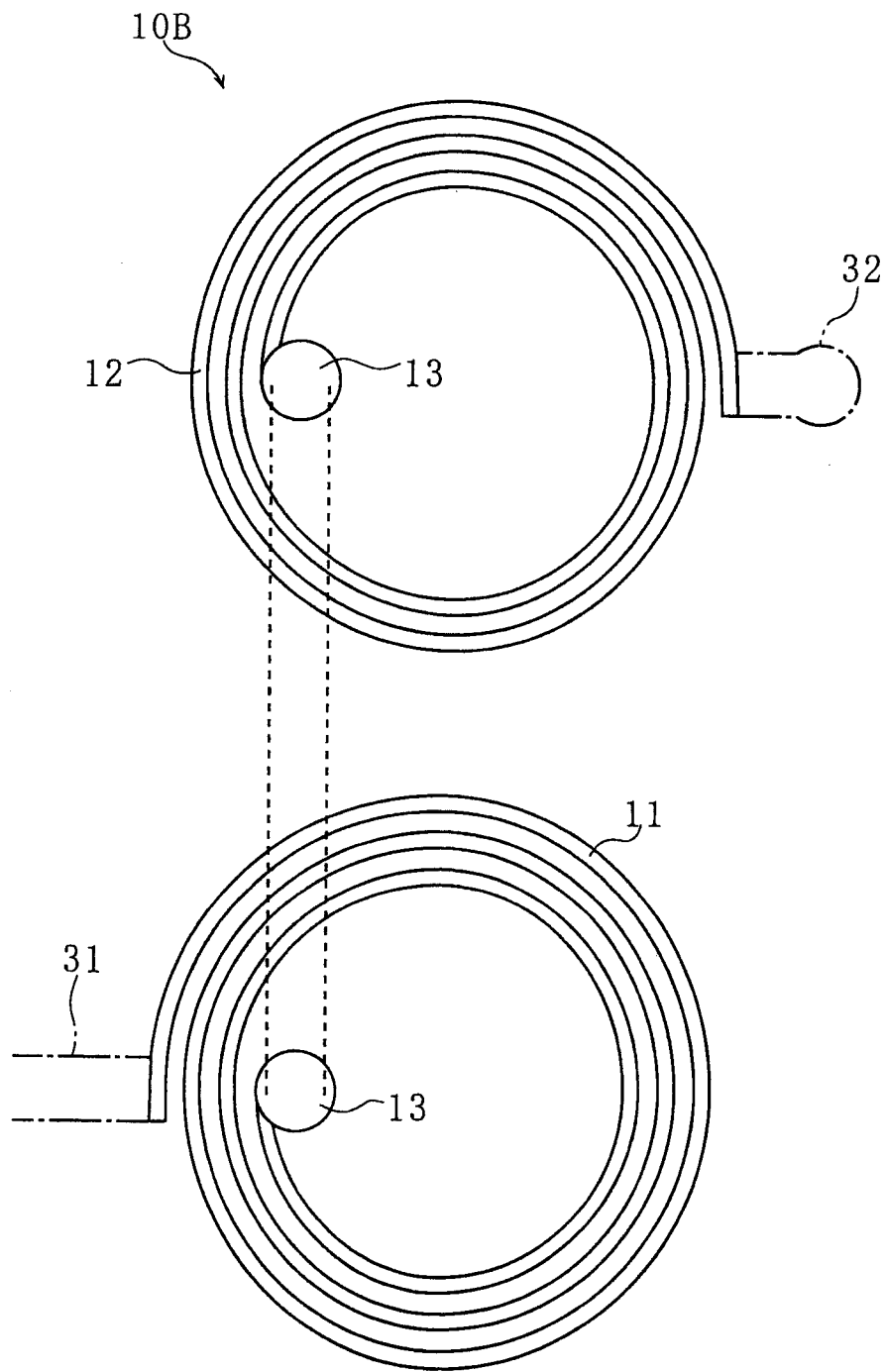


图 8

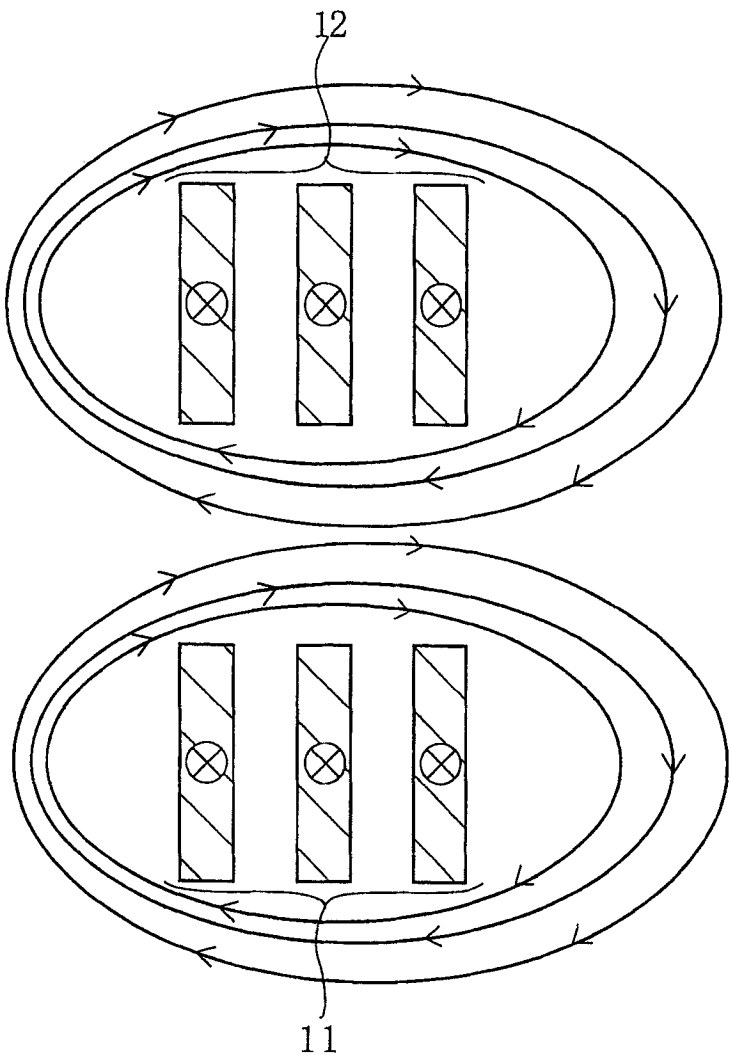


图 9

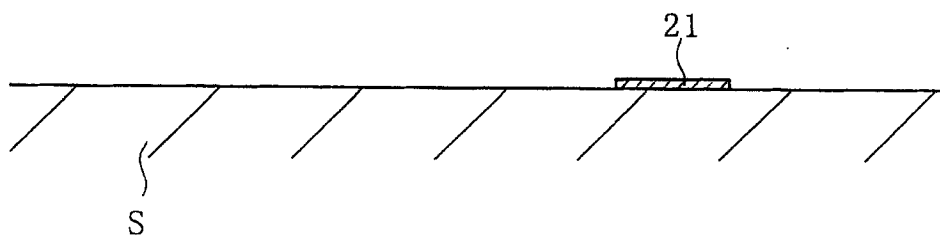


图10(a)



图10(b)

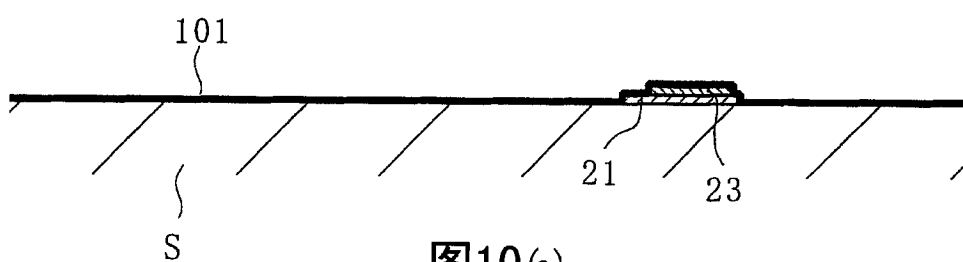


图10(c)

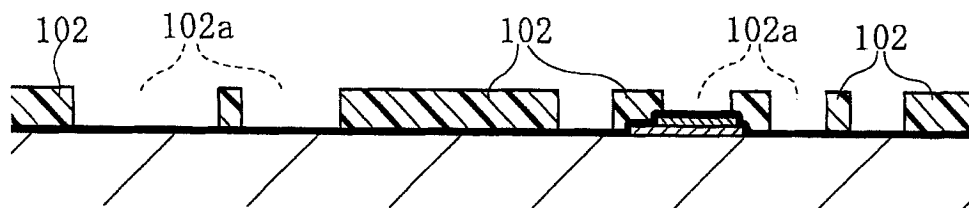


图10(d)

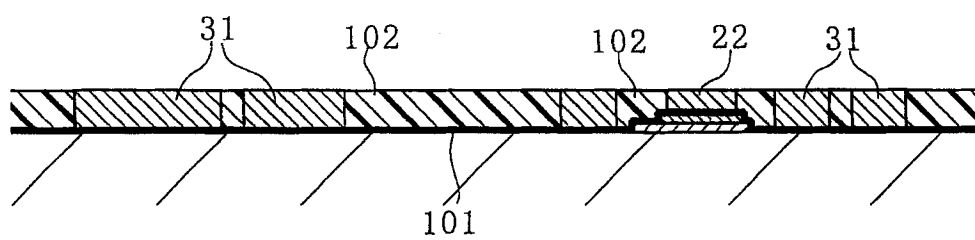


图11(a)

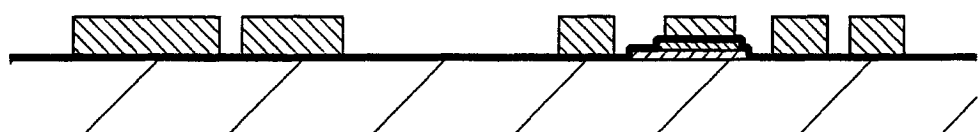


图11(b)

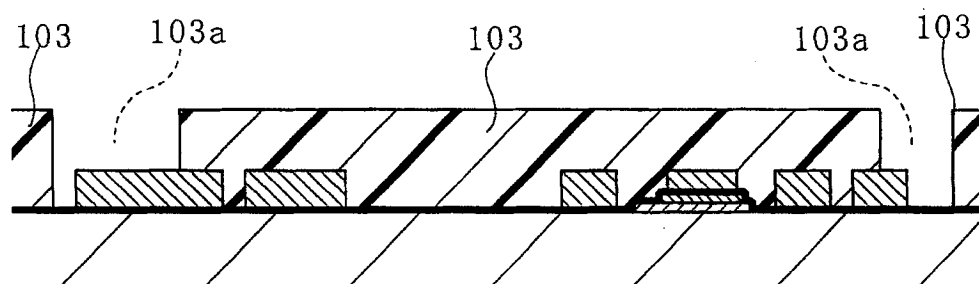


图11(c)

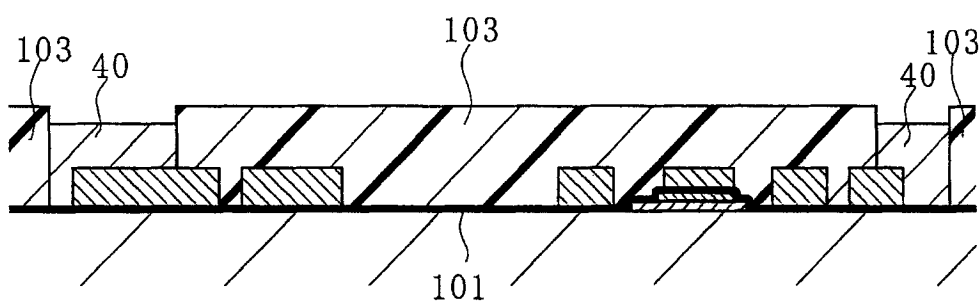


图11(d)

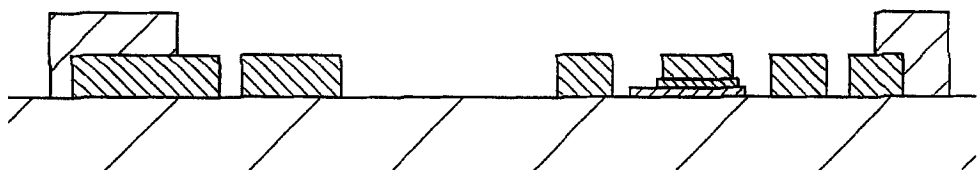


图12(a)

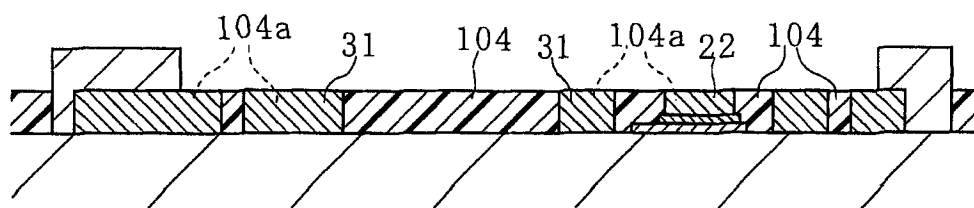


图12(b)

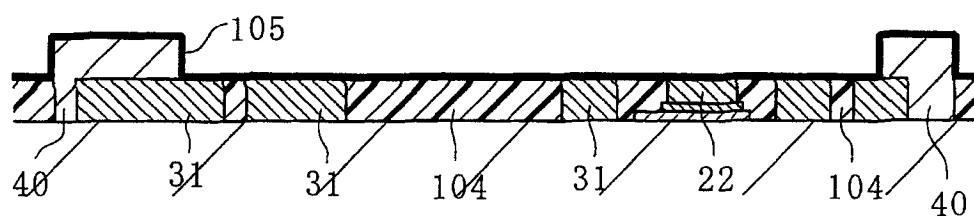


图12(c)

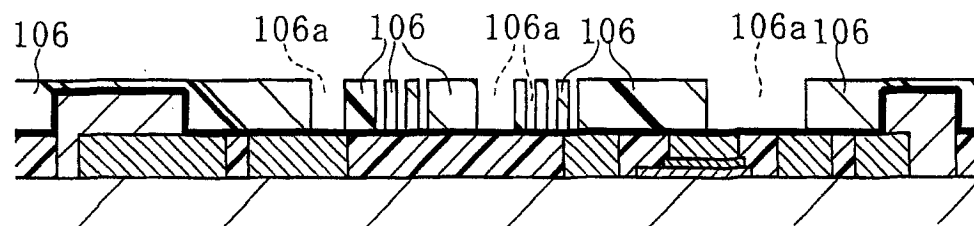


图12(d)

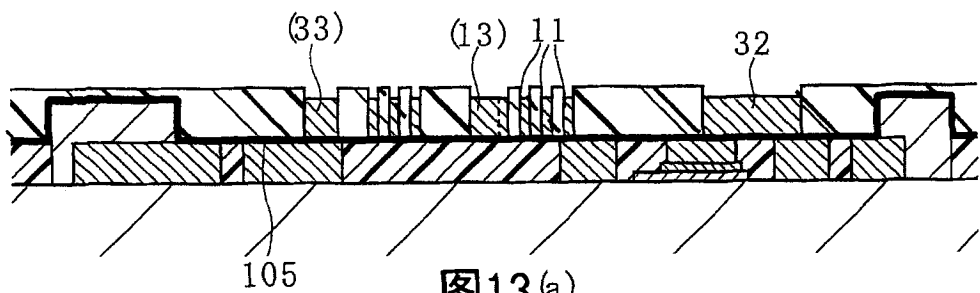


图13(a)

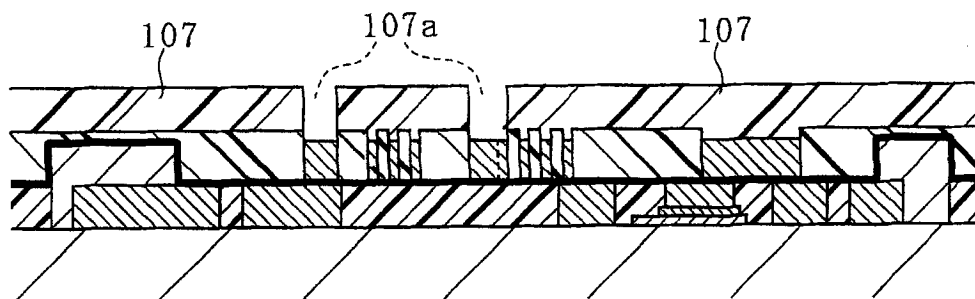


图13(b)

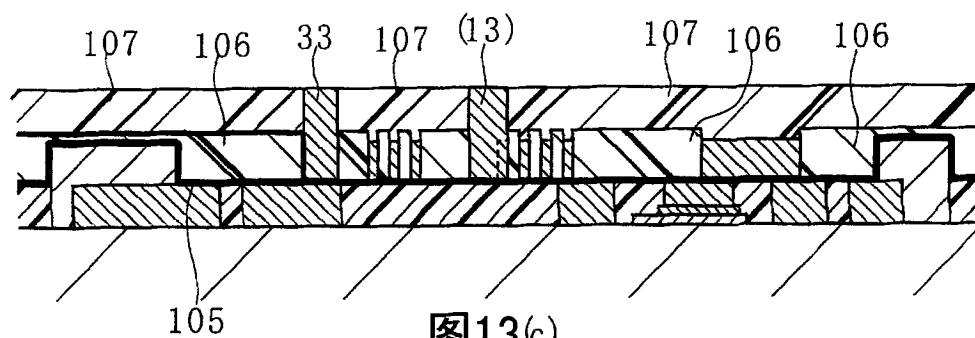


图13(c)

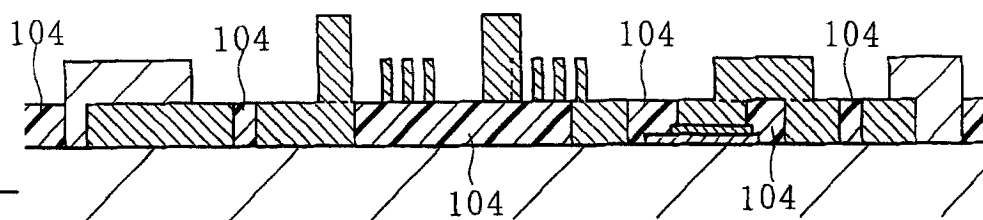


图13(d)

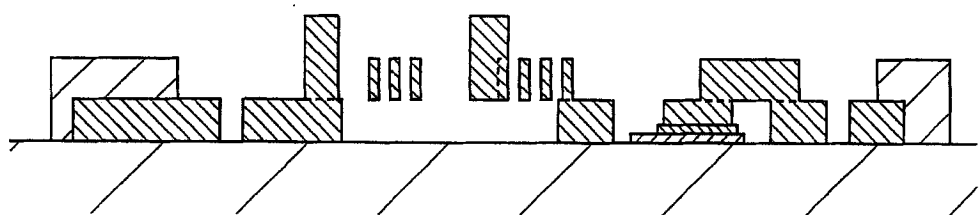


图14(a)

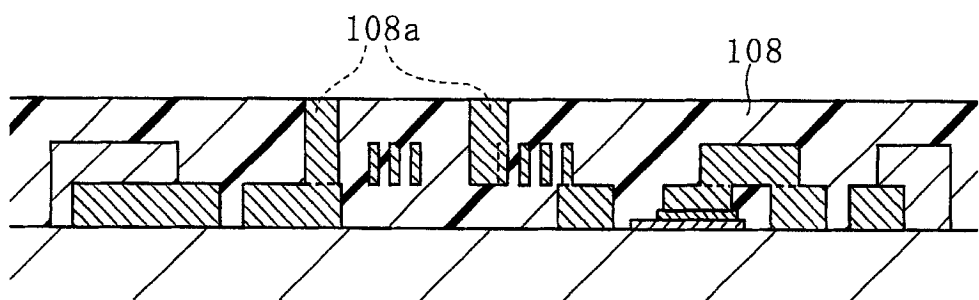


图14(b)

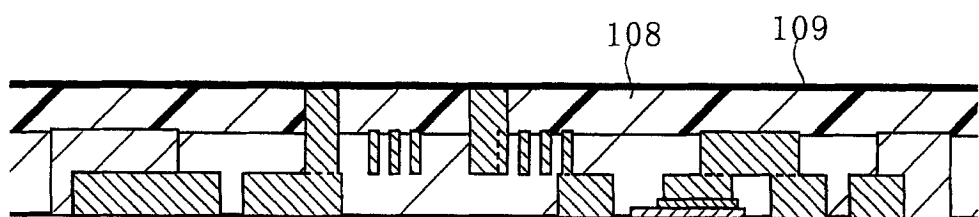


图14(c)

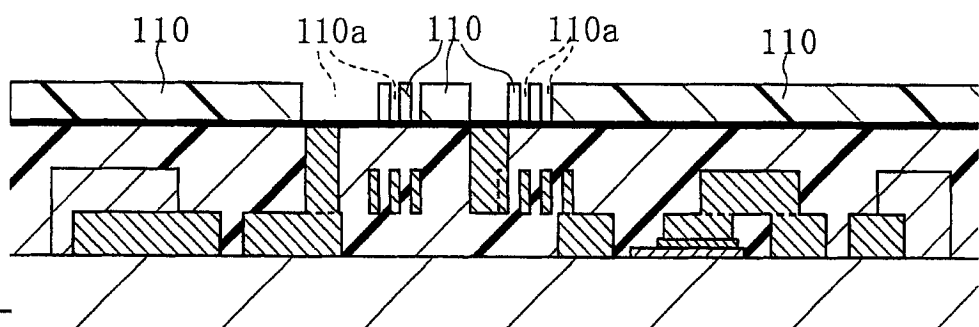


图14(d)

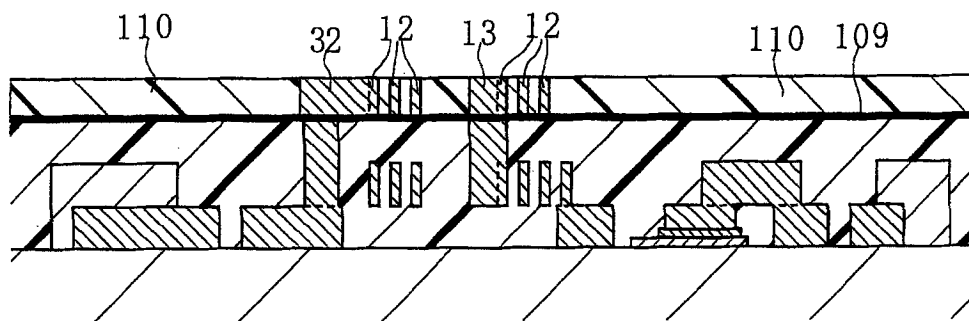


图15(a)

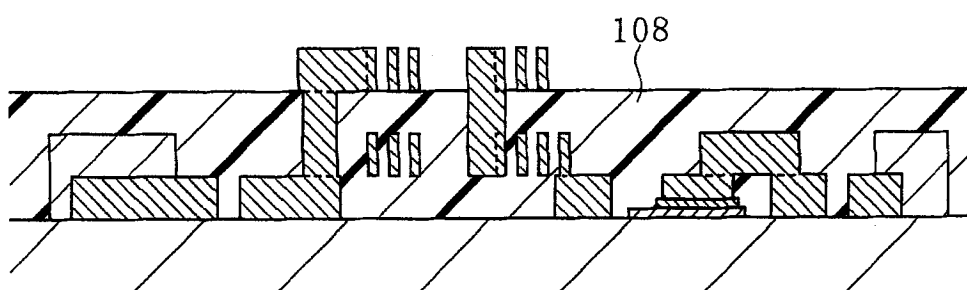


图15(b)

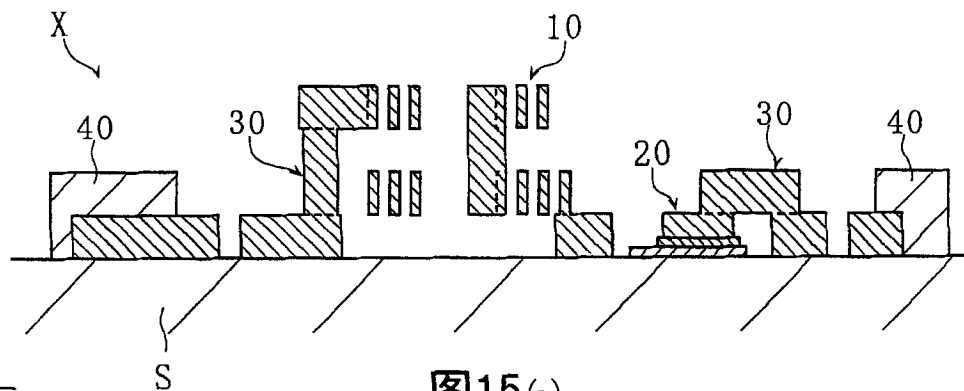


图15(c)

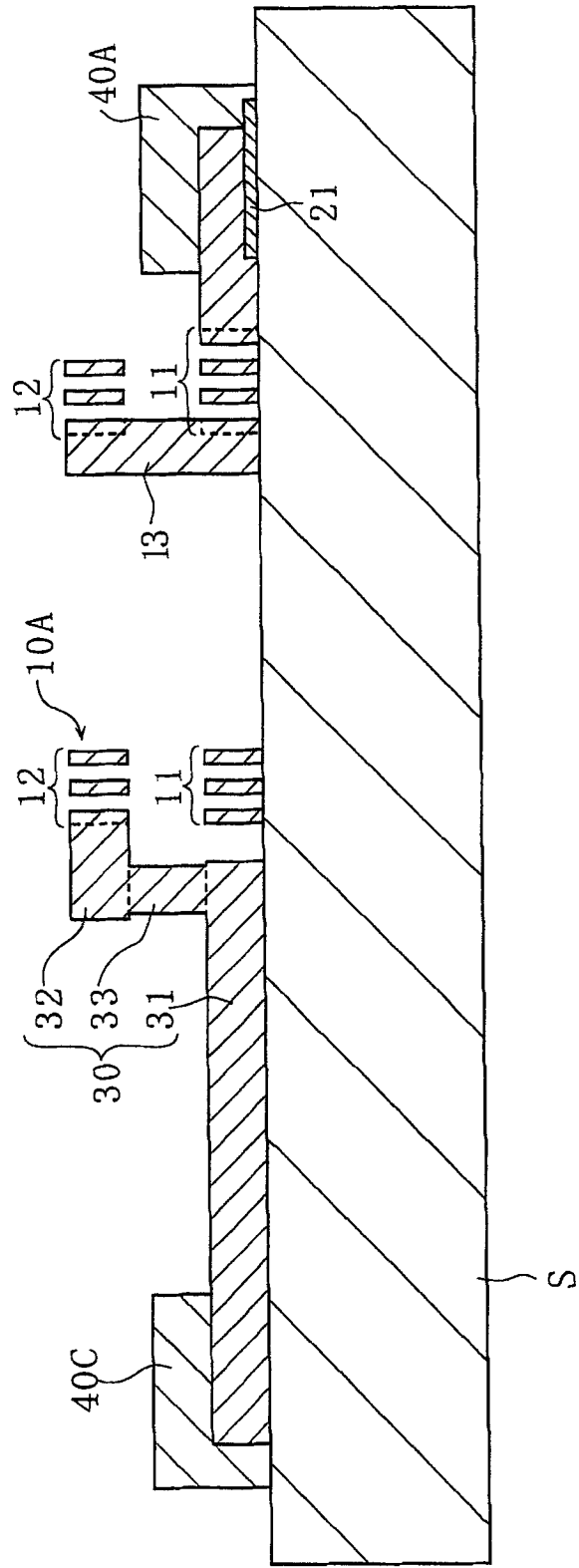


图16

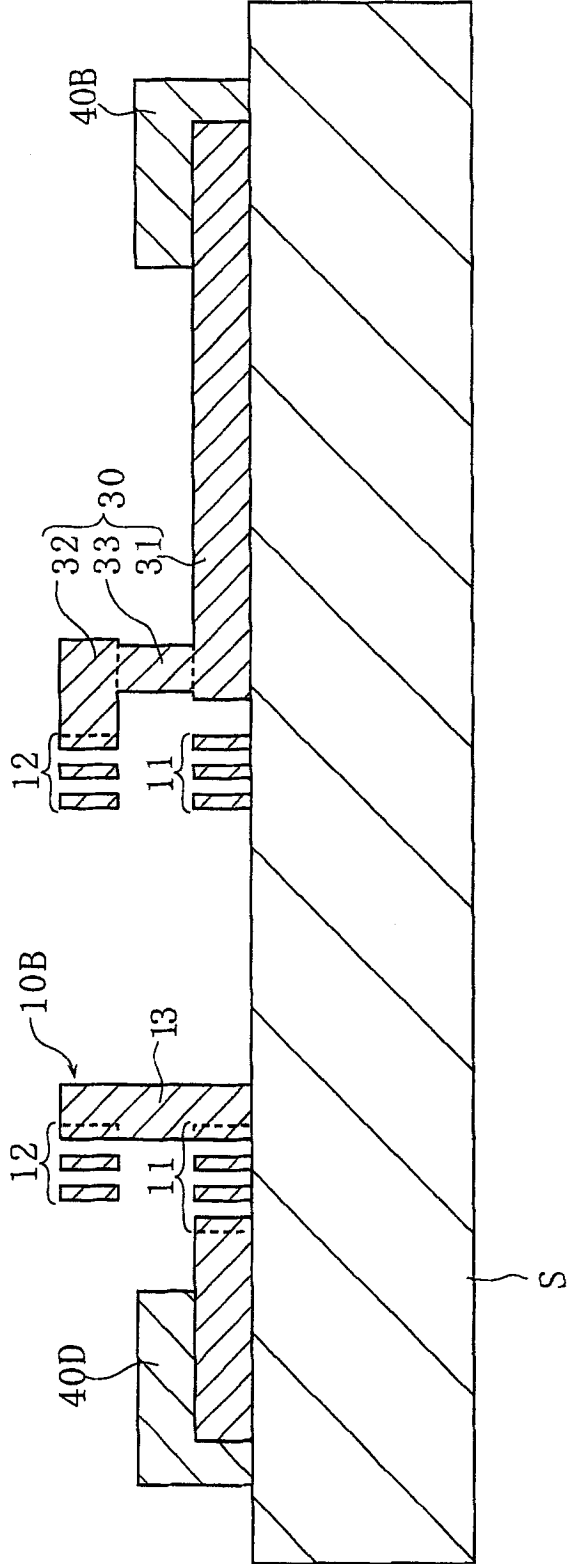


图17

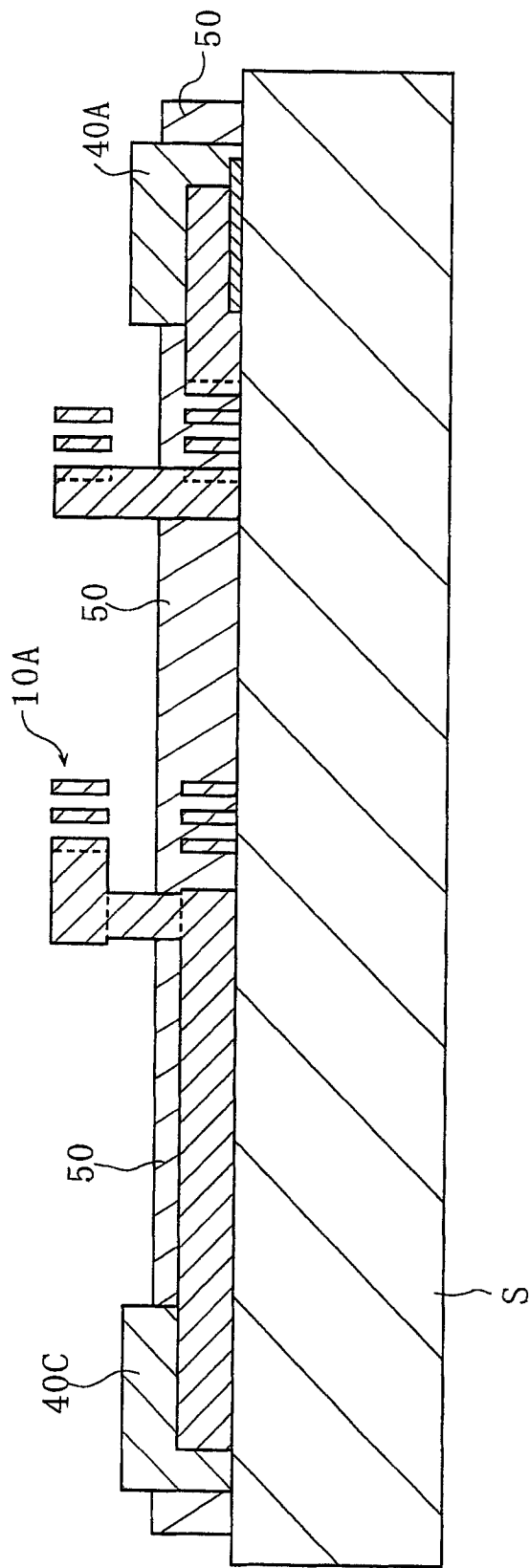


图18

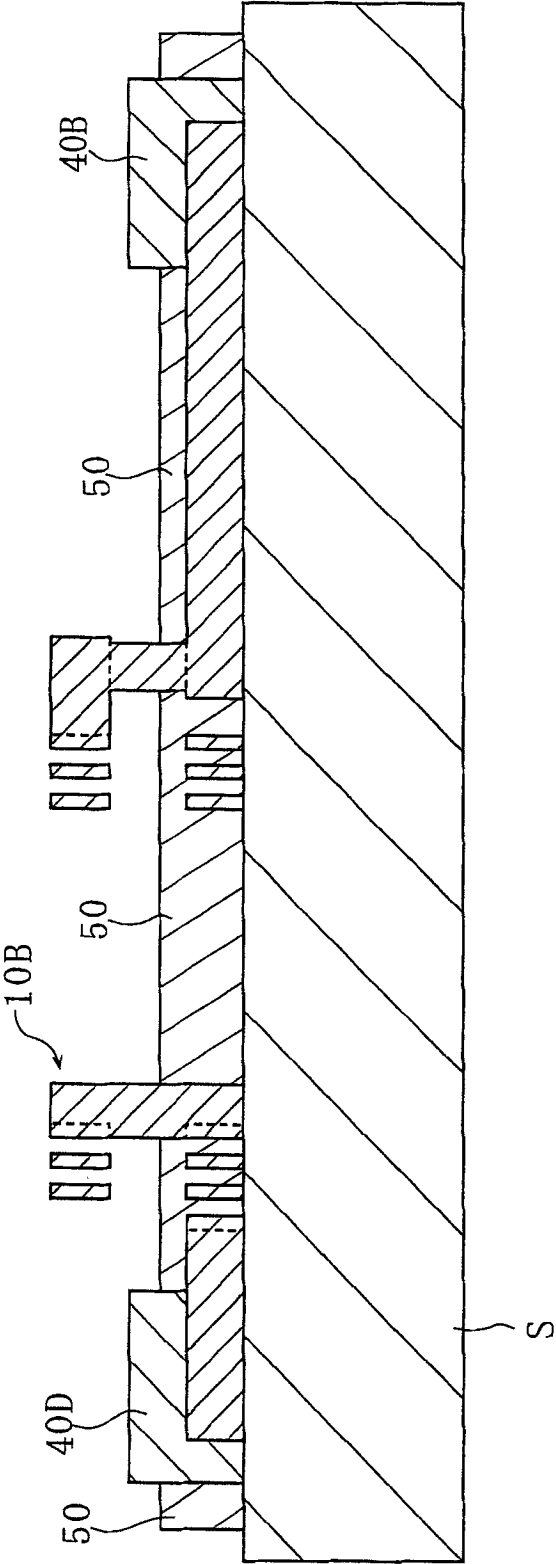


图19

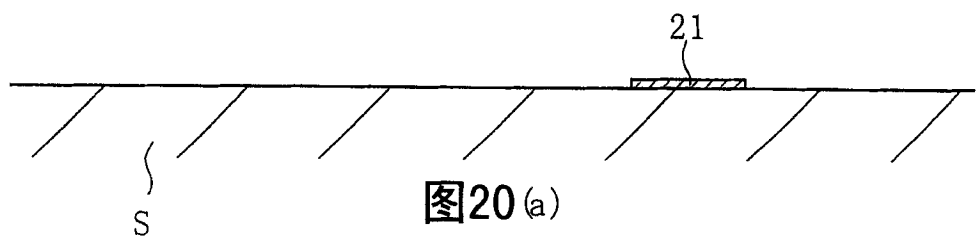


图20(a)

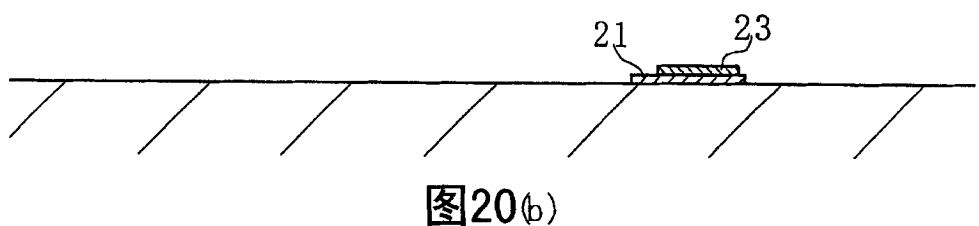


图20(b)

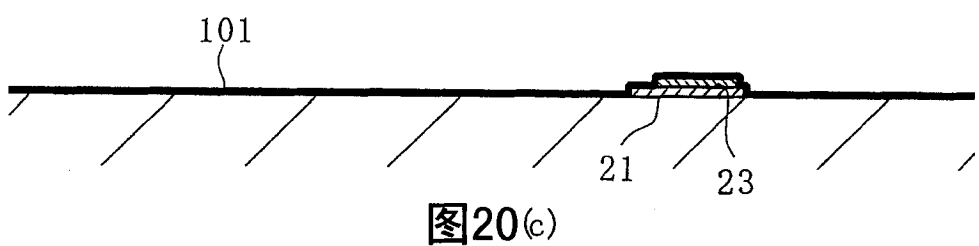


图20(c)

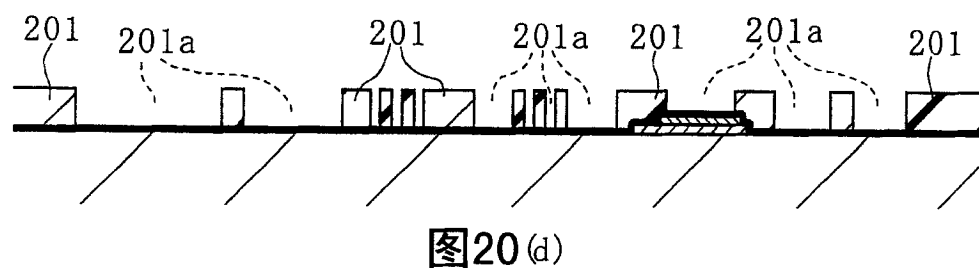


图20(d)

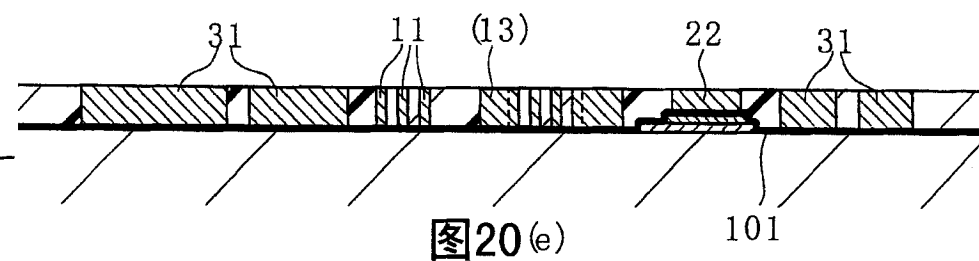


图20(e)

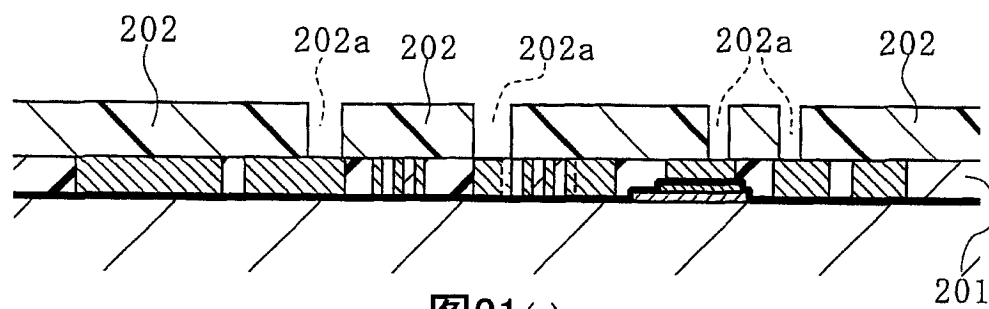


图21(a)

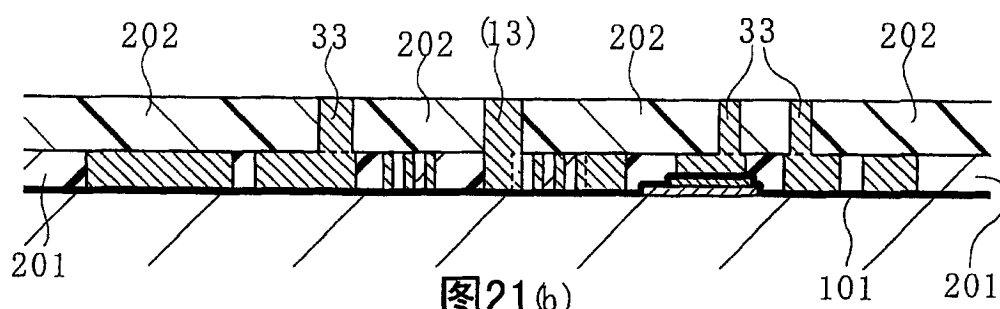


图21(b)



图21(c)

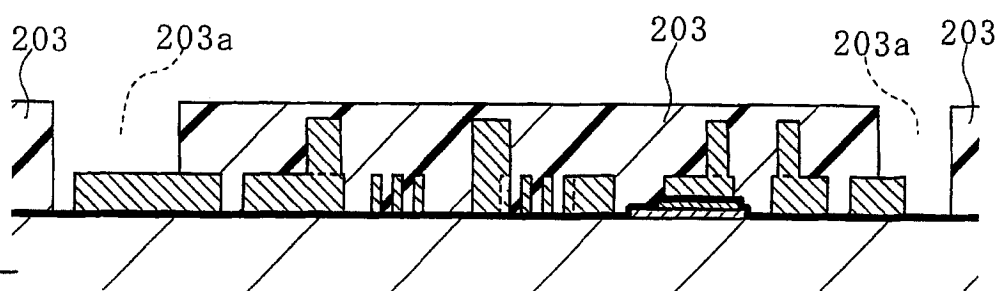


图21(d)

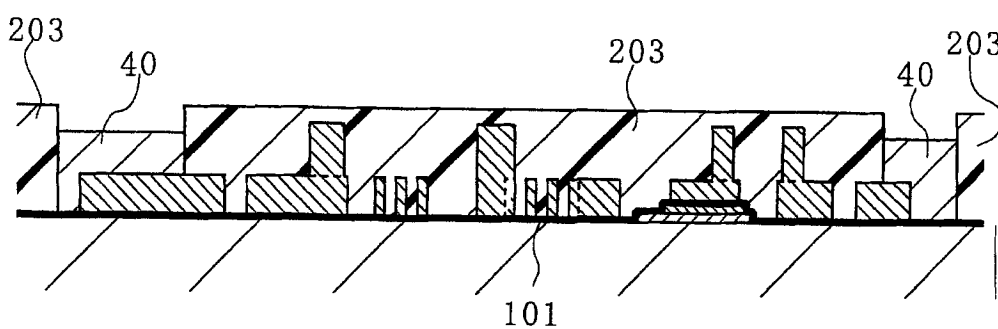


图22(a)

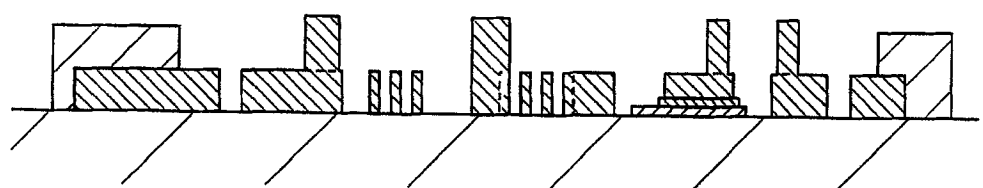


图22(b)

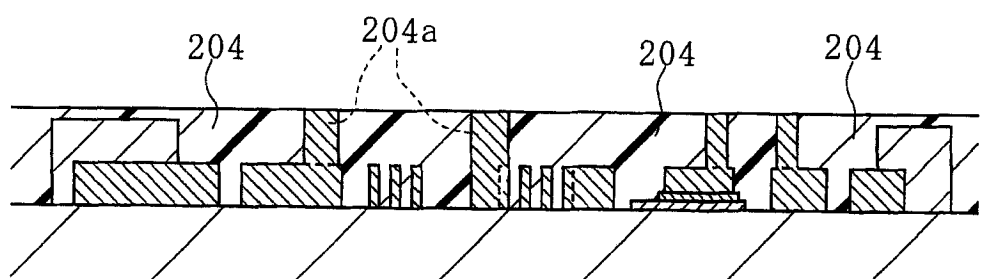


图22(c)

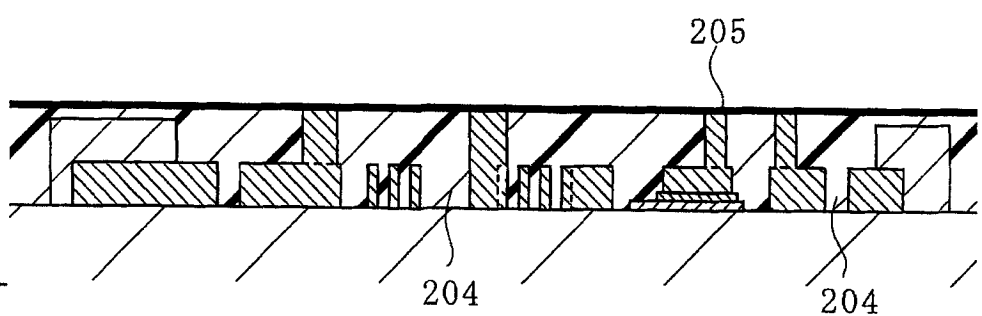


图22(d)

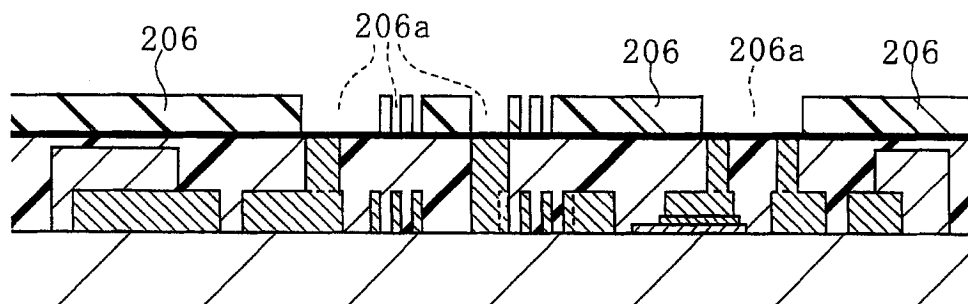


图23(a)

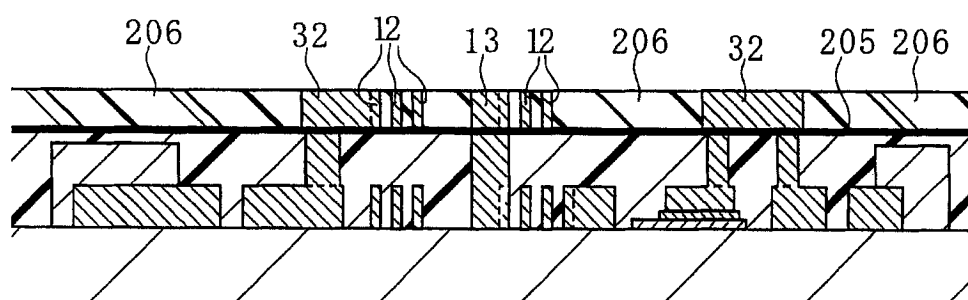


图23(b)

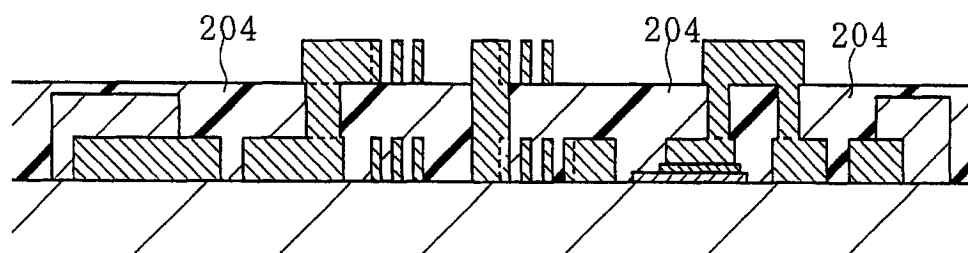


图23(c)

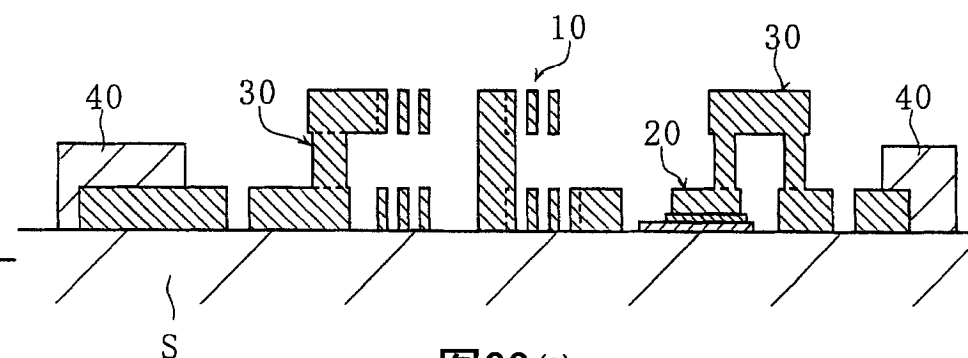


图23(d)

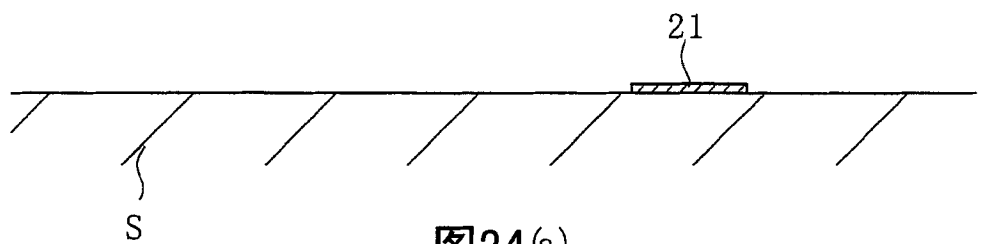


图24(a)



图24(b)

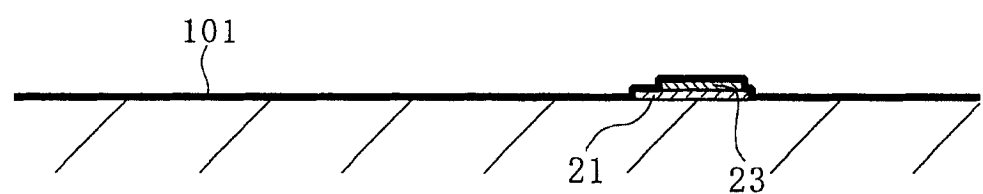


图24(c)

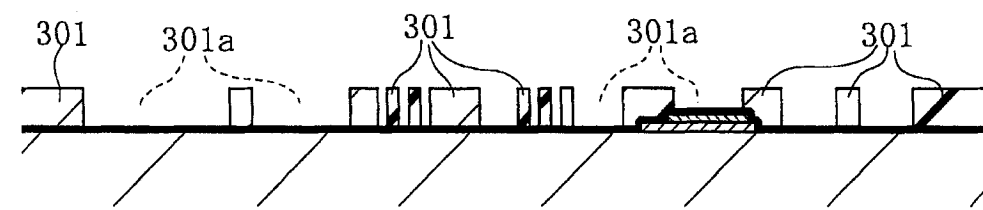


图24(d)

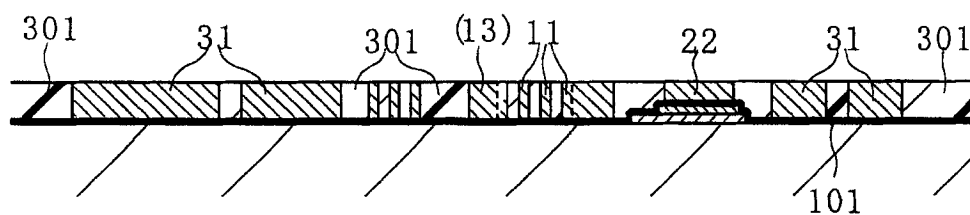


图25(a)

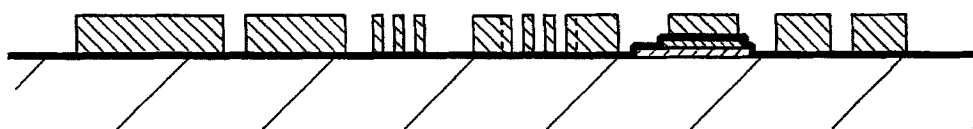


图25(b)

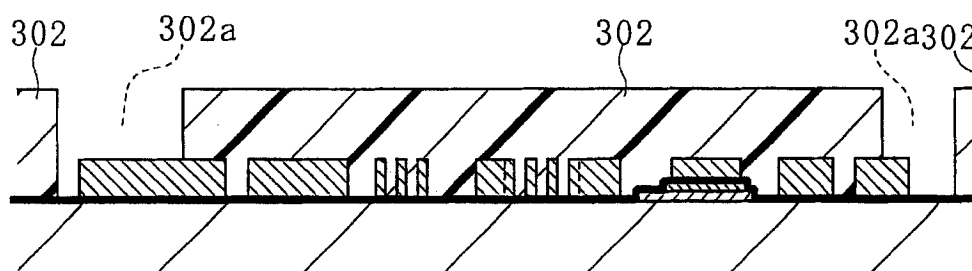


图25(c)

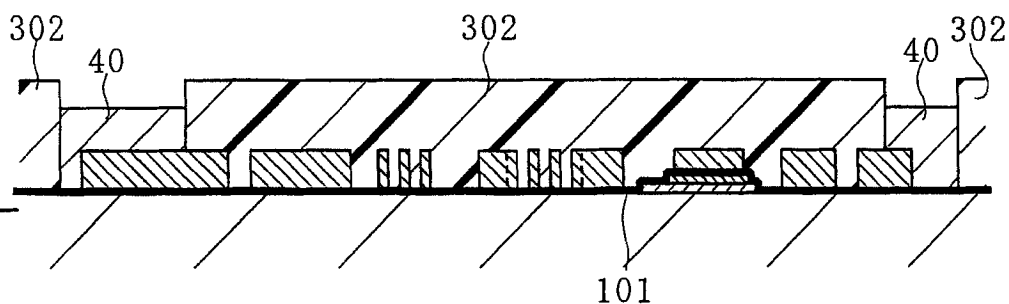


图25(d)

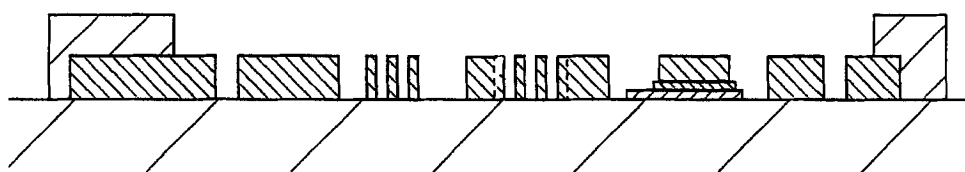


图26(a)

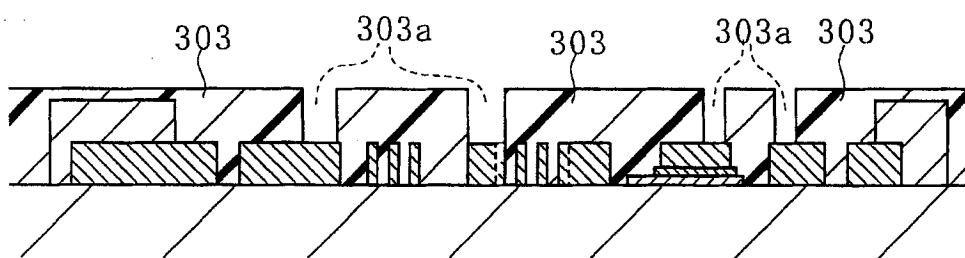


图26(b)

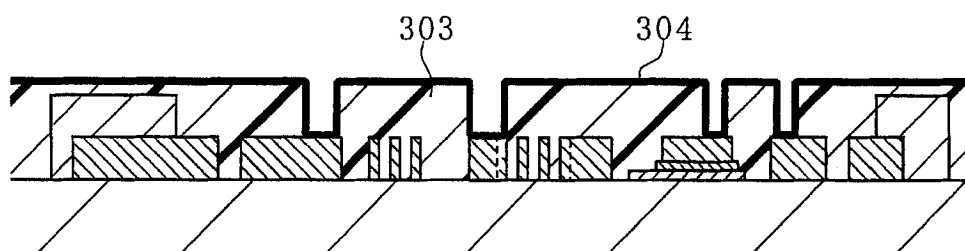


图26(c)

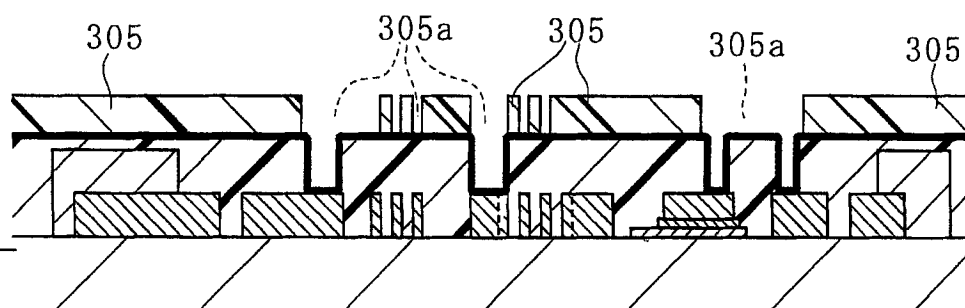


图26(d)

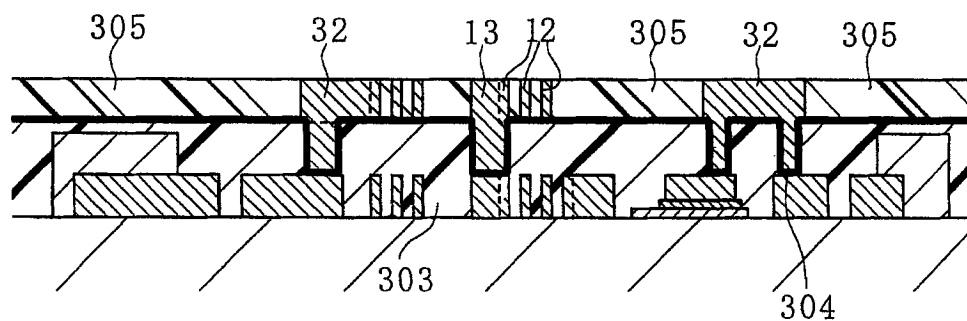


图27(a)

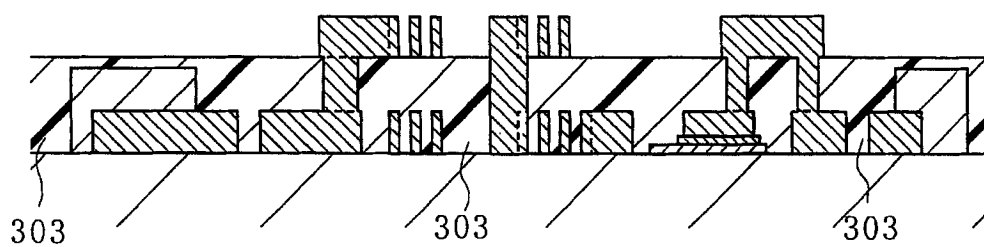


图27(b)

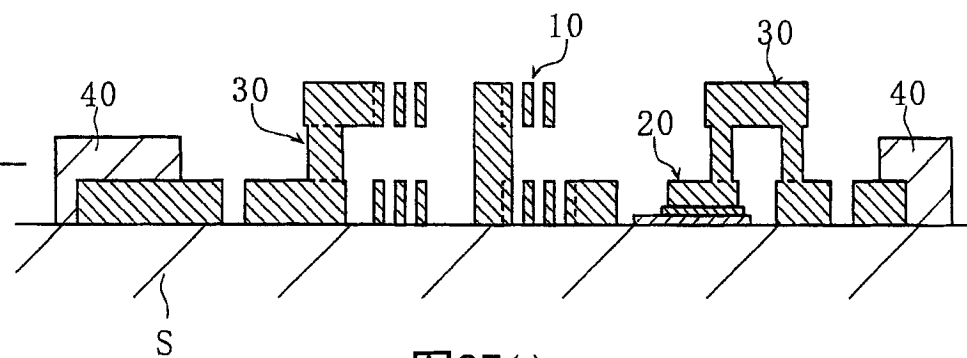


图27(c)

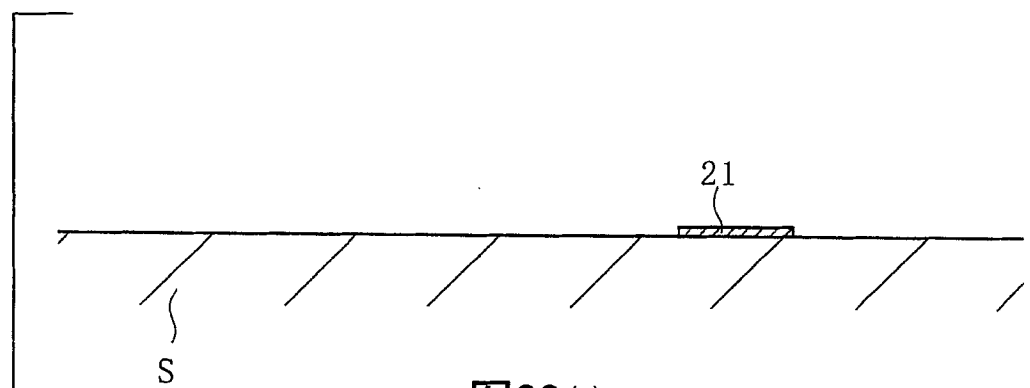


图28(a)



图28(b)

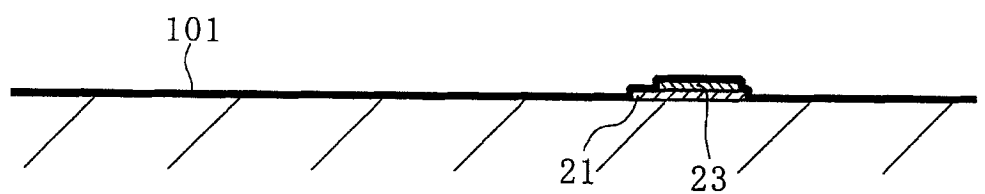


图28(c)

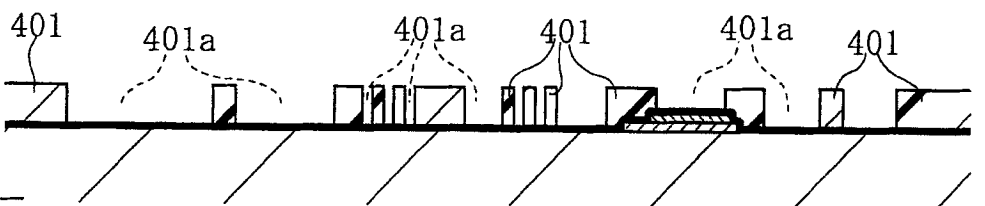


图28(d)

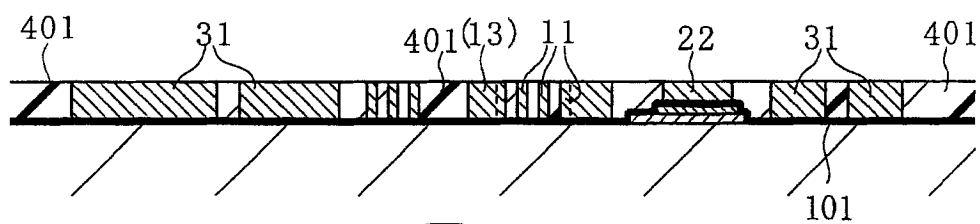


图29(a)

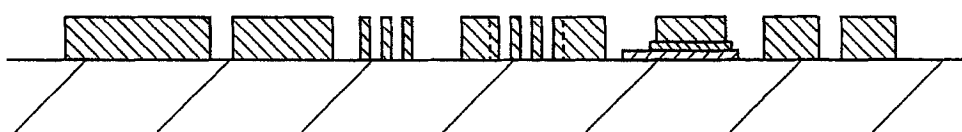


图29(b)

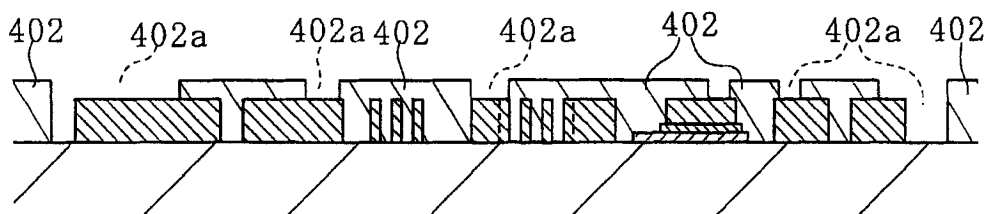


图29(c)

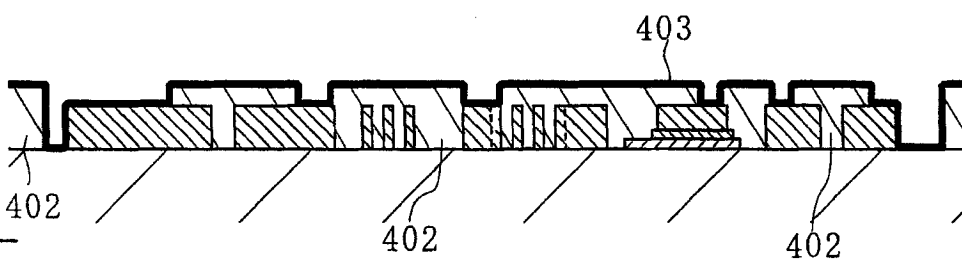


图29(d)

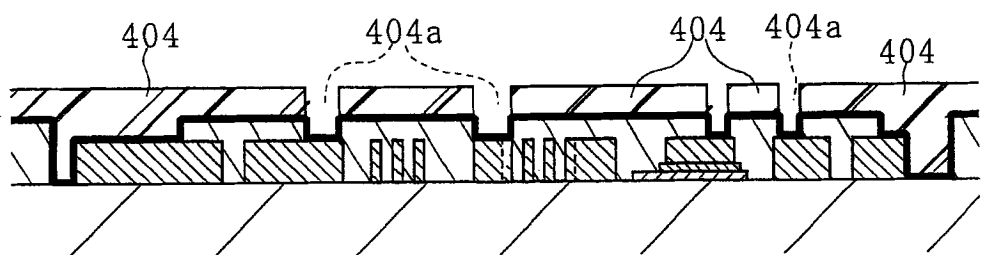


图30(a)

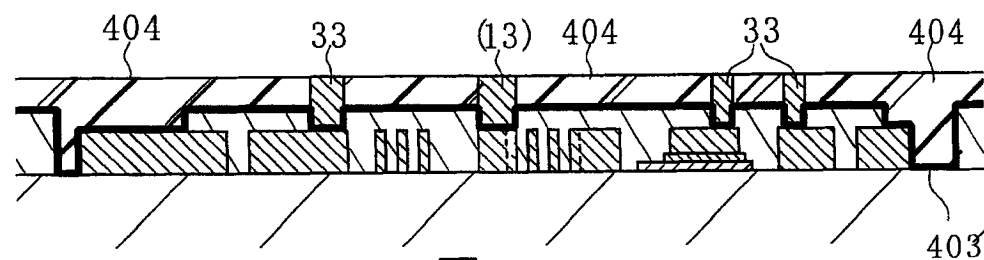


图30(b)

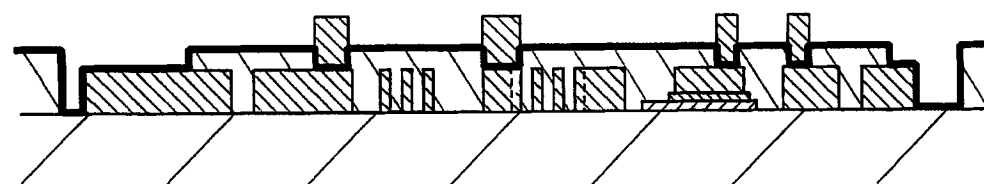


图30(c)

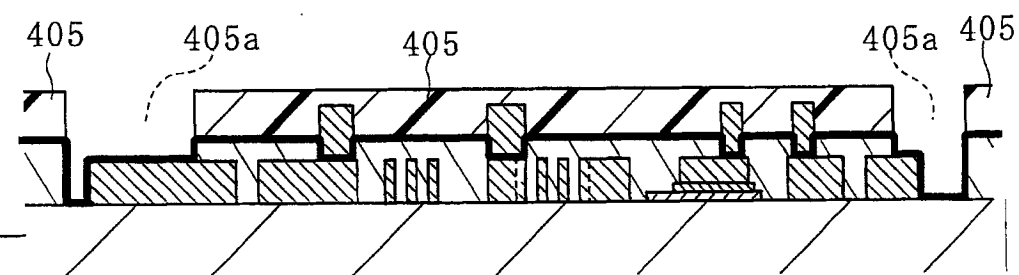


图30(d)

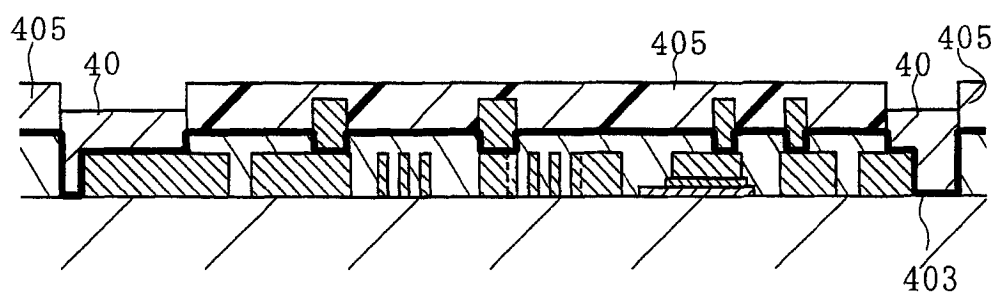


图31(a)

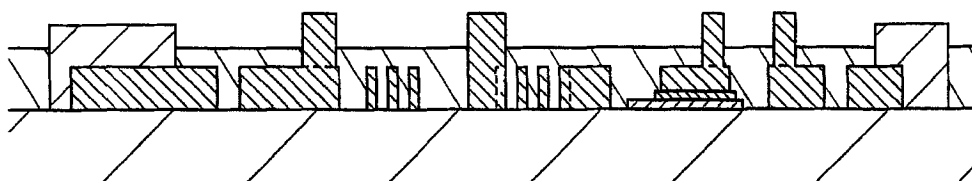


图31(b)

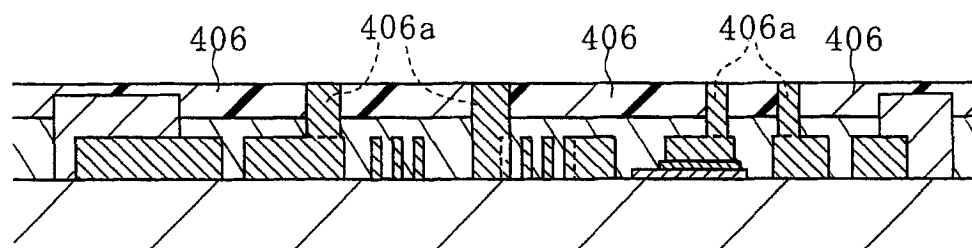


图31(c)

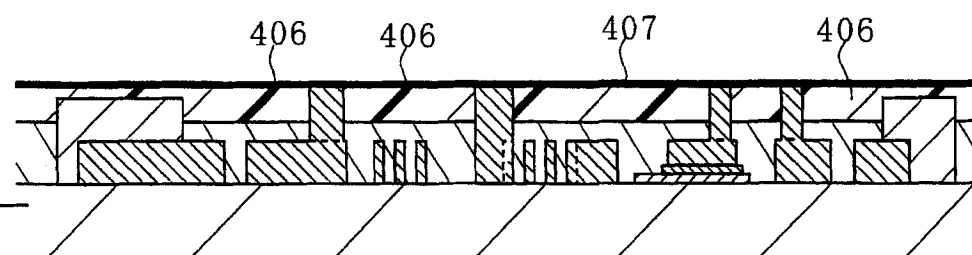


图31(d)

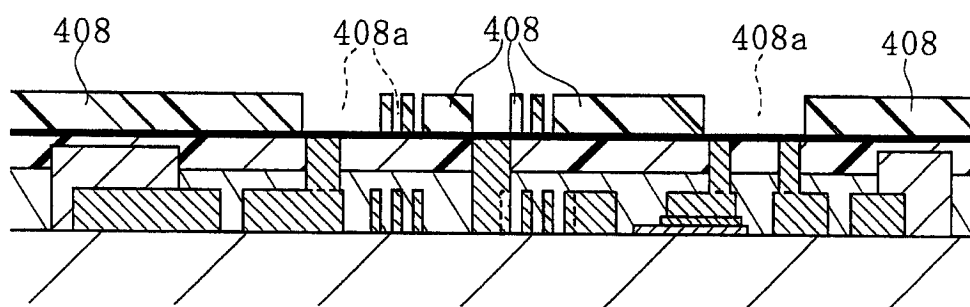


图32(a)

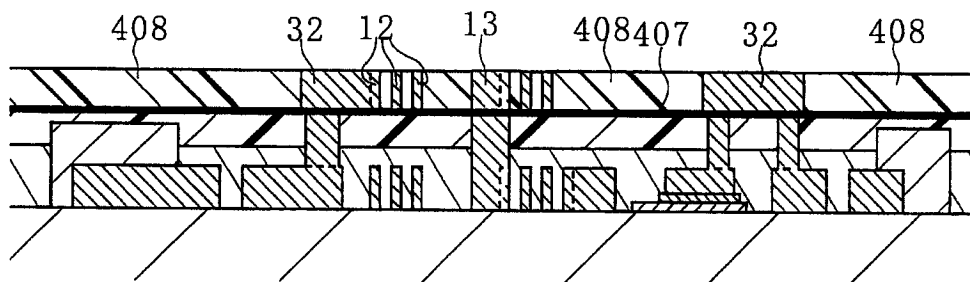


图32(b)

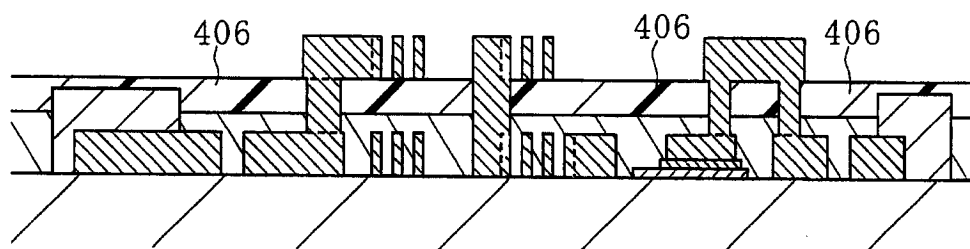


图32(c)

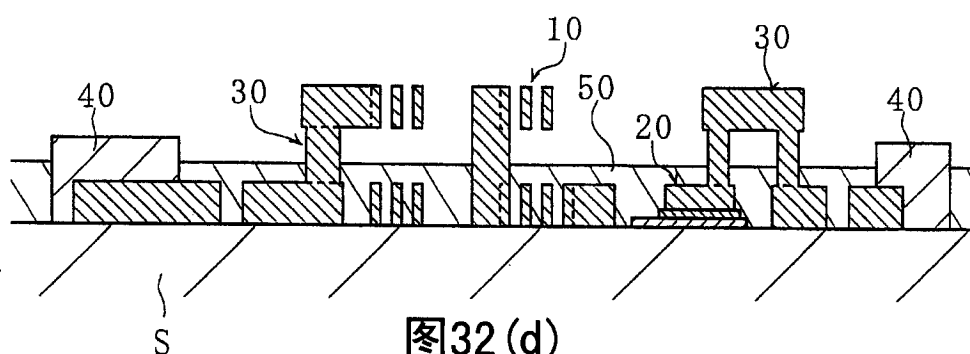


图32(d)

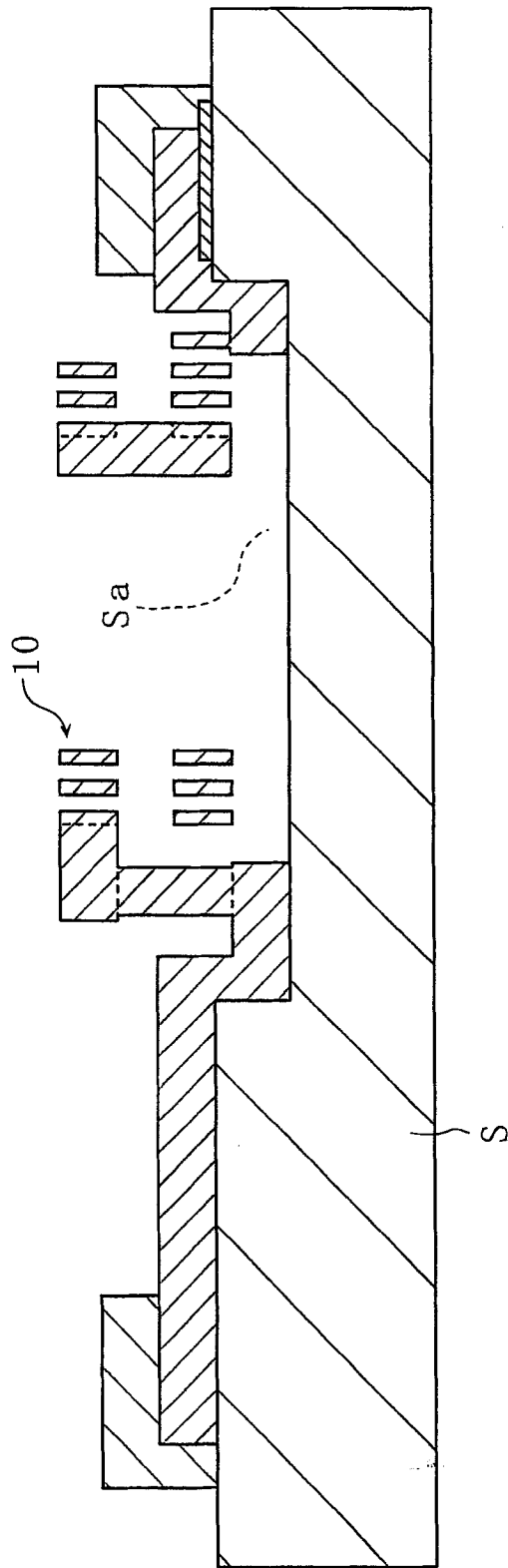


图 33

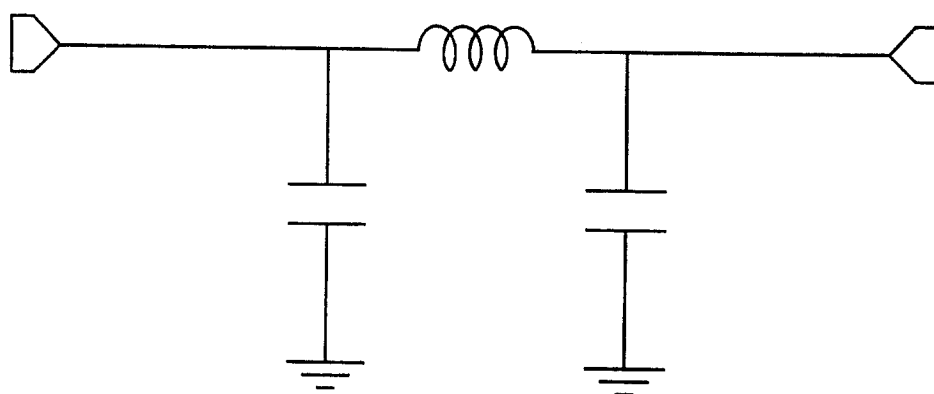


图 34

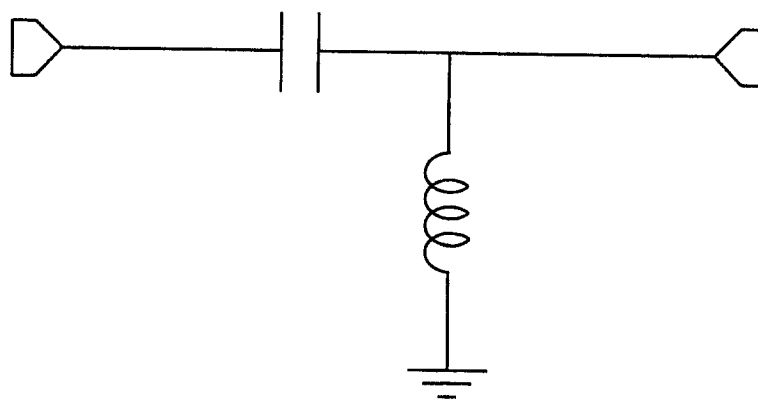


图 35