

(21)申請案號：101137479

(22)申請日：中華民國 101 (2012) 年 10 月 11 日

(51)Int. Cl.：

H03K3/356 (2006.01)

H03K19/0185(2006.01)

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72)發明人：張晴惠 CHANG, CHING HUI (TW)；詹秉燦 CHAN, BIN YU (TW)；洪凱尉 HONG, KAI WEI (TW)；陳勇志 CHEN, YUNG CHIH (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：12 項 圖式數：8 共 33 頁

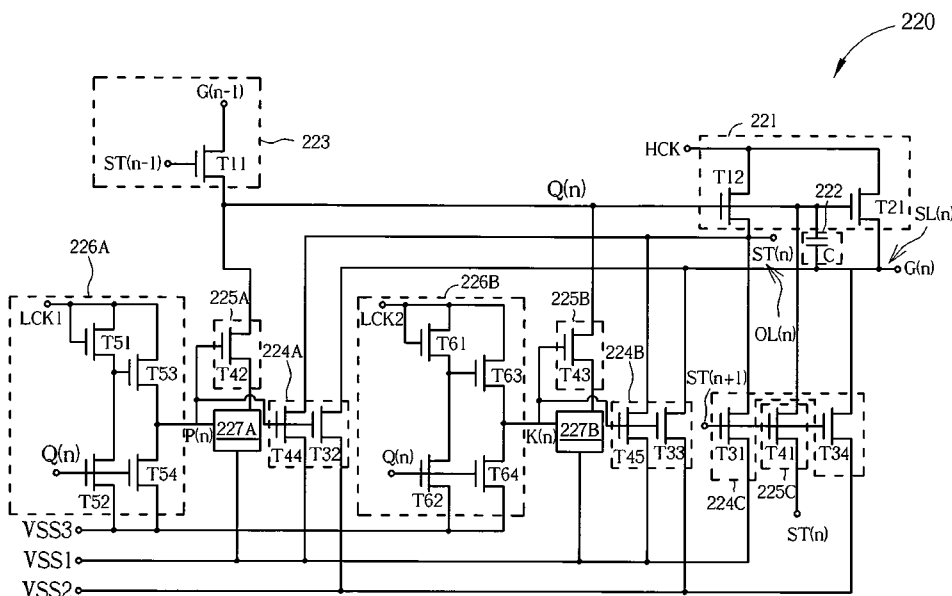
(54)名稱

可防止漏電之閘極驅動電路

GATE DRIVING CIRCUIT CAPABLE OF PREVENTING CURRENT LEAKAGE

(57)摘要

閘極驅動電路之移位暫存器包含上拉單元，用以根據驅動電壓及高頻時脈訊號將第一輸出訊號及第一閘極訊號上拉至高準位電壓；啟動單元，用以傳送第二閘極訊號；儲能單元，用來根據該第二閘極訊號提供該驅動電壓至該上拉單元；第一放電單元，用以根據第一控制訊號將該驅動電壓下拉至第一準位電壓；第一漏電防止單元，用以於該第一閘極訊號上拉至該高準位電壓時關閉該第一放電單元；第一下拉單元，用以根據該第一控制訊號分別將該第一輸出訊號及該第一閘極訊號下拉至第一及第二準位電壓；及第一控制單元，用以產生該第一控制訊號。



第4圖

200：閘極驅動電路

210：移位暫存器

220：移位暫存器

221：上拉單元

222：儲能單元

223：啟動單元

224：下拉單元

225：放電單元

226：控制單元

227：漏電防止單元

230：移位暫存器

C：電容

G(n)：閘極訊號

G(n+1)：閘極訊號

G(n-1)：閘極訊號

HCK：高頻時脈訊號

K(n)：第二控制訊號

LCK1：低頻時脈訊號

LCK2：低頻時脈訊號

OL(n)：輸出線

OL(n+1)：輸出線

OL(n-1)：輸出線

P(n)：第一控制訊號

Q(n)：驅動電壓

SL(n)：閘極線

SL(n+1)：閘極線

SL(n-1)：閘極線

ST(n)：輸出訊號

ST(n+1)：輸出訊號

ST(n-1)：輸出訊號

T：電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101137479

※ 申請日：101. 10. 11 ※IPC 分類：

H03K 3/356
H03K 17/0185

一、發明名稱：(中文/英文)

可防止漏電之閘極驅動電路/GATE DRIVING CIRCUIT CAPABLE OF
PREVENTING CURRENT LEAKAGE

二、中文發明摘要：

閘極驅動電路之移位暫存器包含上拉單元，用以根據驅動電壓及高頻時脈訊號將第一輸出訊號及第一閘極訊號上拉至高準位電壓；啟動單元，用以傳送第二閘極訊號；儲能單元，用來根據該第二閘極訊號提供該驅動電壓至該上拉單元；第一放電單元，用以根據第一控制訊號將該驅動電壓下拉至第一準位電壓；第一漏電防止單元，用以於該第一閘極訊號上拉至該高準位電壓時關閉該第一放電單元；第一下拉單元，用以根據該第一控制訊號分別將該第一輸出訊號及該第一閘極訊號下拉至第一及第二準位電壓；及第一控制單元，用以產生該第一控制訊號。

三、英文發明摘要：

A shift register of a gate driving circuit includes a pull-up unit for pulling up a first output signal and a first gate signal to a high voltage level according to a driving voltage and a high-frequency clock signal, a start-up unit for transmitting a second gate signal, an energy-store unit for providing the driving voltage to the pull-up unit according to the

second gate signal, a first discharging unit for pulling down the driving voltage to a first voltage level according to a first control signal, a first leakage-preventing unit for turning off the first discharging unit when the first gate signal reaches the high voltage level, a first pull-down unit for respectively pulling down the first output and first gate signals to the first and a second voltage levels according to the first control signal, and a first control unit for generating the first control signal.

四、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件符號簡單說明：

200	閘極驅動電路
210, 220, 230	移位暫存器
221	上拉單元
222	儲能單元
223	啟動單元
224	下拉單元
225	放電單元
226	控制單元
227	漏電防止單元
SL(n-1), SL(n), SL(n+1)	閘極線
OL(n-1), OL(n), OL(n+1)	輸出線
T	電晶體
C	電容
HCK	高頻時脈訊號
LCK1, LCK2	低頻時脈訊號
Q(n)	驅動電壓
P(n)	第一控制訊號
K(n)	第二控制訊號

$ST(n-1), ST(n), ST(n+1)$ 輸出訊號

$G(n-1), G(n), G(n+1)$ 閘極訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係相關於一種閘極驅動電路，尤指一種可減少漏電流之閘極驅動電路。

【先前技術】

一般而言，液晶顯示裝置包含有複數個畫素單元、閘極驅動電路以及源極驅動電路。源極驅動電路係用以提供複數個資料訊號。閘極驅動電路包含複數級移位暫存器，用來提供複數個閘極驅動訊號以控制複數個資料訊號寫入至複數個畫素單元。

請同時參考第 1 圖及第 2 圖，第 1 圖為習知閘極驅動電路 100 的示意圖，第 2 圖為第 1 圖閘極驅動電路 100 之第 N 級移位暫存器 120 的示意圖。如圖所示，閘極驅動電路 100 包含複數級移位暫存器，為方便說明，閘極驅動電路只顯示第(N-1)級移位暫存器 110、第 N 級移位暫存器 120 及第(N+1)級移位暫存器 130。第 N 級移位暫存器 120 係用以於輸出線 OL(n)產生輸出訊號 ST(n)，及於閘極線 SL(n)產生閘極訊號 G(n)。閘極訊號 G(n)經由閘極線 SL(n)傳送至畫素陣列以開啟對應之畫素單元。另外，輸出訊號 ST(n)及閘極訊號 G(n)會傳送至第(N+1)級移位暫存器 130，以致能第(N+1)級移位暫存器 130。

第 N 級移位暫存器 120 包含上拉單元 121、儲能單元 122、啟動單元 123、第一下拉單元 124A、第二下拉單元 124B、第一放電單元 125A、第二放電單元 125B、第一控制單元 126A，以及第二控制單元 126B。儲能單元 122 係用來根據啟動單元 123 所接收之閘極訊號 $G(n-1)$ 執行充電程序，進而產生驅動電壓 $Q(n)$ 。上拉單元 121 即根據驅動電壓 $Q(n)$ 及高頻時脈訊號 HCK 以上拉閘極線 $SL(n)$ 之閘極訊號 $G(n)$ 。第一控制單元 126A 用以根據驅動電壓 $Q(n)$ 及第一低頻時脈訊號 LCK1 產生第一控制訊號 $P(n)$ 。第一放電單元 125A 即用來根據第一控制訊號 $P(n)$ ，對儲能單元 122 執行放電程序以下拉驅動電壓 $Q(n)$ 至第一低準位電壓 $VSS1$ 。第一下拉單元 124A 則根據第一控制訊號 $P(n)$ 以下拉輸出訊號 $ST(n)$ 至第二低準位電壓 $VSS1$ ，及下拉閘極訊號 $G(n)$ 至第一低準位電壓 $VSS1$ 。第二控制單元 126B 用以根據驅動電壓 $Q(n)$ 及反相於第一低頻時脈訊號 LCK1 之第二低頻時脈訊號 LCK2 產生第二控制訊號 $K(n)$ 。第二放電單元 125B 即用來根據第二控制訊號 $K(n)$ ，對儲能單元 122 執行放電程序以下拉驅動電壓 $Q(n)$ 至第一低準位電壓 $VSS1$ 。第二下拉單元 124B 則根據第二控制訊號 $K(n)$ 以下拉輸出訊號 $ST(n)$ 至第二低準位電壓 $VSS1$ ，及下拉閘極訊號 $G(n)$ 至第一低準位電壓 $VSS1$ 。其中第一低準位電壓 $VSS1$ (例如 -13V) 係較第二低準位電壓 $VSS2$ (例如 -10V) 低，如此可避免上拉單元 121 漏電。

然而，在第 N 級移位暫存器 120 的運作中，當閘極線 $SL(n)$ 之閘極訊號 $G(n)$ 根據驅動電壓 $Q(n)$ 及高頻時脈訊號 HCK 被上拉時，

第一控制訊號 $P(n)$ 及第二控制訊號 $K(n)$ 皆被下拉至第一低準位電壓 $VSS1$ ，亦即第一放電單元 125A 及第二放電單元 125B 包含之電晶體 T42、T43 之閘極端準位係等於第二低準位電壓 $VSS2$ ，但第一放電單元 125A 及第二放電單元 125B 包含之電晶體 T42、T43 之源極端係電連接於第一低準位電壓 $VSS1$ ，亦即第一放電單元 125A 及第二放電單元 125B 包含之電晶體 T42、T43 之閘極端準位高於第一放電單元 125A 及第二放電單元 125B 包含之電晶體 T42、T43 之源極端準位，進而使得第一放電單元 125A 及第二放電單元 125B 對儲能單元 122 執行放電程序，造成儲能單元 122 之漏電。儲能單元 122 漏電會造成驅動電壓 $Q(n)$ 下降，進而使得閘極訊號 $G(n)$ 無法順利提昇至目標電壓，導致閘極驅動電路 100 無法正常運作。

【發明內容】

本發明提供一種可防止漏電之閘極驅動電路，其包含複數級移位暫存器，該些級移位暫存器之第 N 級移位暫存器包含一上拉單元，電連接於一輸出線及一閘極線，用以根據一驅動電壓及一高頻時脈訊號將該輸出線之一第一輸出訊號及該閘極線之一閘極訊號上拉至一高準位電壓；一啟動單元，用以根據一第二輸出訊號傳送一第二閘極訊號；一儲能單元，電連接於該上拉單元及該啟動單元，用來根據該第二閘極訊號執行一充電程序以提供該驅動電壓至該上拉單元；一第一放電單元，電連接於該儲能單元，用以根據一第一控制訊號將該驅動電壓下拉至一第一準位電壓；一第一漏電防止單元，電連接於該第一放電單元，用以根據該第一控制訊號、該驅動電壓

及該第一輸出訊號，於該第一閘極訊號上拉至該高準位電壓時關閉該第一放電單元；一第一下拉單元，電連接於該輸出線及該閘極線，用以根據該第一控制訊號將該第一輸出訊號下拉至該第一準位電壓及將該第一閘極訊號下拉至一第二準位電壓；及一第一控制單元，電連接於該第一放電單元與該第一下拉單元，用以根據該驅動電壓、一第一低頻時脈訊號及一第三準位電壓產生該第一控制訊號。其中該第一準位電壓、該第二準位電壓及該第三準位電壓係相異之準位電壓。

本發明另提供一種可防止移位暫存器漏電之方法，該方法包含提供一移位暫存器，該移位暫存器包含一儲能單元用來根據一前一級閘極訊號執行一充電程序以提供一驅動電壓，及一電晶體，其第一端電連接於該儲能單元，用來於開啟時將該儲能單元之驅動電壓下拉至一低準位電壓；及於該移位暫存器輸出之一閘極訊號根據該驅動電壓被上拉至一高準位電壓時，控制該電晶體之第二端之準位，以使該電晶體之第二端之準位高於該電晶體之控制端之準位。

【實施方式】

請同時參考第 3 圖至第 6 圖，第 3 圖為本發明閘極驅動電路 200 的示意圖，第 4 圖為第 3 圖閘極驅動電路 200 之第 N 級移位暫存器 220 的示意圖，第 5 圖為第 4 圖第 N 級移位暫存器 220 之第一漏電防止單元 227A 的示意圖，第 6 圖為第 4 圖第 N 級移位暫存器 220 之第二漏電防止單元 227B 的示意圖。如圖所示，閘極驅動電路 200

包含複數級移位暫存器，為方便說明，閘極驅動電路只顯示第(N-1)級移位暫存器 210、第 N 級移位暫存器 220 及第(N+1)級移位暫存器 230，其中只有第 N 級移位暫存器 220 於第 4 圖中顯示內部架構，其餘級移位暫存器係類同於第 N 級移位暫存器 220，所以不另贅述。第(N-1)級移位暫存器 210 用以提供輸出訊號 ST(n-1)及閘極訊號 G(n-1)，第 N 級移位暫存器 220 用以提供輸出訊號 ST(n)及閘極訊號 G(n)，第(N+1)級移位暫存器 230 用以提供輸出訊號 ST(n+1)及閘極訊號 G(n+1)。閘極訊號 G(n-1)、G(n)、G(n+1)係依序經由閘極線 SL(n-1)、SL(n)、SL(N+1)傳送至畫素陣列以開啟對應之畫素單元。另外，輸出訊號 ST(n-1)及閘極訊號 G(n-1)會傳送至第 N 級移位暫存器 220，以致能第 N 級移位暫存器 220；而輸出訊號 ST(n)及閘極訊號 G(n)會傳送至第(N+1)級移位暫存器 230，以致能第(N+1)級移位暫存器 230。

第 N 級移位暫存器 220 包含上拉單元 221、儲能單元 222、啟動單元 223、第一下拉單元 224A、第二下拉單元 224B、第一放電單元 225A、第二放電單元 225B、第一控制單元 226A、第二控制單元 226B、第一漏電防止單元 227A 及第二漏電防止單元 227B。上拉單元 221 係電連接於輸出線 OL(n)及閘極線 SL(n)，用以根據儲能單元 222 儲存之驅動電壓 Q(n)及高頻時脈訊號 HCK 將輸出線 OL(n)之輸出訊號 ST(n)及閘極線 SL(n)之閘極訊號 G(n)上拉至高準位電壓。啟動單元 223 係用以根據第(N-1)級移位暫存器 210 之輸出訊號 ST(n-1)傳送第(N-1)級移位暫存器 210 之閘極訊號 G(n-1)至儲能單元

222。儲能單元 222 係電連接於上拉單元 221 及啟動單元 223，用來根據啟動單元 223 傳來之閘極訊號 $G(n-1)$ 執行充電程序以提供高準位之驅動電壓 $Q(n)$ 至上拉單元 221。

第一放電單元 225A 係電連接於儲能單元 222，用以根據第一控制訊號 $P(n)$ 對儲能單元 222 執行放電程序以將驅動電壓 $Q(n)$ 下拉至第一準位電壓 $VSS1$ 。第一漏電防止單元 227A 係電連接於第一放電單元 225A，用以根據第一控制訊號 $P(n)$ 、驅動電壓 $Q(n)$ 及輸出訊號 $ST(n)$ ，於閘極訊號 $G(n)$ 上拉至高準位電壓時關閉第一放電單元 225A。第一下拉單元 224A 係電連接於輸出線 $OL(n)$ 及閘極線 $SL(n)$ ，用以根據第一控制訊號 $P(n)$ 將輸出訊號 $ST(n)$ 下拉至第一準位電壓 $VSS1$ 及將閘極訊號 $G(n)$ 下拉至第二準位電壓 $VSS2$ 。第一控制單元 226A 係電連接於第一放電單元 225A 與第一下拉單元 224A，用以根據驅動電壓 $Q(n)$ 、第一低頻時脈訊號 $LCK1$ 及第三準位電壓 $VSS3$ 產生第一控制訊號 $P(n)$ 。

相似地，第二放電單元 225B 係電連接於儲能單元 222，用以根據第二控制訊號 $K(n)$ 對儲能單元 222 執行放電程序以將驅動電壓 $Q(n)$ 下拉至第一準位電壓 $VSS1$ 。第二漏電防止單元 227B 係電連接於第二放電單元 225B，用以根據第二控制訊號 $K(n)$ 、驅動電壓 $Q(n)$ 及輸出訊號 $ST(n)$ ，於閘極訊號 $G(n)$ 上拉至高準位電壓時關閉第二放電單元 225B。第二下拉單元 224B 係電連接於輸出線 $OL(n)$ 及閘極線 $SL(n)$ ，用以根據第二控制訊號 $K(n)$ 將輸出訊號 $ST(n)$ 下拉

至第一準位電壓 VSS1 及將閘極訊號 G(n) 下拉至第二準位電壓 VSS2。第二控制單元 226B 係電連接於第二放電單元 225B 與第二下拉單元 224B，用以根據驅動電壓 Q(n)、第二低頻時脈訊號 LCK2 及第三準位電壓 VSS3 產生第二控制訊號 K(n)。

其中第二低頻時脈訊號 LCK2 之相位係相反於第一低頻時脈訊號 LCK1 之相位，因此第一放電單元 225A 和第二放電單元 225B 可交替地對儲能單元 222 執行放電程序，而第一下拉單元 224A 及第二下拉單元 224B 可交替地下拉輸出訊號 ST(n) 及閘極訊號 G(n)。

另外，第一準位電壓 VSS1、第二準位電壓 VSS2 及第三準位電壓 VSS3 係相異之低準位電壓。在上述實施例中，第一準位電壓 VSS1(例如-13V)係低於第三準位電壓 VSS3(例如-10V)，而第三準位電壓 VSS3 係低於第二準位電壓 VSS2(例如-7V)。

在本實施例中，上拉單元 221 包含電晶體 T21 及電晶體 T12。電晶體 T21 之第一端係用以接收高頻時脈訊號 HCK，電晶體 T21 之控制端係電連接於儲能單元 222 以接收驅動電壓 Q(n)，而電晶體 T21 之第二端係電連接於閘極線 SL(n)。電晶體 T12 之第一端係用以接收高頻時脈訊號 HCK，電晶體 T12 之控制端係電連接於儲能單元 222 以接收驅動電壓 Q(n)，而電晶體 T12 之第二端係電連接於輸出線 OL(n)。儲能單元 222 包含電容 C。啟動單元 223 包含電晶體 T11。電晶體 T11 之第一端係用以接收閘極訊號 G(n-1)，電晶體 T11 之控

制端係用以接收輸出訊號 $ST(n-1)$ ，電晶體 T11 之第二端係電連接於儲能單元 222。

第一放電單元 225A 包含電晶體 T42，電晶體 T42 之第一端係電連接於儲能單元 222，電晶體 T42 之控制端係電連接於第一控制單元 226A 以接收第一控制訊號 $P(n)$ ，電晶體 T42 之第二端係電連接於第一漏電防止單元 227A。

第一漏電防止單元 227A 包含電晶體 T47 及電晶體 T48。電晶體 T47 之第一端係電連接於電晶體 T42 之第二端，電晶體 T47 之控制端係電連接於第一控制單元 226A 以接收第一控制訊號 $P(n)$ ，而電晶體 T47 之第二端係電連接於第一準位電壓 $VSS1$ 。電晶體 T48 之第一端係電連接於電晶體 T42 之第二端，電晶體 T48 之控制端係電連接於儲能單元 222 以接收驅動電壓 $Q(n)$ ，而電晶體 T48 之第二端係電連接於輸出線 $OL(n)$ 以接收輸出訊號 $ST(n)$ 。

第一下拉單元 224A 包含電晶體 T44 及電晶體 T32。電晶體 T44 之第一端係電連接於輸出線 $OL(n)$ ，電晶體 T44 之控制端係電連接於第一控制單元 226A 以接收第一控制訊號 $P(n)$ ，而電晶體 T44 之第二端係電連接於第一準位電壓 $VSS1$ 。電晶體 T32 之第一端係電連接於閘極線 $SL(n)$ ，電晶體 T32 之控制端係電連接於第一控制單元 226A 以接收第一控制訊號 $P(n)$ ，而電晶體 T32 之第二端係電連接於第二準位電壓 $VSS2$ 。

第一控制單元 226A 包含電晶體 T51，電晶體 T52，電晶體 T53，及電晶體 T54，電晶體 T51 之第一端係用以接收第一低頻時脈訊號 LCK1，電晶體 T51 之控制端係用以接收第一低頻時脈訊號 LCK1。電晶體 T52 之第一端係電連接於電晶體 T51 之第二端，電晶體 T52 之控制端係電連接於儲能單元 222 以接收驅動電壓 $Q(n)$ ，而電晶體 T52 之第二端係電連接於第三準位電壓 VSS3。電晶體 T53 之第一端係用以接收第一低頻時脈訊號 LCK1，電晶體 T53 之控制端係電連接於電晶體 T51 之第二端，而電晶體 T53 之第二端係電連接於第一放電單元 225A、第一漏電防止單元 227A 及第一下拉單元 224A。電晶體 T54 之第一端係電連接於電晶體 T53 之第二端，電晶體 T54 之控制端係電連接於儲能單元 222 以接收該驅動電壓 $Q(n)$ ，而電晶體 T54 之第二端係電連接於第一準位電壓 VSS1。

另一方面，在本實施例中，第二放電單元 225B、第二漏電防止單元 227B、第二下拉單元 224B 及第二控制單元 226B 之配置係分別相似於第一放電單元 225A、第一漏電防止單元 227A、第一下拉單元 224A 及第一控制單元 226A 之配置，因此不再進一步說明。

另外，第 N 級移位暫存器 220 另包含第三放電單元 224C，及第三下拉單元 225C。第三放電單元 224C 係電連接於儲能單元 222，用以根據第 $(N+1)$ 級移位暫存器 230 之輸出訊號 $ST(n+1)$ 下拉驅動電壓 $Q(n)$ 。第三下拉單元 225C 係電連接於輸出線 $OL(n)$ 及閘極線

SL(n)，用以根據輸出訊號 ST(n+1)將輸出訊號 ST(n)下拉至第一準位電壓 VSS1，及將閘極訊號 G(n)下拉至第二準位電壓 VSS2。

請參考第 7 圖，並一併參考第 3 圖至第 6 圖。第 7 圖為第 3 圖之閘極驅動電路的相關訊號波形示意圖。如第 7 圖所示，於時段 t1 中，輸出訊號 ST(n-1)及閘極訊號 G(n-1)皆為低準位，因此啟動單元 223 之電晶體 T11 被關閉。第一控制訊號 P(n)因第一低頻時脈訊號 LCK1 為高準位而被提昇至高準位，進而開啟第一放電單元 225A 之電晶體 T42 及第一漏電防止單元 227A 之電晶體 T47，驅動電壓 Q(n)被下拉至第一準位電壓 VSS1。第一控制訊號 P(n)亦開啟第一下拉單元 224A 之電晶體 T44 及電晶體 T32，以將輸出訊號 ST(n)下拉至第一準位電壓 VSS1 及將閘極訊號 G(n)下拉至第二準位電壓 VSS2。

於時段 t2 中，輸出訊號 ST(n-1)及閘極訊號 G(n-1)由低準位上昇至高準位，啟動單元 223 之電晶體 T11 因而開啟使儲能單元 222 之電容 C 充電，用以提昇驅動電壓 Q(n) 至高準位，並進而開啟上拉單元 221 之電晶體 T12 及電晶體 T21。另外，因高頻時脈訊號 HCK 為低準位，所以輸出訊號 ST(n)及閘極訊號 G(n)亦為低準位。第一控制訊號 P(n)及第二控制訊號 K(n)因驅動電壓 Q(n)為高準位而被下拉至第三準位電壓 VSS3，因此第一放電單元 225A、第一下拉單元 224A、第二放電單元 225B 及第二下拉單元 224B 皆不作動。

於時段 t3 中，高頻時脈訊號 HCK 由低準位上昇至高準位(例如

24V)，進而上拉輸出訊號 ST(n)及閘極訊號 G(n)至高準位電壓，驅動電壓 Q(n) 也因電容耦合效應再度被提昇。第一控制訊號 P(n)及第二控制訊號 K(n)因驅動電壓 Q(n)仍為高準位而持續維持在第三準位電壓 VSS3，因此第一放電單元 225A、第一下拉單元 224A、第二放電單元 225B、第二下拉單元 224B 仍不作動。值得注意的係，第一漏電防止單元 227A 之電晶體 T48 被驅動電壓 Q(n)開啟，使得第一放電單元 225A 之電晶體 T42 之第二端之電壓等於輸出訊號 ST(n)之高準位電壓(24V)，而第一放電單元 225A 之電晶體 T42 之控制端之第一控制訊號 P(n)係為第三準位電壓 VSS3(-10V)，亦即電晶體 T42 之源極端準位高於閘極端準位，因此，第一放電單元 225A 之電晶體 T42 會被關閉，以防止電容 C 漏電。相似地，第二放電單元 225B 之電晶體 T43 之源極端準位亦高於閘極端準位，以防止儲能單元 222 之電容 C 漏電。

於時段 t4 中，第一控制訊號 P(n)因第一低頻時脈訊號 LCK1 為高準位而被提昇至高準位，進而開啟第一放電單元 225A 之電晶體 T42 及第一漏電防止單元 227A 之電晶體 T47，驅動電壓 Q(n)被下拉至第一準位電壓 VSS1。第一控制訊號 P(n)亦開啟第一下拉單元 224A 之電晶體 T44 及電晶體 T32，以將輸出訊號 ST(n)下拉至第一準位電壓 VSS1 及將閘極訊號 G(n)下拉至第二準位電壓 VSS2。另外，輸出訊號 ST(n+1)由低準位上昇至高準位，以開啟第三放電單元 225C 之電晶體 T32，進而下拉驅動電壓 Q(n)，而第三下拉單元 224C 之電晶體 T31 及電晶體 T41 亦被開啟，以將輸出訊號 ST(n)

下拉至第一準位電壓 VSS1 及將閘極訊號 G(n)下拉至第二準位電壓 VSS2。

依據上述配置，當閘極訊號 G(n)被上拉至高準位電壓時，第一漏電防止單元 227A 控制第一放電單元 225A 之電晶體 T42 之源極端準位高於閘極端準位，且第二漏電防止單元 227B 控制第二放電單元 225B 之電晶體 T43 之源極端準位高於閘極端準位，如此電晶體 T42 及電晶體 T43 可確實被關閉，以防止儲能單元 222 之電容 C 漏電。

請參考第 8 圖，第 8 圖為本發明防止移位暫存器漏電之方法的流程圖 800。本發明防止移位暫存器漏電之方法的流程如下列步驟：

步驟 810：提供一移位暫存器，該移位暫存器包含一儲能單元用來

根據一前一級閘極訊號執行一充電程序以提供一驅動電壓，及一電晶體，其第一端電連接於該儲能單元，用來於開啟時將該儲能單元之驅動電壓下拉至一低準位電壓；及

步驟 820：於該移位暫存器輸出之一閘極訊號根據該驅動電壓被上拉至一高準位電壓時，控制該電晶體之第二端之準位，以使該電晶體之第二端之準位高於該電晶體之控制端之準位。

相較於先前技術，當閘極訊號被上拉至高準位電壓時，本發明閘

極驅動電路可利用漏電防止單元控制放電單元之電晶體之第二端之準位，以使電晶體之第二端之準位高於電晶體之控制端之準位，進而防止儲能單元漏電。因此，本發明閘極驅動電路可提高閘極訊號之穩定度。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

- 第 1 圖為習知閘極驅動電路的示意圖。
- 第 2 圖為第 1 圖閘極驅動電路之第 N 級移位暫存器的示意圖。
- 第 3 圖為本發明閘極驅動電路的示意圖。
- 第 4 圖為第 3 圖閘極驅動電路之第 N 級移位暫存器的示意圖。
- 第 5 圖為第 4 圖第 N 級移位暫存器之第一漏電防止單元的示意圖。
- 第 6 圖為第 4 圖第 N 級移位暫存器之第二漏電防止單元的示意圖。
- 第 7 圖為第 3 圖之閘極驅動電路的相關訊號波形示意圖。
- 第 8 圖為本發明防止移位暫存器漏電之方法的流程圖。

【主要元件符號說明】

100, 200	閘極驅動電路
110, 120, 130, 210, 220, 230	移位暫存器
121, 221	上拉單元
122, 222	儲能單元

123, 223	啟動單元
124, 224	下拉單元
125, 225	放電單元
126, 226	控制單元
127, 227	漏電防止單元
SL(n-1), SL(n), SL(n+1)	閘極線
OL(n-1), OL(n), OL(n+1)	輸出線
T	電晶體
t1, t2, t3, t4	時段
C	電容
HCK	高頻時脈訊號
LCK1, LCK2	低頻時脈訊號
Q(n)	驅動電壓
P(n)	第一控制訊號
K(n)	第二控制訊號
ST(n-1), ST(n), ST(n+1)	輸出訊號
G(n-1), G(n), G(n+1)	閘極訊號
800	流程圖
810 至 820	步驟

七、申請專利範圍：

1. 一種可防止漏電之閘極驅動電路，包含複數級移位暫存器，該些級移位暫存器之一第 N 級移位暫存器包含：

一上拉單元，電連接於一輸出線及一閘極線，用以根據一驅動電壓及一高頻時脈訊號將該輸出線之一第一輸出訊號及該閘極線之一第一閘極訊號上拉至一高準位電壓；

一啟動單元，用以根據一第二輸出訊號傳送一第二閘極訊號；

一儲能單元，電連接於該上拉單元及該啟動單元，用來根據該第二閘極訊號執行一充電程序以提供該驅動電壓至該上拉單元；

一第一放電單元，電連接於該儲能單元，用以根據一第一控制訊號將該驅動電壓下拉至一第一準位電壓；

一第一漏電防止單元，電連接於該第一放電單元，用以根據該第一控制訊號、該驅動電壓及該第一輸出訊號，於該第一閘極訊號上拉至該高準位電壓時關閉該第一放電單元；

一第一下拉單元，電連接於該輸出線及該閘極線，用以根據該第一控制訊號將該第一輸出訊號下拉至該第一準位電壓及將該第一閘極訊號下拉至一第二準位電壓；及

一第一控制單元，電連接於該第一放電單元與該第一下拉單元，用以根據該驅動電壓、一第一低頻時脈訊號及一第三準位電壓產生該第一控制訊號；

其中該第一準位電壓、該第二準位電壓及該第三準位電壓係相

異之電壓。

2. 如請求項 1 所述之閘極驅動電路，其中該第一準位電壓係低於該第二準位電壓。

3. 如請求項 1 所述之閘極驅動電路，另包含：

一第二放電單元，電連接於該儲能單元，用以根據一第二控制訊號將該驅動電壓下拉至該第一準位電壓；

一第二漏電防止單元，電連接於該第二放電單元，用以根據該第二控制訊號及該驅動電壓，於該第一閘極訊號上拉至該高準位電壓時關閉該第二放電單元；

一第二下拉單元，電連接於該輸出線及該閘極線，用以根據該第二控制訊號將該第一輸出訊號下拉至該第一準位電壓及將該第一閘極訊號下拉至該第二準位電壓；及

一第二控制單元，電連接於該第二放電單元與該第二下拉單元，用以根據該驅動電壓、一第二低頻時脈訊號及該第三準位電壓產生該第二控制訊號；

其中該第二低頻時脈訊號之相位係相反於該第一低頻時脈訊號之相位。

4. 如請求項 3 所述之閘極驅動電路，另包含：

一第三放電單元，電連接於該儲能單元，用以根據一第三輸出訊號下拉該驅動電壓；及

一第三下拉單元，電連接於該輸出線及該閘極線，用以根據該第三輸出訊號將該第一輸出訊號下拉至該第一準位電壓及將該第一閘極訊號下拉至該第二準位電壓。

5. 如請求項 1 所述之閘極驅動電路，其中該上拉單元包含：

一第一電晶體，包含：

一第一端，用以接收該高頻時脈訊號；

一控制端，電連接於該儲能單元以接收該驅動電壓；及

一第二端，電連接於該閘極線；及

一第二電晶體，包含：

一第一端，用以接收該高頻時脈訊號；

一控制端，電連接於該儲能單元以接收該驅動電壓；及

一第二端，電連接於該輸出線。

6. 如請求項 1 所述之閘極驅動電路，其中該儲能單元包含一電容。

7. 如請求項 1 所述之閘極驅動電路，其中該啟動單元包含一電晶體，該電晶體包含：

一第一端，用以接收該第二閘極訊號；

一控制端，用以接收該第二輸出訊號；及

一第二端，電連接於該儲能單元。

8. 如請求項 1 所述之閘極驅動電路，其中該第一放電單元包含一

第一電晶體，該第一電晶體包含：

一第一端，電連接於該儲能單元；

一控制端，電連接於該第一控制單元以接收該第一控制訊號；

及

一第二端，電連接於該第一漏電防止單元；

其中該第一漏電防止單元係用以控制該第二端之準位，以使該

第二端之準位於該第一閘極訊號上拉至該高準位電壓時高於該控制端之準位。

9. 如請求項 1 所述之閘極驅動電路，其中該第一漏電防止單元包含：

一第二電晶體，包含：

一第一端，電連接於該第一電晶體之第二端；

一控制端，電連接於該第一控制單元以接收該第一控制訊號；及

一第二端，電連接於該第一準位電壓；及

一第三電晶體，包含：

一第一端，電連接於該第一電晶體之第二端；

一控制端，電連接於該儲能單元以接收該驅動電壓；及

一第二端，電連接於該輸出線以接收該第一輸出訊號。

10. 如請求項 1 所述之閘極驅動電路，其中該第一下拉單元包含：

一第一電晶體，包含：

- 一第一端，電連接於該輸出線；
- 一控制端，電連接於該第一控制單元以接收該第一控制訊號；及
- 一第二端，電連接於該第一準位電壓；及
- 一第二電晶體，包含：
 - 一第一端，電連接於該閘極線；
 - 一控制端，電連接於該第一控制單元以接收該第一控制訊號；及
 - 一第二端，電連接於該第二準位電壓。

11. 如請求項 1 所述之閘極驅動電路，其中該第一控制單元包含：

- 一第一電晶體，包含：
 - 一第一端，用以接收該第一低頻時脈訊號；
 - 一控制端，用以接收該第一低頻時脈訊號；及
 - 一第二端；
- 一第二電晶體，包含：
 - 一第一端，電連接於該第一電晶體之第二端；
 - 一控制端，電連接於該儲能單元以接收該驅動電壓；及
 - 一第二端，電連接於該第三準位電壓；
- 一第三電晶體，包含：
 - 一第一端，用以接收該第一低頻時脈訊號；
 - 一控制端，電連接於該第一電晶體之第二端；及
 - 一第二端，電連接於該第一放電單元及該第一漏電防止單

元；及

一第四電晶體，包含：

一第一端，電連接於該第三電晶體之第二端；

一控制端，電連接於該儲能單元以接收該驅動電壓；及

一第二端，電連接於該第一準位電壓。

12. 一種可防止一移位暫存器漏電之方法，包含：

提供一移位暫存器，該移位暫存器包含一儲能單元用來根據一

前一級閘極訊號執行一充電程序以提供一驅動電壓，及一電晶體，其第一端電連接於該儲能單元，用來於開啟時將該儲能單元之驅動電壓下拉至一低準位電壓；及

於該移位暫存器輸出之一閘極訊號根據該驅動電壓被上拉至一

高準位電壓時，控制該電晶體之第二端之準位，以使該電晶體之第二端之準位高於該電晶體之控制端之準位。

八、圖式：

元；及

一第四電晶體，包含：

一第一端，電連接於該第三電晶體之第二端；

一控制端，電連接於該儲能單元以接收該驅動電壓；及

一第二端，電連接於該第一準位電壓。

12. 一種可防止一移位暫存器漏電之方法，包含：

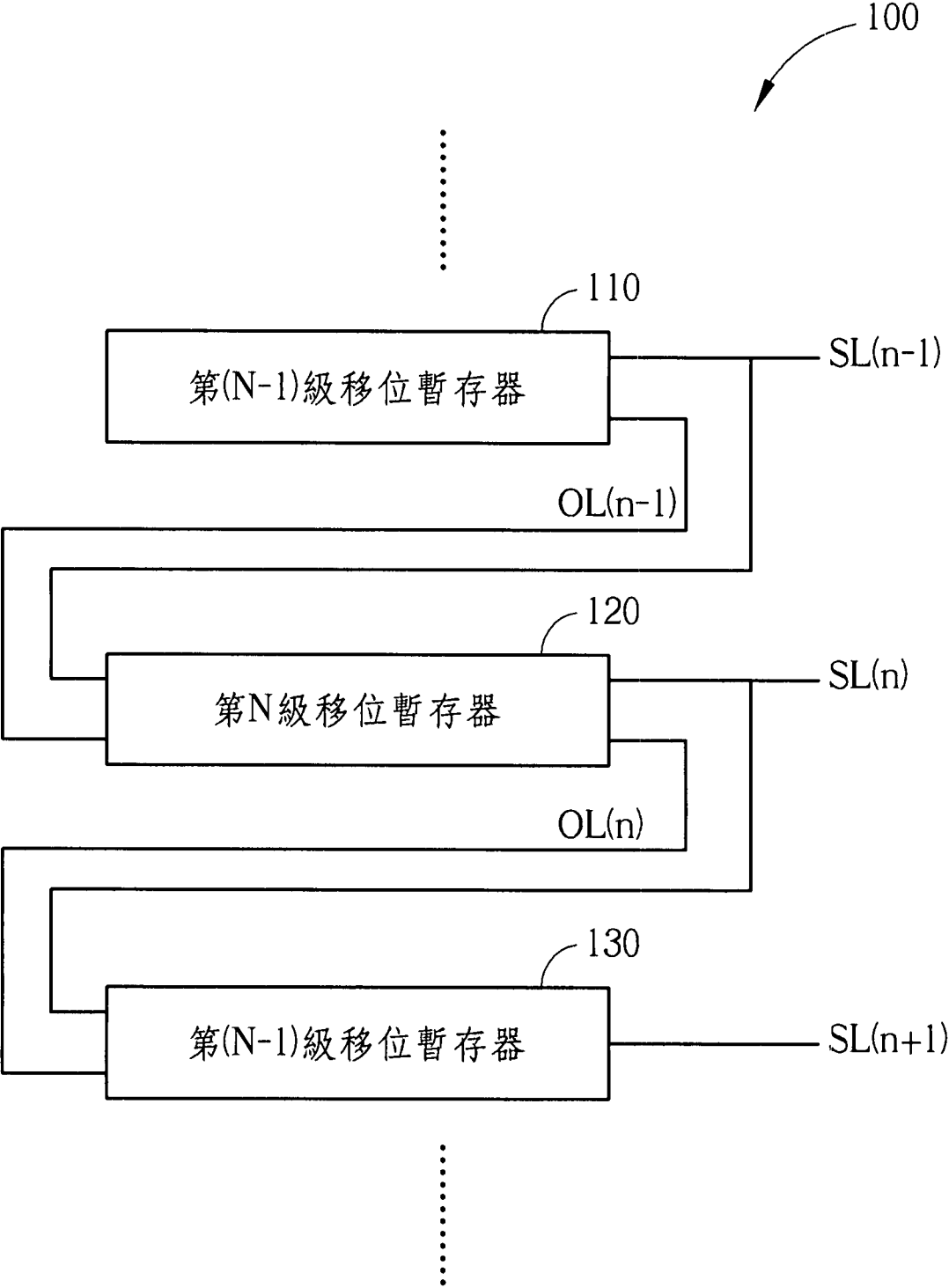
提供一移位暫存器，該移位暫存器包含一儲能單元用來根據一

前一級閘極訊號執行一充電程序以提供一驅動電壓，及一電晶體，其第一端電連接於該儲能單元，用來於開啟時將該儲能單元之驅動電壓下拉至一低準位電壓；及

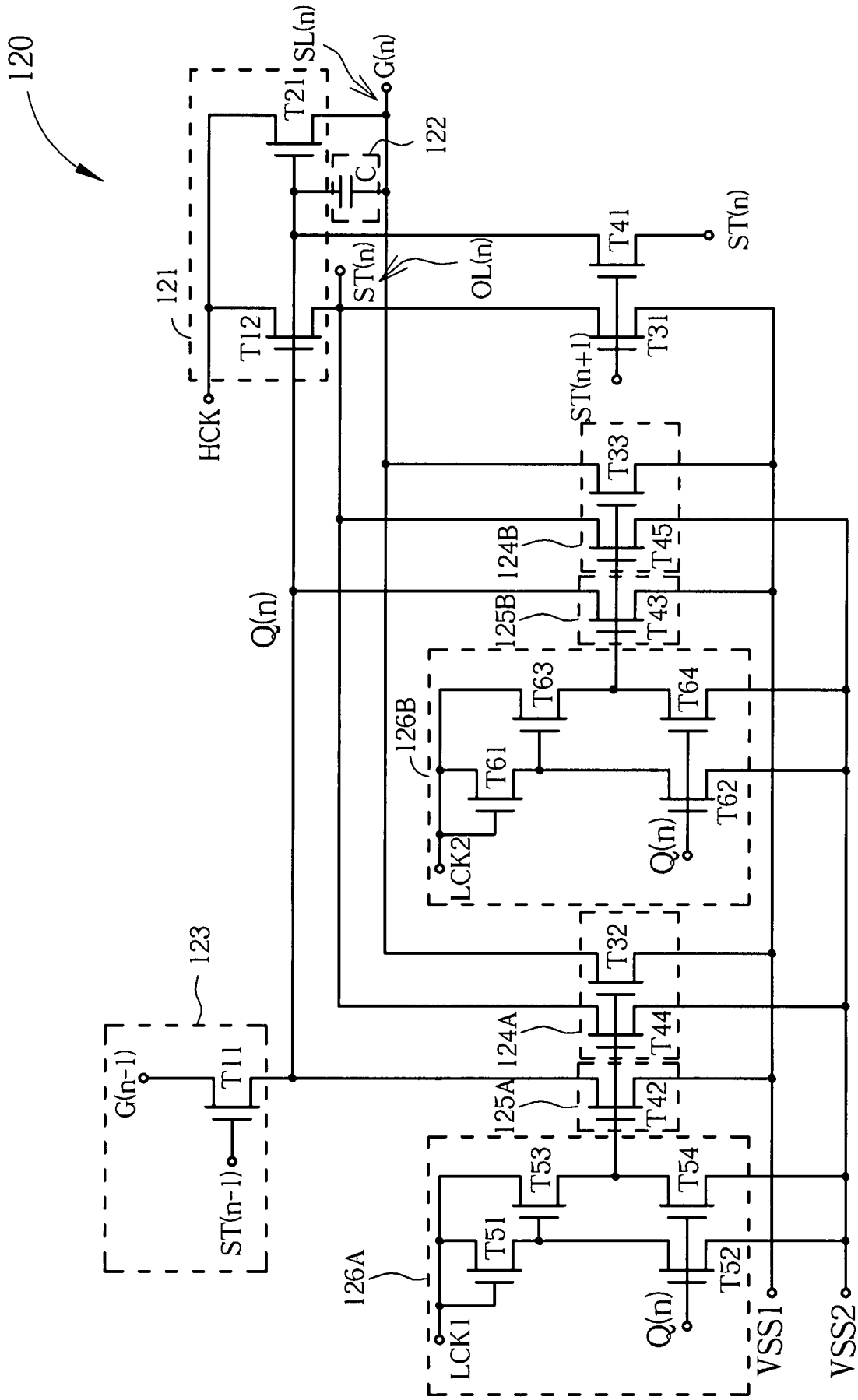
於該移位暫存器輸出之一閘極訊號根據該驅動電壓被上拉至一

高準位電壓時，控制該電晶體之第二端之準位，以使該電晶體之第二端之準位高於該電晶體之控制端之準位。

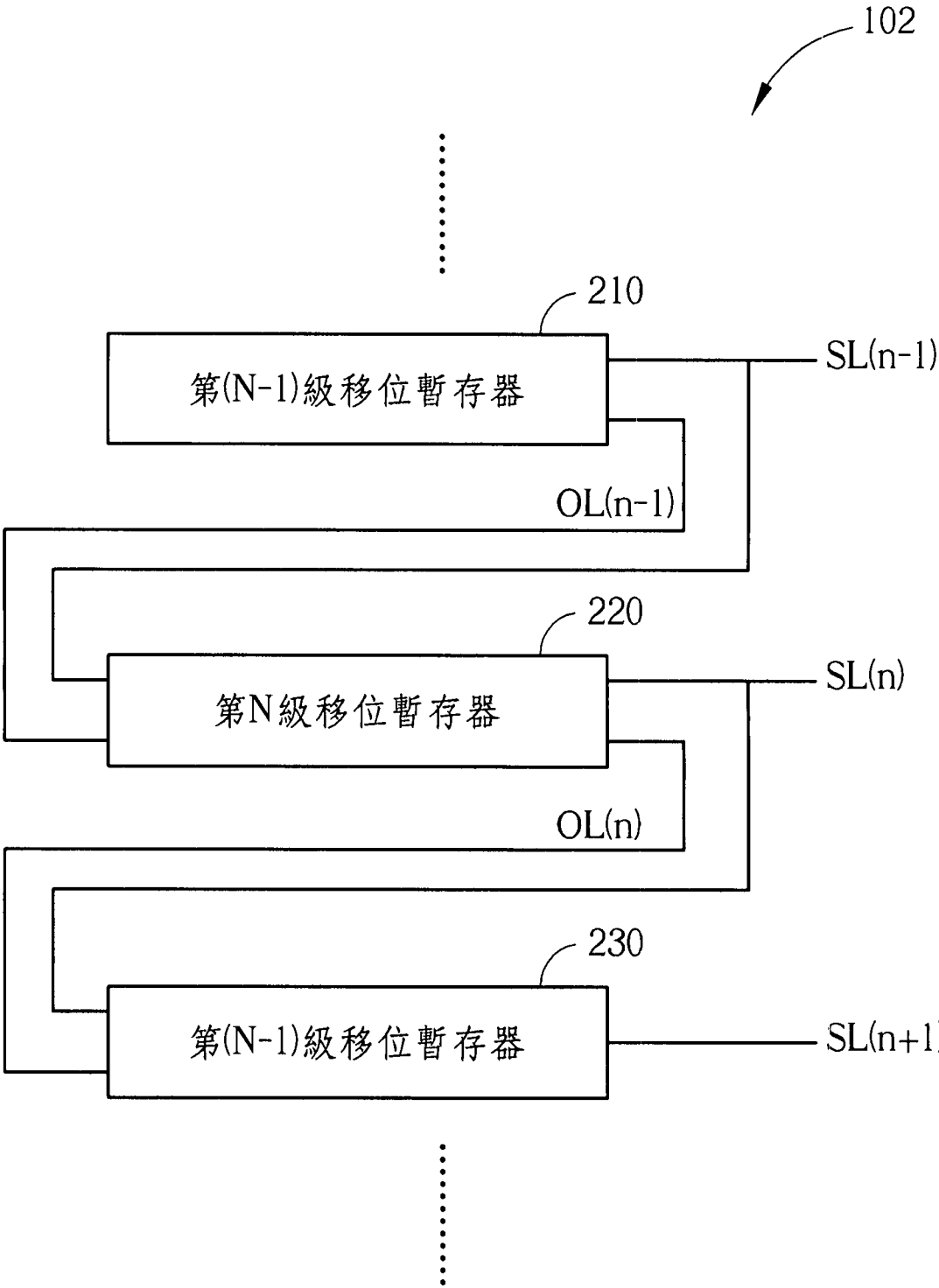
八、圖式：



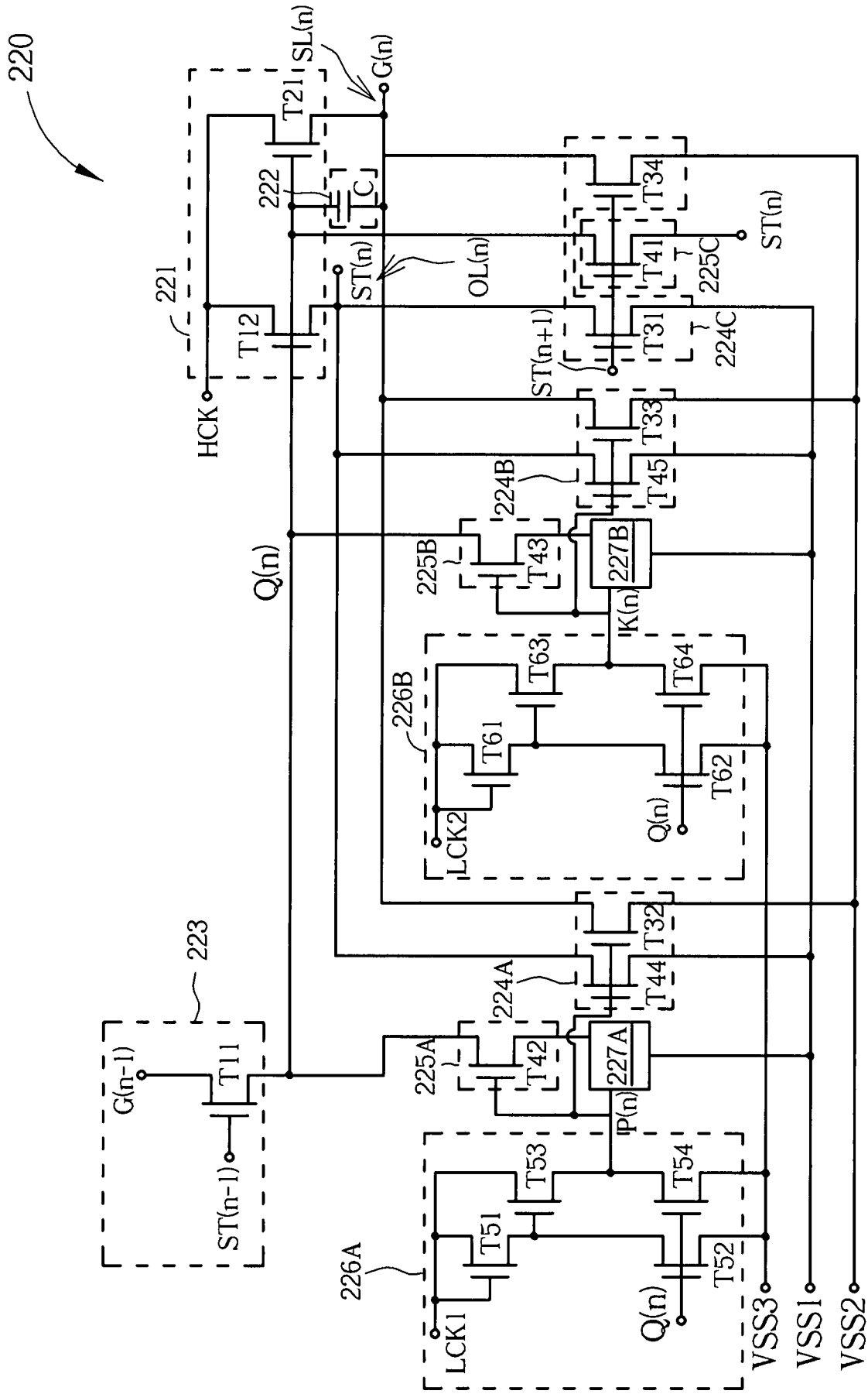
第1圖



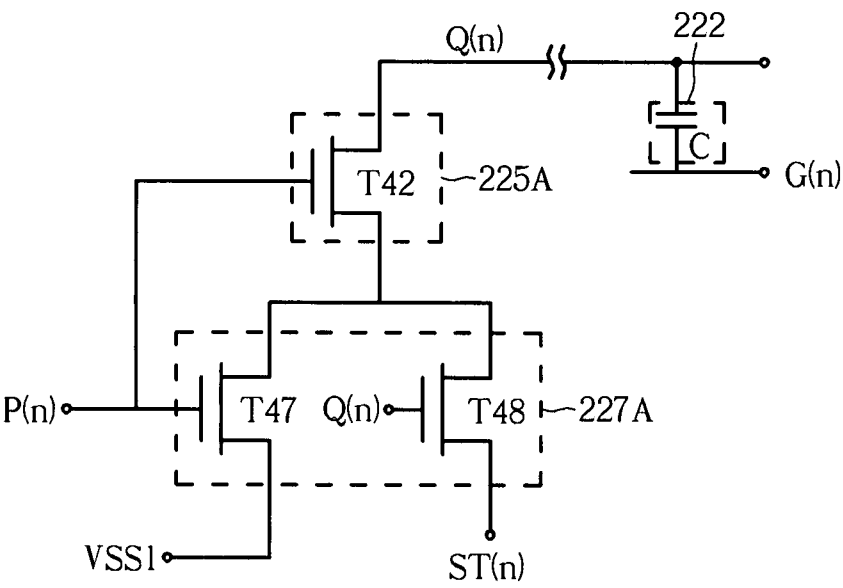
第2圖



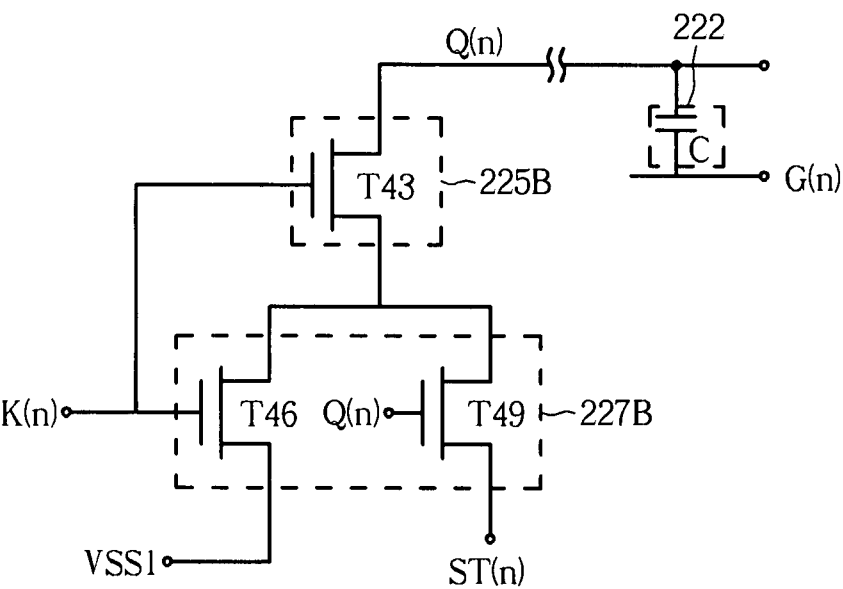
第3圖



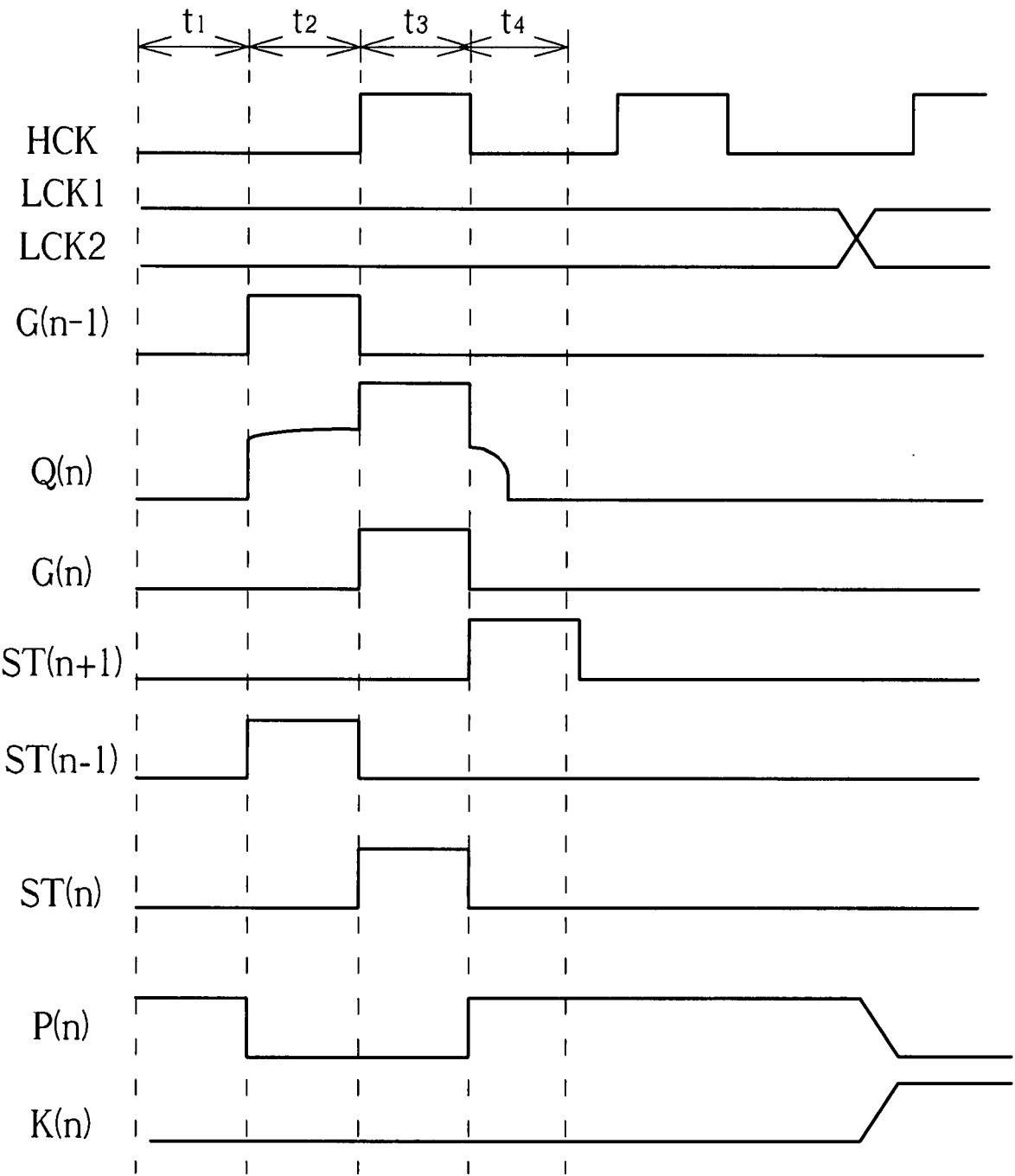
第4圖



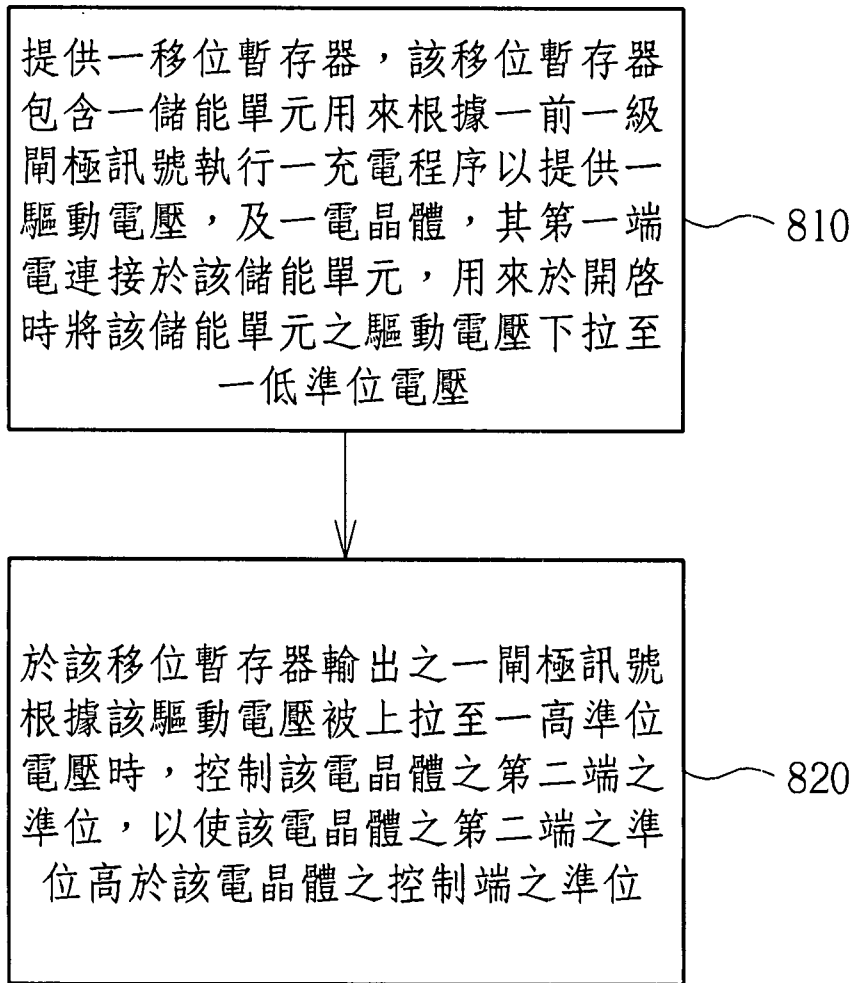
第5圖



第6圖



第7圖



第8圖

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

220	移位暫存器
221	上拉單元
222	儲能單元
223	啟動單元
224	下拉單元
225	放電單元
226	控制單元
227	漏電防止單元
SL(n)	閘極線
OL(n)	輸出線
T	電晶體
C	電容
HCK	高頻時脈訊號
LCK1, LCK2	低頻時脈訊號
Q(n)	驅動電壓
P(n)	第一控制訊號
K(n)	第二控制訊號
ST(n-1), ST(n), ST(n+1)	輸出訊號

$G(n-1)$, $G(n)$

開極訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

極驅動電路可利用漏電防止單元控制放電單元之電晶體之第二端之準位，以使電晶體之第二端之準位高於電晶體之控制端之準位，進而防止儲能單元漏電。因此，本發明閘極驅動電路可提高閘極訊號之穩定度。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖為習知閘極驅動電路的示意圖。

第 2 圖為第 1 圖閘極驅動電路之第 N 級移位暫存器的示意圖。

第 3 圖為本發明閘極驅動電路的示意圖。

第 4 圖為第 3 圖閘極驅動電路之第 N 級移位暫存器的示意圖。

第 5 圖為第 4 圖第 N 級移位暫存器之第一漏電防止單元的示意圖。

第 6 圖為第 4 圖第 N 級移位暫存器之第二漏電防止單元的示意圖。

第 7 圖為第 3 圖之閘極驅動電路的相關訊號波形示意圖。

第 8 圖為本發明防止移位暫存器漏電之方法的流程圖。

【主要元件符號說明】

100, 200	閘極驅動電路
110, 120, 130, 210, 220, 230	移位暫存器
121, 221	上拉單元
122, 222	儲能單元

123, 223	啟動單元
124, 224	下拉單元
125, 225	放電單元
126, 226	控制單元
127, 227	漏電防止單元
SL(n-1), SL(n), SL(n+1)	閘極線
OL(n-1), OL(n), OL(n+1)	輸出線
T	電晶體
t1, t2, t3, t4	時段
C	電容
HCK	高頻時脈訊號
LCK1, LCK2	低頻時脈訊號
Q(n)	驅動電壓
P(n)	第一控制訊號
K(n)	第二控制訊號
ST(n-1), ST(n), ST(n+1)	輸出訊號
G(n-1), G(n)	閘極訊號
800	流程圖
810 至 820	步驟