

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 12 月 27 日(27.12.2013)



(10) 国際公開番号
WO 2013/190863 A1

- (51) 国際特許分類:
H01L 21/8238 (2006.01) H01L 27/00 (2006.01)
H01L 21/20 (2006.01) H01L 27/092 (2006.01)
H01L 21/768 (2006.01) H01L 29/41 (2006.01)
H01L 23/522 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2013/055527
- (22) 国際出願日: 2013 年 2 月 28 日(28.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-138103 2012 年 6 月 19 日(19.06.2012) JP
- (71) 出願人: 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: 池田 圭司(IKEDA, Keiji); 〒3058569 茨城県つくば市小野川 1 6 - 1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 手塚 勉(TEZUKA, Tsutomu); 〒3058569 茨城県つくば市小野川 1 6 - 1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 上牟田 雄一(KAMIMUTA, Yuuichi); 〒3058569 茨城県つくば市小野川 1 6 - 1

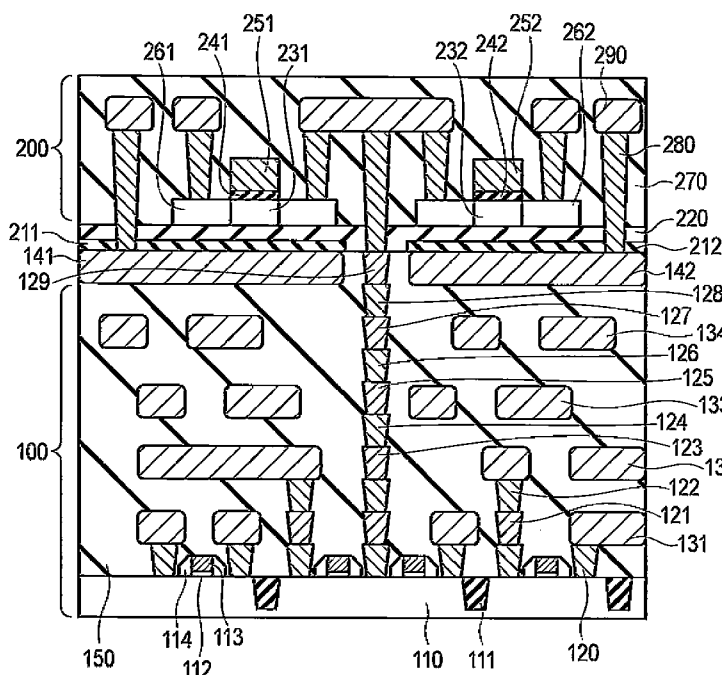
独立行政法人産業技術総合研究所内 Ibaraki (JP). 古瀬 喜代恵(FURUSE, Kiyoe); 〒3058569 茨城県つくば市小野川 1 6 - 1 独立行政法人産業技術総合研究所内 Ibaraki (JP).

- (74) 代理人: 蔵田 昌俊, 外(KURATA, Masatoshi et al.); 〒1050001 東京都港区虎ノ門 1 丁目 1 2 番 9 号 鈴榮特許総合事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: STACKED SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 積層型半導体装置及びその製造方法



(57) Abstract: Provided is a stacked semiconductor device that includes: a first complementary semiconductor device (100) in which a CMOS circuit and a wiring layer are formed on a semiconductor substrate (110); metal electrodes (141, 142) that are formed on the first complementary semiconductor device (100) together with a wiring layer; semiconductor layers (231, 232) that are formed on the metal electrodes (141, 142) with an insulating film (220) being interposed therebetween, that are separately formed in an nMOS area and a pMOS area, and that contain Ge as a principal component; and a second complementary semiconductor device (200) in which an nMOSFET is formed in the semiconductor layer in the nMOS area and a pMOSFET is formed in the semiconductor layer in the pMOS area.

(57) 要約: 積層型半導体装置であって、半導体基板 (110) 上に CMOS 回路及び配線層が形成された第 1 の相補型半導体装置 (100) と、第 1 の相補型半導体装置 (100) 上に、配線層と共に形成された金属電極 (141, 142) と、金属電極 (141, 142) 上に絶縁膜 (220) を介して形成され、且つ nMOS 領域と pMOS 領域で分離して形成された、Ge を主成分とする半導体層 (231, 232) と、nMOS 領域の半導体層に nMOSFET を形成し、pMOS 領域の半導体層に pMOSFET を形成してなる第 2 の相補型半導体装置 (200) と、を具備した。

WO 2013/190863 A1

WO 2013/190863 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 積層型半導体装置及びその製造方法

技術分野

[0001] 本発明は、Geチャネルを用いた積層型半導体装置及びその製造方法に関する。

背景技術

[0002] 半導体集積回路の高性能化、低消費電力化において、配線長短縮による寄生容量及び寄生抵抗の低減のために、トランジスタの3次元積層が有効である。3次元化は既に、Siチップを積み上げてTSV(Through Silicon Via)で接続する技術が開発中である。しかし、TSVサイズが通常のCMOSプロセスの配線間隔に比べ2ケタ以上大きいため、接続密度を上げて配線の効率化をはかるのは限界がある。また、TSVのためのエリアペナルティが無視できない程度に大きいため、回路設計に支障を来したり、コストの増大を招いたりする。このため、より高密度に配線接続が可能な技術が求められる。

[0003] TSVによるエリアペナルティの問題を解決する手法の一つとして、SOI基板貼り合せによる3次元積層が提案され、下地CMOSに匹敵する上部トランジスタ性能が得られることが報告されている(例えば、非特許文献1, 2参照)。しかし、結晶Si層を貼り合わせることによるコスト増大の問題、上層トランジスタのプロセス温度、600度による下地CMOSへの影響は解決されていない。

[0004] また、CMOSの配線中間層若しくは最上層にa-Si-TFTによるCMOSを積層する技術が報告されている(例えば、非特許文献3参照)。しかし、a-Si-TFTの性能は、通常のSi-CMOSに比べ極端に悪く、適切なしきい値設定が困難である。このため、駆動電圧が高くなる、或いはリーク電流が高くなる等種々の制限がある。従って、3次元積層化による高性能化、低消費電力化のメリットを十分享受できていないのが現状である

。

先行技術文献

非特許文献

- [0005] 非特許文献1 : P. Batude et al., VLSI Technical Digest, (2011) p.158
非特許文献2 : P. Batude et al., IEDM Technical Digest, (2011) p.151
非特許文献3 : T. Naito et al., 2010 Symposium on VLSI Technology, Technical Digest Papers, p.219

発明の概要

発明が解決しようとする課題

- [0006] 発明が解決しようとする課題は、CMOS構造を有する下地半導体装置上に、高性能のCMOS回路を有する上層半導体装置を積層することができ、3D-CMOS構造の高性能化及び低消費電力化をはかり得る積層型半導体装置及びその製造方法を提供することである。

課題を解決するための手段

- [0007] 実施形態の積層型半導体装置は、半導体基板上にCMOS回路及び配線層が形成された第1の相補型半導体装置と、前記第1の相補型半導体装置上に、前記配線層と共に形成された金属電極と、前記金属電極上に絶縁膜を介して形成され、且つnMOS領域とpMOS領域で分離して形成された、Geを主成分とする半導体層と、前記nMOS領域の前記半導体層にnMOSFETを形成し、前記pMOS領域の前記半導体層にpMOSFETを形成してなる第2の相補型半導体装置と、を具備したことを特徴とする。

発明の効果

- [0008] 本発明の実施形態によれば、チャネル材料・極性、電極構の選択の組み合わせによって、CMOS構造を有する下地半導体装置上に、高性能のCMOS回路を有する上層半導体装置を積層することができる。このため、3D-CMOS構造の高性能化及び低消費電力化をはかることができる。

図面の簡単な説明

[0009] [図1]第1の実施形態に係わる積層型半導体装置の素子構造を示す断面図である。

[図2]第1の実施形態の積層型半導体装置をCMOSインバータに適用した例を示す等価回路図である。

[図3]第1の実施形態の積層型半導体装置をCMOSインバータに適用した例を示すレイアウト図である。

[図4]第1の実施形態の積層型半導体装置をNAND回路に適用した例を示す等価回路図である。

[図5]第1の実施形態の積層型半導体装置をNAND回路に適用した例を示すレイアウト図である。

[図6]GeチャネルのpMOSFET及びnMOSFETのしきい値特性を示す図である。

[図7]第2の実施形態に係わる積層型半導体装置の製造工程を示す断面図である。

[図8]第2の実施形態に係わる積層型半導体装置の製造工程を示す断面図である。

発明を実施するための形態

[0010] 以下、本発明の実施形態を図面を参照して説明する。

[0011] (第1の実施形態)

図1は、第1の実施形態に係わる積層型半導体装置の素子構造を示す断面図である。

[0012] Si支持基板110上に下地CMOS回路(第1の相補型半導体装置)100が形成されている。具体的には、基板110上に、ゲート絶縁膜112、ゲート電極113、及びソース／ドレイン領域(図示せず)からなるnMOSFETとpMOSFETを形成し、これらの上に多層の配線層131～134を形成することにより、Si-CMOS回路が作製されている。また、最上層には、配線層131～134及びビア120～129と同一プロセスによる金属電極141、142が形成されている。

- [0013] 金属電極 1 4 1 上には、p M O S 用の仕事関数制御層 2 1 1 が形成され、金属電極 1 4 2 上には、n M O S 用の仕事関数制御層 2 1 2 が形成されている。仕事関数制御層 2 1 1 上には、層間絶縁膜 2 2 0 を介して G e を主成分とする半導体層 2 3 1 が形成されている。この半導体層 2 3 1 に、ゲート絶縁膜 2 4 1、ゲート電極 2 5 1、及びメタル S / D 2 6 1 からなる p M O S F E T が形成されている。仕事関数制御層 2 1 2 上には、層間絶縁膜 2 2 0 を介して G e を主成分とする半導体層 2 3 2 が形成されている。この半導体層 2 3 2 に、ゲート絶縁膜 2 4 2、ゲート電極 2 5 2、及びメタル S / D 2 6 2 からなる n M O S F E T が形成されている。即ち、G e をチャネルとする上層 C M O S 回路（第 2 の相補型半導体装置）が形成されている。
- [0014] なお、図中の 1 1 1 は素子分離絶縁膜、1 1 4 はゲート側壁絶縁膜、1 5 0 は下層 C M O S 回路用の層間絶縁膜を示している。また、2 7 0 は上層 C M O S 回路用の層間絶縁膜、2 8 0 は上層 C M O S 回路用のビア、2 9 0 は上層 C M O S 回路用の配線層を示している。
- [0015] このように本実施形態では、下層が S i - C M O S 回路 1 0 0 で、その上部に G e をチャネルとする p M O S F E T 及び n M O S F E T からなる上層 G e - C M O S 回路 2 0 0 が、層間膜を介して形成されている。そして、下層 S i - C M O S 回路 1 0 0 と上層 G e - C M O S 回路 2 0 0 とは、ビア配線を介して電氣的に接続することにより一体化されている。
- [0016] なお、本実施形態では、最上層とその一つ下の層との間に G e - C M O S 回路 2 0 0 である、所謂 BEOL Tr. (Back End Of Line Transistor) を実装する構成を取っている。しかし、必ずしも BEOL Tr. の実装位置はこの層に限らず、中間層 1 層目（例えば、配線 1 3 1）を下地電極とし、1 層目と 2 層目の間に実装する場合を最下層として、これ以上の何れの層にも実装可能である。
- [0017] 図 2 及び図 3 は、本実施形態の BEOL Tr. によりインバータを構成した C M O S 回路を説明するためのもので、図 2 は等価回路図、図 3 はレイアウト図である。p M O S F E T、n M O S F E T を構成する各回路ブロックには

、下層配線層で形成された金属電極 141, 142 が配置されている。そして、信号線とは独立に用意したバックゲートバイアス電源によって、金属電極 141, 142 に V_{bgp} 及び V_{bgn} を独立に印加することが可能となっている。

[0018] 図4及び図5は、本実施形態の BEOL Tr. により NAND 回路を構成した CMOS 回路を説明するためのもので、図4は等価回路図、図5はレイアウト図である。図2及び図3の例と同様に、pMOSFET, nMOSFET を構成する各回路ブロックに下層配線層で形成された金属電極 141, 142 が配置され、バックゲートバイアス電源によって V_{bgp} 及び V_{bgn} を印加することが可能となっている。このため、ブースト (Boost)、スリープ (Sleep) 両方向に nMOSFET, pMOSFET 独立にしきい値電圧の制御が可能となる。従って、回路の演算頻度、要求速度に合わせたアダプティブなしきい値電圧設定が可能な構成を実現することができる。

[0019] 図6は、Geチャネルによる pMOSFET 及び nMOSFET のしきい値特性を示す図である。図6中の実線は制御無しの場合、破線はバックゲート電圧の調整によるブースト状態 ($V_{bgn} > 0$, $V_{bgp} < 0$) の場合、点線はバックゲート電圧の調整によるスリープ状態 ($V_{bgn} \leq 0$, $V_{bgp} \geq 0$) の場合である。ブースト状態では、オン電流が増大し、高速動作に適している。また、スリープ状態では、オフ電流が低減し、低消費電力動作が可能となる。

[0020] このようにバックゲート電圧を独立に制御することにより、Geチャネルを用いた pMOSFET 及び nMOSFET のしきい値をシフトさせることができ、Ge-CMOS 回路の性能を装置に要求される特性に合わせることができる。

[0021] 本実施形態では、配線中間層若しくは最上層に形成する BEOL Tr. は、nMOSFET, pMOSFET 共に a-Si よりも高い移動度を持ち、電流駆動力の増大が期待されるポリ Geチャネルにより構成される。各トランジスタは、配線層と同時形成される金属電極 (Grand plane: GP) 141, 1

42 上に、仕事関数制御層 211, 212 及び層間絶縁膜 220 を介して形成される。そして、上記 GP に nMOSFET, pMOSFET の各々に対して、下地 Si-CMOS 回路 100 である、所謂 FEOL Tr. (Front End Of Line Transistor) 及び BEOL Tr. の信号線とは独立な電源線による電圧制御を行うことで、動的しきい値制御を行うことができる。BEOL Tr. は、nMOSFET, pMOSFET 共に空乏型動作、反転型動作どちらでも構わない。GP 上に堆積する仕事関数制御層 211, 212 により、回路要求に合わせたしきい値設定を行うことができる。

[0022] 従来構造では、配線中間層若しくは最上層に形成する BEOL Tr. の性能とプロセスコストが二律背反で両者を同時に満たすことができない。これに対して本実施形態では、下地 CMOS 回路 (FEOL Tr.) を劣化させないプロセス温度において、適切なしきい値、電流駆動力を有する BEOL Tr. を形成することができる。

[0023] このように本実施形態によれば、上層 CMOS 回路 200 として Ge チャネルを用いることで、プロセス温度の低温化と、Si より高い移動度による高性能化 (低電圧化) が可能となる。また、配線工程とバックゲート (Grand plane) 形成工程をマージできるため、コストの低減が可能となる。さらに、金属電極 141, 142 でバックゲートを構成することができ、しかも nMOSFET, pMOSFET 共通で形成可能である。このことから、GP を半導体へのイオン注入によって形成する従来法で問題となるゲート空乏化の問題も回避できる。

[0024] また、GP 上に堆積する仕事関数制御層 211, 212 により、適切なしきい値設定が可能なることから、スタンバイ時のオフ電流を低減することで低消費電力化が可能となる。さらに、上記のしきい値設定下においても、バックゲート (GP) 電圧をブースト側にバイアスすることで、高速動作が必要な時のみ、しきい値設定を下げるといったアダプティブな電力制御を実現することが可能となり、3D-CMOS の高性能化・低消費電力化・低コスト化に寄与する。また、ソース/ドレインを NiGe 合金としているので、ソ

ース／ドレインの低抵抗化をはかり得ると云う利点もある。

[0025] 以上のように、本構成のチャネル材料・極性、電極構造の選択の組み合わせによって、背景技術の問題点が総合的に解決され、３次元ＣＭＯＳの高性能化・低消費電力化・低コスト化に寄与することができる。

[0026] (第２の実施形態)

次に、図１の積層型半導体装置の製造方法を、図７及び図８を参照して説明する。なお、図１と同一部分には同一符号を付して、その詳しい説明は省略する。

[0027] まず、図７（ａ）に示すように、Ｓｉ支持基板１１上に周知のプロセスによりｐＭＯＳＦＥＴ及びｎＭＯＳＦＥＴを形成する。そして、これらを配線層１３１～１３４及びビア１２０～１２９で接続することにより、Ｓｉ－ＣＭＯＳ回路（第１の相補型半導体装置）１００を形成する。このとき、最上層にｐＭＯＳ用の金属電極１４１とｎＭＯＳ用の金属電極１４２を、配線層１３１～１３４と同じプロセスで形成する。また、金属電極１４１，１４２とは別に、Ｓｉ－ＣＭＯＳ回路１００の最上面に、Ｓｉ－ＣＭＯＳ回路１００のトランジスタと電氣的に接続されるビア１２９を露出させる。

[0028] 金属電極１４１，１４２の具体的形成法としては、所謂ダマシンプロセスを用いることができる。例えば、層間絶縁膜１５０の表面にＢＥＯＬＴｒ.のバックゲートのパターンに対応する溝をそれぞれ設けた後に、全面に金属材料を堆積する。そして、ＣＭＰで表面を平坦化することにより、溝内のみに金属電極１４１，１４２を形成する。ここで、金属膜の形成前に溝内にバリアメタルを形成しても良い。他の配線層１３１～１３４に関しても、層間絶縁膜１５０と接する部分にバリアメタルを形成しても良い。さらに、ビア１２０～１２９に関しても、下地との界面に必要な応じてバリアメタルを形成しても良い。

[0029] 次いで、図７（ｂ）に示すように、通常バリアメタルの替わりに、通常のリソグラフィ工程を用いたｎ，ｐ作り分けプロセスによって、ｐＭＯＳ領域にｐＭＯＳＦＥＴ用仕事関数制御層２１１を形成し、ｎＭＯＳ領域にｎＭ

OSFET用仕事関数制御層212を形成する。具体的には、金属電極141上にTiN膜（仕事関数制御層）211をスパッタで形成し、金属電極142上にHfO₂/TiN膜（仕事関数制御層）212をスパッタで形成する。

[0030] 次いで、図7（c）に示すように、仕事関数制御層211，212上に層間絶縁膜220を10nm堆積した後に、上層CMOS回路のチャネルとなる厚さ30nmのa-Ge層230をCVD若しくはスパッタにて形成する。

[0031] 次いで、図8（d）に示すように、pMOS領域とnMOS領域に合わせてアクティブパターンをメサエッチングによって島状に素子分離した後、500℃以下の低温アニールによってa-Geを多結晶化し、ポリGe層231，232を形成する。即ち、pMOSFET用のバックゲートとなる金属電極141上に、仕事関数制御層211及び層間絶縁膜220を介してポリGe層231を形成する。さらに、nMOSFET用のバックゲートとなる金属電極142上に、仕事関数制御層212及び層間絶縁膜220を介してポリGe層232を形成する。

[0032] ここで、a-Ge層230の下地に金属電極141，142が存在するため、a-Ge層230をアニールする際に熱が逃げ易くなる。これにより、結晶化が促進されて結晶粒の増大化をはかることができる。また、アニール後のGe層231，232は多結晶であるが、素子が微細化されてチャネル長がグレインサイズに近くなると、多結晶であっても実質的に単結晶と同じように見なすことが可能となる。

[0033] 次いで、図8（e）に示すように、Ge層231，232上に、ゲート絶縁膜として250℃のALD成膜によるAl₂O₃膜（4nm）若しくはPECVDによるSiO₂（5nm）を堆積し、その上にTa₂N膜（30nm）をスパッタ成膜によって堆積する。そして、通常リソグラフィ工程によるゲートパターンニングとエッチングによって、ゲート電極を形成する。即ち、pMOS領域にゲート絶縁膜241を介してゲート電極251を形成し、nMOS

領域にゲート絶縁膜 242 を介してゲート電極 252 を形成する。この際、ゲート電極 251, 252 の両脇を酸化して側壁絶縁膜を形成しても良い。

[0034] 次いで、図 8 (f) に示すように、pMOSFET のソース／ドレインには、Ni 堆積と低温アニール (<350℃) により形成した NiGe 合金からなるメタル S/D 261 を形成する。nMOSFET でも同様に NiGe 合金を形成するが、nMOSFET では Ni 堆積前に S (硫黄) 不純物注入を行い、NiGe 形成時に NiGe/Ge 界面に高濃度硫黄偏析領域を形成した構成のメタル S/D 262 を形成する。S を偏析させることにより、メタル S/D 層 (NiGe) 262 と Ge 層 232 とのショットキー障壁を制御し、寄生抵抗を下げて駆動電流を大きくすることができる。その後、未反応の Ni 膜を希塩酸等で除去する。

[0035] 次いで、図 8 (g) に示すように、全面に層間絶縁膜 270 を形成した後、バックゲートとなる金属電極 141, 142、及びソース／ドレイン領域 251, 252 の各々に接続するためのコンタクトホールを形成する。続いて、コンタクトホール内に Cu 等の導電材料を埋め込んだ後に CMP で平坦化する。そして、Al 配線層 290 を形成して CMOS 回路を形成することにより、前記図 1 に示す構造が完成することになる。さらに、必要に応じてパッシベーション膜を形成する。

[0036] なお、配線層 290 に関しても、金属電極 141, 142 や他の配線層 131 ~ 134 と同様に、ダマシンプロセスで形成しても良い。即ち、図 8 (g) の工程でコンタクトホールと共に配線溝を設けておき、配線溝内に金属材料を埋め込むようにしても良い。

[0037] このように本実施形態によれば、上層 CMOS 回路 200 において、pMOS, nMOS 共に a-Si よりも移動度の高いポリ Ge 層 230 をチャネルとして用いるため、より高速なデバイスを作製することができる。しかも、Ge は Si よりも低温で形成可能であるため、上層 Ge-CMOS 回路 200 を形成する際に下層 Si-CMOS 回路 100 に与える影響を少なくすることができる。

[0038] また、配線工程とバックゲート (Grand plane) 形成工程をマージできるため、コストの低減が可能となる。さらに、図 7 (c) から図 8 (e) に示す工程では、a-Ge 層 230 の下地に金属電極 141, 142 が存在するため、a-Ge 層 230 をアニールする際に熱が逃げ易くなる。これにより、結晶化が促進されて結晶粒の増大をはかり得る利点もある。

[0039] (変形例)

なお、本発明は上述した各実施形態に限定されるものではない。

[0040] 第 2 の相補型半導体装置の形成基板は必ずしも Ge 層に限るものではなく、Ge を主成分とするものであればよい。さらに、第 1 の相補型半導体装置の形成基板は必ずしも Si 基板に限るものではなく、Ge 基板を用いることもでき、更に化合物半導体を用いることも可能である。

[0041] 実施形態では、第 2 の相補型半導体装置の Ge チャネルの MOSFET 構造としてソース／ドレインを NiGe で形成したが、これに限らず他の金属、例えば Co, Pd, Pt と Ge との合金を用いることができる。また、ソース／ドレインは必ずしも合金に限らず、不純物ドーピングによる拡散層としても良い。さらに、Ge チャネルの MOSFET は、ソースドレイン (S/D) とチャネルの間に pn 接合のない、所謂ジャンクションレスのトランジスタ構造としても良い。

[0042] また、Ge チャネルの nMOSFET では、合金層とチャネルとの間に偏析される元素として S を用いたが、Se, Te 等のカルコゲン元素を用いることも可能である。さらに、カルコゲン元素 (S, Se, Te) の組み合わせをドーピングするようにしても良い。また、Ge チャネルに関して、n 型及び p 型に適した不純物をドーピングすることも可能である。

[0043] 本発明の幾つかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許

請求の範囲に記載された発明とその均等の範囲に含まれるものである。

符号の説明

- [0044] 100…Si-CMOS回路（第1の相補型半導体装置）
110…Si支持基板
111…素子分離絶縁膜
112…ゲート絶縁膜
113…ゲート電極
114…ゲート側壁絶縁膜
120～129…ビア
131～134…配線層
141, 142…金属電極（バックゲート電極）
150…層間絶縁膜
200…Ge-CMOS回路（第2の相補型半導体装置）
211, 212…仕事関数制御層
220…層間絶縁膜
230…a-Ge層
231, 232…ポリGe層
241, 242…ゲート絶縁膜
251, 252…ゲート電極
261, 262…メタルS/D
270…層間絶縁膜
280…ビア
290…配線層

請求の範囲

- [請求項1] 半導体基板上にCMOS回路及び配線層が形成された第1の相補型半導体装置と、
- 前記第1の相補型半導体装置上に、前記配線層と共に形成された金属電極と、
- 前記金属電極上に絶縁膜を介して形成され、且つnMOS領域とpMOS領域で分離して形成された、Geを主成分とする半導体層と、
- 前記nMOS領域の前記半導体層にnMOSFETを形成し、前記pMOS領域の前記半導体層にpMOSFETを形成してなる第2の相補型半導体装置と、
- を具備したことを特徴とする積層型半導体装置。
- [請求項2] 前記金属電極は、前記nMOS領域及び前記pMOS領域で分離して形成されていることを特徴とする請求項1記載の積層型半導体装置。
- [請求項3] 前記金属電極には、前記nMOSFET及び前記pMOSFETで独立の信号線が接続されていることを特徴とする請求項2記載の積層型半導体装置。
- [請求項4] 前記金属電極には、前記nMOSFET及び前記pMOSFETで共通の信号線が接続されていることを特徴とする請求項2記載の積層型半導体装置。
- [請求項5] 前記金属電極と前記絶縁膜との間に、前記pMOS領域と前記nMOS領域とで異なる仕事関数制御層が形成されていることを特徴とする請求項1記載の積層型半導体装置。
- [請求項6] 前記仕事関数制御層はTiN又はTaNであり、前記絶縁膜は希土類酸化物を含むことを特徴とする請求項5記載の積層型半導体装置。
- [請求項7] 前記仕事関数制御層はTiN又はTaNであり、前記絶縁膜はHfO₂、Al₂O₃、HfAlOの何れかを含むことを特徴とする請求項5記載の積層型半導体装置。
- [請求項8] 前記第2の相補型半導体装置は、前記第1の相補型半導体装置の最

上層に形成された前記金属電極上に形成され、前記第 1 の相補型半導体装置と電氣的に接続されていることを特徴とする請求項 1 ～ 7 の何れかに記載の積層型半導体装置。

[請求項9] 前記第 2 の相補型半導体装置は、前記第 1 の相補型半導体装置の複数の配線層のうちの間層に形成された前記金属電極上に形成され、前記第 1 の相補型半導体装置と電氣的に接続されていることを特徴とする請求項 1 ～ 7 の何れかに記載の積層型半導体装置。

[請求項10] 前記第 1 の相補型半導体装置は S i 基板上に形成されていることを特徴とする請求項 1 ～ 7 の何れかに記載の積層型半導体装置。

[請求項11] 半導体基板上に、CMOS回路及び配線層を有する第 1 の相補型半導体装置を形成すると共に、最上層に金属電極を形成する工程と、
前記金属電極上に絶縁膜を介して Ge を主成分とする半導体層を形成する工程と、

前記半導体層を n MOS 領域と p MOS 領域で分離する工程と、

前記 n MOS 領域に n MOS FET を形成し、前記 p MOS 領域に p MOS FET を形成することにより、第 2 の相補型半導体装置を形成する工程と、

を含むことを特徴とする積層型半導体装置の製造方法。

[請求項12] 前記半導体層を形成する工程として、前記金属電極上に絶縁膜を介してアモルファスの Ge 層を形成した後、前記 Ge 層をアニール処理することにより多結晶の Ge 層を形成することを特徴とする請求項 1 1 記載の積層型半導体装置の製造方法。

[請求項13] 前記金属電極をダマシンプロセスにより形成することを特徴とする請求項 1 1 記載の積層型半導体装置の製造方法。

[請求項14] 半導体基板上に、CMOS回路及び配線層を有する第 1 の相補型半導体装置を形成すると共に、最上層に n MOS 領域と p MOS 領域で分離された金属電極を形成する工程と、

前記第 1 の相補型半導体装置上に絶縁膜を介して Ge を主成分とす

る半導体層を形成する工程と、

前記半導体層を前記 n M O S 領域と前記 p M O S 領域で分離する工程と、

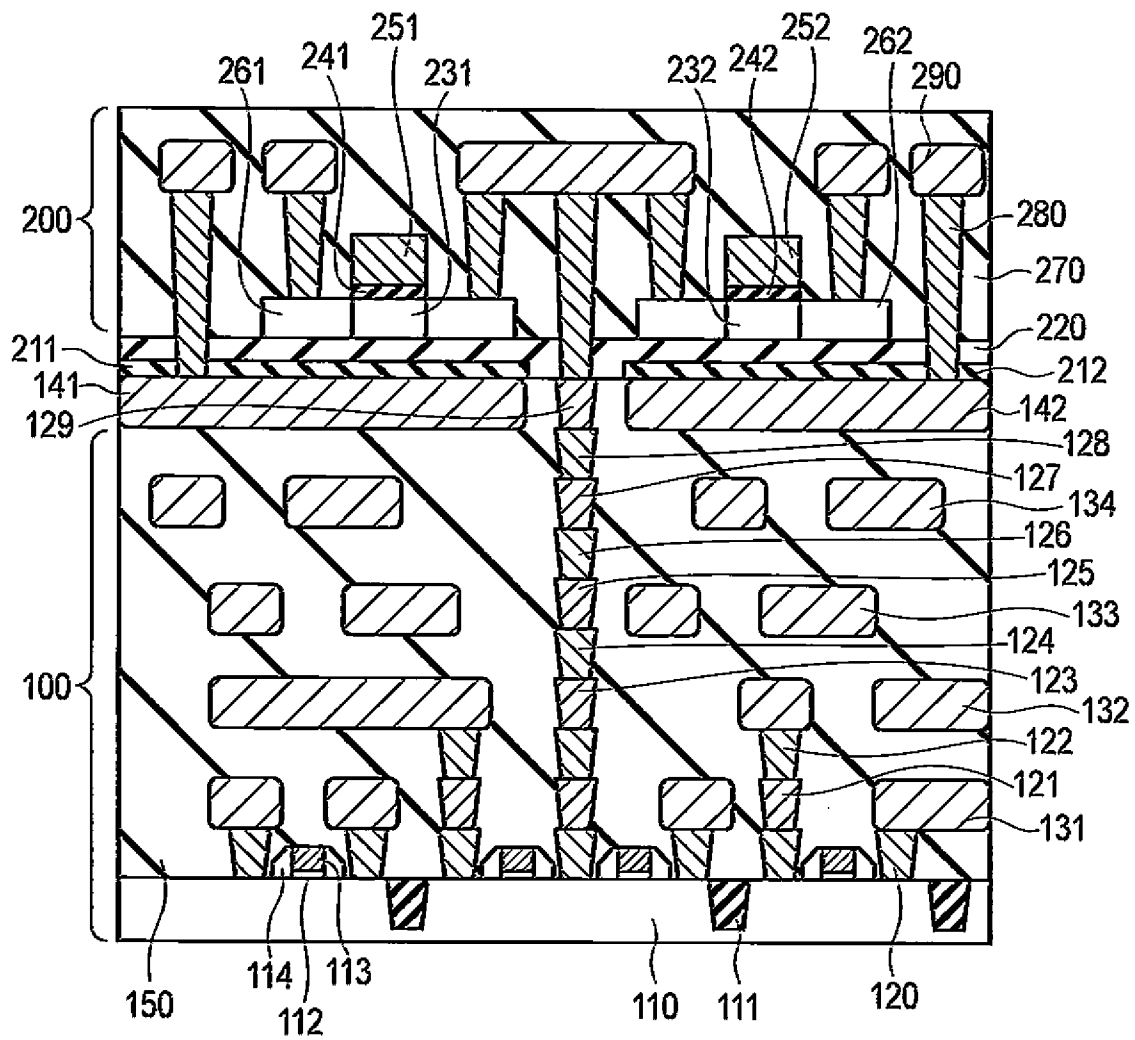
前記 n M O S 領域に n M O S F E T を形成し、前記 p M O S 領域に p M O S F E T を形成することにより、第 2 の相補型半導体装置を形成する工程と、

を含むことを特徴とする積層型半導体装置の製造方法。

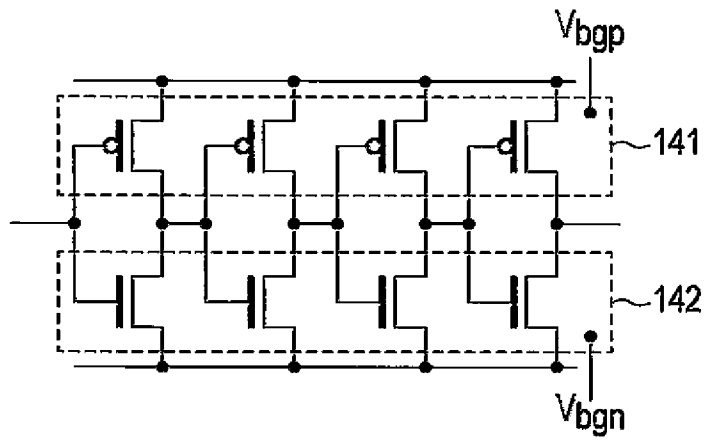
[請求項15] 前記半導体層を形成する工程として、前記金属電極上に絶縁膜を介してアモルファスの G e 層を形成した後、前記 G e 層をアニール処理することにより多結晶の G e 層を形成することを特徴とする請求項 1 4 記載の積層型半導体装置の製造方法。

[請求項16] 前記金属電極をダマシンプロセスにより形成することを特徴とする請求項 1 4 記載の積層型半導体装置の製造方法。

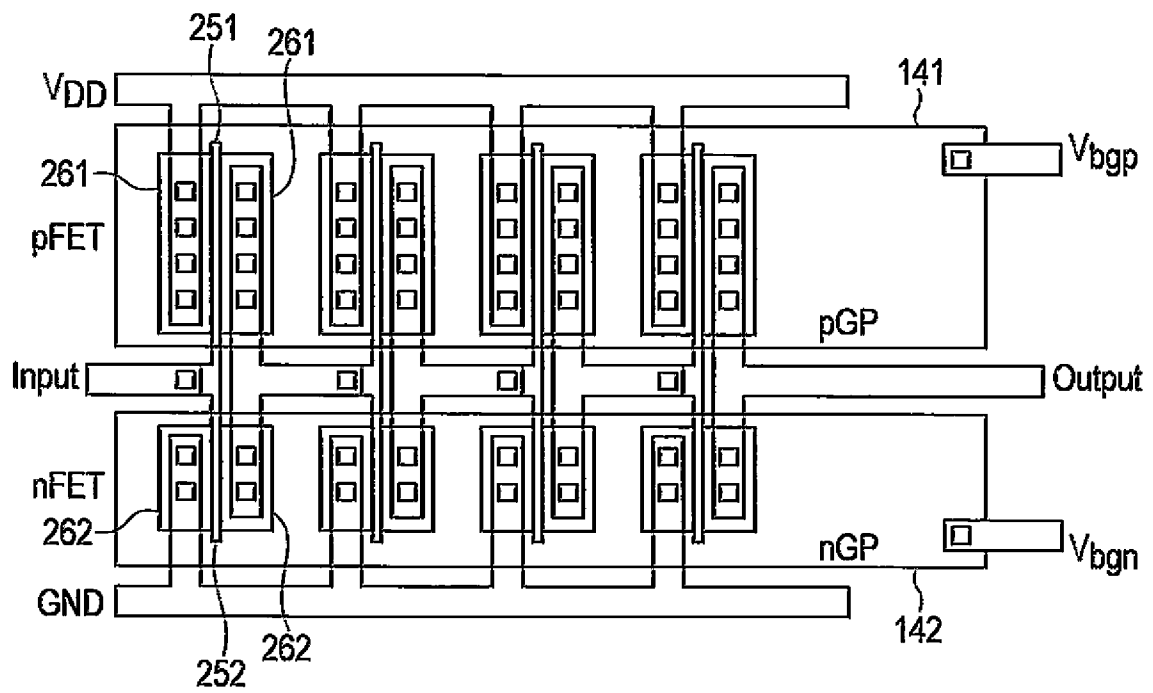
[図1]



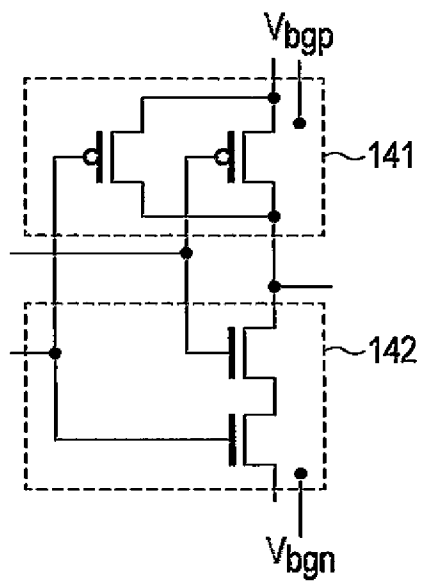
[図2]



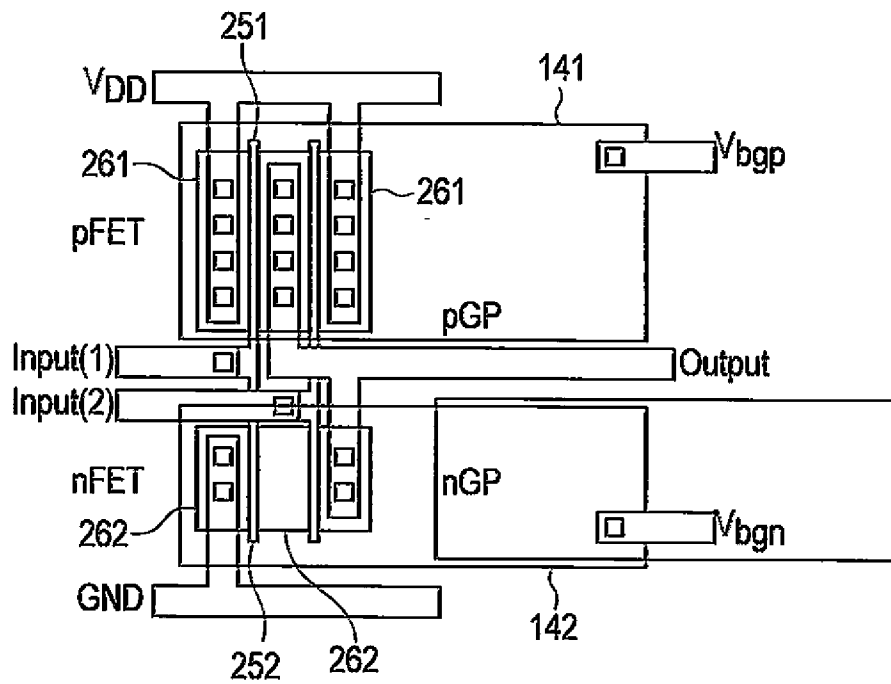
[図3]



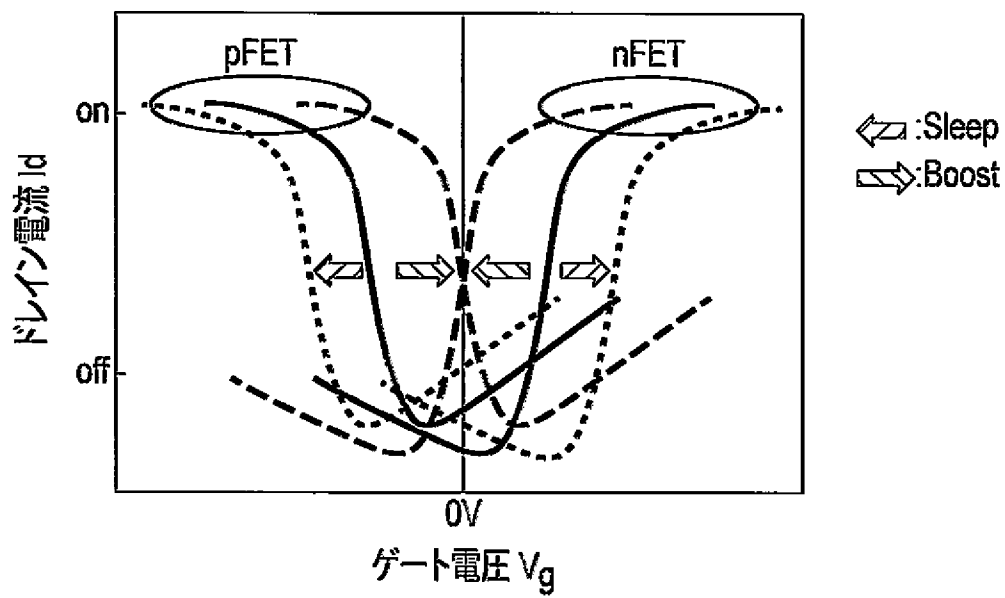
[図4]



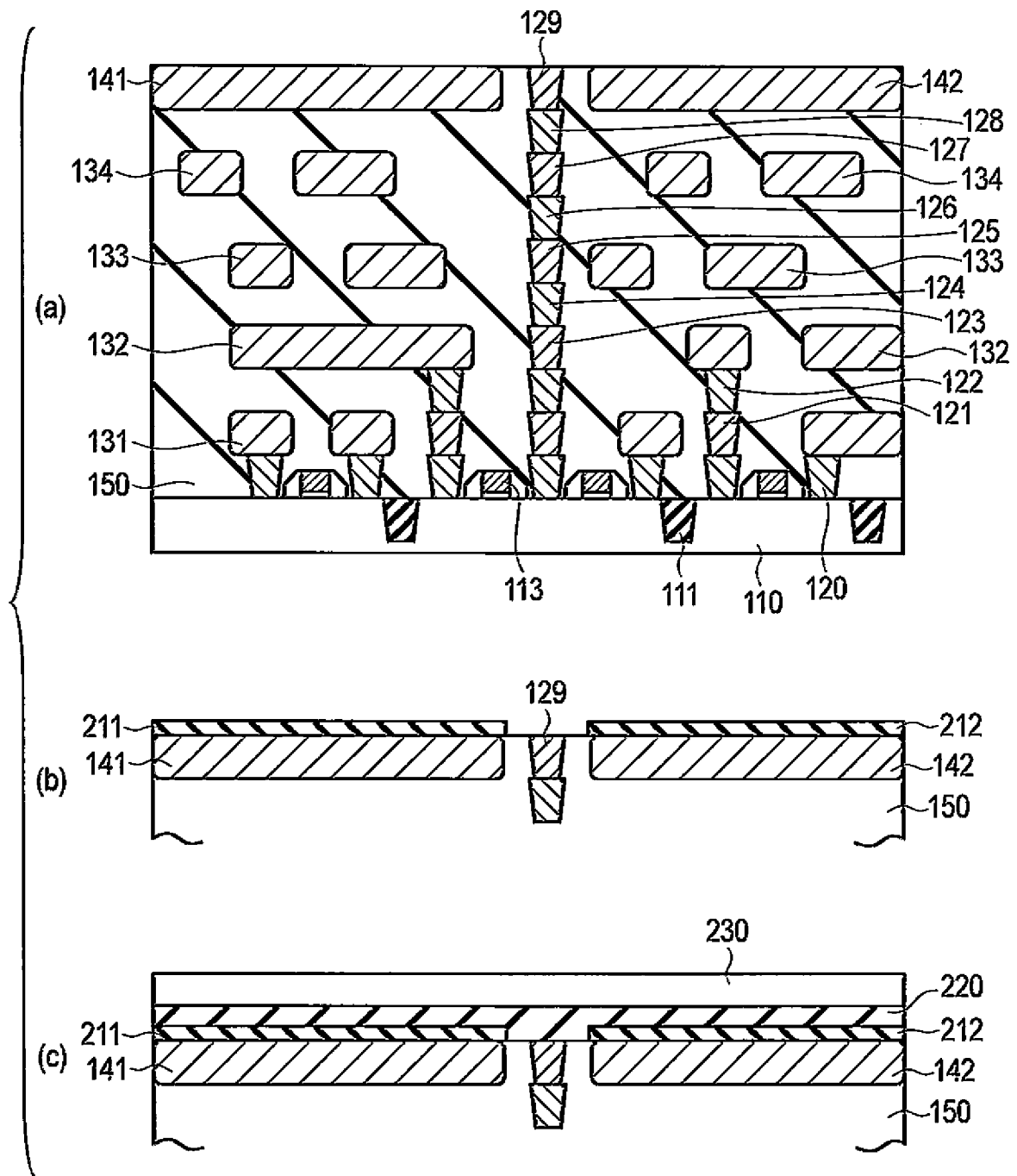
[図5]



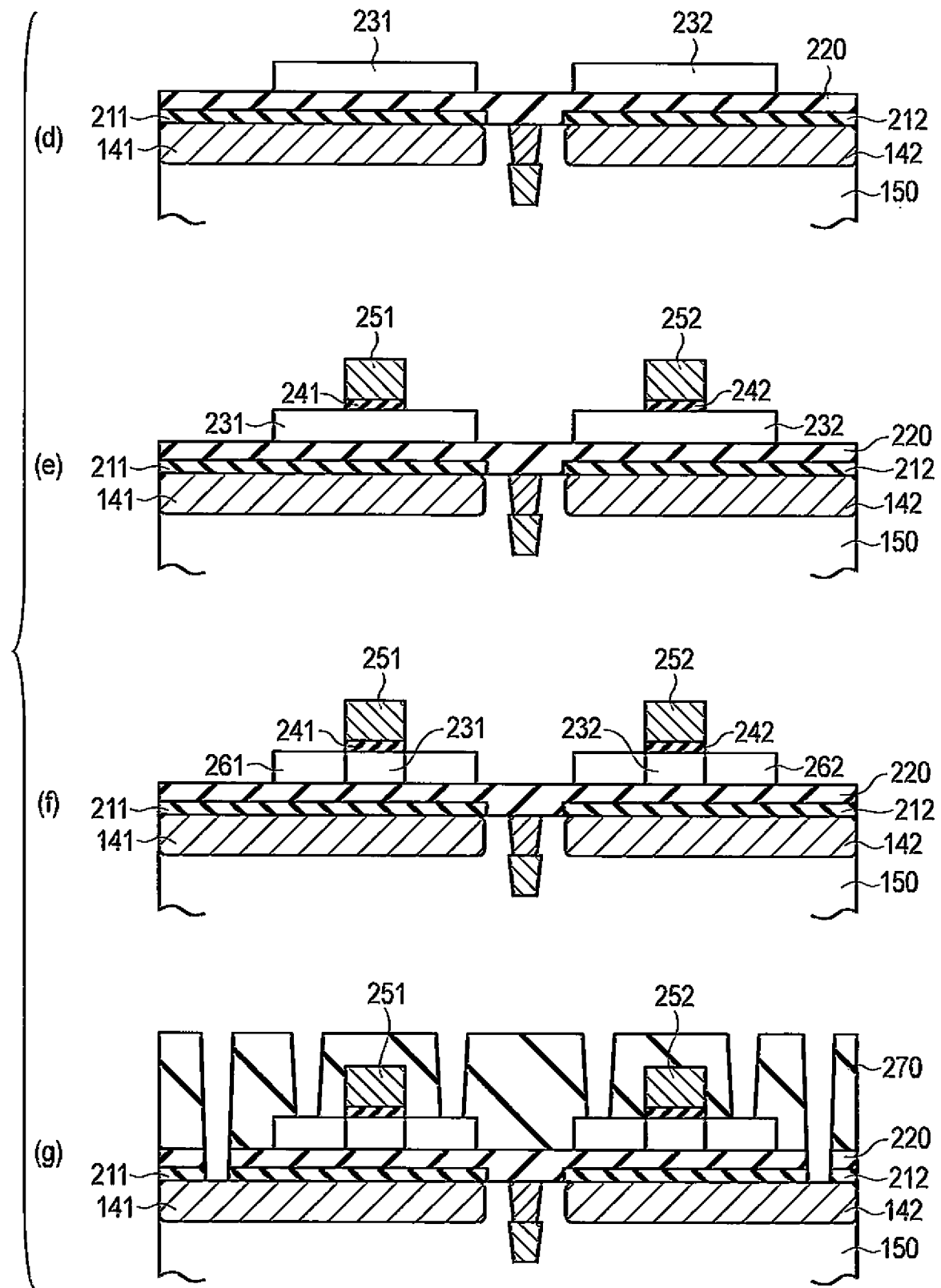
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/055527

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i, H01L21/20(2006.01)i, H01L21/768(2006.01)i,
H01L23/522(2006.01)i, H01L27/00(2006.01)i, H01L27/092(2006.01)i, H01L29/41
(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/20, H01L21/768, H01L23/522, H01L27/00, H01L27/092,
H01L29/41, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-344941 A (Sharp Corp.), 21 December 2006 (21.12.2006), entire text; all drawings & US 2006/0281232 A1 entire text; all drawings	1-4, 8-16 5-7
Y	JP 2010-141230 A (Renesas Electronics Corp.), 24 June 2010 (24.06.2010), fig. 7 & US 2010/0148171 A1 fig. 7	1-4, 8-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 March, 2013 (13.03.13)

Date of mailing of the international search report
26 March, 2013 (26.03.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/055527

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-142314 A (Semiconductor Energy Laboratory Co., Ltd.), 21 July 2011 (21.07.2011), fig. 7 & US 2011/0140099 A1 fig. 7 & WO 2011/070928 A1 & CN 102656683 A & TW 201138026 A	1-4, 8-16
Y	JP 2006-210828 A (Fujitsu Ltd.), 10 August 2006 (10.08.2006), paragraphs [0051] to [0054] & US 2006/0170046 A1 paragraphs [0067] to [0071]	12, 15
A	JP 2012-028731 A (Renesas Electronics Corp.), 09 February 2012 (09.02.2012), entire text; all drawings (Family: none)	1-16
A	JP 2012-084851 A (Semiconductor Energy Laboratory Co., Ltd.), 26 April 2012 (26.04.2012), entire text; all drawings & EP 2428959 A1 & KR 10-2012-0028229 A & TW 201222550 A	1-16
A	JP 2007-251131 A (Sharp Corp.), 27 September 2007 (27.09.2007), entire text; all drawings & US 2007/0218622 A1	1-16
A	JP 05-090517 A (Toshiba Corp.), 09 April 1993 (09.04.1993), entire text; all drawings (Family: none)	1-16

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/8238(2006.01)i, H01L21/20(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/00(2006.01)i, H01L27/092(2006.01)i, H01L29/41(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/8238, H01L21/20, H01L21/768, H01L23/522, H01L27/00, H01L27/092, H01L29/41, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2006-344941 A (シャープ株式会社) 2006. 12. 21, 全文, 全図 & US 2006/0281232 A1, 全文, 全図	1-4, 8-16 5-7
Y	JP 2010-141230 A (ルネサスエレクトロニクス株式会社) 2010. 06. 24, 第 7 図 & US 2010/0148171 A1, 第 7 図	1-4, 8-16
Y	JP 2011-142314 A (株式会社半導体エネルギー研究所) 2011. 07. 21, 第 7 図 & US 2011/0140099 A1 第 7 図 & WO 2011/070928 A1 & CN 102656683 A & TW 201138026 A	1-4, 8-16

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 3 . 2 0 1 3

国際調査報告の発送日

2 6 . 0 3 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

宇多川 勉

5 F

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-210828 A (富士通株式会社) 2006. 08. 10, 【0051】 - 【0054】 & US 2006/0170046 A1, [0067]-[0071]	12, 15
A	JP 2012-028731 A (ルネサスエレクトロニクス株式会社) 2012. 02. 09, 全文, 全図 (ファミリーなし)	1-16
A	JP 2012-084851 A (株式会社半導体エネルギー研究所) 2012. 04. 26, 全文, 全図 & EP 2428959 A1 & KR 10-2012-0028229 A & TW 201222550 A	1-16
A	JP 2007-251131 A (シャープ株式会社) 2007. 09. 27, 全文, 全図 & US 2007/0218622 A1	1-16
A	JP 05-090517 A (株式会社東芝) 1993. 04. 09, 全文, 全図 (ファミ リーなし)	1-16