(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年9月7日(07.09.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/166827 A1

(51) 国際特許分類:
H01L 29/06 (2006.01) *H01L 21/329* (2006.01)
H01L 29/78 (2006.01) *H01L 29/868* (2006.01)
H01L 29/739 (2006.01) *H01L 29/861* (2006.01)
H01L 21/336 (2006.01)

(21) 国際出願番号： PCT/JP2022/047319

(22) 国際出願日： 2022年12月22日(22.12.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-033875 2022年3月4日(04.03.2022) JP

(71) 出願人: ローム株式会社 (**ROHM CO., LTD.**) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１番地 Kyoto (JP).

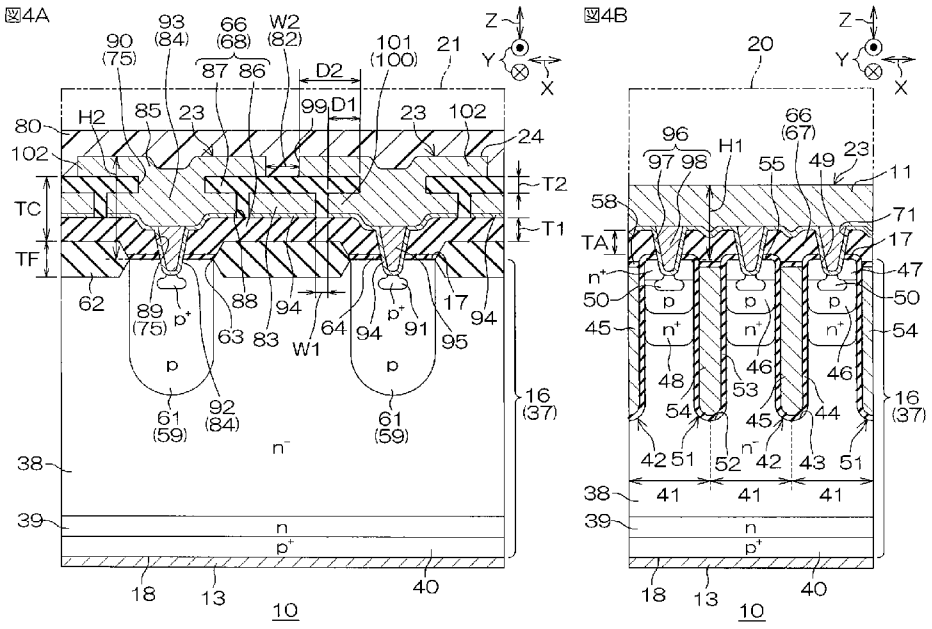
(72) 発明者: 岡本 武士 (**OKAMOTO, Takeshi**); 〒6158585 京都府京都市右京区西院溝崎町２１番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人あい特許事務所 (**AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS**); 〒5410059 大阪府大阪市中央区博労町三丁目２番８号 岩田東急ビル８階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MODULE

(54) 発明の名称： 半導体装置および半導体モジュール



(57) **Abstract:** A semiconductor device according to the present invention comprises: a semiconductor chip that has a first main surface; a withstand voltage holding structure that is formed in the peripheral region in the periphery of an element formation region on the first main surface of the semiconductor chip, and holds the withstand voltage of the element structure; an interlayer insulation layer that is formed on the first main surface of the semiconductor chip; a plurality of first conductive layers that are formed on the first main surface so as to be spaced apart from each other, and that are

WO 2023/166827 A1

[続葉有]

CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

connected to the withstand voltage holding structure through the interlayer insulation layer; a second conductive layer that is insulated from the semiconductor chip by the interlayer insulation layer and overlaps the spaces between the plurality of first conductive layers which are adjacent in plan view; and a protection layer that is formed on the interlayer insulation layer so as to cover the plurality of first conductive layers and the second conductive layer.

(57) 要約:半導体装置は、第１主面を有する半導体チップと、前記半導体チップの前記第１主面において前記素子形成領域の周囲の周囲領域に形成され、前記素子構造の耐圧を保持する耐圧保持構造と、前記半導体チップの前記第１主面に形成された層間絶縁層と、前記第１主面上において互いに間隔を空けて形成された複数の第１導電層であって、前記層間絶縁層を通って前記耐圧保持構造に接続された複数の第１導電層と、前記層間絶縁層によって前記半導体チップから絶縁され、平面視において隣り合う前記複数の第１導電層間のスペースに重なる第２導電層と、前記複数の第１導電層および前記第２導電層を覆うように前記層間絶縁層上に形成された保護層とを含む。

明　細　書

発明の名称 ： 半導体装置および半導体モジュール

技術分野

[0001]　本開示は、半導体装置および半導体モジュールに関する。

背景技術

[0002]　たとえば、特許文献１に記載の半導体装置は、表面、裏面および表面に交差する方向に延びる端面を有する半導体層と、半導体層の表面部に形成されたｐ型のボディ領域と、ボディ領域の表面部に形成されたｎ$^{+}$型のソース領域と、半導体層の裏面に露出するように形成され、ボディ領域によってソース領域から分離されているｎ$^{-}$型のドリフト領域と、ゲート絶縁膜を挟んでボディ領域に対向するゲート電極と、裏面においてドリフト領域にショットキー接合され、半導体層の端面よりも内側に離れた位置に周縁を有するドレイン電極と、裏面側に形成され、ドレイン電極の周縁部に重なるように配置されている裏面終端構造とを備えている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０２１－１５８３８８号公報

発明の概要

発明が解決しようとする課題

[0004]　本開示の一実施形態は、層間絶縁層が水分に晒されることによる耐圧の低下を抑制することができる半導体装置を提供する。

課題を解決するための手段

[0005]　本開示の一実施形態に係る半導体装置は、素子構造を含む素子形成領域が形成された第１主面を有する半導体チップと、前記半導体チップの前記第１主面において前記素子形成領域の周囲の周囲領域に形成され、前記素子構造の耐圧を保持する耐圧保持構造と、前記半導体チップの前記第１主面に形成された層間絶縁層と、前記第１主面上において互いに間隔を空けて形成され

た複数の第１導電層であって、前記層間絶縁層を通って前記耐圧保持構造に接続された複数の第１導電層と、前記層間絶縁層によって前記半導体チップから絶縁され、平面視において隣り合う前記複数の第１導電層間のスペースに重なる第２導電層と、前記複数の第１導電層および前記第２導電層を覆うように前記層間絶縁層上に形成された保護層とを含む。

図面の簡単な説明

[0006] [図1]図１は、本開示の一実施形態に係る半導体装置の模式的な外観図である。

[図2]図２は、図１の素子チップの模式的な平面図である。

[図3]図３は、図２のＩＩＩ－ＩＩＩ線に沿う断面図である。

[図4]図４Ａおよび図４Ｂは、それぞれ、前記素子チップの外側領域および素子形成領域における模式的な断面図である。

[図5]図５は、エミッタ引き出し電極層およびゲート引き出し電極層の構造を説明するための示す模式的な断面図である。

[図6]図６は、封止導電層の平面パターンを模式的に示す図である。

[図7]図７は、封止導電層の平面パターンを模式的に示す図である。

[図8]図８Ａおよび図８Ｂは、前記半導体装置の製造工程の一部を示す図である。

[図9]図９Ａおよび図９Ｂは、図８Ａおよび図８Ｂの次の工程を示す図である。

[図10]図１０Ａおよび図１０Ｂは、図９Ａおよび図９Ｂの次の工程を示す図である。

[図11]図１１Ａおよび図１１Ｂは、図１０Ａおよび図１０Ｂの次の工程を示す図である。

[図12]図１２Ａおよび図１２Ｂは、図１１Ａおよび図１１Ｂの次の工程を示す図である。

[図13]図１３Ａおよび図１３Ｂは、図１２Ａおよび図１２Ｂの次の工程を示す図である。

[図14]図１４Ａおよび図１４Ｂは、図１３Ａおよび図１３Ｂの次の工程を示す図である。

[図15]図１５Ａおよび図１５Ｂは、図１４Ａおよび図１４Ｂの次の工程を示す図である。

[図16]図１６Ａおよび図１６Ｂは、図１５Ａおよび図１５Ｂの次の工程を示す図である。

[図17]図１７Ａおよび図１７Ｂは、図１６Ａおよび図１６Ｂの次の工程を示す図である。

[図18]図１８Ａおよび図１８Ｂは、それぞれ、前記素子チップの外側領域および素子形成領域における模式的な断面図である。

[図19]図１９Ａおよび図１９Ｂは、それぞれ、前記素子チップの外側領域および素子形成領域における模式的な断面図である。

[図20]図２０Ａおよび図２０Ｂは、それぞれ、前記素子チップの外側領域および素子形成領域における模式的な断面図である。

[図21]図２１は、封止導電層の平面パターンを模式的に示す図である。

[図22]図２２は、封止導電層の平面パターンを模式的に示す図である。

[図23]図２３Ａおよび図２３Ｂは、それぞれ、前記素子チップの外側領域および素子形成領域における模式的な断面図である。

[図24]図２４Ａおよび図２４Ｂは、それぞれ、前記素子チップの外側領域および素子形成領域における模式的な断面図である。

[図25]図２５は、前記素子チップの外側領域における模式的な断面図である。

[図26]図２６Ａおよび図２６Ｂは、それぞれ、前記素子チップの外側領域および素子形成領域における模式的な断面図である。

[図27]図２７は、本開示の一実施形態に係る半導体モジュールの模式的な外観図である。

[図28]図２８は、図２７の半導体モジュールの電気的構造を示す回路図である。

発明を実施するための形態

[0007] 次に、本開示の実施形態を、添付図面を参照して詳細に説明する。

［半導体装置１の全体構成］

図１は、本開示の一実施形態に係る半導体装置１の模式的な外観図である。図１では、パッケージ本体２を一点鎖線で示すことによって、パッケージ本体２の内部構造を透視して示している。

[0008] 半導体装置１は、直方体形状のパッケージ本体２を含む、ＩＧＢＴディスクリート半導体である。パッケージ本体２は、モールド樹脂により形成されている。パッケージ本体２は、マトリクス樹脂（たとえばエポキシ樹脂）、複数のフィラーおよび複数の可撓化粒子（可撓化剤）を含んでいてもよい。パッケージ本体２は、一方側の第１面３、他方側の第２面４、ならびに、第１面３および第２面４を接続する第１～第４側壁５Ａ～５Ｄを有している。

[0009] 第１面３および第２面４は、それらの法線方向Ｚから見た平面視において四角形状に形成されている。第１側壁５Ａおよび第２側壁５Ｂは、第１方向Ｘに延び、第１方向Ｘに直交する第２方向Ｙに対向している。第３側壁５Ｃおよび第４側壁５Ｄは、第２方向Ｙに延び、第１方向Ｘに対向している。

[0010] 半導体装置１は、パッケージ本体２内に配置された金属板６（導体板）を含む。金属板６は、「ダイパッド」と称されてもよい。金属板６は、平面視において四角形状（具体的には長方形状）に形成されている。金属板６は、第１側壁５Ａからパッケージ本体２の外部に引き出された引き出し板部７を含む。引き出し板部７は、円形の貫通孔８を有している。金属板６は、第２面４から露出していてもよい。

[0011] 半導体装置１は、パッケージ本体２の内部から外部に引き出された複数（この実施形態では３個）のリード端子９を含む。複数のリード端子９は、第２側壁５Ｂ側に配置されている。複数のリード端子９は、第２側壁５Ｂの直交方向（つまり第２方向Ｙ）に延びる帯状にそれぞれ形成されている。複数のリード端子９のうちの両サイドのリード端子９は、金属板６から間隔を空けて配置され、中央のリード端子９は金属板６と一体的に形成されている。

金属板６に接続されるリード端子９の配置は任意である。

[0012] 半導体装置１は、パッケージ本体２内において金属板６の上に配置された素子チップ１０を含む。素子チップ１０は、表面側にエミッタ端子電極１１およびゲート端子電極１２を有し、裏面側にコレクタ端子電極１３を有している。素子チップ１０は、コレクタ端子電極１３を金属板６に対向させた姿勢で金属板６の上に配置され、金属板６に電気的に接続されている。

[0013] 半導体装置１は、コレクタ端子電極１３および金属板６の間に介在され、素子チップ１０を金属板６に接合させる導電接着剤１４を含む。導電接着剤１４は、半田または金属ペーストを含んでいてもよい。半田は、鉛フリー半田であってもよい。金属ペーストは、Ａｕ、ＡｇおよびＣｕのうちの少なくとも１つを含んでいてもよい。Ａｇペーストは、Ａｇ焼結ペーストからなっていてもよい。Ａｇ焼結ペーストは、ナノサイズまたはマイクロサイズのＡｇ粒子が有機溶剤に添加されたペーストからなる。

[0014] 半導体装置１は、パッケージ本体２内においてリード端子９および素子チップ１０に電気的に接続された少なくとも１つ（この実施形態では複数）の導線１５（導電接続部材）を含む。導線１５は、この実施形態では、金属ワイヤ（つまりボンディングワイヤ）からなる。導線１５は、金ワイヤ、銅ワイヤおよびアルミニウムワイヤのうちの少なくとも１つを含んでいてもよい。むろん、導線１５は、金属ワイヤに代えて金属クリップ等の金属板からなっていてもよい。

[0015] 少なくとも１つ（この実施形態では１つ）の導線１５は、ゲート端子電極１２およびリード端子９に電気的に接続されている。少なくとも１つ（この実施形態では４つ）の導線１５は、エミッタ端子電極１１およびリード端子９に電気的に接続されている。

［素子チップ１０の全体構成］

図２は、図１の素子チップ１０の模式的な平面図である。

[0016] 図２を参照して、素子チップ１０は、平面視四角形状のチップ状に形成された半導体チップ１６を含む。半導体チップ１６は、第１主面１７と、第１

主面１７の反対側の第２主面１８と、第１主面１７および第２主面１８を接続する第１～第４側面１９Ａ，１９Ｂ，１９Ｃ，１９Ｄとを含む。

[0017] 第１主面１７および第２主面１８は、それらの法線方向Ｚから見た平面視において四角形状に形成されている。第１側面１９Ａおよび第２側面１９Ｂは、第１方向Ｘに延び、第１方向Ｘに直交する第２方向Ｙに対向している。第３側面１９Ｃおよび第４側面１９Ｄは、第２方向Ｙに延び、第１方向Ｘに対向している。

[0018] 半導体チップ１６には、素子形成領域２０と、素子形成領域２０の外側の領域である、外側領域２１およびスクライブ領域２２とが設定されている。

[0019] 素子形成領域２０は、半導体チップ１６の第１主面１７の法線方向から見た平面視において、半導体チップ１６の中央領域に設定されている。外側領域２１は、素子形成領域２０の外側の領域に設定されている。スクライブ領域２２は、外側領域２１の外側の領域に設定されている。

[0020] 素子形成領域２０は、この実施形態では、ＩＧＢＴ（Insulated Gate Bipolar Transistor：絶縁ゲートバイポーラトランジスタ）が形成された領域である。素子形成領域２０は、アクティブ領域と称されてもよい。素子形成領域２０は、平面視において、半導体チップ１６の第１～第４側面１９Ａ，１９Ｂ，１９Ｃ，１９Ｄに平行な４辺を有する平面視四角形状に設定されている。素子形成領域２０は、半導体チップ１６の第１～第４側面１９Ａ，１９Ｂ，１９Ｃ，１９Ｄから半導体チップ１６の内側に間隔を空けて設定されている。

[0021] 外側領域２１は、素子形成領域２０の外周を区画する領域である。外側領域２１は、半導体チップ１６の第１～第４側面１９Ａ，１９Ｂ，１９Ｃ，１９Ｄと素子形成領域２０との間の領域において、素子形成領域２０を取り囲む無端状（平面視四角環状）に設定されている。外側領域２１は、素子形成領域２０の外周を形成する観点から、半導体チップ１６の外周領域と定義してもよい。

[0022] スクライブ領域２２は、製造時にダイシングブレード等の切断部材が通過

する領域である。スクライブ領域２２は、半導体チップ１６の第１～第４側面１９Ａ，１９Ｂ，１９Ｃ，１９Ｄと外側領域２１との間の領域において、外側領域２１を取り囲む無端状（平面視四角環状）に設定されている。

[0023] 半導体チップ１６の第１主面１７上には、表面電極２３が形成されている。表面電極２３は、ゲート端子電極１２、エミッタ端子電極１１、フィールドプレート電極２４および等電位ポテンシャル電極２５を含んでいてもよい。ゲート端子電極１２、エミッタ端子電極１１、フィールドプレート電極２４および等電位ポテンシャル電極２５は、それらを縁取る絶縁領域２６によって、それぞれ電気的に絶縁されている。

[0024] ゲート端子電極１２は、主に、外側領域２１に形成されている。ゲート端子電極１２は、ゲートパッド２７およびゲートフィンガー２８を含む。ゲートパッド２７は、平面視において、第２側面１９Ｃの中央領域に沿って形成されている。ゲートパッド２７は、この実施形態では、平面視四角形状に形成されている。ゲートパッド２７は、外側領域２１から素子形成領域２０内に引き出されており、素子形成領域２０および外側領域２１の境界部を横切っている。

[0025] ゲートフィンガー２８は、外側領域２１において、ゲートパッド２７から引き出されており、素子形成領域２０を３方向から囲んでいる。ゲートフィンガー２８は、第４側面１９Ｄ側において、一対の開放端２９，３０を有している。ゲートフィンガー２８は、一対の開放端２９，３０およびゲートパッド２７の間の領域を帯状に延びている。ゲートフィンガー２８は、より具体的には、第１ゲートフィンガー３１および第２ゲートフィンガー３２を含む。

[0026] 第１ゲートフィンガー３１は、ゲートパッド２７の第１側面１９Ａ側の端部から引き出されている。第１ゲートフィンガー３１は、第４側面１９Ｄ側において、開放端２９を有している。第１ゲートフィンガー３１は、ゲートパッド２７および開放端２９の間の領域において、第３側面１９Ｃおよび第１側面１９Ａに沿って帯状に延びている。

[0027] 第２ゲートフィンガー３２は、ゲートパッド２７の第２側面１９Ｂ側の端部から引き出されている。第２ゲートフィンガー３２は、第４側面１９Ｄ側において、開放端３０を有している。第２ゲートフィンガー３２は、ゲートパッド２７および開放端３０の間の領域において、第３側面１９Ｃおよび第２側面１９Ｂに沿って帯状に延びている。

[0028] エミッタ端子電極１１は、エミッタパッド３３、エミッタ引き回し部３４およびエミッタ接続部３５を含む。

[0029] エミッタパッド３３は、ゲートパッド２７の周縁およびゲートフィンガー２８の周縁によって区画された平面視凹状の領域内に形成されている。エミッタパッド３３は、ゲートパッド２７の周縁およびゲートフィンガー２８の周縁に沿う平面視凹状に形成されている。エミッタパッド３３は、ゲートパッド２７外の素子形成領域２０のほぼ全域を被覆している。エミッタパッド３３の周縁は、素子形成領域２０から外側領域２１内に引き出されており、素子形成領域２０および外側領域２１の境界部を横切っている。

[0030] エミッタ引き回し部３４は、外側領域２１に形成されている。エミッタ引き回し部３４は、ゲートフィンガー２８の外側の領域において、帯状に引き回されている。エミッタ引き回し部３４は、この実施形態では、ゲートフィンガー２８を取り囲む無端状（平面視四角環状）に形成されている。エミッタ引き回し部３４は、ゲートフィンガー２８を取り囲む有端状に形成されていてもよい。

[0031] エミッタ接続部３５は、エミッタパッド３３から引き出されている。エミッタ接続部３５は、ゲートフィンガー２８の一対の開放端２９，３０の間の領域を横切って、エミッタ引き回し部３４に接続されている。エミッタ引き回し部３４は、エミッタ接続部３５を介してエミッタパッド３３に電気的に接続されている。

[0032] 素子形成領域２０に形成されたＩＧＢＴは、その構造上、ｎｐｎ型の寄生バイポーラトランジスタを含む。素子形成領域２０外の領域で生じたアバランシェ電流が素子形成領域２０に流れ込むと、寄生バイポーラトランジスタ

がオン状態となる。この場合、たとえばラッチアップにより、ＩＧＢＴの制御が不安定になる。

[0033] そこで、この実施形態では、エミッタパッド３３、エミッタ引き回し部３４およびエミッタ接続部３５を含むエミッタ端子電極１１によって、素子形成領域２０外の領域で生じたアバランシェ電流を回収するアバランシェ電流回収構造３６を形成している。より具体的には、エミッタ引き回し部３４により、素子形成領域２０外の領域で生じたアバランシェ電流が回収される。回収されたアバランシェ電流は、エミッタ接続部３５を介してエミッタパッド３３から取り出される。これにより、素子形成領域２０外の領域で生じた不所望な電流によって寄生バイポーラトランジスタがオン状態になるのを抑制できる。よって、ラッチアップを抑制できるから、ＩＧＢＴの制御の安定性を高めることができる。

[0034] フィールドプレート電極２４は、外側領域２１に形成されている。図２では、フィールドプレート電極２４が黒色のラインで示されている。フィールドプレート電極２４は、外側領域２１において間隔を空けて、複数（この実施形態では４つ）形成されている。各フィールドプレート電極２４は、エミッタ引き回し部３４に沿って帯状に引き回されている。各フィールドプレート電極２４は、この実施形態では、エミッタ引き回し部３４を取り囲む無端状（平面視四角環状）に形成されている。少なくとも１つのフィールドプレート電極２４が、有端状に形成されていてもよい。

[0035] 等電位ポテンシャル電極２５は、スクライブ領域２２に形成されている。等電位ポテンシャル電極２５は、フィールドプレート電極２４に沿って帯状に引き回されている。等電位ポテンシャル電極２５は、この実施形態では、フィールドプレート電極２４を取り囲む無端状（平面視四角環状）に形成されている。等電位ポテンシャル電極２５は、所謂ＥＱＲ（EQui－potential Ring）電極として形成されている。

［素子チップ１０の内部構造］

次に、素子チップ１０の内部構造について具体的に説明する。図３は、図

２のＩＩＩ－ＩＩＩ線に沿う断面図である。図４Ａおよび図４Ｂは、それぞれ、素子チップ１０の外側領域２１および素子形成領域２０における模式的な断面図である。図５は、エミッタ引き出し電極層５７およびゲート引き出し電極層５６の構造を説明するための示す模式的な断面図である。図６および図７は、封止導電層８３の平面パターンを模式的に示す図である。以下の説明において、各構成要素の寸法（たとえば、厚さ、幅、長さ等）の互いの比率関係は、図３～図７に明示された寸法の比率関係と一致するものではないことを予め付記しておく。また、図３では、明瞭化のため、図４Ａおよび図４Ｂに示された構成要素の一部を省略している。

[0036] 図３～図５を参照して、半導体チップ１６は、ｎ⁻型の半導体基板３７を含む単層構造を有している。半導体基板３７は、この実施形態では、ＦＺ(Floating Zone)法によって形成されたシリコン製のＦＺ基板であってもよい。半導体チップ１６は、全体として層状に形成されているので半導体層と称してもよい。

[0037] 半導体チップ１６は、ｎ⁻型のドリフト領域３８を含む。ドリフト領域３８は、具体的には、第１方向Ｘおよび第２方向Ｙにおいて半導体チップ１６の全域に形成されている。図３を参照して、ドリフト領域３８は、素子形成領域２０に加えて、外側領域２１およびスクライブ領域２２にも形成されている。ドリフト領域３８は、法線方向Ｚ（半導体チップ１６の厚さ方向）において、半導体チップ１６の第１主面１７の表層部に形成されている。ドリフト領域３８のｎ型不純物濃度は、１．０×10^{13}ｃｍ$^{-3}$以上１．０×10^{15}ｃｍ$^{-3}$以下であってもよい。

[0038] 半導体装置１は、半導体チップ１６の第２主面１８の上に形成された裏面電極の一例としてのコレクタ端子電極１３を含む。コレクタ端子電極１３は、第２主面１８に電気的に接続されている。コレクタ端子電極１３は、第２主面１８との間でオーミック接触を形成している。コレクタ端子電極１３は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層およびＡｌ層のうちの少なくとも１つを含んでいてもよい。コレクタ端子電極１３は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａ

ｇ層またはＡｌ層を含む単層構造を有していてもよい。コレクタ端子電極１３は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層およびＡｌ層のうちの少なくとも２つを任意の態様で積層させた積層構造を有していてもよい。

[0039] 半導体装置１は、半導体チップ１６の第２主面１８の表層部に形成されたｎ型のバッファ層３９を含む。バッファ層３９は、第２主面１８の表層部の全域に形成されていてもよい。バッファ層３９のｎ型不純物濃度は、ドリフト領域３８のｎ型不純物濃度よりも大きい。バッファ層３９のｎ型不純物濃度は、１．０×10^{15}ｃｍ$^{-3}$以上１．０×10^{17}ｃｍ$^{-3}$以下であってもよい。バッファ層３９の厚さは、０．５μｍ以上３０μｍ以下であってもよい。バッファ層３９の厚さは、０．５μｍ以上５μｍ以下、５μｍ以上１０μｍ以下、１０μｍ以上１５μｍ以下、１５μｍ以上２０μｍ以下、２０μｍ以上２５μｍ以下、または、２５μｍ以上３０μｍ以下であってもよい。

[0040] 素子形成領域２０は、半導体チップ１６の第２主面１８の表層部に形成されたｐ型のコレクタ領域４０を含む。コレクタ領域４０は、第２主面１８から露出している。コレクタ領域４０は、第２主面１８の表層部において半導体チップ１６の全域に形成されていてもよい。図３を参照して、コレクタ領域４０は、素子形成領域２０に加えて、外側領域２１およびスクライブ領域２２にも形成されている。コレクタ領域４０は、後述するボディ領域４６と対向する対向領域に加えて、ボディ領域４６と対向しない非対向領域にも形成されている。コレクタ領域４０のｐ型不純物濃度は、１．０×10^{15}ｃｍ$^{-3}$以上１．０×10^{18}ｃｍ$^{-3}$以下であってもよい。コレクタ領域４０は、コレクタ端子電極１３との間でオーミック接触を形成している。

[0041] 図３および図４Ｂを参照して、素子形成領域２０は、半導体チップ１６の第１主面１７に形成されたＦＥＴ構造４１を含む。素子形成領域２０は、この実施形態では、トレンチゲート型のＦＥＴ構造４１を含む。ＦＥＴ構造４１は、具体的には、第１主面１７に形成されたトレンチゲート構造４２を含む。

[0042] トレンチゲート構造４２は、素子形成領域２０において第１方向Ｘに沿っ

て間隔を空けて複数形成されている。第１方向Ｘに互いに隣り合う２つのトレンチゲート構造４２の間の距離は、１μｍ以上８μｍ以下であってもよい。２つのトレンチゲート構造４２の間の距離は、１μｍ以上２μｍ以下、２μｍ以上３μｍ以下、３μｍ以上４μｍ以下、４μｍ以上５μｍ以下、５μｍ以上６μｍ以下、６μｍ以上７μｍ以下、または、７μｍ以上８μｍ以下であってもよい。

[0043] 複数のトレンチゲート構造４２は、図示は省略するが、平面視において第２方向Ｙに沿って延びる帯状に形成されていてもよい。複数のトレンチゲート構造４２は、全体としてストライプ状に形成されていてもよい。複数のトレンチゲート構造４２は、第２方向Ｙの一方側の一端部および第２方向Ｙの他方側の他端部をそれぞれ有している。トレンチゲート構造４２は、平面視格子状に形成されていてもよい。

[0044] 図４Ｂを参照して、各トレンチゲート構造４２は、ゲートトレンチ４３、ゲート絶縁層４４およびゲート電極層４５を含む。ゲートトレンチ４３は、第１主面１７に形成されている。ゲートトレンチ４３は、側壁および底壁を含む。ゲートトレンチ４３の側壁は、第１主面１７に対して垂直に形成されていてもよい。

[0045] ゲートトレンチ４３の側壁は、第１主面１７から底壁に向かって下り傾斜していてもよい。ゲートトレンチ４３は、開口側の開口面積が底面積よりも大きいテーパ形状に形成されていてもよい。ゲートトレンチ４３の底壁は、第１主面１７に対して平行に形成されていてもよい。ゲートトレンチ４３の底壁は、第２主面１８に向かう湾曲状に形成されていてもよい。ゲートトレンチ４３は、底壁エッジ部を含む。底壁エッジ部は、ゲートトレンチ４３の側壁および底壁を接続している。底壁エッジ部は、第２主面１８に向かう湾曲状に形成されていてもよい。

[0046] ゲートトレンチ４３の深さは、２μｍ以上１０μｍ以下であってもよい。ゲートトレンチ４３の深さは、２μｍ以上３μｍ以下、３μｍ以上４μｍ以下、４μｍ以上５μｍ以下、５μｍ以上６μｍ以下、６μｍ以上７μｍ以下

、８μｍ以上９μｍ以下、または、９μｍ以上１０μｍ以下であってもよい。ゲートトレンチ４３の深さは、ゲートトレンチ４３の底壁の最深部の深さ位置と第１主面１７との距離と定義されてもよい。

[0047] ゲートトレンチ４３の幅は、０．５μｍ以上３μｍ以下であってもよい。ゲートトレンチ４３の幅は、ゲートトレンチ４３の第１方向Ｘの幅である。ゲートトレンチ４３の幅は、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、または、２．５μｍ以上３μｍ以下であってもよい。

[0048] ゲート絶縁層４４は、ゲートトレンチ４３の内壁に沿って膜状に形成されている。ゲート絶縁層４４は、ゲートトレンチ４３内においてリセス空間を区画している。ゲート絶縁層４４は、この実施形態では、シリコン酸化膜を含む。ゲート絶縁層４４は、シリコン酸化膜に代えてまたはこれに加えて、窒化シリコン膜を含んでいてもよい。

[0049] ゲート電極層４５は、ゲート絶縁層４４を挟んでゲートトレンチ４３に埋め込まれている。ゲート電極層４５は、具体的には、ゲートトレンチ４３においてゲート絶縁層４４によって区画されたリセス空間に埋め込まれている。ゲート電極層４５は、ゲート信号によって制御される。ゲート電極層４５は、導電性ポリシリコンを含んでいてもよい。

[0050] ゲート電極層４５は、断面視において法線方向Ｚに沿って延びる壁状に形成されている。ゲート電極層４５は、ゲートトレンチ４３の開口側に位置する上端部を有している。ゲート電極層４５の上端部は、第１主面１７に対してゲートトレンチ４３の底壁側に位置している。

[0051] 図３および図４Ｂを参照して、ＦＥＴ構造４１は、半導体チップ１６の第１主面１７の表層部に形成されたｐ型のボディ領域４６を含む。ボディ領域４６のｐ型不純物濃度は、$1.0\times10^{17}cm^{-3}$以上$1.0\times10^{18}cm^{-3}$以下であってもよい。ボディ領域４６は、トレンチゲート構造４２の両側にそれぞれ形成されている。ボディ領域４６は、平面視においてトレンチゲート構造４２に沿って延びる帯状に形成されている。ボディ領域４６は、ゲー

トトレンチ４３の側壁から露出している。ボディ領域４６の底部は、法線方向Ｚに関して、第１主面１７およびゲートトレンチ４３の底壁の間の領域に形成されている。

[0052] 図４Ｂを参照して、ＦＥＴ構造４１は、ボディ領域４６の表層部に形成されたｎ$^{+}$型のエミッタ領域４７を含む。エミッタ領域４７のｎ型不純物濃度は、ドリフト領域３８のｎ型不純物濃度よりも大きい。エミッタ領域４７のｎ型不純物濃度は、１．０×１０^{19}ｃｍ$^{-3}$以上１．０×１０^{20}ｃｍ$^{-3}$以下であってもよい。

[0053] ＦＥＴ構造４１は、この実施形態では、トレンチゲート構造４２の両側に形成された複数のエミッタ領域４７を含む。エミッタ領域４７は、平面視においてトレンチゲート構造４２に沿って延びる帯状に形成されている。エミッタ領域４７は、第１主面１７およびゲートトレンチ４３の側壁から露出している。エミッタ領域４７の底部は、法線方向Ｚに関して、ゲート電極層４５の上端部およびボディ領域４６の底部の間の領域に形成されている。

[0054] 図４を参照して、ＦＥＴ構造４１は、この実施形態では、半導体チップ１６においてボディ領域４６に対して第２主面１８側の領域に形成されたｎ$^{+}$型のキャリアストレージ領域４８を含む。キャリアストレージ領域４８のｎ型不純物濃度は、ドリフト領域３８のｎ型不純物濃度よりも大きい。キャリアストレージ領域４８のｎ型不純物濃度は、１．０×１０^{15}ｃｍ$^{-3}$以上１．０×１０^{17}ｃｍ$^{-3}$以下であってもよい。

[0055] ＦＥＴ構造４１は、この実施形態では、トレンチゲート構造４２の両側に形成された複数のキャリアストレージ領域４８を含む。キャリアストレージ領域４８は、平面視においてトレンチゲート構造４２に沿って延びる帯状に形成されている。キャリアストレージ領域４８は、ゲートトレンチ４３の側壁から露出している。キャリアストレージ領域４８の底部は、法線方向Ｚに関して、ボディ領域４６の底部およびゲートトレンチ４３の底壁の間の領域に形成されている。

[0056] キャリアストレージ領域４８は、半導体チップ１６に供給されたキャリア

（正孔）がボディ領域４６に引き戻される（排出される）ことを抑制する。これにより、半導体チップ１６においてＦＥＴ構造４１の直下の領域に正孔が蓄積される。その結果、オン抵抗の低減およびオン電圧の低減が図られる。

[0057] 図３および図４Ｂを参照して、ＦＥＴ構造４１は、半導体チップ１６の第１主面１７に形成されたコンタクトトレンチ４９を含む。ＦＥＴ構造４１は、この実施形態では、トレンチゲート構造４２の両側に形成された複数のコンタクトトレンチ４９を含む。コンタクトトレンチ４９は、エミッタ領域４７を露出させている。コンタクトトレンチ４９は、この実施形態では、エミッタ領域４７を貫通している。コンタクトトレンチ４９は、トレンチゲート構造４２から第１方向Ｘに間隔を空けて形成されている。コンタクトトレンチ４９は、平面視においてトレンチゲート構造４２に沿って帯状に延びている。

[0058] 図４Ｂを参照して、ＦＥＴ構造４１は、ボディ領域４６においてコンタクトトレンチ４９の底壁に沿う領域に形成されたｐ$^{+}$型のコンタクト領域５０を含む。コンタクト領域５０のｐ型不純物濃度は、ボディ領域４６のｐ型不純物濃度よりも大きい。コンタクト領域５０のｐ型不純物濃度は、１．０×１０^{19}ｃｍ$^{-3}$以上１．０×１０^{20}ｃｍ$^{-3}$以下であってもよい。コンタクト領域５０は、コンタクトトレンチ４９の底壁から露出している。コンタクト領域５０は、平面視においてコンタクトトレンチ４９に沿って帯状に延びている。コンタクト領域５０の底部は、法線方向Ｚに関して、コンタクトトレンチ４９の底壁およびボディ領域４６の底部の間の領域に形成されている。

[0059] このように、ＦＥＴ構造４１では、ゲート電極層４５が、ゲート絶縁層４４を挟んでボディ領域４６およびエミッタ領域４７に対向している。この実施形態では、ゲート電極層４５は、ゲート絶縁層４４を挟んでキャリアストレージ領域４８にも対向している。ＩＧＢＴのチャネルは、ボディ領域４６においてエミッタ領域４７およびドリフト領域３８（キャリアストレージ領域４８）の間の領域に形成される。チャネルのオン・オフは、ゲート信号に

よって制御される。

[0060] 図３および図４Ｂを参照して、素子形成領域２０は、半導体チップ１６の第１主面１７にエミッタトレンチ構造５１を含む。エミッタトレンチ構造５１は、第１主面１７の表層部においてトレンチゲート構造４２に隣り合う領域に形成されている。エミッタトレンチ構造５１は、平面視において第２方向Ｙに沿って延びる帯状に形成されている。複数のエミッタトレンチ構造５１は、全体としてストライプ状に形成されていてもよい。エミッタトレンチ構造５１は、トレンチゲート構造４２と平行な帯状であってもよい。

[0061] 素子形成領域２０では、第１方向Ｘに沿って間隔を空けて、トレンチゲート構造４２およびエミッタトレンチ構造５１が交互に配列されている。トレンチゲート構造４２およびエミッタトレンチ構造５１は、等しい間隔を空けて交互に配列されていてもよい。第１方向Ｘに互いに隣り合う２つのトレンチゲート構造４２およびエミッタトレンチ構造５１の間の距離（ピッチ）は、たとえば、１．０μｍ以上３．５μｍ以下であってもよい。また、図５を参照して、トレンチゲート構造４２は、第２方向Ｙにおいてエミッタトレンチ構造５１よりも長く延び、エミッタトレンチ構造５１の端部から離れた領域において第１方向Ｘに延びる部分を有していてもよい。

[0062] 図４Ｂを参照して、エミッタトレンチ構造５１は、エミッタトレンチ５２、エミッタ絶縁層５３およびエミッタ電位電極層５４を含む。エミッタトレンチ５２は、半導体チップ１６の第１主面１７に形成されている。エミッタトレンチ５２は、側壁および底壁を含む。エミッタトレンチ５２の側壁は、第１主面１７に対して垂直に形成されていてもよい。

[0063] エミッタトレンチ５２の側壁は、第１主面１７から底壁に向かって下り傾斜していてもよい。エミッタトレンチ５２は、開口側の開口面積が底面積よりも大きいテーパ形状に形成されていてもよい。エミッタトレンチ５２においてトレンチゲート構造４２に面する側壁（外側側壁）からは、エミッタ領域４７、ボディ領域４６およびキャリアストレージ領域４８が露出している。エミッタトレンチ５２の底壁は、第１主面１７に対して平行に形成されて

いてもよい。エミッタトレンチ５２の底壁は、第２主面１８に向かう湾曲状に形成されていてもよい。エミッタトレンチ５２は、底壁エッジ部を含む。底壁エッジ部は、エミッタトレンチ５２の側壁および底壁を接続している。底壁エッジ部は、半導体チップ１６の第２主面１８に向かう湾曲状に形成されていてもよい。

[0064] エミッタトレンチ５２の深さは、２μｍ以上１０μｍ以下であってもよい。エミッタトレンチ５２の深さは、２μｍ以上３μｍ以下、３μｍ以上４μｍ以下、４μｍ以上５μｍ以下、５μｍ以上６μｍ以下、６μｍ以上７μｍ以下、８μｍ以上９μｍ以下、または、９μｍ以上１０μｍ以下であってもよい。エミッタトレンチ５２の深さは、ゲートトレンチ４３の深さと等しくてもよい。

[0065] エミッタトレンチ５２の幅は、０．５μｍ以上３μｍ以下であってもよい。エミッタトレンチ５２の幅は、エミッタトレンチ５２の第１方向Ｘの幅である。エミッタトレンチ５２の幅は、０．５μｍ以上１μｍ以下、１μｍ以上１．５μｍ以下、１．５μｍ以上２μｍ以下、２μｍ以上２．５μｍ以下、または、２．５μｍ以上３μｍ以下であってもよい。エミッタトレンチ５２の幅は、ゲートトレンチ４３の幅と等しくてもよい。

[0066] エミッタ絶縁層５３は、エミッタトレンチ５２の内壁に沿って膜状に形成されている。エミッタ絶縁層５３は、エミッタトレンチ５２内においてリセス空間を区画している。エミッタ絶縁層５３は、この実施形態では、シリコン酸化膜を含む。エミッタ絶縁層５３は、シリコン酸化膜に代えてまたはこれに加えて、窒化シリコン膜を含んでいてもよい。

[0067] エミッタ電位電極層５４は、エミッタ絶縁層５３を挟んでエミッタトレンチ５２に埋め込まれている。エミッタ電位電極層５４は、具体的には、エミッタトレンチ５２においてエミッタ絶縁層５３によって区画されたリセス空間に埋め込まれている。エミッタ電位電極層５４は、導電性ポリシリコンを含んでいてもよい。エミッタ電位電極層５４は、エミッタ信号によって制御される。

[0068] エミッタ電位電極層５４は、断面視において法線方向Ｚに沿って延びる壁状に形成されている。エミッタ電位電極層５４は、エミッタトレンチ５２の開口側に位置する上端部を有している。エミッタ電位電極層５４の上端部は、第１主面１７に対してエミッタトレンチ５２の底壁側に位置している。

[0069] 図４Ｂおよび図５を参照して、ゲートトレンチ４３およびエミッタトレンチ５２外の半導体チップ１６の第１主面１７には、当該第１主面１７を被覆する第１表面絶縁膜５５が形成されている。ゲート絶縁層４４およびエミッタ絶縁層５３は、ゲートトレンチ４３およびエミッタトレンチ５２外において第１表面絶縁膜５５に連なっている。第１表面絶縁膜５５は、ゲート絶縁層４４およびエミッタ絶縁層５３と同じ絶縁材料により、ゲート絶縁層４４およびエミッタ絶縁層５３と一体的に形成されている。

[0070] 図５を参照して、第１表面絶縁膜５５上には、ゲート引き出し電極層５６およびエミッタ引き出し電極層５７が形成されている。

[0071] ゲート引き出し電極層５６は、ゲート電極層４５の上端部からゲートトレンチ４３外に引き出された電極層である。ゲート引き出し電極層５６は、ゲート電極層４５と同じ導電材料により、ゲート電極層４５と一体的に形成されている。なお、図３ではゲート引き出し電極層５６が第１主面１７に接しているが、本来は第１表面絶縁膜５５により半導体チップ１６とゲート引き出し電極層５６との間は絶縁されている。図３を参照して、ゲート引き出し電極層５６は、ゲートフィンガー２８（ゲート端子電極１２）の直下の領域に引き出されている。ゲート引き出し電極層５６は、ゲートフィンガー２８と電気的に接続されている。これにより、トレンチゲート構造４２が、ゲート端子電極１２に電気的に接続されている。

[0072] エミッタ引き出し電極層５７は、エミッタ電位電極層５４の上端部からエミッタトレンチ５２外に引き出された電極層である。エミッタ引き出し電極層５７は、エミッタ電位電極層５４と同じ導電材料により、エミッタ電位電極層５４と一体的に形成されている。図５を参照して、エミッタ引き出し電極層５７は、エミッタ端子電極１１の直下の領域に引き出されている。エミ

ッタ引き出し電極層５７は、エミッタ端子電極１１と電気的に接続されている。エミッタ引き出し電極層５７とエミッタ端子電極１１との間は、バリア層１０５（たとえば、チタン系金属）とコンタクトプラグ１０６（たとえば、タングステン）との積層構造によって接続されていてもよい。これにより、エミッタトレンチ構造５１が、エミッタ端子電極１１に電気的に接続されている。

[0073] 図４Ｂおよび図５を参照して、半導体チップ１６の第１主面１７上には、第２表面絶縁膜５８が形成されている。第２表面絶縁膜５８は、ゲート電極層４５、ゲート引き出し電極層５６、エミッタ電位電極層５４およびエミッタ引き出し電極層５７の表面に形成されており、ゲート電極層４５、ゲート引き出し電極層５６、エミッタ電位電極層５４およびエミッタ引き出し電極層５７を被覆している。第２表面絶縁膜５８は、ゲート電極層４５、ゲート引き出し電極層５６、エミッタ電位電極層５４およびエミッタ引き出し電極層５７に接する絶縁膜であってもよい。第２表面絶縁膜５８は、この実施形態では、シリコン酸化膜を含む。第２表面絶縁膜５８は、シリコン酸化膜に代えてまたはこれに加えて、窒化シリコン膜を含んでいてもよい。

[0074] 図３を参照して、外側領域２１において、半導体チップ１６の第１主面１７の表層部には、耐圧保持構造の一例としての終端領域５９が形成されている。終端領域５９は、ｎ⁻型のドリフト領域３８にｐ型不純物を導入することによって形成されたｐ型不純物領域である。終端領域５９は、素子形成領域２０を取り囲む無端状に形成されている。

[0075] 終端領域５９は、リサーフ層６０と、フィールドリミット領域６１とを含む。

[0076] リサーフ層６０は、外側領域２１において電界を緩和する。リサーフ層６０は、ボディ領域４６のｐ型不純物濃度よりも高いｐ型不純物濃度を有する高濃度かつ低抵抗な領域であってもよい。リサーフ層６０は、この実施形態では、素子形成領域２０を取り囲むように無端状（平面視四角環状）に形成されている。リサーフ層６０の底部は、半導体チップ１６の厚さ方向に関し

て、ボディ領域４６の底部よりも半導体チップ１６の第２主面１８に近い位置に形成されている。リサーフ層６０の底部は、半導体チップ１６の厚さ方向に関して、トレンチゲート構造４２およびエミッタトレンチ構造５１の底部よりも半導体チップ１６の第２主面１８に近い位置に形成されている。

[0077] リサーフ層６０は、トレンチゲート構造４２およびエミッタトレンチ構造５１の底部にオーバーラップしている。図３では、第１方向Ｘに並ぶトレンチゲート構造４２およびエミッタトレンチ構造５１のストライプの端がエミッタトレンチ構造５１であるので、リサーフ層６０は、エミッタトレンチ構造５１の底部全体およびトレンチゲート構造４２の底部の一部にオーバーラップしている。一方、図示は省略するが、前記ストライプの端がトレンチゲート構造４２である場合、リサーフ層６０は、トレンチゲート構造４２の底部全体およびエミッタトレンチ構造５１の底部の一部にオーバーラップしていてもよい。

[0078] リサーフ層６０の底部は、コレクタ領域４０から半導体チップ１６の第１主面１７側に間隔を空けて形成されている。リサーフ層６０は、ドリフト領域３８の一部の領域を挟んでコレクタ領域４０と対向している。リサーフ層６０は、第１表面絶縁膜５５（図３では省略）を挟んでエミッタ端子電極１１およびゲート端子電極１２（ゲートフィンガー２８）に対向している。リサーフ層６０は、第１表面絶縁膜５５（図３では省略）を挟んでゲート引き出し電極層５６に対向している。

[0079] フィールドリミット領域６１は、外側領域２１において電界を緩和する。フィールドリミット領域６１は、リサーフ層６０のｐ型不純物濃度と略同じｐ型不純物濃度を有している。フィールドリミット領域６１は、リサーフ層６０の深さと略同じ深さを有していてもよい。フィールドリミット領域６１は、外側領域２１において、リサーフ層６０に沿って形成されている。フィールドリミット領域６１は、この実施形態では、リサーフ層６０を取り囲むように無端状（平面視四角環状）に形成されている。これにより、フィールドリミット領域６１は、ＦＬＲ（Field Limiting Ring）領域として形成され

ている。

[0080] フィールドリミット領域６１は、この実施形態では、素子形成領域２０からスクライブ領域２２に向けて、間隔を空けて形成された複数（この実施形態では、４個）のフィールドリミット領域６１を含む。フィールドリミット領域６１は、少なくとも１つ形成されていてもよい。したがって、４個以上のフィールドリミット領域６１が形成されていてもよい。

[0081] 図４Ａを参照して、外側領域２１において半導体チップ１６の第１主面１７には、フィールド絶縁層６２が形成されている。フィールド絶縁層６２は、第１主面１７において終端領域５９が形成されておらず、ｎ型不純物領域（この実施形態では、ドリフト領域３８）が露出した領域に選択的に形成されている。より具体的には、隣り合う終端領域５９の間の領域においてドリフト領域３８を覆うように形成されている。図４Ａでは、隣り合うフィールドリミット領域６１で挟まれた領域上のフィールド絶縁層６２が示されているが、フィールドリミット領域６１とリサーフ層６０との間の領域、およびフィールドリミット領域６１と後述するチャネルストップ領域６５との間に領域にもフィールド絶縁層６２が形成されていてもよい。言い換えれば、フィールド絶縁層６２は、第１主面１７を選択的に露出させる複数の開口６３を有しており、前記開口６３から終端領域５９が露出していてもよい。

[0082] フィールド絶縁層６２は、この実施形態では、ＬＯＣＯＳ（Local oxidation of silicon）酸化膜であってもよい。また、フィールド絶縁層６２の厚さＴＦは、たとえば、５０００Å以上２００００Å以下であってもよい。また、フィールド絶縁層６２の開口６３から露出する第１主面１７には、第３表面絶縁膜６４が形成されている。第３表面絶縁膜６４は、この実施形態では、シリコン酸化膜を含む。第３表面絶縁膜６４は、シリコン酸化膜に代えてまたはこれに加えて、窒化シリコン膜を含んでいてもよい。第３表面絶縁膜６４は、開口６３の全体に形成されて終端領域５９の表面を被覆している。

[0083] 図３を参照して、スクライブ領域２２において、半導体チップ１６の第１主面１７の表層部には、n^+型のチャネルストップ領域６５が形成されている

。チャネルストップ領域６５は、ｎ⁻型のドリフト領域３８のｎ型不純物濃度よりも高いｎ型不純物濃度を有する高濃度かつ低抵抗な領域である。チャネルストップ領域６５は、半導体チップ１６の内方領域に形成されたｐｎ接合部からの空乏層の拡がりを抑制する。

[0084] チャネルストップ領域６５は、フィールドリミット領域６１に沿って形成されている。チャネルストップ領域６５は、フィールドリミット領域６１を取り囲む無端状（平面視四角環状）に形成されている。チャネルストップ領域６５は、外側領域２１およびスクライブ領域２２の間の境界部を横切るように形成されていてもよい。

[0085] 図３を参照して、半導体チップ１６の第１主面１７の上には層間絶縁層６６が形成されている。層間絶縁層６６は、素子形成領域２０、外側領域２１およびスクライブ領域２２を被覆している。層間絶縁層６６は、層間絶縁層６６に被覆される半導体チップ１６の領域ごとに異なった厚さを有しており、複数の領域間で厚さの差を有している。この実施形態では、素子形成領域２０を被覆する層間絶縁層６６の素子被覆部６７の厚さＴＡが、外側領域２１を被覆する層間絶縁層６６の外側被覆部６８の厚さＴＣよりも薄くなっている。たとえば、厚さＴＡは３０００Å以上２００００Å以下であり、厚さＴＣは４０００Å以上３００００Å以下であってもよい。なお、厚さＴＡおよび厚さＴＣは共に、フィールド絶縁層６２の厚さＴＦ（図４Ａ参照）よりも厚くてもよい。層間絶縁層６６の表面には、厚さＴＡと厚さＴＣとの差に起因して、素子形成領域２０と外側領域２１との境界部６９において段差７０が形成されている。なお、フィールド絶縁層６２および層間絶縁層６６を合わせて、単に層間絶縁層と称してもよい。

[0086] 図３を参照して、層間絶縁層６６には、エミッタ端子電極１１用の第１コンタクト孔７１、第２コンタクト孔７２および第３コンタクト孔７３が形成されている。第１コンタクト孔７１は、コンタクトトレンチ４９に連通している。第１コンタクト孔７１は、エミッタコンタクト孔と称してもよい。

[0087] 第２コンタクト孔７２は、層間絶縁層６６を貫通し、半導体チップ１６の

第１主面１７（リサーフ層６０）の一部を掘り込んだ態様で形成されている。第２コンタクト孔７２は、ＦＥＴ構造４１のストライプに沿って延びるように形成されていてもよい。第２コンタクト孔７２の底部には、p^+型のコンタクト領域７７が形成されている。コンタクト領域７７は、リサーフ層６０においてｐ型不純物濃度が他の領域よりも高い高濃度領域であってもよい。第２コンタクト孔７２は、第１外側エミッタコンタクト孔と称してもよい。

[0088] 第３コンタクト孔７３は、層間絶縁層６６を貫通し、半導体チップ１６の第１主面１７（リサーフ層６０）の一部を掘り込んだ態様で形成されている。第３コンタクト孔７３は、エミッタ引き回し部３４に沿って延びるように形成されていてもよい。第３コンタクト孔７３の底部には、p^+型のコンタクト領域７８が形成されている。コンタクト領域７８は、リサーフ層６０においてｐ型不純物濃度が他の領域（コンタクト領域７７を除く）よりも高い高濃度領域であってもよい。コンタクト領域７８は、コンタクト領域７７と略同じ不純物濃度を有していてもよい。第３コンタクト孔７３は、第２外側エミッタコンタクト孔と称してもよい。

[0089] 層間絶縁層６６には、ゲート端子電極１２用の第４コンタクト孔７４が形成されている。第４コンタクト孔７４からゲート引き出し電極層５６が露出している。第４コンタクト孔７４は、ゲートフィンガー２８に沿って延びるように形成されていてもよい。第４コンタクト孔７４は、ゲートコンタクト孔と称してもよい。

[0090] 層間絶縁層６６には、フィールドプレート電極２４用の第５コンタクト孔７５が形成されている。この実施形態では、複数のフィールドリミット領域６１と一対一の対応関係で複数の第５コンタクト孔７５が形成されている。各第５コンタクト孔７５は、層間絶縁層６６を貫通し、半導体チップ１６の第１主面１７（フィールドリミット領域６１）の一部を掘り込んだ態様で形成されている。各第５コンタクト孔７５は、半導体チップ１６の第１～第４側面１９Ａ～１９Ｄに沿って形成され、素子形成領域２０を取り囲む無端状（平面視四角環状）に形成されていてもよい。各第５コンタクト孔７５の底

部から、フィールドリミット領域６１が露出している。第５コンタクト孔７５は、フィールドコンタクト孔と称してもよい。

[0091] 層間絶縁層６６には、等電位ポテンシャル電極２５用の第６コンタクト孔７６が形成されている。第６コンタクト孔７６は、層間絶縁層６６を貫通し、半導体チップ１６の第１主面１７（チャネルストップ領域６５）の一部を掘り込んだ態様で形成されている。第６コンタクト孔７６はさらに、半導体チップ１６の第１～第４側面１９Ａ～１９Ｄ（図３では第４側面１９Ｄが示されている）まで延び、第１～第４側面１９Ａ～１９Ｄで開放されている。また、第６コンタクト孔７６は、半導体チップ１６の第１～第４側面１９Ａ～１９Ｄに沿って形成され、外側領域２１および素子形成領域２０を取り囲む無端状（平面視四角環状）に形成されていてもよい。第６コンタクト孔７６は、半導体チップ１６の周縁部に形成された段差部である観点から、半導体チップ１６の周縁段差部と称してもよい。半導体チップ１６において第６コンタクト孔７６の底部に沿う領域には、p^+型のコンタクト領域７９が形成されている。コンタクト領域７９は、コンタクト領域７７およびコンタクト領域７８と略同じ不純物濃度を有していてもよい。

[0092] 層間絶縁層６６の上には、前述の表面電極２３が形成されている。表面電極２３は、半導体チップ１６の最表面に形成された導電膜であり、表面電極膜や表面導電膜と称してもよい。前述のように、表面電極２３は、エミッタ端子電極１１、ゲート端子電極１２、フィールドプレート電極２４および等電位ポテンシャル電極２５を含む。エミッタ端子電極１１は第１コンタクト孔７１を介してＦＥＴ構造４１に電気的に接続され、第２コンタクト孔７２および第３コンタクト孔７３を介してリサーフ層６０に電気的に接続されている。ゲート端子電極１２は、第４コンタクト孔７４を介してゲート引き出し電極層５６に電気的に接続されている。フィールドプレート電極２４は、第５コンタクト孔７５を介してフィールドリミット領域６１に電気的に接続されている。等電位ポテンシャル電極２５は、第６コンタクト孔７６を介してチャネルストップ領域６５に電気的に接続されている。

[0093] 図３を参照して、この実施形態では、表面電極２３のうち素子形成領域２０上の第１電極部と、外側領域２１およびスクライブ領域２２上の第２電極部との間で、半導体チップ１６の第１主面１７から表面までの高さが異なっている。この実施形態では、前記第２電極部の表面高さＨ２が、前記第１電極部の表面高さＨ１よりも高い。前記第２電極部には、たとえば、ゲートフィンガー２８、エミッタ引き回し部３４、フィールドプレート電極２４および等電位ポテンシャル電極２５等が概念として含まれる。前記第１電極部には、エミッタパッド３３が概念として含まれる。表面高さＨ１および表面高さＨ２は、たとえば図３に示すように、半導体チップの１６の第１主面１７から表面電極２３の各部の表面までの距離であってもよい。これにより、表面電極２３には境界部６９を挟んで高低差Ｇが形成されている。高低差Ｇは、たとえば、３０００Å以上２００００Å以下であってもよい。

[0094] 層間絶縁層６６上には、保護層８０が形成されている。保護層８０は、半導体チップ１６の最表面を被覆する絶縁層であり、表面保護層や有機樹脂層と称してもよい。保護層８０は、たとえば、ポリイミド樹脂またはＰＢＯ（Polybenzoxazole）樹脂により形成されていてもよい。保護層８０の厚さは、たとえば、３μｍ以上１５μｍ以下であってもよい。保護層８０は、表面電極２３を選択的に被覆している。より具体的には、保護層８０は、素子形成領域２０においてエミッタパッド３３を露出させる開口８１を有しており、外側領域２１においては表面電極２３を被覆している。

［素子チップ１０の耐圧低下防止構造（第１形態）］

次に、図３、図４Ａおよび図４Ｂに加えて図６および図７を参照して、素子チップ１０の耐圧低下防止構造について説明を加える。

[0095] まず図３を参照して、この実施形態では、外側領域２１において表面電極２３の各部の間にスペース８２が設けられている。スペース８２は、たとえば図３の紙面右から左に向かって順に、ゲートフィンガー２８およびこれに隣接するエミッタ引き回し部３４に挟まれたスペース８２と、エミッタ引き回し部３４およびこれに隣接するフィールドプレート電極２４に挟まれたス

ペース８２と、互いに隣接するフィールドプレート電極２４に挟まれたスペース８２（図３では３つ）と、フィールドプレート電極２４およびこれに隣接する等電位ポテンシャル電極２５に挟まれたスペース８２とを含んでいてもよい。

[0096] 保護層８０が有機樹脂層である場合、有機樹脂層は外部からのスクラッチ等の機械応力に対しては十分な耐性を有するが、外部からの水分（OH^-、H^+等）の侵入に対しては、十分な耐性を有しているとは言えない。そのため、保護層８０およびスペース８２を通過した水分が層間絶縁層６６に入り込んで分極することによって、終端領域５９等の耐圧保持構造部の電界バランスを崩し、耐圧変動を発生させる場合がある。そこで、この実施形態では、図４Ａ、図６および図７に示すように、半導体チップ１６から絶縁された封止導電層８３を層間絶縁層６６に設けることによって、層間絶縁層６６の一部を被覆し、外部からの水分（OH^-、H^+等）の侵入を防いでいる。封止導電層８３は、層間絶縁層６６の一部を被覆する観点から被覆導電層と称してもよい。

[0097] 次に、封止導電層８３を含む耐圧低下防止構造について、図４Ａ、図４Ｂ、図６および図７を参照して具体的に説明する。なお、図４Ａでは、互いに隣接するフィールドプレート電極２４に挟まれたスペース８２に対向する封止導電層８３を示しているが、他のスペース８２にも同様の封止導電層８３を配置することができる。

[0098] まず図４Ａを参照して、フィールドプレート電極２４は、コンタクト部８４と、表層部８５とを含む。

[0099] コンタクト部８４は、層間絶縁層６６に埋め込まれ、フィールドリミット領域６１に接続されている。この実施形態では、層間絶縁層６６が第１層８６および第１層８６上の第２層８７の積層構造を有している。コンタクト部８４は、第１層８６および第２層８７を連続して貫通する第５コンタクト孔７５を介してフィールドリミット領域６１に達している。層間絶縁層６６の第１層８６および第２層８７は、図４Ａではその境界部８８が明示されてい

るが、第１層８６および第２層８７が同じ材料により形成されている場合、当該境界部８８が確認できなくてもよい。この場合、第１主面１７からの高さに基づいて第１層８６に対応する部分を第１部分と称し、第２層８７に対応する部分を第２部分と称してもよい。

[0100] 第１層８６および第２層８７は、それぞれ、第１主面１７に沿って一様な第１厚さＴ１および第２厚さＴ２を有している。第１層８６の第１厚さＴ１は、第２層８７の第２厚さＴ２よりも厚くてもよい。たとえば、第１厚さＴ１が３０００Å以上２００００Å以下であり、第２厚さＴ２が１０００Å以上１００００Å以下であってもよい。図３で示した層間絶縁層６６の外側被覆部６８の厚さＴＣは、第１厚さＴ１および第２厚さＴ２の合計厚さであってもよい。なお、図４Ａでは、半導体チップ１６の構造がデフォルメされ第２層８７の一部が厚く示されているため、見かけでは厚さＴＣが第１厚さＴ１および第２厚さＴ２の合計厚さよりも厚くなっている。

[0101] 一方、前述したように、層間絶縁層６６の素子被覆部６７の厚さＴＡは、外側領域２１を被覆する層間絶縁層６６の外側被覆部６８の厚さＴＣよりも薄い。厚さＴＡは、第１厚さＴ１と略同じであってもよい。したがって、厚さＴＡは、たとえば、３０００Å以上２００００Å以下であってもよい。この厚さＴＡと厚さＴＣの違いが、表面電極２３に高低差Ｇ（図３参照）を形成している。

[0102] たとえば、相対的に薄い素子被覆部６７上では表面電極２３の表面高さＨ１が１００００Å以上７５０００Å以下である。一方、素子被覆部６７に比べて相対的に厚い外側被覆部６８上では表面電極２３の表面高さＨ２は、たとえば、１５０００Å以上９５０００Å以下であってもよい。表面高さＨ１と表面高さＨ２との間には、たとえば第２層８７の第２厚さＴ２に相当する高低差Ｇが形成されていてもよい。

[0103] 第５コンタクト孔７５は、下部コンタクト孔８９と、上部コンタクト孔９０とを含んでいてもよい。下部コンタクト孔８９が第１層８６に形成され、上部コンタクト孔９０が第２層８７に形成されている。下部コンタクト孔８

９は、上部コンタクト孔９０よりも狭い幅を有していてもよい。下部コンタクト孔８９は、層間絶縁層６６の第１層８６を貫通し、半導体チップ１６の第１主面１７（フィールドリミット領域６１）の一部を掘り込んだ態様で形成されている。下部コンタクト孔８９の底部には、p^+型のコンタクト領域９１が形成されている。コンタクト領域９１は、フィールドリミット領域６１においてｐ型不純物濃度が他の領域よりも高い高濃度領域であってもよい。

[0104] フィールドプレート電極２４のコンタクト部８４は、下部コンタクト孔８９に埋め込まれた第１埋め込み部９２と、上部コンタクト孔９０に埋め込まれた第２埋め込み部９３とを含んでいてもよい。

[0105] 第１埋め込み部９２は、この実施形態では、バリア層９４およびコンタクトプラグ９５を含む積層構造を有している。第１埋め込み部９２は、フィールドプラグ電極と称してもよい。バリア層９４は、層間絶縁層６６に接するように、下部コンタクト孔８９の内壁に沿って膜状に形成されている。バリア層９４は、下部コンタクト孔８９内においてリセス空間を区画している。バリア層９４は、チタン系金属、より具体的にはチタン層または窒化チタン層を含む単層構造を有していてもよい。バリア層９４は、チタン層および窒化チタン層を含む積層構造を有していてもよい。この場合、窒化チタン層は、チタン層の上に積層されていてもよい。バリア層９４はさらに、下部コンタクト孔８９から第１層８６の表面に引き出され、第１層８６の表面に選択的に形成されている。

[0106] コンタクトプラグ９５は、バリア層９４を挟んで下部コンタクト孔８９に埋め込まれている。コンタクトプラグ９５は、具体的には、下部コンタクト孔８９においてバリア層９４によって区画されたリセス空間に埋め込まれている。コンタクトプラグ９５は、タングステンを含んでいてもよい。

[0107] 第２埋め込み部９３は、コンタクトプラグ９５とは異なる導電材料により形成されている。この実施形態では、第２埋め込み部９３は、アルミニウム系金属により形成されている。より具体的には、第２埋め込み部９３は、アルミニウム、銅、アルミニウム－シリコン－銅合金、アルミニウム－シリコ

ン合金、および、アルミニウム－銅合金のうちの少なくとも一種を含んでいてもよい。

[0108] 同様に図４Ｂを参照して、第１コンタクト孔７１には、エミッタプラグ電極９６が埋め込まれている。エミッタプラグ電極９６は、この実施形態では、バリア層９７およびコンタクトプラグ９８を含む積層構造を有している。バリア層９７は、層間絶縁層６６に接するように、第１コンタクト孔７１の内壁に沿って膜状に形成されている。バリア層９７は、第１コンタクト孔７１内においてリセス空間を区画している。バリア層９７は、チタン系金属、より具体的にはチタン層または窒化チタン層を含む単層構造を有していてもよい。バリア層９７は、チタン層および窒化チタン層を含む積層構造を有していてもよい。この場合、窒化チタン層は、チタン層の上に積層されていてもよい。バリア層９７はさらに、第１コンタクト孔７１から層間絶縁層６６の表面に引き出され、層間絶縁層６６の表面に選択的に形成されている。

[0109] コンタクトプラグ９８は、バリア層９７を挟んで第１コンタクト孔７１に埋め込まれている。コンタクトプラグ９８は、具体的には、第１コンタクト孔７１においてバリア層９７によって区画されたリセス空間に埋め込まれている。コンタクトプラグ９８は、タングステンを含んでいてもよい。

[0110] エミッタ端子電極１１は、コンタクトプラグ９８とは異なる導電材料により形成されている。この実施形態では、エミッタ端子電極１１は、アルミニウム系金属により形成されている。より具体的には、エミッタ端子電極１１は、アルミニウム、銅、アルミニウム－シリコン－銅合金、アルミニウム－シリコン合金、および、アルミニウム－銅合金のうちの少なくとも一種を含んでいてもよい。なお、表面電極２３のその他の部分であるゲート端子電極１２および等電位ポテンシャル電極２５も、エミッタ端子電極１１と同じ導電材料により形成されていてもよい。このように表面電極２３が金属材料により形成されている場合、表面電極２３は表面メタルと称してもよい。

[0111] 表層部８５は、コンタクト部８４から層間絶縁層６６（第２層８７）の表面に引き出された引き出し部として形成されている。表層部８５は、第２埋

め込み部９３と同じ材料により第２埋め込み部９３と一体的に形成されている。より具体的には、表層部８５は、第５コンタクト孔７５の周縁（この実施形態では、上部コンタクト孔９０の周縁）から層間絶縁層６６の表面に沿う横方向に延びており、第５コンタクト孔７５の周縁から一定幅の層間絶縁層６６の表面領域を接触して被覆している。

[0112] 互いに隣接するフィールドプレート電極２４の表層部８５の端部９９は、層間絶縁層６６の表面上でスペース８２を空けて対向している。なお、フィールドプレート電極２４において、表層部８５と同じ材料により形成された部分（この実施形態では、表層部８５および第２埋め込み部９３）を主電極層と称し、前記主電極層と異なる材料により形成され、終端領域５９に直接接続された部分（この実施形態では、第１埋め込み部９２）をコンタクト電極層と称してもよい。

[0113] 封止導電層８３は、この実施形態では、層間絶縁層６６内に埋め込まれた埋め込み導電層として形成されている。より具体的には、封止導電層８３は、層間絶縁層６６の厚さ方向（縦方向）に関して、層間絶縁層６６の第１層８６上に形成されており、第２層８７に被覆されている。また、封止導電層８３は、層間絶縁層６６の厚さ方向（縦方向）に関して、フィールド絶縁層６２の直上に配置されており、層間絶縁層６６（第１層８６）およびフィールド絶縁層６２を挟んで半導体チップ１６のｎ型部分（この実施形態では、ドリフト領域３８）に対向している。また、封止導電層８３は、層間絶縁層６６の表面に沿う横方向に関して、隣り合うフィールドプレート電極２４の間の領域に配置されている。この実施形態では、隣り合うコンタクト部８４で挟まれた第１層８６の表面領域に封止導電層８３が配置されている。

[0114] 封止導電層８３は、第１層８６上のバリア層９４に支持された導電材料により形成されている。この導電材料は、コンタクト部８４（この実施形態では、第２埋め込み部９３）と同じ材料であってもよい。つまり、封止導電層８３は、アルミニウム系金属により形成されている。より具体的には、封止導電層８３は、アルミニウム、銅、アルミニウム－シリコン－銅合金、アル

ミニウム－シリコン合金、および、アルミニウム－銅合金のうちの少なくとも一種を含んでいてもよい。このように封止導電層８３が金属材料により形成されている場合、封止導電層８３は封止メタルと称してもよい。また、封止導電層８３は、バリア層９４と、アルミニウム系金属により形成された主導電層との積層構造を有していると定義してもよい。

[0115] フィールドプレート電極２４のコンタクト部８４は、封止導電層８３に向かって第１層８６上の領域に選択的に突出した突出部１００を含む。図４Ａでは、コンタクト部８４から突出部１００および表層部８５が上下に並んで引き出されているため、当該突出部１００を第１引き出し部１０１と称し、第５コンタクト孔７５外の表層部８５の部分を第２引き出し部１０２と称してもよい。第１引き出し部１０１が層間絶縁層６６の内部に埋め込まれ、第２引き出し部１０２は層間絶縁層６６の表面に形成されている。第１引き出し部１０１と第２引き出し部１０２は、層間絶縁層６６の一部（この実施形態では第２層８７）を挟んで上下に対向している。

[0116] また、コンタクト部８４の周面から第２引き出し部１０２の横方向端部までの距離Ｄ２は、コンタクト部８４の周面から第１引き出し部１０１（突出部１００）の横方向端部までの距離Ｄ１よりも長い。たとえば、距離Ｄ１が０μｍ以上１０μｍ以下であり、距離Ｄ２が５μｍ以上１５μｍ以下であってもよい。また、第１引き出し部１０１（突出部１００）は、第１主面１７に沿う方向においてフィールド絶縁層６２の開口６３よりも外側にまで延びている。これにより、開口６３の全体がコンタクト部８４および第１引き出し部１０１（突出部１００）によって上側から覆われると共に、フィールド絶縁層６２の開口６３の近傍の周縁部が第１引き出し部１０１に覆われている。

[0117] 表層部８５の第２引き出し部１０２は、層間絶縁層６６の厚さ方向において封止導電層８３に重なるオーバーラップ部として形成されている。言い換えれば、封止導電層８３は、層間絶縁層６６の厚さ方向において表層部８５の一部に対向している。したがって、封止導電層８３は、図４Ａにおいて、

横方向中央部がスペース８２に対向し、かつ横方向両端部が表層部８５の第２引き出し部１０２に対向している。

[0118] また、第１引き出し部１０１（突出部１００）と封止導電層８３との間の第１間隔Ｗ１は、隣り合うフィールドプレート電極２４の第２引き出し部１０２の端部９９の間の第２間隔Ｗ２（スペース８２の幅）よりも狭い。たとえば、第１間隔Ｗ１は１μｍ以上であり、第２間隔Ｗ２は１０μｍ以上であってもよく、第１間隔Ｗ１が１μｍ以上５μｍ以下であり、第２間隔Ｗ２が１０μｍ以上１５μｍ以下であることが好ましい。

[0119] ここで、図６および図７を参照して、フィールドプレート電極２４および封止導電層８３の平面パターンについて説明する。図６および図７では、明瞭化のため、封止導電層８３の平面パターンの説明に必要な構成要素のみを示し、その他の構成であり図２～図５に示された構成要素の一部を省略している。また、図６および図７では、フィールドプレート電極２４にハッチングを付して示し、封止導電層８３を破線で示している。

[0120] 図６および図７を参照して、この実施形態では、複数のフィールドプレート電極２４の間のスペース８２は、平面視ライン状に形成されている。より具体的には、各フィールドプレート電極２４が素子形成領域２０を取り囲む無端状であるため、スペース８２も素子形成領域２０を取り囲む無端状である。

[0121] 封止導電層８３は、当該ライン状のスペース８２に沿って延びる平面視ライン状に形成されている。たとえば、図６に示すように、封止導電層８３が平面視無端状に形成され、無端状のスペース８２の全周にわたって重なっていてもよい。また、図７に示すように、スペース８２の周方向に沿って、複数のライン状（直線状、曲線状）の封止導電層８３が互いに間隔を空けて配列されていてもよい。封止導電層８３は、平面視において、周方向内側のフィールドプレート電極２４に重なる内側周縁部１０３と、周方向外側のフィールドプレート電極２４に重なる外側周縁部１０４とを含んでいてもよい。内側周縁部１０３および外側周縁部１０４は、それぞれ、封止導電層８３の

長さ方向全体にわたってフィールドプレート電極２４にオーバーラップしていてもよい。

[0122] 以上、この実施形態によれば、図４Ａ、図６および図７に示すように、スペース８２に対向するように（平面視で重なるように）封止導電層８３が配置されている。これにより、スペース８２を介して層間絶縁層６６の内部への水分(ＯＨ⁻、Ｈ⁺等)の侵入を防止することができる。その結果、水分等に起因する分極によって耐圧が変動することを抑制することができ、フィールドリミット領域６１近傍の耐圧の低下を抑制することができる。

[0123] また、フィールドプレート電極２４の第２引き出し部１０２および封止導電層８３が、層間絶縁層６６の厚さ方向において互いにオーバーラップしている。これにより、図６および図７に示すように、封止導電層８３が配置された領域においてスペース８２が完全に封止導電層８３と重なり合う。その結果、層間絶縁層６６の内部への水分(ＯＨ⁻、Ｈ⁺等)の侵入防止効果を一層高めることができる。

[0124] さらに、フィールドプレート電極２４が、封止導電層８３に向かって突出する突出部１００（第１引き出し部１０１）を有している。これにより、フィールドプレート電極２４（コンタクト部８４）と封止導電層８３との第１間隔Ｗ１を狭くすることができる。その結果、水分(ＯＨ⁻、Ｈ⁺等)の侵入経路を狭くできるので、層間絶縁層６６の内部への水分(ＯＨ⁻、Ｈ⁺等)の侵入防止効果を一層高めることができる。

［半導体装置１の製造方法］

次に、半導体装置１の製造方法について説明する。図８Ａおよび図８Ｂ～図１７Ａおよび図１７Ｂは、半導体装置１の製造工程の一部を工程順に示す図であって、主に素子チップ１０の製造工程を示している。図８Ａおよび図８Ｂ～図１７Ａおよび図１７Ｂのうち、「Ａ」と併記された番号の図面は図４Ａに対応する断面を示し、「Ｂ」と併記された番号の図面は図４Ｂに対応する断面を示している。

[0125] 半導体装置１を製造するには、まず、素子チップ１０が準備されてもよい

。素子チップ１０を製造するには、半導体ウエハの状態の半導体基板３７が用意される。次に、半導体基板３７に、半導体装置１にそれぞれ対応した複数の装置形成領域が設定される。各装置形成領域は、素子形成領域２０、外側領域２１およびスクライブ領域２２を含む。前記複数の装置形成領域には、同一の構造が同時に形成される。各装置形成領域に所定の構造が作り込まれた後、半導体基板３７は、各装置形成領域のスクライブ領域２２の周縁に沿って切断される。以下では、１つの装置形成領域の構造について説明する。

[0126] 次に、図８Ａおよび図８Ｂを参照して、半導体基板３７の第１主面１７にフィールド絶縁層６２が選択的に形成される。フィールド絶縁層６２を形成するには、たとえば、第１主面１７の全面を熱酸化することによって熱酸化膜を形成する。次に、この熱酸化膜においてフィールド絶縁層６２を形成すべき領域を露出させる開口を有する窒化膜を、熱酸化膜上に選択的に形成する。次に、前記窒化膜の開口から露出する熱酸化膜をＬＯＣＯＳ酸化することによって、フィールド絶縁層６２が形成される。フィールド絶縁層６２の形成後、窒化膜は除去される。

[0127] 次の工程は、終端領域５９の形成工程である。図９Ａおよび図９Ｂを参照して、まず、第１主面１７の全面を熱酸化することによって熱酸化膜１０９を形成する。次に、前記熱酸化膜１０９上に、所定パターンを有するイオン導入マスク（図示せず）が形成される。前記イオン導入マスクは、複数の終端領域５９を形成すべき領域をそれぞれ露出させる複数の開口を有している。次に、ｐ型不純物が、イオン導入マスクを介して半導体基板３７に導入される。これにより、複数の終端領域５９（図９Ａでは、フィールドリミット領域６１）が形成される。その後、イオン導入マスクおよび熱酸化膜１０９は除去される。

[0128] 次に、図１０Ａおよび図１０Ｂを参照して、素子形成領域２０にＦＥＴ構造４１が形成される。ＦＥＴ構造４１を形成するには、たとえば、所定パターンを有するハードマスク（たとえば、堆積酸化膜等のＣＶＤ酸化膜）が第

１主面１７上に形成される。ハードマスクは、ゲートトレンチ４３およびエミッタトレンチ５２を形成すべき領域をそれぞれ露出させる複数の開口を有している。次に、半導体基板３７の不要な部分が、前記ハードマスクを介するエッチング法によって除去される。これにより、ゲートトレンチ４３およびエミッタトレンチ５２が素子形成領域２０に形成される。その後、ハードマスクは除去される。

[0129] 次に、ゲート絶縁層４４、エミッタ絶縁層５３および第１表面絶縁膜５５が形成される。ゲート絶縁層４４、エミッタ絶縁層５３および第１表面絶縁膜５５は、ＣＶＤ法または熱酸化処理法によって形成されてもよい。次に、ゲート電極層４５、エミッタ電位電極層５４、ゲート引き出し電極層５６およびエミッタ引き出し電極層５７（いずれも図５参照）が形成される。ゲート電極層４５およびエミッタ電位電極層５４は、導電性ポリシリコンを含む。ゲート電極層４５、エミッタ電位電極層５４、ゲート引き出し電極層５６およびエミッタ引き出し電極層５７は、ＣＶＤ法によって形成されてもよい。次に、たとえば熱酸化処理法によって、ゲート電極層４５およびエミッタ電位電極層５４の表面に第２表面絶縁膜５８が形成され、半導体基板３７の第１主面１７に第３表面絶縁膜６４が形成される。

[0130] 次に、ｎ$^+$型の複数のキャリアストレージ領域４８が形成される。この工程は、まず、所定パターンを有するイオン導入マスク（図示せず）が、第１主面１７の上に形成される。イオン導入マスクは、複数のキャリアストレージ領域４８を形成すべき領域をそれぞれ露出させる複数の開口を有している。次に、ｎ型不純物が、イオン導入マスクを介して半導体基板３７に導入される。次に、ｎ型不純物が熱拡散することによって複数のキャリアストレージ領域４８が形成される。その後、イオン導入マスクは、除去される。

[0131] 次に、ｐ型の複数のボディ領域４６が形成される。この工程は、まず、所定パターンを有するイオン導入マスク（図示せず）が、第１主面１７の上に形成される。イオン導入マスクは、複数のボディ領域４６を形成すべき領域をそれぞれ露出させる複数の開口を有している。次に、ｐ型不純物が、イオ

ン導入マスクを介して半導体基板３７に導入される。次に、ｐ型不純物が熱拡散することによって複数のボディ領域４６が形成される。その後、イオン導入マスクは、除去される。

[0132] 次に、ｎ$^{+}$型の複数のエミッタ領域４７が形成される。この工程は、まず、所定パターンを有するイオン導入マスク（図示せず）が、第１主面１７の上に形成される。イオン導入マスクは、複数のエミッタ領域４７を形成すべき領域をそれぞれ露出させる複数の開口を有している。次に、ｎ型不純物が、イオン導入マスクを介して半導体基板３７に導入される。次に、ｎ型不純物が熱拡散することによって複数のエミッタ領域４７が形成される。その後、イオン導入マスクは、除去される。

[0133] 次に、図１１Ａおよび図１１Ｂを参照して、層間絶縁層６６の第１層８６が、第１主面１７を被覆するように形成される。第１層８６は、ＣＶＤ法によって形成されてもよい。第１層８６は、たとえば、３０００Å以上２００００Å以下の厚さを有していてもよい。

[0134] 次に、図１２Ａおよび図１２Ｂを参照して、複数のコンタクトトレンチ４９および複数の下部コンタクト孔８９が第１層８６に形成される。次に、ｐ$^{+}$型の複数のコンタクト領域５０およびコンタクト領域９１が形成される。この工程は、所定パターンを有するイオン導入マスク（図示せず）を介して、ｐ型不純物がコンタクトトレンチ４９および下部コンタクト孔８９を介して半導体基板３７に導入される。これにより、複数のコンタクト領域５０およびコンタクト領域９１が形成される。次に、たとえばスパッタ法によってバリア層９４およびバリア層９７が形成される。次に、たとえばＣＶＤ法によって、タングステンを堆積して、第１主面１７の全体を覆うようにプラグベース電極層（図示せず）が形成される。その後、前記プラグベース電極層の不要な部分が除去される。プラグベース電極層の不要な部分は、エッチング法（エッチバック）によって除去されてもよい。プラグベース電極層の不要な部分は、第１層８６が露出するまで除去される。これにより、コンタクトプラグ９５およびコンタクトプラグ９８が形成される。

[0135] 次に、図１３Ａおよび図１３Ｂを参照して、第１電極層１０７が形成される。第１電極層１０７は、封止導電層８３、フィールドプレート電極２４のコンタクト部８４（第２埋め込み部９３）およびエミッタ端子電極１１等のベースとなる導電層である。この工程では、第１電極層１０７が形成されパターニングすることによって、外側領域２１に封止導電層８３および第２埋め込み部９３が形成される。素子形成領域２０においては、エミッタ端子電極１１の下側部分が形成される。第１電極層１０７は、アルミニウム系金属により形成されている。より具体的には、第１電極層１０７は、アルミニウム、銅、アルミニウムーシリコンー銅合金、アルミニウムーシリコン合金、および、アルミニウムー銅合金のうちの少なくとも一種を含んでいてもよい。また、第１電極層１０７は、スパッタ法によって形成されてもよい。

[0136] 次に、図１４Ａおよび図１４Ｂを参照して、層間絶縁層６６の第２層８７が、封止導電層８３、第２埋め込み部９３およびエミッタ端子電極１１を被覆するように、第１層８６上に形成される。第２層８７は、ＣＶＤ法によって形成されてもよい。第２層８７は、たとえば、１０００Å以上１００００Å以下の厚さを有していてもよい。この時点では、素子形成領域２０および外側領域２１の両方が第２層８７で覆われている。

[0137] 次に、図１５Ａおよび図１５Ｂを参照して、たとえばエッチング法によって、第２層８７が選択的に除去される。これにより、上部コンタクト孔９０が形成されると共に、素子形成領域２０ではエミッタ端子電極１１が露出する。この際、コンタクト部８４が突出部１００を有しており、上部コンタクト孔９０の設計開口幅よりも幅広に形成されている。そのため、上部コンタクト孔９０の開口位置が多少横方向にずれても、コンタクト部８４を露出させることができる。

[0138] 次に、図１６Ａおよび図１６Ｂを参照して、第２電極層１０８が形成される。第２電極層１０８は、フィールドプレート電極２４の表層部８５およびエミッタ端子電極１１等のベースとなる導電層である。この工程では、第２電極層１０８が形成されパターニングすることによって、外側領域２１に表

層部８５が形成される。素子形成領域２０においては、エミッタ端子電極１１の上側部分が形成されることによってエミッタ端子電極１１が厚膜化する。第２電極層１０８は、アルミニウム系金属により形成されている。より具体的には、第２電極層１０８は、アルミニウム、銅、アルミニウム－シリコン－銅合金、アルミニウム－シリコン合金、および、アルミニウム－銅合金のうちの少なくとも一種を含んでいてもよい。また、第２電極層１０８は、スパッタ法によって形成されてもよい。これにより、表面電極２３が形成される。

[0139] 次に、図１７Ａおよび図１７Ｂを参照して、表面電極２３を覆うように、層間絶縁層６６上に保護層８０が形成される。この工程では、保護層８０の材料（たとえば、ポリイミドからなる感光性樹脂の液体）が、半導体基板３７に対して層間絶縁層６６の上からスプレー塗布されて、感光性樹脂の保護層８０が形成される。その後、保護層８０をパターニングすることによって、エミッタ端子電極１１を露出させる開口８１（図３参照）が形成される。

[0140] 次に、半導体基板３７が、所定の厚さになるまで薄化される。薄化工程は、第２主面１８に対する研削法によって、半導体基板３７を薄化する工程を含む。研削法は、ＣＭＰ（Chemical Mechanical Polishing）法であってもよい。薄化工程は、研削法に代えて、第２主面１８に対するエッチング法によって、半導体基板３７を薄化する工程を含んでいてもよい。エッチング法は、ウエットエッチング法であってもよい。

[0141] 次に、ｎ型のバッファ層３９が、第２主面１８の表層部に形成される。この工程では、ｎ型不純物が、半導体基板３７の第２主面１８の全域に導入される。これにより、ｎ型のバッファ層３９が形成される。次に、p^+型のコレクタ領域４０が、第２主面１８の表層部に形成される。この工程は、ｐ型不純物が、半導体基板３７の第２主面１８の全域に導入される。これにより、コレクタ領域４０が形成される。

[0142] 次に、コレクタ端子電極１３が、第２主面１８に形成される。コレクタ端子電極１３は、スパッタ法によって形成されてもよい。その後、各装置形成

領域のスクライブ領域２２に沿って半導体基板３７が切断されて、素子チップ１０（半導体チップ１６）が切り出される。

[0143] その後は、各素子チップ１０を金属板６に接合し、導線１５によってリード端子９とエミッタ端子電極１１およびゲート端子電極１２とが接続される。そして、素子チップ１０をパッケージ本体２で封止することによって、図１に示す半導体装置１が得られる。

［素子チップ１０の耐圧低下防止構造（第２形態）］

図１８Ａおよび図１８Ｂは、それぞれ、素子チップ１０の外側領域２１および素子形成領域２０における模式的な断面図である。図１８Ａおよび図１８Ｂは、それぞれ、前述の図４Ａおよび図４Ｂに対応する図である。図１８Ａおよび図１８Ｂは、素子チップ１０の耐圧低下防止構造の第２形態を示している。以下では、図４Ａおよび図４Ｂと異なる構成要素について説明し、図４Ａおよび図４Ｂと共通する構成要素の説明は、図１８Ａおよび図１８Ｂにおいて図４Ａおよび図４Ｂと同じ参照符号を使用することによって省略する。

[0144] 図１８Ａおよび図１８Ｂの素子チップ１０では、フィールドプレート電極２４のコンタクト部８４が、層間絶縁層６６の第１層８６および第２層８７に一体的に埋め込まれた単一の導電材料により形成された埋め込み部１１０を有している。また、エミッタプラグ電極１１１が、エミッタ端子電極１１と単一の導電材料により一体的に形成されている。この点が、第１埋め込み部９２および第２埋め込み部９３を含むコンタクト部８４およびコンタクトプラグ９８（タングステンプラグ）を含むエミッタプラグ電極９６を有する図４Ａおよび図４Ｂの素子チップ１０と異なる点である。

[0145] 埋め込み部１１０およびエミッタプラグ電極１１１は、アルミニウム系金属により形成されている。より具体的には、埋め込み部１１０およびエミッタプラグ電極１１１は、アルミニウム、銅、アルミニウム－シリコン－銅合金、アルミニウム－シリコン合金、および、アルミニウム－銅合金のうちの少なくとも一種を含んでいてもよい。

[0146] バリア層９４は、埋め込み部１１０と層間絶縁層６６（この実施形態では、第１層８６）および第１主面１７との間に介在している。埋め込み部１１０は、バリア層９４を介してコンタクト領域９１に接続され、バリア層９７は、エミッタプラグ電極１１１と層間絶縁層６６および第１主面１７との間に介在している。エミッタプラグ電極１１１は、バリア層９７を介してエミッタ領域４７およびコンタクト領域５０に接続されている。

［素子チップ１０の耐圧低下防止構造（第３形態）］

図１９Ａおよび図１９Ｂは、それぞれ、素子チップ１０の外側領域２１および素子形成領域２０における模式的な断面図である。図１９Ａおよび図１９Ｂは、それぞれ、前述の図１８Ａおよび図１８Ｂに対応する図である。図１９Ａおよび図１９Ｂは、素子チップ１０の耐圧低下防止構造の第３形態を示している。以下では、図１８Ａおよび図１８Ｂと異なる構成要素について説明し、図１８Ａおよび図１８Ｂと共通する構成要素の説明は、図１９Ａおよび図１９Ｂにおいて図１８Ａおよび図１８Ｂと同じ参照符号を使用することによって省略する。

[0147] 図１９Ａおよび図１９Ｂの素子チップ１０では、まず、バリア層９４が省略されている点が、図１８Ａおよび図１８Ｂの素子チップ１０と異なる点である。これにより、埋め込み部１１０は、フィールドリミット領域６１に直接的に接続されている。

[0148] また、素子形成領域２０において、ＦＥＴ構造４１に代えてダイオード構造１１２が形成されている。ダイオード構造１１２は、第１主面１７の表層部に形成されたｐ型のアノード領域１１３と、第２主面１８の表層部にドリフト領域３８の一部により形成されたｎ型のカソード領域１１４とを含む。アノード領域１１３のｐ型不純物濃度は、１．０×10^{13}ｃｍ$^{-3}$以上１．０×10^{17}ｃｍ$^{-3}$以下であってもよい。カソード領域１１４のｎ型不純物濃度は、１．０×10^{13}ｃｍ$^{-3}$以上１．０×10^{15}ｃｍ$^{-3}$以下であってもよい。また、カソード領域１１４には、たとえば、重金属（たとえば、Ａｕ、Ｐｔ等）の拡散、電子線照射等によって結晶欠陥１１５が形成されていてもよい

。これにより、ダイオード構造１１２は、逆回復時間（ｔｒｒ）が比較的小さくされたファストリカバリダイオード（高速ダイオード）として構成されていてもよい。

[0149] 素子形成領域２０において、表面電極２３はアノード端子電極１１６を含んでいてもよい。アノード端子電極１１６は、アルミニウム系金属により形成されている。より具体的には、アノード端子電極１１６は、アルミニウム、銅、アルミニウム－シリコン－銅合金、アルミニウム－シリコン合金、および、アルミニウム－銅合金のうちの少なくとも一種を含んでいてもよい。アノード端子電極１１６は、第１コンタクト孔７１に埋め込まれたコンタクト部１１７を含み、コンタクト部１１７がアノード領域１１３に直接接することによってアノード領域１１３に電気的に接続されている。

[0150] また、素子形成領域２０は、半導体チップ１６の第２主面１８の表層部に形成されたｎ$^{+}$型のコンタクト領域１１８を含む。コンタクト領域１１８は、第２主面１８から露出している。コンタクト領域１１８は、第２主面１８の表層部において半導体チップ１６の全域に形成されていてもよい。コンタクト領域１１８のｎ型不純物濃度は、１．０×１０^{19}ｃｍ$^{-3}$以上１．０×１０^{20}ｃｍ$^{-3}$以下であってもよい。

[0151] 半導体チップ１６の第２主面１８には、裏面電極の一例としてのカソード端子電極１１９を含む。カソード端子電極１１９は、第２主面１８（コンタクト領域１１８）との間でオーミック接触を形成している。カソード端子電極１１９は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層およびＡｌ層のうちの少なくとも１つを含んでいてもよい。カソード端子電極１１９は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層またはＡｌ層を含む単層構造を有していてもよい。カソード端子電極１１９は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層およびＡｌ層のうちの少なくとも２つを任意の態様で積層させた積層構造を有していてもよい。

［素子チップ１０の耐圧低下防止構造（第４形態）］

図２０Ａおよび図２０Ｂは、それぞれ、素子チップ１０の外側領域２１および素子形成領域２０における模式的な断面図である。図２０Ａおよび図２

０Ｂは、それぞれ、前述の図４Ａおよび図４Ｂに対応する図である。図２０Ａおよび図２０Ｂは、素子チップ１０の耐圧低下防止構造の第４形態を示している。図２１および図２２は、封止導電層８３の平面パターンを模式的に示す図である。以下では、図４Ａおよび図４Ｂと異なる構成要素について説明し、図４Ａおよび図４Ｂと共通する構成要素の説明は、図２０Ａおよび図２０Ｂにおいて図４Ａおよび図４Ｂと同じ参照符号を使用することによって省略する。

[0152] 図２０Ａおよび図２０Ｂの素子チップ１０では、層間絶縁層６６が第１層８６および第２層８７の積層構造ではなく、単層構造で形成されている。この層間絶縁層６６の表面に、表面電極２３および封止導電層８３が共に形成されている。封止導電層８３は、隣り合うフィールドプレート電極２４の間のスペース８２に配置されている。

[0153] また、封止導電層８３は、層間絶縁層６６の厚さ方向（縦方向）に関して、フィールド絶縁層６２の直上に配置されており、層間絶縁層６６およびフィールド絶縁層６２を挟んで半導体チップ１６のｎ型部分（この実施形態では、ドリフト領域３８）に対向している。

[0154] ここで、図２１および図２２を参照して、図２０Ａのフィールドプレート電極２４および封止導電層８３の平面パターンについて説明する。図２１および図２２では、明瞭化のため、封止導電層８３の平面パターンの説明に必要な構成要素のみを示している。また、図２１および図２２では、フィールドプレート電極２４にハッチングを付して示している。

[0155] 図２１および図２２を参照して、この実施形態では、複数のフィールドプレート電極２４の間のスペース８２は、平面視ライン状に形成されている。より具体的には、各フィールドプレート電極２４が素子形成領域２０を取り囲む無端状であるため、スペース８２も素子形成領域２０を取り囲む無端状である。

[0156] 封止導電層８３は、当該ライン状のスペース８２に沿って延びる平面視ライン状に形成されている。たとえば、図２１に示すように、封止導電層８３

が平面視無端状に形成され、無端状のスペース８２の全周にわたって重なっていてもよい。また、図２２に示すように、スペース８２の周方向に沿って、複数のライン状（直線状、曲線状）の封止導電層８３が互いに間隔を空けて配列されていてもよい。封止導電層８３は、平面視において、フィールドプレート電極２４の内側周縁部１２０および外側周縁部１２１で挟まれた領域に配置されている。封止導電層８３は、内側周縁部１２０および外側周縁部１２１の両方から間隔を空けて形成されている。これにより、封止導電層８３は、スペース８２よりも狭い幅を有している。

[0157] この実施形態によれば、図２０Ａ、図２１および図２２に示すように、スペース８２に封止導電層８３が配置されている。これにより、スペース８２を介して層間絶縁層６６の内部への水分（OH^-、H^+等）の侵入を防止することができる。その結果、水分等に起因する分極によって耐圧が変動することを抑制することができ、フィールドリミット領域６１近傍の耐圧の低下を抑制することができる。

［素子チップ１０の耐圧低下防止構造（第５形態）］

図２３Ａおよび図２３Ｂは、それぞれ、素子チップ１０の外側領域２１および素子形成領域２０における模式的な断面図である。図２３Ａおよび図２３Ｂは、それぞれ、前述の図２０Ａおよび図２０Ｂに対応する図である。図２３Ａおよび図２３Ｂは、素子チップ１０の耐圧低下防止構造の第５形態を示している。以下では、図２０Ａおよび図２０Ｂと異なる構成要素について説明し、図２０Ａおよび図２０Ｂと共通する構成要素の説明は、図２３Ａおよび図２３Ｂにおいて図２０Ａおよび図２０Ｂと同じ参照符号を使用することによって省略する。

[0158] 図２３Ａおよび図２３Ｂの素子チップ１０では、フィールドプレート電極２４のコンタクト部８４が、層間絶縁層６６に一体的に埋め込まれた単一の導電材料により形成された埋め込み部１２２を有している。また、エミッタプラグ電極１２３が、エミッタ端子電極１１と単一の導電材料により一体的に形成されている。この点が、コンタクトプラグ９５（タングステンプラグ

）を含むコンタクト部８４およびコンタクトプラグ９８（タングステンプラグ）を含むエミッタプラグ電極９６を有する図２０Ａおよび図２０Ｂの素子チップ１０と異なる点である。

[0159] 埋め込み部１２２およびエミッタプラグ電極１２３は、アルミニウム系金属により形成されている。より具体的には、埋め込み部１２２およびエミッタプラグ電極１２３は、アルミニウム、銅、アルミニウム－シリコン－銅合金、アルミニウム－シリコン合金、および、アルミニウム－銅合金のうちの少なくとも一種を含んでいてもよい。

[0160] バリア層９４は、埋め込み部１２２と層間絶縁層６６および第１主面１７との間に介在している。埋め込み部１２２は、バリア層９４を介してコンタクト領域９１に接続され、バリア層９７は、エミッタプラグ電極１２３と層間絶縁層６６および第１主面１７との間に介在している。エミッタプラグ電極１２３は、バリア層９７を介してエミッタ領域４７およびコンタクト領域５０に接続されている。

［素子チップ１０の耐圧低下防止構造（第６形態）］

図２４Ａおよび図２４Ｂは、それぞれ、素子チップ１０の外側領域２１および素子形成領域２０における模式的な断面図である。図２４Ａおよび図２４Ｂは、それぞれ、前述の図２３Ａおよび図２３Ｂに対応する図である。図２４Ａおよび図２４Ｂは、素子チップ１０の耐圧低下防止構造の第６形態を示している。以下では、図２３Ａおよび図２３Ｂと異なる構成要素について説明し、図２３Ａおよび図２３Ｂと共通する構成要素の説明は、図２４Ａおよび図２４Ｂにおいて図２３Ａおよび図２３Ｂと同じ参照符号を使用することによって省略する。

[0161] 図２４Ａおよび図２４Ｂの素子チップ１０では、まず、バリア層９４が省略されている点が、図２３Ａおよび図２３Ｂの素子チップ１０と異なる点である。これにより、埋め込み部１２２は、フィールドリミット領域６１に直接的に接続されている。

[0162] また、素子形成領域２０において、ＦＥＴ構造４１に代えてダイオード構

造１２４が形成されている。ダイオード構造１２４は、第１主面１７の表層部に形成されたｐ型のアノード領域１２５と、第２主面１８の表層部にドリフト領域３８の一部により形成されたｎ型のカソード領域１２６とを含む。アノード領域１２５のｐ型不純物濃度は、１．０×10^{13}ｃｍ$^{-3}$以上１．０×10^{16}ｃｍ$^{-3}$以下であってもよい。カソード領域１２６のｎ型不純物濃度は、１．０×10^{13}ｃｍ$^{-3}$以上１．０×10^{15}ｃｍ$^{-3}$以下であってもよい。また、カソード領域１２６には、たとえば、重金属（たとえば、Ａｕ、Ｐｔ等）の拡散、電子線照射等によって結晶欠陥１２７が形成されていてもよい。これにより、ダイオード構造１２４は、逆回復時間（ｔｒｒ）が比較的小さくされたファストリカバリダイオード（高速ダイオード）として構成されていてもよい。

[0163] 素子形成領域２０において、表面電極２３はアノード端子電極１２８を含んでいてもよい。アノード端子電極１２８は、アルミニウム系金属により形成されている。より具体的には、アノード端子電極１２８は、アルミニウム、銅、アルミニウム－シリコン－銅合金、アルミニウム－シリコン合金、および、アルミニウム－銅合金のうちの少なくとも一種を含んでいてもよい。アノード端子電極１２８は、第１コンタクト孔７１に埋め込まれたコンタクト部１２９を含み、コンタクト部１２９がアノード領域１２５に直接接することによってアノード領域１２５に電気的に接続されている。

[0164] また、素子形成領域２０は、半導体チップ１６の第２主面１８の表層部に形成されたｎ$^{+}$型のコンタクト領域１３０を含む。コンタクト領域１３０は、第２主面１８から露出している。コンタクト領域１３０は、第２主面１８の表層部において半導体チップ１６の全域に形成されていてもよい。コンタクト領域１３０のｎ型不純物濃度は、１．０×10^{19}ｃｍ$^{-3}$以上１．０×10^{20}ｃｍ$^{-3}$以下であってもよい。

[0165] 半導体チップ１６の第２主面１８には、裏面電極の一例としてのカソード端子電極１３１を含む。カソード端子電極１３１は、第２主面１８（コンタクト領域１３０）との間でオーミック接触を形成している。カソード端子電

極１３１は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層およびＡｌ層のうちの少なくとも１つを含んでいてもよい。カソード端子電極１３１は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層またはＡｌ層を含む単層構造を有していてもよい。カソード端子電極１３１は、Ｔｉ層、Ｎｉ層、Ａｕ層、Ａｇ層およびＡｌ層のうちの少なくとも２つを任意の態様で積層させた積層構造を有していてもよい。

［素子チップ１０の耐圧低下防止構造（第７形態）］

図２５は、素子チップ１０の外側領域２１における模式的な断面図である。図２５は、素子チップ１０の耐圧低下防止構造の第７形態を示している。以下では、図４Ａおよび図４Ｂと異なる構成要素について説明し、図４Ａおよび図４Ｂと共通する構成要素の説明は、図２５において図４Ａおよび図４Ｂと同じ参照符号を使用することによって省略する。

[0166] 図２５は、たとえばエミッタ引き回し部３４等のエミッタ電位電極１３２が隣り合って形成されている場合、封止導電層１３３が、当該エミッタ電位電極１３２の間のスペース１３４に対向して形成されていてもよい例を示している。エミッタ電位電極１３２は、終端領域５９のリサーフ層６０に接続されている。したがって、封止導電層１３３は、リサーフ層６０近傍の耐圧の低下を抑制することができる。

［素子チップ１０の耐圧低下防止構造（第８形態）］

図２６Ａおよび図２６Ｂは、それぞれ、素子チップ１０の外側領域２１および素子形成領域２０における模式的な断面図である。図２６Ａおよび図２６Ｂは、それぞれ、前述の図４Ａおよび図４Ｂに対応する図である。図２６Ａおよび図２６Ｂは、素子チップ１０の耐圧低下防止構造の第８形態を示している。以下では、図４Ａおよび図４Ｂと異なる構成要素について説明し、図４Ａおよび図４Ｂと共通する構成要素の説明は、図２６Ａおよび図２６Ｂにおいて図４Ａおよび図４Ｂと同じ参照符号を使用することによって省略する。

[0167] 図２６Ａおよび図２６Ｂの素子チップでは、ＦＥＴ構造４１がＩＧＢＴ構造ではなく、ＭＯＳＦＥＴ構造として構成されている。この場合、エミッタ

領域４７がｎ+型ソース領域１３５であり、コレクタ領域４０がｎ+型のドレイン領域１３６であってもよい。また、エミッタ端子電極１１がソース端子電極１３７であり、コレクタ端子電極１３がドレイン端子電極１３８であってもよい。

［半導体モジュール２００の全体構成］

図２７は、本開示の一実施形態に係る半導体モジュール２００の模式的な外観図である。

[0168] 半導体モジュール２０１には、１つまたは２つ以上の半導体チップ２０２が組み込まれる。

[0169] 半導体モジュール２０１は、この形態では、２つの半導体チップ２０２が組み込まれた構造を有している。以下では、便宜的に、２つの半導体チップ２０２をそれぞれ第１半導体チップ２０２Ａおよび第２半導体チップ２０２Ｂという。第１半導体チップ２０２Ａおよび第２半導体チップ２０２Ｂには、前述の素子チップ１０が適用されてもよい。

[0170] 図２７を参照して、半導体モジュール２０１は、第１半導体チップ２０２Ａおよび第２半導体チップ２０２Ｂを収容する筐体２０３を含む。筐体２０３は、樹脂ケース２０４および支持基板２０５を含む。支持基板２０５は、第１半導体チップ２０２Ａおよび第２半導体チップ２０２Ｂを支持する基板である。

[0171] 樹脂ケース２０４は、底壁２０６および側壁２０７Ａ，２０７Ｂ，２０７Ｃ，２０７Ｄを含む。底壁２０６は、その法線方向から見た平面視において四角形状（この形態では長方形状）に形成されている。底壁２０６には、貫通孔２０８が形成されている。貫通孔２０８は、底壁２０６において周縁から内方領域に間隔を空けた領域に形成されている。貫通孔２０８は、この形態では、平面視において四角形状（この形態では長方形状）に形成されている。側壁２０７Ａ～２０７Ｄは、底壁２０６の周縁から底壁２０６とは反対側に向けて立設されている。側壁２０７Ａ～２０７Ｄは、底壁２０６とは反対側において開口２０９を区画している。側壁２０７Ａ～２０７Ｄは、底壁

２０６との間で内部空間２１０を区画している。

[0172] 側壁２０７Ａおよび側壁２０７Ｃは、底壁２０６の短手方向に沿って延びている。側壁２０７Ａおよび側壁２０７Ｃは、底壁２０６の長手方向に互いに対向している。側壁２０７Ｂおよび側壁２０７Ｄは、底壁２０６の長手方向に沿って延びている。側壁２０７Ｂおよび側壁２０７Ｄは、底壁２０６の短手方向に互いに対向している。

[0173] 内部空間２１０の４つの角部には、ボルト挿通孔２１１，２１２，２１３，２１４がそれぞれ形成されている。内部空間２１０は、図示しない蓋部材や封止部材（たとえば、封止用ゲル）によって閉塞される。蓋部材は、ボルトによって、ボルト挿通孔２１１，２１２，２１３，２１４にボルト止めされる。

[0174] 樹脂ケース２０４は、複数の端子支持部２１５，２１６，２１７，２１８を含む。複数の端子支持部２１５～２１８は、この形態では、第１端子支持部２１５、第２端子支持部２１６、第３端子支持部２１７および第４端子支持部２１８を含む。第１端子支持部２１５および第２端子支持部２１６は、側壁２０７Ａの外壁に取り付けられている。第１端子支持部２１５および第２端子支持部２１６は、この形態では、側壁２０７Ａの外壁と一体的に形成されている。

[0175] 第１端子支持部２１５および第２端子支持部２１６は、短手方向に互いに間隔を空けて形成されている。第１端子支持部２１５および第２端子支持部２１６は、ブロック状にそれぞれ形成されている。第１端子支持部２１５および第２端子支持部２１６は、側壁２０７Ａの外壁から長手方向外側に向かってそれぞれ突出している。

[0176] 第３端子支持部２１７および第４端子支持部２１８は、側壁２０７Ｃに取り付けられている。第３端子支持部２１７および第４端子支持部２１８は、この形態では、側壁２０７Ｃの外壁と一体的に形成されている。

[0177] 第３端子支持部２１７および第４端子支持部２１８は、短手方向に互いに間隔を空けて形成されている。第３端子支持部２１７および第４端子支持部

２１８は、ブロック状にそれぞれ形成されている。第３端子支持部２１７および第４端子支持部２１８は、側壁２０７Ｃから長手方向外側に向かってそれぞれ突出している。

[0178] 第１端子支持部２１５、第２端子支持部２１６、第３端子支持部２１７および第４端子支持部２１８は、支持壁２１９をそれぞれ有している。各支持壁２１９は、底壁２０６よりも開口２０９側の領域に位置している。各支持壁２１９は、平面視において四角形状に形成されている。

[0179] 第１端子支持部２１５および第２端子支持部２１６の間の領域には、第１ボルト挿通孔２２１が形成されている。第３端子支持部２１７および第４端子支持部２１８の間の領域には、第２ボルト挿通孔２２２が形成されている。

[0180] 支持基板２０５は、放熱板２２５、絶縁材２２６および回路部２２７を含む。支持基板２０５は、底壁２０６の貫通孔２０８から回路部２２７が露出するように樹脂ケース２０４の外面に取り付けられている。支持基板２０５は、放熱板２２５が樹脂ケース２０４の外面に接着されることにより、樹脂ケース２０４の外面に取り付けられていてもよい。

[0181] 放熱板２２５は、金属板であってもよい。放熱板２２５は、金属膜によって被覆された絶縁板であってもよい。放熱板２２５は、その法線方向から見た平面視において四角形状（この形態では長方形状）に形成されている。

[0182] 絶縁材２２６は、放熱板２２５の上に形成されている。絶縁材２２６は、絶縁材料を含む実装基板であってもよい。絶縁材２２６は、放熱板２２５の上に膜状に形成された絶縁膜であってもよい。

[0183] 回路部２２７は、絶縁材２２６を介して放熱板２２５の上に形成されている。回路部２２７は、複数の配線２３１，２３２，２３３、第１半導体チップ２０２Ａおよび第２半導体チップ２０２Ｂを含む。配線２３１～２３３は、この形態では、第１コレクタ配線２３１、第２コレクタ配線２３２およびエミッタ配線２３３を含む。

[0184] 第１コレクタ配線２３１は、板状または膜状に形成されている。第１コレ

クタ配線２３１は、平面視において四角形状に形成されている。第１コレクタ配線２３１は、放熱板２２５において長手方向一方側（側壁２０７Ａ側）および短手方向一方側（側壁２０７Ｄ側）の領域に配置されている。

[0185] 第２コレクタ配線２３２は、板状または膜状に形成されている。第２コレクタ配線２３２は、平面視において四角形状に形成されている。第２コレクタ配線２３２は、第１コレクタ配線２３１から間隔を空けて、放熱板２２５において長手方向他方側（側壁２０７Ｃ側）および短手方向一方側（側壁２０７Ｄ側）の領域に配置されている。

[0186] エミッタ配線２３３は、板状または膜状に形成されている。エミッタ配線２３３は、平面視において四角形状に形成されている。エミッタ配線２３３は、この形態では、放熱板２２５の長手方向に沿って延びる長方形状に形成されている。エミッタ配線２３３は、第１コレクタ配線２３１および第２コレクタ配線２３２から間隔を空けて、放熱板２２５において短手方向他方側（側壁２０７Ｂ側）の領域に配置されている。

[0187] 第１半導体チップ２０２Ａは、コレクタ端子電極１３を放熱板に対向させた姿勢で、第１コレクタ配線２３１の上に配置されている。第１半導体チップ２０２Ａのコレクタ端子電極１３は、導電性接合材を介して第１コレクタ配線２３１に接合されている。

[0188] これにより、第１半導体チップ２０２Ａのコレクタ端子電極１３は、第１コレクタ配線２３１に電気的に接続されている。導電性接合材は、半田または導電性ペーストを含んでいてもよい。

[0189] 第２半導体チップ２０２Ｂは、コレクタ端子電極１３を放熱板に対向させた姿勢で、第２コレクタ配線２３２の上に配置されている。第２半導体チップ２０２Ｂのコレクタ端子電極１３は、導電性接合材を介して第２コレクタ配線２３２に接合されている。

[0190] これにより、第２半導体チップ２０２Ｂのコレクタ端子電極１３は、第２コレクタ配線２３２に電気的に接続されている。導電性接合材は、半田または導電性ペーストを含んでいてもよい。

[0191] 半導体モジュール２０１は、複数の端子２３４，２３５，２３６，２３７を含む。複数の端子２３４～２３７は、コレクタ端子２３４、第１エミッタ端子２３５、共通端子２３６および第２エミッタ端子２３７を含む。

[0192] コレクタ端子２３４は、第１端子支持部２１５に配置されている。コレクタ端子２３４は、第１コレクタ配線２３１に電気的に接続される。コレクタ端子２３４は、第１領域２３８および第２領域２３９を含む。コレクタ端子２３４の第１領域２３８は、内部空間２１０外に位置している。コレクタ端子２３４の第２領域２３９は、内部空間２１０内に位置している。

[0193] コレクタ端子２３４の第１領域２３８は、第１端子支持部２１５の支持壁２１９によって支持されている。コレクタ端子２３４の第２領域２３９は、第１領域２３８から側壁２０７Ａを貫通して内部空間２１０内に引き出されている。コレクタ端子２３４の第２領域２３９は、第１コレクタ配線２３１に電気的に接続される。

[0194] 第１エミッタ端子２３５は、第２端子支持部２１６に配置されている。第１エミッタ端子２３５は、エミッタ配線２３３に電気的に接続される。第１エミッタ端子２３５は、第１領域２４０および第２領域２４１を含む。第１エミッタ端子２３５の第１領域２４０は、内部空間２１０外に位置している。第１エミッタ端子２３５の第２領域２４１は、内部空間２１０内に位置している。

[0195] 第１エミッタ端子２３５の第１領域２４０は、第２端子支持部２１６の支持壁２１９によって支持されている。第１エミッタ端子２３５の第２領域２４１は、第１領域２４０から側壁２０７Ａを貫通して内部空間２１０内に引き出されている。第１エミッタ端子２３５の第２領域２４１は、エミッタ配線２３３に電気的に接続される。

[0196] 共通端子２３６は、第３端子支持部２１７に配置されている。共通端子２３６は、第２コレクタ配線２３２に電気的に接続される。共通端子２３６は、第１領域２４２および第２領域２４３を含む。共通端子２３６の第１領域２４２は、内部空間２１０外に位置している。共通端子２３６の第２領域２

４３は、内部空間２１０内に位置している。

[0197] 共通端子２３６の第１領域２４２は、第２端子支持部２１６の支持壁２１９によって支持されている。共通端子２３６の第２領域２４３は、第１領域２４０から側壁２０７Ｃを貫通して内部空間２１０内に引き出されている。共通端子２３６の第２領域２４３は、第２コレクタ配線２３２に電気的に接続される。

[0198] 第２エミッタ端子２３７は、第４端子支持部２１８に配置されている。第２エミッタ端子２３７は、エミッタ配線２３３に電気的に接続される。第２エミッタ端子２３７は、第１領域２４４および第２領域２４５を含む。第２エミッタ端子２３７の第１領域２４４は、内部空間２１０外に位置している。第２エミッタ端子２３７の第２領域２４５は、内部空間２１０内に位置している。

[0199] 第２エミッタ端子２３７の第１領域２４４は、第４端子支持部２１８の支持壁２１９によって支持されている。第２エミッタ端子２３７の第２領域２４５は、第１領域２４４から側壁２０７Ｃを貫通して内部空間２１０内に引き出されている。第２エミッタ端子２３７の第２領域２４５は、エミッタ配線２３３に電気的に接続される。

[0200] 半導体モジュール２０１は、複数（この形態では６個）の側壁端子２４６Ａ～２４６Ｈを含む。複数の側壁端子２４６Ａ～２４６Ｈは、内部空間２１０において側壁２０７Ｄに沿って間隔を空けて配置されている。

[0201] 複数の側壁端子２４６Ａ～２４６Ｈは、内部接続部２４７および外部接続部２４８をそれぞれ含む。内部接続部２４７は、底壁２０６に配置されている。外部接続部２４８は、内部接続部２４７から側壁２０７Ｄに沿ってライン状に延び、内部空間２１０外に引き出されている。

[0202] 複数の側壁端子２４６Ａ～２４６Ｈは、第１半導体チップ２０２Ａ用の３個の側壁端子２４６Ａ～２４６Ｄ、および、第２半導体チップ２０２Ｂ用の３個の側壁端子２４６Ｅ～２４６Ｈを含む。

[0203] 側壁端子２４６Ａ～２４６Ｄは、短手方向に沿って第１コレクタ配線２３

１と対向している。側壁端子２４６Ａは、第１半導体チップ２０２Ａのゲート端子電極１２に接続されるゲート端子として形成されている。側壁端子２４６Ｂ～２４６Ｄは、たとえば、第１半導体チップ２０２Ａの電流検出用の端子電極（図示せず）等に接続される端子としてそれぞれ形成されている。側壁端子２４６Ｂ～２４６Ｄの少なくとも１つは、開放端子であってもよい。

[0204] 側壁端子２４６Ｅ～２４６Ｈは、短手方向に沿って第２コレクタ配線２３２と対向している。側壁端子２４６Ｅは、第２半導体チップ２０２Ｂのゲート端子電極１２に接続されるゲート端子として形成されている。側壁端子２４６Ｆ～２４６Ｈは、第２半導体チップ２０２Ｂの電流検出用の端子電極（図示せず）等に接続される端子としてそれぞれ形成されている。側壁端子２４６Ｆ～２４６Ｈの少なくとも１つは、開放端子であってもよい。

[0205] 半導体モジュール２０１は、複数の導線２４９Ａ～２４９Ｊを含む。複数の導線２４９Ａ～２４９Ｊは、金、銀、銅およびアルミニウムのうちの少なくとも１種をそれぞれ含んでいてもよい。導線２４９Ａ～２４９Ｊは、ボンディングワイヤをそれぞれ含んでいてもよい。導線２４９Ａ～２４９Ｊは、導電板をそれぞれ含んでいてもよい。

[0206] 複数の導線２４９Ａ～２４９Ｊは、第１導線２４９Ａ、第２導線２４９Ｂ、第３導線２４９Ｃ、第４導線２４９Ｄ、第５導線２４９Ｅ、第６導線２４９Ｆ、第７導線２４９Ｇ、第８導線２４９Ｈ、第９導線２４９Ｉおよび第１０導線２４９Ｊを含む。

[0207] 第１導線２４９Ａは、コレクタ端子２３４および第１コレクタ配線２３１を接続している。第２導線２４９Ｂは、第１エミッタ端子２３５およびエミッタ配線２３３を接続している。第３導線２４９Ｃは、共通端子２３６および第２コレクタ配線２３２を接続している。第４導線２４９Ｄは、第２エミッタ端子２３７およびエミッタ配線２３３を接続している。第５導線２４９Ｅは、第１半導体チップ２０２Ａのエミッタ端子電極１１および第２コレクタ配線２３２を接続している。第６導線２４９Ｆは、第２半導体チップ２０

２Ｂのエミッタ端子電極１１およびエミッタ配線２３３を接続している。

[0208] 第７導線２４９Ｇは、第１半導体チップ２０２Ａのゲート端子電極１２および側壁端子２４６Ａを接続している。第８導線２４９Ｈは、第２半導体チップ２０２Ｂのゲート端子電極１２および側壁端子２４６Ｅを接続している。第９導線２４９Ｉは、第１半導体チップ２０２Ａの電流検出用の端子電極（図示せず）等と、側壁端子２４６Ｂ～２４６Ｄとを接続している。第１０導線２４９Ｊは、第２半導体チップ２０２Ｂの電流検出用の端子電極（図示せず）等と、側壁端子２４６Ｆ～２４６Ｈとを接続している。

[0209] 図２８は、図２７の半導体モジュール２０１の電気的構造を示す回路図である。

[0210] 図２８を参照して、半導体モジュール２０１は、ハーフブリッジ回路２５０を含む。ハーフブリッジ回路２５０は、第１半導体チップ２０２Ａおよび第２半導体チップ２０２Ｂを含む。

[0211] 第１半導体チップ２０２Ａは、ハーフブリッジ回路２５０の高電圧側アームを構成している。第２半導体チップ２０２Ｂは、ハーフブリッジ回路２５０の低電圧側アームを構成している。

[0212] 第１半導体チップ２０２Ａのゲート端子電極１２には、ゲート端子（側壁端子２４６Ａ）が接続されている。第１半導体チップ２０２Ａのコレクタ端子電極１３には、コレクタ端子２３４が接続されている。

[0213] 第１半導体チップ２０２Ａのエミッタ端子電極１１には、第２半導体チップ２０２Ｂのコレクタ端子電極１３が接続されている。第１半導体チップ２０２Ａのエミッタ端子電極１１および第２半導体チップ２０２Ｂのコレクタ端子電極１３の接続部には、共通端子２３６が接続されている。

[0214] 第２半導体チップ２０２Ｂのゲート端子電極１２には、ゲート端子（側壁端子２４６Ｄ）が接続されている。第２半導体チップ２０２Ｂのエミッタ端子電極１１には、第１エミッタ端子２３５（第２エミッタ端子２３７）が接続されている。

[0215] 第１半導体チップ２０２Ａのゲート端子電極１２には、ゲート端子（側壁

端子２４６Ａ）を介してゲートドライバＩＣ等が接続されてもよい。第２半導体チップ２０２Ｂのゲート端子電極１２には、ゲート端子（側壁端子２４６Ｄ）を介してゲートドライバＩＣ等が接続されてもよい。

[0216] 半導体モジュール２０１は、Ｕ相、Ｖ相およびW相を有する三相モータにおいて、Ｕ相、Ｖ相およびW相のいずれか一相を駆動させるインバータモジュールであってもよい。三相モータのＵ相、Ｖ相およびW相に対応する３個の半導体モジュール２０１によって、三相モータを駆動するインバータ装置を構成してもよい。

[0217] この場合、各半導体モジュール２０１のコレクタ端子２３４および第１エミッタ端子２３５（第２エミッタ端子２３７）に直流電源が接続される。また、各半導体モジュール２０１の共通端子２３６に三相モータのＵ相、Ｖ相およびW相のいずれか一相が負荷として接続される。

[0218] インバータ装置では、第１半導体チップ２０２Ａおよび第２半導体チップ２０２Ｂが所定のスイッチングパターンで駆動制御される。これにより、直流電圧が三相交流電圧に変換されて、三相モータが正弦波駆動される。

[0219] 本開示の実施形態について説明したが、本開示は他の形態で実施することもできる。

[0220] たとえば、前述の実施形態において、各半導体部分の導電型が反転された構造が採用されてもよい。つまり、ｐ型の部分がｎ型に形成され、ｎ型の部分がｐ型に形成されてもよい。

[0221] また、フィールドリミット領域６１として、半導体チップ１６にｐ型不純物を導入することによって形成されたｐ型不純物領域を一例として取り上げたが、たとえば、半導体チップ１６の第１主面１７にトレンチを形成し、前記トレンチに絶縁層を介して埋め込まれた埋め込み導電層（導電性ポリシリコン等）をフィールドリミット領域６１として形成してもよい。この場合、前記トレンチの内面に沿ってｐ型不純物領域が形成されていてもよい。

[0222] また、図２７の半導体モジュール２０１に搭載される第１半導体チップ２０２Ａおよび第２半導体チップ２０２Ｂとして、ＦＥＴ構造としてＭＯＳＦ

ＥＴ構造を有する素子チップ１０が適用されてもよい。

[0223] 以上、本開示の実施形態は、すべての点において例示であり限定的に解釈されるべきではなく、すべての点において変更が含まれることが意図される。

[0224] この明細書および図面の記載から以下に付記する特徴が抽出され得る。

[0225] ［付記１－１］

素子構造（４２，１１２，１２４）を含む素子形成領域（２０）が形成された第１主面（１７）を有する半導体チップ（１６）と、

前記半導体チップ（１６）の前記第１主面（１７）において前記素子形成領域（２０）の周囲の周囲領域（２１）に形成され、前記素子構造（４２，１１２，１２４）の耐圧を保持する耐圧保持構造（５９，６０，６１）と、

前記半導体チップ（１６）の前記第１主面（１７）に形成された層間絶縁層（６６）と、

前記第１主面（１７）上において互いに間隔を空けて形成された複数の第１導電層（２３，２４，３４，１３２）であって、前記層間絶縁層（６６）を通って前記耐圧保持構造（５９，６０，６１）に接続された複数の第１導電層（２３，２４，３４，１３２）と、

前記層間絶縁層（６６）によって前記半導体チップ（１６）から絶縁され、平面視において隣り合う前記複数の第１導電層（２３，２４，３４，１３２）間のスペース（８２，１３４）に重なる第２導電層（８３，１３３）と、

前記複数の第１導電層（２３，２４，３４，１３２）および前記第２導電層（８３，１３３）を覆うように前記層間絶縁層（６６）上に形成された保護層（８０）とを含む、半導体装置（１）。

[0226] ［付記１－２］

前記第２導電層（８３，１３３）は、前記層間絶縁層（６６）内に埋め込まれた埋め込み導電層を含み、

前記埋め込み導電層は、前記層間絶縁層（６６）の厚さ方向において前記

複数の第１導電層（２３，２４，３４，１３２）間のスペース（８２，１３４）に対向している、付記１－１に記載の半導体装置（１）。

[0227] ［付記１－２－１］

前記第１導電層（２３，２４，３４，１３２）は、前記層間絶縁層（６６）に形成されたコンタクト孔（７５）に設けられ、前記耐圧保持構造（５９，６０，６１）に接続されたコンタクト部（８４）と、前記コンタクト孔（７５）の深さ方向における前記コンタクト部（８４）の途中部から前記埋め込み導電層に向かって引き出された第１引き出し部（１０１）と、前記コンタクト部（８４）の上端部から前記層間絶縁層（６６）の表面に沿って引き出された第２引き出し部（１０２）とを含む、付記１－２に記載の半導体装置（１）。

[0228] ［付記１－２－２］

前記コンタクト部（８４）の周面から前記第２引き出し部（１０２）の横方向端部までの距離（Ｄ２）は、前記コンタクト部（８４）の周面から前記第１引き出し部（１０１）の横方向端部までの距離（Ｄ１）よりも長い、付記１－２－１に記載の半導体装置（１）。

[0229] ［付記１－２－３］

隣り合う前記第１導電層（２３，２４，３４，１３２）の一方および他方がそれぞれ前記第２引き出し部（１０２）を有し、当該一方および他方の第２引き出し部（１０２）が前記層間絶縁層（６６）の表面上で第２間隔（Ｗ２）を空けて対向しており、

前記一方の第１導電層（２３，２４，３４，１３２）の前記第１引き出し部（１０１）と前記埋め込み導電層との第１間隔（Ｗ１）は、前記一方の第２引き出し部（１０２）と前記他方の第２引き出し部（１０２）との前記第２間隔（Ｗ２）よりも狭い、付記１－２－１または付記１－２－２に記載の半導体装置（１）。

[0230] ［付記１－２－４］

前記第１間隔（Ｗ１）は１μｍ以上であり、前記第２間隔（Ｗ２）は１０

μｍ以上である、付記１－２－３に記載の半導体装置（１）。

[0231] ［付記１－２－５］

前記層間絶縁層（６６）は、前記埋め込み導電層よりも前記半導体チップ（１６）側の第１厚さ（Ｔ１）を有する第１部分（８６）と、前記第１部分（８６）上に形成され、前記埋め込み導電層を被覆し、かつ前記第１厚さ（Ｔ１）よりも薄い第２厚さ（Ｔ２）を有する第２部分（８７）とを含む、付記１－２に記載の半導体装置（１）。

[0232] ［付記１－２－６］

前記第１厚さ（Ｔ１）は３０００Å以上２００００Å以下であり、前記第２厚さ（Ｔ２）は１０００Å以上１００００Å以下である、付記１－２－５に記載の半導体装置（１）。

[0233] ［付記１－３］

前記第１導電層（２３，２４，３４，１３２）は、前記層間絶縁層（６６）上に形成された表層部（８５）と、前記表層部（８５）から前記層間絶縁層（６６）を通って前記耐圧保持構造（５９，６０，６１）に接続されたコンタクト部（８４）とを含み、

前記埋め込み導電層は、前記層間絶縁層（６６）の厚さ方向において前記第１導電層（２３，２４，３４，１３２）の前記表層部（８５）の一部に対向している、付記１－２に記載の半導体装置（１）。

[0234] ［付記１－４］

前記第１導電層（２３，２４，３４，１３２）は、前記層間絶縁層（６６）に形成されたコンタクト孔（７５）に設けられ、前記耐圧保持構造（５９，６０，６１）に接続されたコンタクト部（８４）と、前記コンタクト部（８４）から前記層間絶縁層（６６）の表面上に引き出され、平面視において前記埋め込み導電層に重なるオーバーラップ部（１０２）とを含む、付記１－２に記載の半導体装置（１）。

[0235] ［付記１－５］

前記層間絶縁層（６６）は、前記埋め込み導電層よりも前記半導体チップ

（１６）側の第１部分（８６）と、前記第１部分（８６）上に形成され、前記埋め込み導電層を被覆する第２部分（８７）とを含み、

前記第１導電層（２３，２４，３４，１３２）の前記コンタクト部（８４）は、前記埋め込み導電層に向かって前記第１部分（８６）上の領域に選択的に突出した突出部（１００）をさらに含む、付記１－３または付記１－４に記載の半導体装置（１）。

[0236] ［付記１－５－１］

前記層間絶縁層（６６）の前記第１部分（８６）は第１厚さ（Ｔ１）を有し、前記層間絶縁層（６６）の前記第２部分（８７）は前記第１厚さ（Ｔ１）よりも薄い第２厚さ（Ｔ２）を有する、付記１－５に記載の半導体装置（１）。

[0237] ［付記１－５－２］

前記第１厚さ（Ｔ１）は３０００Å以上２００００Å以下であり、前記第２厚さ（Ｔ２）は１０００Å以上１００００Å以下である、付記１－５－１に記載の半導体装置（１）。

[0238] ［付記１－６］

前記層間絶縁層（６６）は、前記埋め込み導電層よりも前記半導体チップ（１６）側の第１部分（８６）と、前記第１部分（８６）上に形成され、前記埋め込み導電層を被覆する第２部分（８７）とを含み、

前記コンタクト部（８４）は、バリア層（９４）および前記バリア層（９４）を介して前記層間絶縁層（６６）の前記第１部分（８６）に埋め込まれたコンタクトプラグ（９５）により形成された第１埋め込み部（９２）と、前記層間絶縁層（６６）の前記第２部分（８７）に埋め込まれ、前記コンタクトプラグ（９５）とは異なる導電材料により形成された第２埋め込み部（９３）とを含む、付記１－２～付記１－４のいずれか一項に記載の半導体装置（１）。

[0239] ［付記１－６－１］

前記コンタクトプラグ（９５）はタングステンプラグを含み、

前記第２埋め込み部（９３）はアルミニウム系金属を含む、付記１－６に記載の半導体装置（１）。

[0240] ［付記１－７］

前記層間絶縁層（６６）は、前記埋め込み導電層よりも前記半導体チップ（１６）側の第１部分（８６）と、前記第１部分（８６）上に形成され、前記埋め込み導電層を被覆する第２部分（８７）とを含み、

前記コンタクト部（８４）は、前記層間絶縁層（６６）の前記第１部分（８６）および前記第２部分（８７）に一体的に埋め込まれた単一の導電材料により形成された埋め込み部（１１０，１２２）と、前記第１部分（８６）と前記埋め込み部（１１０，１２２）との間に形成されたバリア層（９４）とを含む埋め込みコンタクトを含む、付記１－２～付記１－４のいずれか一項に記載の半導体装置（１）。

[0241] ［付記１－７－１］］

前記バリア層（９４）はチタン系金属を含み、

前記埋め込み部（１１０，１２２）はアルミニウム系金属を含む、付記１－７に記載の半導体装置（１）。

[0242] ［付記１－８］

前記層間絶縁層（６６）は、前記埋め込み導電層よりも前記半導体チップ（１６）側の第１部分（８６）と、前記第１部分（８６）上に形成され、前記埋め込み導電層を被覆する第２部分（８７）とを含み、

前記コンタクト部（８４）は、前記層間絶縁層（６６）の前記第１部分（８６）および前記第２部分（８７）に一体的に埋め込まれた単一の導電材料により形成され、前記耐圧保持構造（５９，６０，６１）に直接的に接続された埋め込みコンタクト（１１０，１２２）を含む、付記１－２～付記１－４のいずれか一項に記載の半導体装置（１）。

[0243] ［付記１－８－１］

前記素子構造（４２，１１２，１２４）は、ダイオード構造（１１２，１２４）を含む、付記１－８に記載の半導体装置（１）。

[0244] ［付記１－８－２］

前記ダイオード構造（１１２，１２４）は、ファストリカバリダイオードを含む、付記１－８－１に記載の半導体装置（１）。

[0245] ［付記１－８－３］

前記埋め込みコンタクトは、アルミニウム系金属を含む、付記１－８または付記１－８－１に記載の半導体装置（１）。

[0246] ［付記１－９］

前記層間絶縁層（６６）の前記素子形成領域（２０）におけるアクティブ厚さ（ＴＡ）は、前記層間絶縁層（６６）の前記周囲領域（２１）における周囲厚さ（ＴＣ）よりも薄い、付記１－１～付記１－８のいずれか一項に記載の半導体装置（１）。

[0247] ［付記１－９－１］

前記アクティブ厚さ（ＴＡ）は３０００Å以上２００００Å以下であり、前記周囲厚さ（ＴＣ）は４０００Å以上３００００Å以下である、付記１－５－１に記載の半導体装置（１）。

[0248] ［付記１－１０］

前記層間絶縁層（６６）の表面には、前記素子形成領域（２０）と前記周囲領域（２１）との境界部（６９）において段差（７０）が形成されている、付記１－１～付記１－９のいずれか一項に記載の半導体装置（１）。

[0249] ［付記１－１１］

前記素子形成領域（２０）において前記保護層（８０）から露出し、前記素子構造（４２，１１２，１２４）に接続された第１出力電極（１１，１１６，１２８，１３７）を含み、

前記半導体チップ（１６）の前記第１主面（１７）から前記第１導電層（２３，２４，３４，１３２）の表面（Ｈ２）までの高さは、前記半導体チップ（１６）の前記第１主面（１７）から前記第１出力電極（１１，１１６，１２８，１３７）までの高さ（Ｈ１）よりも高い、付記１－１～付記１－１１のいずれか一項に記載の半導体装置（１）。

[0250] ［付記１－１２］

前記複数の第１導電層（２３，２４，３４，１３２）および前記第２導電層（８３，１３３）は共に、前記層間絶縁層（６６）上に形成されており、

前記第２導電層（８３，１３３）は、前記層間絶縁層（６６）の表面において前記複数の第１導電層（２３，２４，３４，１３２）間のスペース（８２，１３４）に設けられている、付記１－１に記載の半導体装置（１）。

[0251] ［付記１－１３］

前記半導体チップ（１６）の前記第１主面（１７）において、複数の前記耐圧保持構造（５９，６０，６１）に挟まれた領域に形成されたＬＯＣＯＳ（Local oxidation of silicon）酸化膜（６２）をさらに含み、

前記第１導電層（２３，２４，３４，１３２）は前記耐圧保持構造（５９，６０，６１）の直上位置に設けられ、

前記第２導電層（８３，１３３）は前記ＬＯＣＯＳ酸化膜（６２）の直上位置に設けられている、付記１－１２に記載の半導体装置（１）。

[0252] ［付記１－１４］

前記複数の第１導電層（２３，２４，３４，１３２）間のスペース（８２，１３４）は平面視ライン状に形成されており、

前記第２導電層（８３，１３３）は、前記ライン状の前記スペース（８２，１３４）に沿って延びる平面視ライン状に形成されている、付記１－１～付記１－１３のいずれか一項に記載の半導体装置（１）。

[0253] ［付記１－１４－１］

前記複数の第１導電層（２３，２４，３４，１３２）間のスペース（８２，１３４）は、平面視において前記素子形成領域（２０）を取り囲む無端環状に形成されており、

前記第２導電層（８３，１３３）は、前記無端環状の前記スペース（８２，１３４）に沿って延びる平面視無端環状に形成されている、付記１－１４に記載の半導体装置（１）。

[0254] ［付記１－１５］

前記周囲領域（２１）は、前記素子形成領域（２０）を取り囲み、前記半導体チップ（１６）の周端部に形成された外側領域（２１）を含む、付記１－１～付記１－１４のいずれか一項に記載の半導体装置（１）。

[0255] ［付記１－１６］

前記半導体チップ（１６）は、前記第１主面（１７）側に形成された第１導電型の第１不純物領域（３８）を含み、

前記耐圧保持構造（５９，６０，６１）は、前記第１不純物領域（３８）に第２導電型不純物を導入することによって形成された第２不純物領域を含む、付記１－１～付記１－１５のいずれか一項に記載の半導体装置（１）。

[0256] ［付記１－１７］

前記耐圧保持構造（５９，６０，６１）は、前記素子形成領域（２０）を取り囲むＦＬＲ（Field Limiting Ring）構造（６１）およびリサーフ（RESURF：Reduced Surface Field）層（６０）の少なくとも一方を含む、付記１－１６に記載の半導体装置（１）。

[0257] ［付記１－１８］

前記素子構造（４２，１１２，１２４）は、ＩＧＢＴ（Insulated Gate Bipolar Transistor）構造、ダイオード構造およびＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）構造の少なくとも１つを含む、付記１－１～付記１－１７のいずれか一項に記載の半導体装置（１）。

[0258] ［付記１－１９］

前記保護層（８０）は、ポリイミド樹脂またはＰＢＯ（Polybenzoxazole）樹脂により形成されている、付記１－１～付記１－１８のいずれか一項に記載の半導体装置（１）。

[0259] ［付記１－２０］

前記半導体チップ（１６）を封止する封止樹脂（２）を含むディスクリート半導体である、付記１－１～付記１－１９のいずれか一項に記載の半導体装置（１）。

[0260] ［付記１－２１］

樹脂製の筐体（２０３）と、

前記筐体（２０３）に設置され、付記１－１～付記１－１９のいずれか一項に記載の半導体装置（１）を少なくとも１つ含む複数の半導体装置（１）とを含む、半導体モジュール（２０１）。

[0261] ［付記１－２２］

互いに間隔を空けて形成された複数の前記耐圧保持構造（５９，６０，６１）を含み、

前記第２導電層（８３，１３３）は、隣り合う前記複数の耐圧保持構造（５９，６０，６１）の間に跨る前記層間絶縁層（６６）の部分を前記半導体層（１６）の反対側から封止する封止導電層（８３）を含む、付記１－１に記載の半導体装置（１）。

[0262] ［付記２－１］

素子構造（４２，１１２，１２４）を含む素子形成領域（２０）が形成された第１主面（１７）を有する第１導電型の半導体層（１６）と、

前記半導体層（１６）の前記第１主面（１７）において前記素子形成領域（２０）の周囲の外側領域（２１）に形成された第２導電型の不純物領域を含み、互いに間隔を空けて形成された複数の耐圧保持構造（５９，６０，６１）と、

前記半導体チップ（１６）の前記第１主面（１７）に形成された層間絶縁層（６２，６６）と、

前記層間絶縁層（６２，６６）の表面に形成された表面メタル（２３）であって、前記層間絶縁層（６２，６６）を通って前記複数の耐圧保持構造（５９，６０，６１）にそれぞれ接続された複数の外周電極メタル（２３，２４，３４，１３２）を含む表面メタル（２３）と、

隣り合う前記複数の耐圧保持構造（５９，６０，６１）の間に跨る前記層間絶縁層（６２，６６）の部分を前記半導体層（１６）の反対側から封止する封止メタル（８３，１３３）であって、前記層間絶縁層（６２，６６）に埋め込まれ、前記層間絶縁層（６２，６６）の厚さ方向において前記外周電

極メタル（２３，２４，３４，１３２）に部分的に対向する封止メタル（８３，１３３）と、

前記表面メタル（２３）を覆うように前記層間絶縁層（６２，６６）上に形成された保護層（８０）とを含む、半導体装置（１）。

[0263] ［付記２－２］

前記外周電極メタル（２３，２４，３４，１３２）は、前記層間絶縁層（６２，６６）に形成されたコンタクト孔（７５）に設けられ、前記耐圧保持構造（５９，６０，６１）に接続されたコンタクト部（８４）と、前記コンタクト部（８４）から前記層間絶縁層（６２，６６）の表面上に引き出され、平面視において前記封止メタル（８３，１３３）に重なるオーバーラップ部（１０２）とを含む、付記２－１に記載の半導体装置（１）。

[0264] ［付記２－３］

前記外周電極メタル（２３，２４，３４，１３２）の前記コンタクト部（８４）は、前記封止メタル（８３，１３３）に向かって前記第１主面（１７）に沿って選択的に延びる延出部（１００）をさらに含む、付記２－２に記載の半導体装置（１）。

[0265] ［付記２－４］

隣り合う前記複数の耐圧保持構造（５９，６０，６１）の間に跨る前記層間絶縁層（６６）の部分は、前記第１主面（１７）に部分的に埋め込まれた熱酸化膜（６２）と、前記熱酸化膜上の堆積酸化膜（６６）とを含み、

前記封止メタル（８３，１３３）は、前記堆積酸化膜（６６）の表面に設けられている、付記２－１～付記２－３のいずれか一項に記載の半導体装置（１）。

[0266] ［付記２－５］

前記堆積酸化膜（６６）は、前記熱酸化膜（６２）の厚さ（ＴＦ）よりも大きな厚さ（Ｔ１，Ｔ２）を有している、付記２－４に記載の半導体装置（１）。

[0267] 本出願は、２０２２年３月４日に日本国特許庁に提出された特願２０２２

－３３８７５号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0268]

１	：半導体装置
２	：パッケージ本体
３	：第１面
４	：第２面
５Ａ	：第１側壁
５Ｂ	：第２側壁
５Ｃ	：第３側壁
５Ｄ	：第４側壁
６	：金属板
７	：引き出し板部
８	：貫通孔
９	：リード端子
１０	：素子チップ
１１	：エミッタ端子電極
１２	：ゲート端子電極
１３	：コレクタ端子電極
１４	：導電接着剤
１５	：導線
１６	：半導体チップ
１７	：第１主面
１８	：第２主面
１９Ａ	：第１側面
１９Ｂ	：第２側面
１９Ｃ	：第３側面
１９Ｄ	：第４側面

２０　：素子形成領域
２１　：外側領域
２２　：スクライブ領域
２３　：表面電極
２４　：フィールドプレート電極
２５　：等電位ポテンシャル電極
２６　：絶縁領域
２７　：ゲートパッド
２８　：ゲートフィンガー
２９　：開放端
３０　：開放端
３１　：第１ゲートフィンガー
３２　：第２ゲートフィンガー
３３　：エミッタパッド
３４　：エミッタ引き回し部
３５　：エミッタ接続部
３６　：アバランシェ電流回収構造
３７　：半導体基板
３８　：ドリフト領域
３９　：バッファ層
４０　：コレクタ領域
４１　：ＦＥＴ構造
４２　：トレンチゲート構造
４３　：ゲートトレンチ
４４　：ゲート絶縁層
４５　：ゲート電極層
４６　：ボディ領域
４７　：エミッタ領域

４８　：キャリアストレージ領域
４９　：コンタクトトレンチ
５０　：コンタクト領域
５１　：エミッタトレンチ構造
５２　：エミッタトレンチ
５３　：エミッタ絶縁層
５４　：エミッタ電位電極層
５５　：第１表面絶縁膜
５６　：ゲート引き出し電極層
５７　：エミッタ引き出し電極層
５８　：第２表面絶縁膜
５９　：終端領域
６０　：リサーフ層
６１　：フィールドリミット領域
６２　：フィールド絶縁層
６３　：開口
６４　：第３表面絶縁膜
６５　：チャネルストップ領域
６６　：層間絶縁層
６７　：素子被覆部
６８　：外側被覆部
６９　：境界部
７０　：段差
７１　：第１コンタクト孔
７２　：第２コンタクト孔
７３　：第３コンタクト孔
７４　：第４コンタクト孔
７５　：第５コンタクト孔

７６　：第６コンタクト孔
７７　：コンタクト領域
７８　：コンタクト領域
７９　：コンタクト領域
８０　：保護層
８１　：開口
８２　：スペース
８３　：封止導電層
８４　：コンタクト部
８５　：表層部
８６　：第１層
８７　：第２層
８８　：境界部
８９　：下部コンタクト孔
９０　：上部コンタクト孔
９１　：コンタクト領域
９２　：第１埋め込み部
９３　：第２埋め込み部
９４　：バリア層
９５　：コンタクトプラグ
９６　：エミッタプラグ電極
９７　：バリア層
９８　：コンタクトプラグ
９９　：端部
１００　：突出部
１０１　：第１引き出し部
１０２　：第２引き出し部
１０３　：内側周縁部

１０４　：外側周縁部
１０５　：バリア層
１０６　：コンタクトプラグ
１０７　：第１電極層
１０８　：第２電極層
１０９　：熱酸化膜
１１０　：埋め込み部
１１１　：エミッタプラグ電極
１１２　：ダイオード構造
１１３　：アノード領域
１１４　：カソード領域
１１５　：結晶欠陥
１１６　：アノード端子電極
１１７　：コンタクト部
１１８　：コンタクト領域
１１９　：カソード端子電極
１２０　：内側周縁部
１２１　：外側周縁部
１２２　：埋め込み部
１２３　：エミッタプラグ電極
１２４　：ダイオード構造
１２５　：アノード領域
１２６　：カソード領域
１２７　：結晶欠陥
１２８　：アノード端子電極
１２９　：コンタクト部
１３０　：コンタクト領域
１３１　：カソード端子電極

１３２　：エミッタ電位電極
１３３　：封止導電層
１３４　：スペース
１３５　：型ソース領域
１３６　：ドレイン領域
１３７　：ソース端子電極
１３８　：ドレイン端子電極
２００　：半導体モジュール
２０１　：半導体モジュール
２０２　：半導体チップ
２０２Ａ　：第１半導体チップ
２０２Ｂ　：第２半導体チップ
２０３　：筐体
２０４　：樹脂ケース
２０５　：支持基板
２０６　：底壁
２０７Ａ　：側壁
２０７Ｂ　：側壁
２０７Ｃ　：側壁
２０７Ｄ　：側壁
２０８　：貫通孔
２０９　：開口
２１０　：内部空間
２１１　：ボルト挿通孔
２１２　：ボルト挿通孔
２１３　：ボルト挿通孔
２１４　：ボルト挿通孔
２１５　：第１端子支持部

２１６　：第２端子支持部
２１７　：第３端子支持部
２１８　：第４端子支持部
２１９　：支持壁
２２１　：第１ボルト挿通孔
２２２　：第２ボルト挿通孔
２２５　：放熱板
２２６　：絶縁材
２２７　：回路部
２３１　：第１コレクタ配線
２３２　：第２コレクタ配線
２３３　：エミッタ配線
２３４　：コレクタ端子
２３５　：第１エミッタ端子
２３６　：共通端子
２３７　：第２エミッタ端子
２３８　：第１領域
２３９　：第２領域
２４０　：第１領域
２４１　：第２領域
２４２　：第１領域
２４３　：第２領域
２４４　：第１領域
２４５　：第２領域
２４６Ａ　：側壁端子
２４６Ｂ　：側壁端子
２４６Ｃ　：側壁端子
２４６Ｄ　：側壁端子

２４６Ｅ　：側壁端子

２４６Ｆ　：側壁端子

２４６Ｇ　：側壁端子

２４６Ｈ　：側壁端子

２４７　　：内部接続部

２４８　　：外部接続部

２４９Ａ　：第１導線

２４９Ｂ　：第２導線

２４９Ｃ　：第３導線

２４９Ｄ　：第４導線

２４９Ｅ　：第５導線

２４９Ｆ　：第６導線

２４９Ｇ　：第７導線

２４９Ｈ　：第８導線

２４９Ｉ　：第９導線

２４９Ｊ　：第１０導線

２５０　　：ハーフブリッジ回路

Ｄ１　　：距離

Ｄ２　　：距離

Ｇ　　：高低差

Ｈ１　　：表面高さ

Ｈ２　　：表面高さ

ＩＣ　　：ゲートドライバ

Ｔ１　　：第１厚さ

Ｔ２　　：第２厚さ

ＴＡ　　：厚さ

ＴＣ　　：厚さ

ＴＦ　　：厚さ

Ｗ１　　：第１間隔

Ｗ２　　：第２間隔

Ｘ　　：第１方向

Ｙ　　：第２方向

Ｚ　　：法線方向

請求の範囲

[請求項1] 素子構造を含む素子形成領域が形成された第１主面を有する半導体チップと、

前記半導体チップの前記第１主面において前記素子形成領域の周囲の周囲領域に形成され、前記素子構造の耐圧を保持する耐圧保持構造と、

前記半導体チップの前記第１主面に形成された層間絶縁層と、

前記第１主面上において互いに間隔を空けて形成された複数の第１導電層であって、前記層間絶縁層を通って前記耐圧保持構造に接続された複数の第１導電層と、

前記層間絶縁層によって前記半導体チップから絶縁され、平面視において隣り合う前記複数の第１導電層間のスペースに重なる第２導電層と、

前記複数の第１導電層および前記第２導電層を覆うように前記層間絶縁層上に形成された保護層とを含む、半導体装置。

[請求項2] 前記第２導電層は、前記層間絶縁層内に埋め込まれた埋め込み導電層を含み、

前記埋め込み導電層は、前記層間絶縁層の厚さ方向において前記複数の第１導電層間のスペースに対向している、請求項１に記載の半導体装置。

[請求項3] 前記第１導電層は、前記層間絶縁層上に形成された表層部と、前記表層部から前記層間絶縁層を通って前記耐圧保持構造に接続されたコンタクト部とを含み、

前記埋め込み導電層は、前記層間絶縁層の厚さ方向において前記第１導電層の前記表層部の一部に対向している、請求項２に記載の半導体装置。

[請求項4] 前記第１導電層は、前記層間絶縁層に形成されたコンタクト孔に設けられ、前記耐圧保持構造に接続されたコンタクト部と、前記コンタ

クト部から前記層間絶縁層の表面上に引き出され、平面視において前記埋め込み導電層に重なるオーバーラップ部とを含む、請求項２に記載の半導体装置。

[請求項5] 前記層間絶縁層は、前記埋め込み導電層よりも前記半導体チップ側の第１部分と、前記第１部分上に形成され、前記埋め込み導電層を被覆する第２部分とを含み、

前記第１導電層の前記コンタクト部は、前記埋め込み導電層に向かって前記第１部分上の領域に選択的に突出した突出部をさらに含む、請求項３または４に記載の半導体装置。

[請求項6] 前記層間絶縁層は、前記埋め込み導電層よりも前記半導体チップ側の第１部分と、前記第１部分上に形成され、前記埋め込み導電層を被覆する第２部分とを含み、

前記コンタクト部は、バリア層および前記バリア層を介して前記層間絶縁層の前記第１部分に埋め込まれたコンタクトプラグにより形成された第１埋め込み部と、前記層間絶縁層の前記第２部分に埋め込まれ、前記コンタクトプラグとは異なる導電材料により形成された第２埋め込み部とを含む、請求項２～４のいずれか一項に記載の半導体装置。

[請求項7] 前記層間絶縁層は、前記埋め込み導電層よりも前記半導体チップ側の第１部分と、前記第１部分上に形成され、前記埋め込み導電層を被覆する第２部分とを含み、

前記コンタクト部は、前記層間絶縁層の前記第１部分および前記第２部分に一体的に埋め込まれた単一の導電材料により形成された埋め込み部と、前記第１部分と前記埋め込み部との間に形成されたバリア層とを含む埋め込みコンタクトを含む、請求項２～４のいずれか一項に記載の半導体装置。

[請求項8] 前記層間絶縁層は、前記埋め込み導電層よりも前記半導体チップ側の第１部分と、前記第１部分上に形成され、前記埋め込み導電層を被

覆する第２部分とを含み、

前記コンタクト部は、前記層間絶縁層の前記第１部分および前記第２部分に一体的に埋め込まれた単一の導電材料により形成され、前記耐圧保持構造に直接的に接続された埋め込みコンタクトを含む、請求項２～４のいずれか一項に記載の半導体装置。

[請求項9] 前記層間絶縁層の前記素子形成領域における厚さは、前記層間絶縁層の前記周囲領域における厚さよりも薄い、請求項１～８のいずれか一項に記載の半導体装置。

[請求項10] 前記層間絶縁層の表面には、前記素子形成領域と前記周囲領域との境界部において段差が形成されている、請求項１～９のいずれか一項に記載の半導体装置。

[請求項11] 前記素子形成領域において前記保護層から露出し、前記素子構造に接続された第１出力電極を含み、

前記半導体チップの前記第１主面から前記第１導電層の表面までの高さは、前記半導体チップの前記第１主面から前記第１出力電極までの高さよりも高い、請求項１～１１のいずれか一項に記載の半導体装置。

[請求項12] 前記複数の第１導電層および前記第２導電層は共に、前記層間絶縁層上に形成されており、

前記第２導電層は、前記層間絶縁層の表面において前記複数の第１導電層間のスペースに設けられている、請求項１に記載の半導体装置。

[請求項13] 前記半導体チップの前記第１主面において、複数の前記耐圧保持構造に挟まれた領域に形成されたＬＯＣＯＳ（Local oxidation of silicon）酸化膜をさらに含み、

前記第１導電層は前記耐圧保持構造の直上位置に設けられ、

前記第２導電層は前記ＬＯＣＯＳ酸化膜の直上位置に設けられている、請求項１２に記載の半導体装置。

[請求項14] 前記複数の第１導電層間のスペースは平面視ライン状に形成されており、

前記第２導電層は、前記ライン状の前記スペースに沿って延びる平面視ライン状に形成されている、請求項１～１３のいずれか一項に記載の半導体装置。

[請求項15] 前記周囲領域は、前記素子形成領域を取り囲み、前記半導体チップの周端部に形成された外側領域を含む、請求項１～１４のいずれか一項に記載の半導体装置。

[請求項16] 前記半導体チップは、前記第１主面側に形成された第１導電型の第１不純物領域を含み、

前記耐圧保持構造は、前記第１不純物領域に第２導電型不純物を導入することによって形成された第２不純物領域を含む、請求項１～１５のいずれか一項に記載の半導体装置。

[請求項17] 前記耐圧保持構造は、前記素子形成領域を取り囲むＦＬＲ（Field Limiting Ring）構造およびリサーフ（RESURF：Reduced Surface Field）層の少なくとも一方を含む、請求項１６に記載の半導体装置。

[請求項18] 前記素子構造は、ＩＧＢＴ（Insulated Gate Bipolar Transistor）構造、ダイオード構造およびＭＯＳＦＥＴ（Metal Oxide Semiconductor Field Effect Transistor）構造の少なくとも１つを含む、請求項１～１７のいずれか一項に記載の半導体装置。

[請求項19] 前記保護層は、ポリイミド樹脂またはＰＢＯ（Polybenzoxazole）樹脂により形成されている、請求項１～１８のいずれか一項に記載の半導体装置。

[請求項20] 前記半導体チップを封止する封止樹脂を含むディスクリート半導体である、請求項１～１９のいずれか一項に記載の半導体装置。

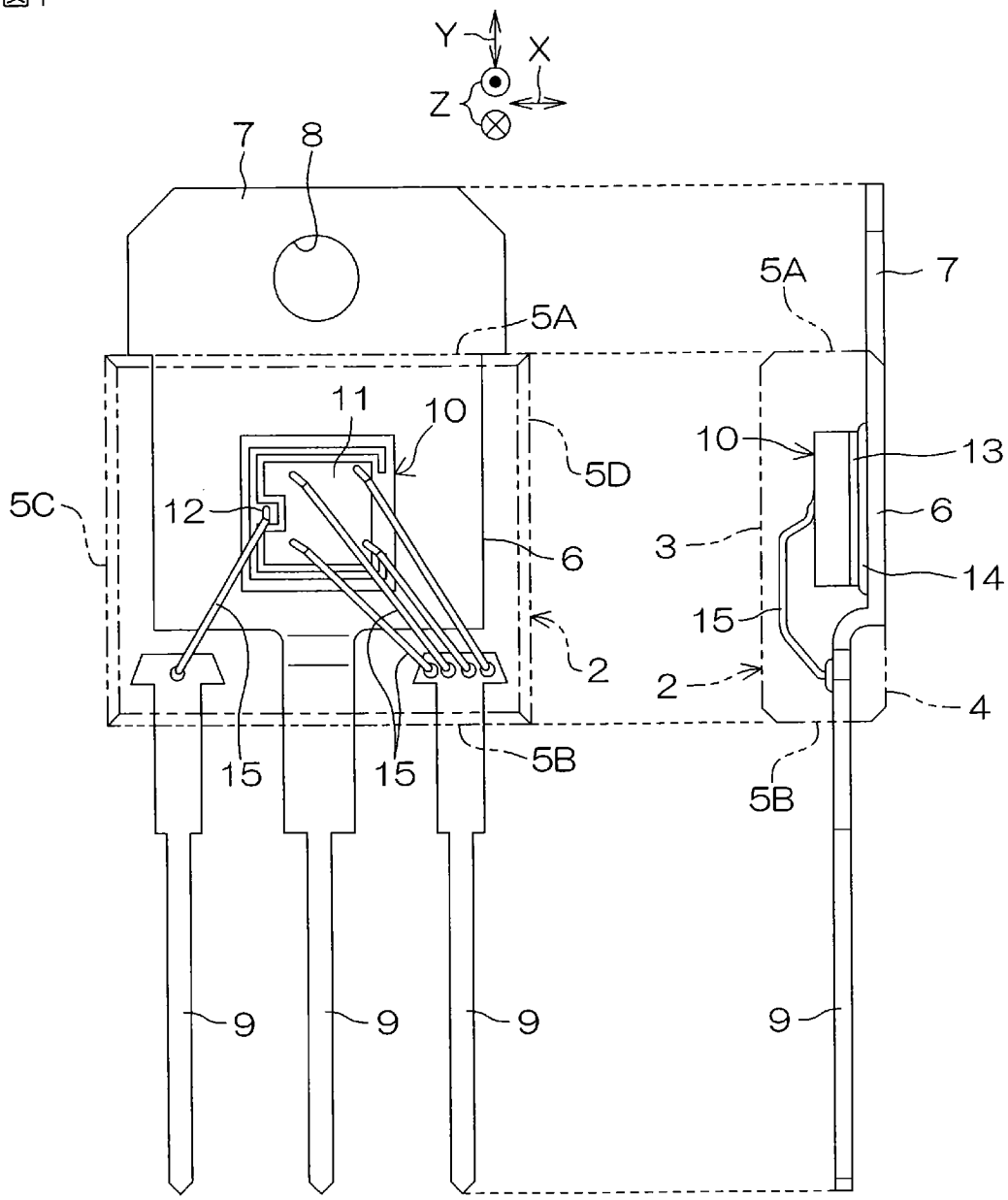
[請求項21] 樹脂製の筐体と、

前記筐体に設置され、請求項１～１９のいずれか一項に記載の半導体装置を少なくとも１つ含む複数の半導体装置とを含む、半導体モジ

ュール。

[図1]

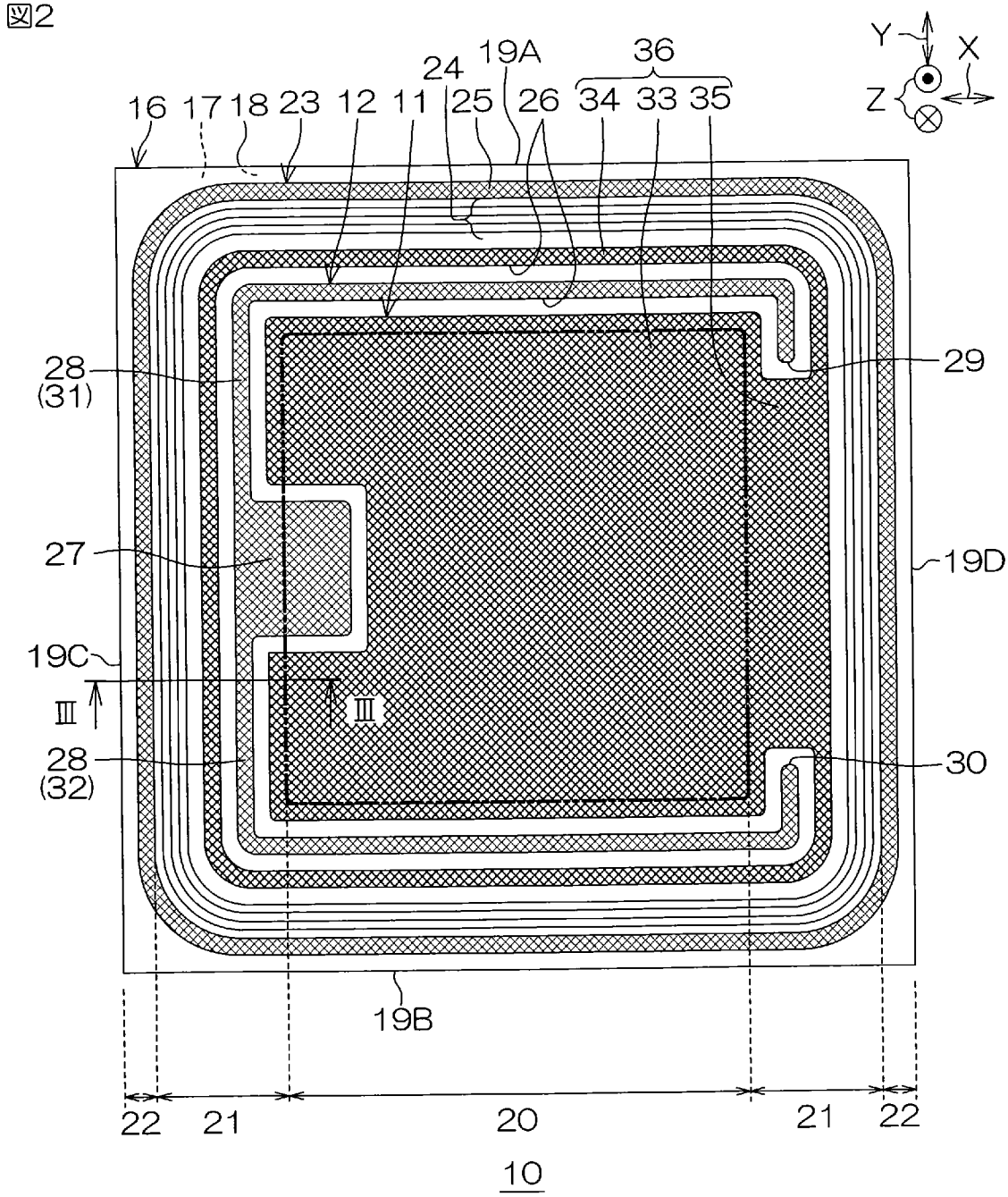
図1



1

[図2]

図2


Y
X
Z
16
17
18
23
12
11
24
25
19A
26
36
34
33
35
28
(31)
29
27
19D
19C
Ⅲ
Ⅲ
28
(32)
30
19B
22
21
20
21
22
10

[図3]

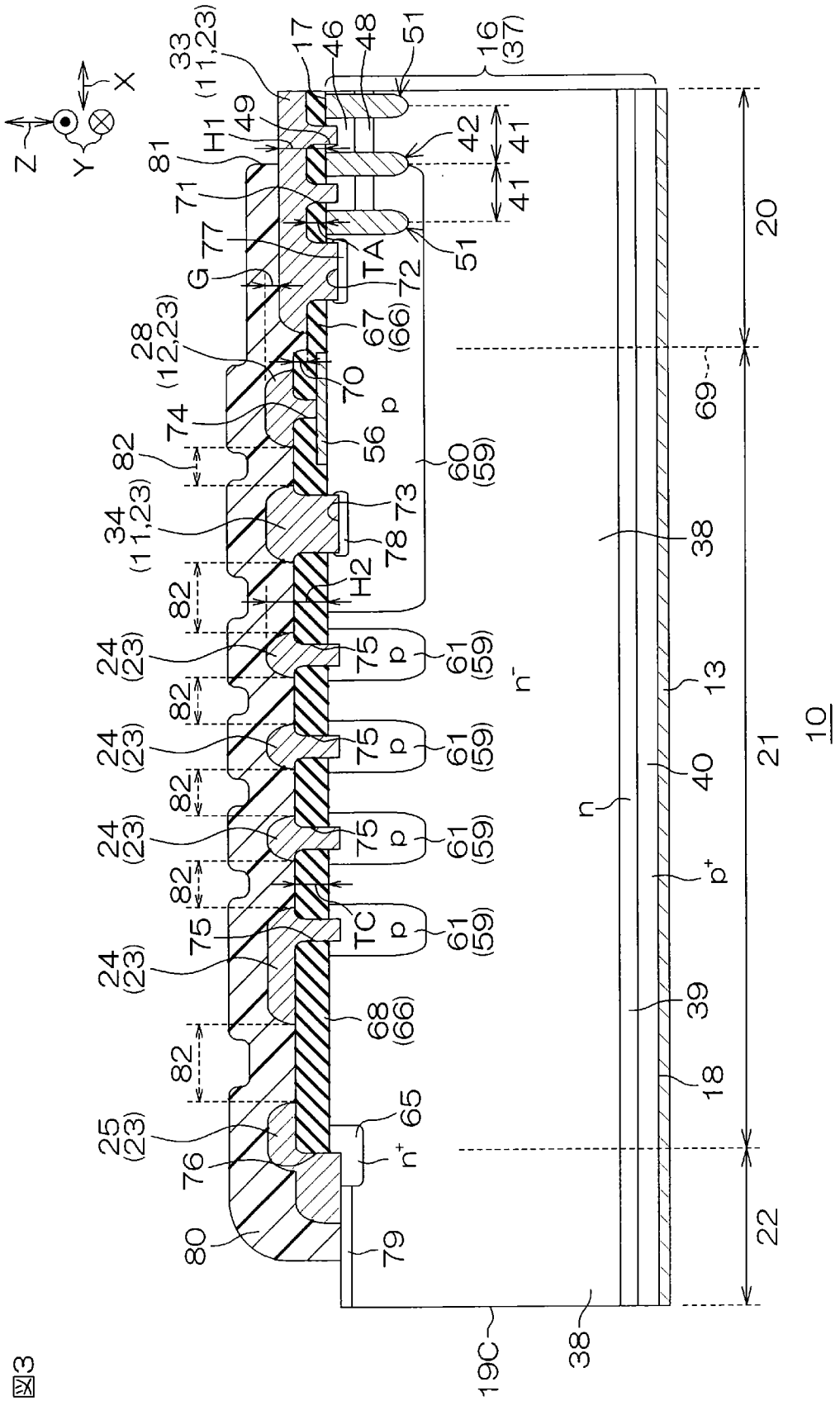
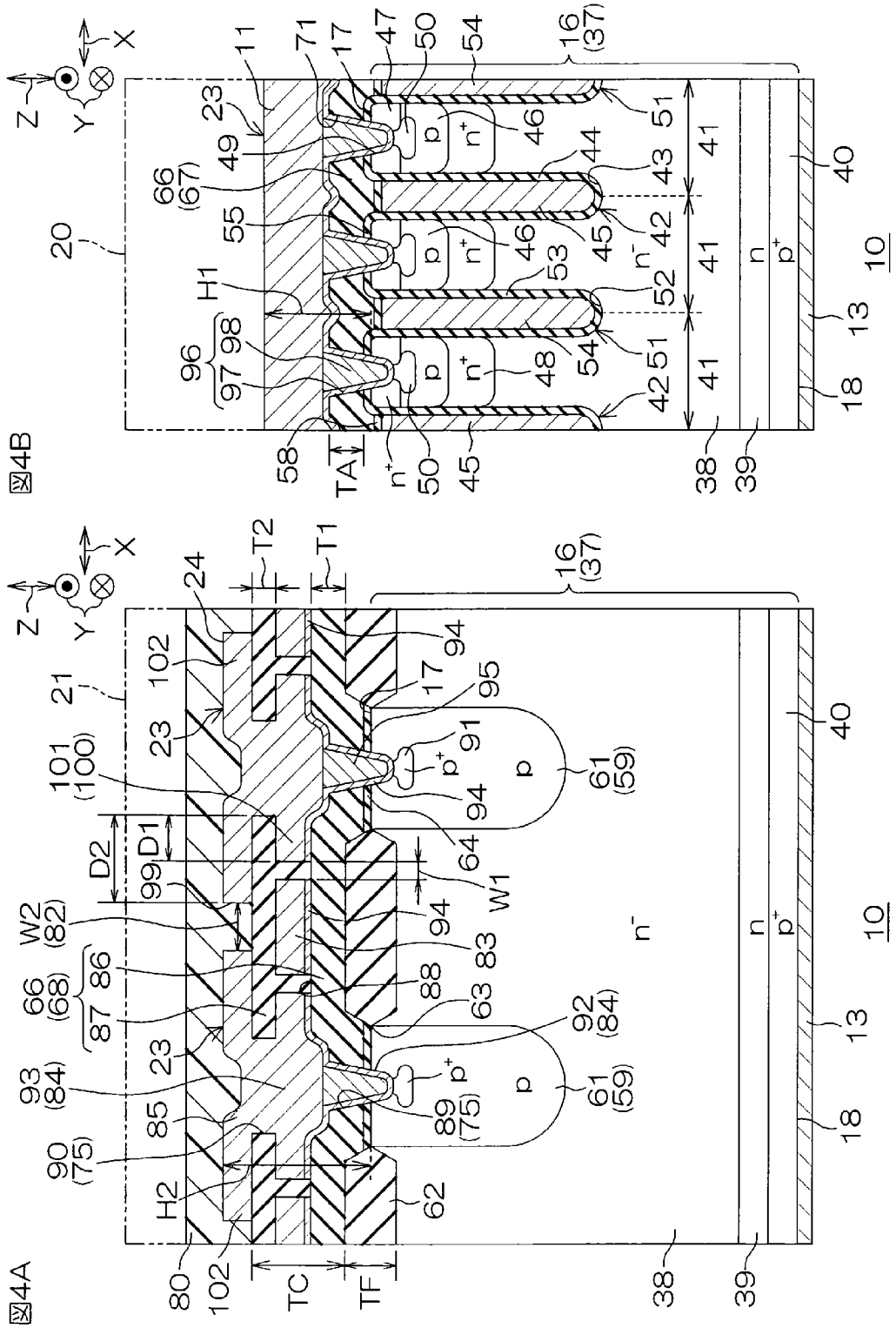

X
Z
Y
33
(11,23)
17
46
48
51
16
(37)
49
H1
81
71
77
G
TA
72
51
42
41
41
20
28
(12,23)
67
(66)
70
74
56
p
60
(59)
69
82
34
(11,23)
73
78
H2
38
24
(23)
75
61
(59)
13
n⁻
40
21
n
p⁺
39
18
TC
68
(66)
65
n⁺
25
(23)
76
80
79
22
19C
38
10

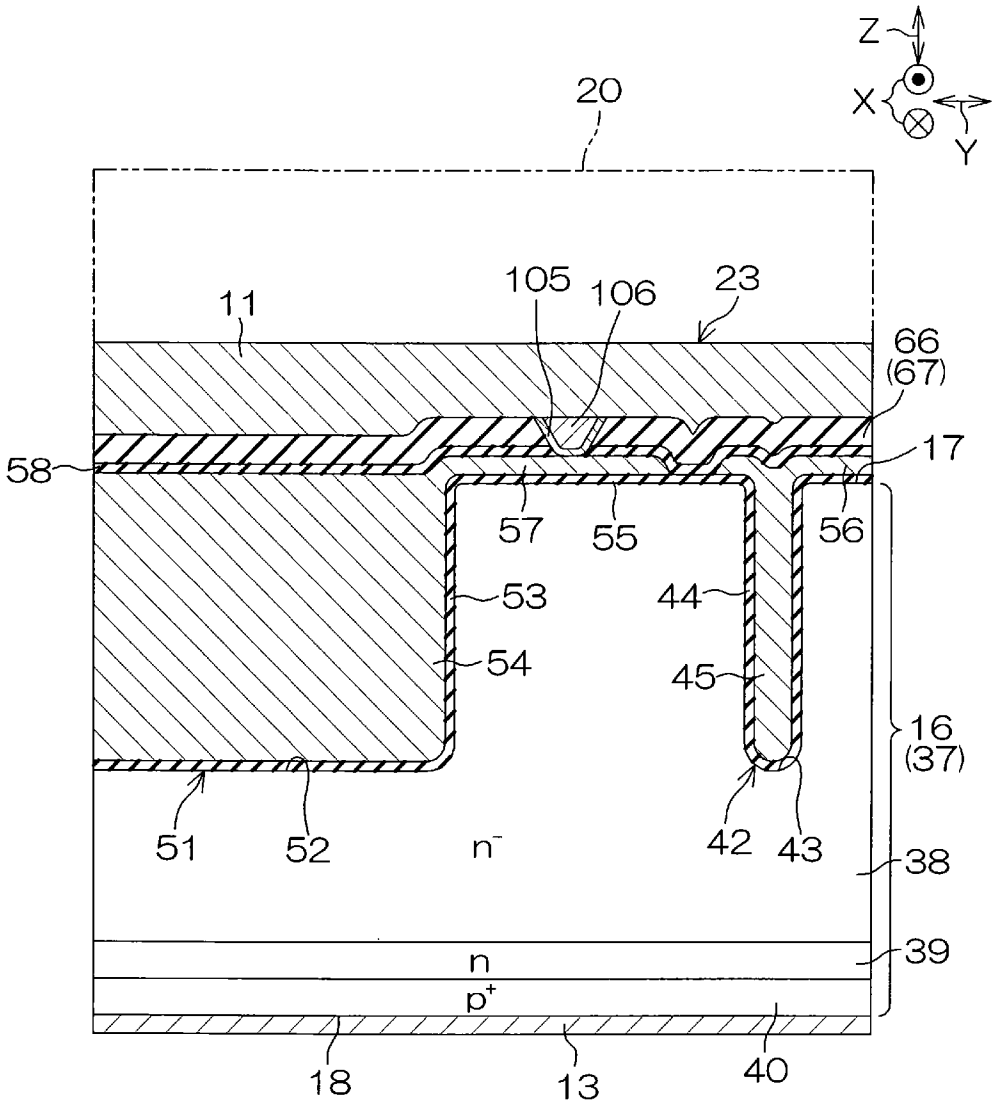
図3

[図4]


X
Z
Y
11
71
17
47
50
54
16
(37)
23
49
66
(67)
55
20
H1
96
97
98
58
TA
45
38
39
10
40
13
18
41
42
43
44
46
48
51
52
53
p
n+
n-
n
p+
24
T2
T1
21
102
101
(100)
D2
D1
99
W2
(82)
W1
64
94
95
91
61
(59)
83
88
63
92
(84)
66
(68)
86
87
93
85
90
(75)
89
H2
62
80
TC
TF
図4B
図4A

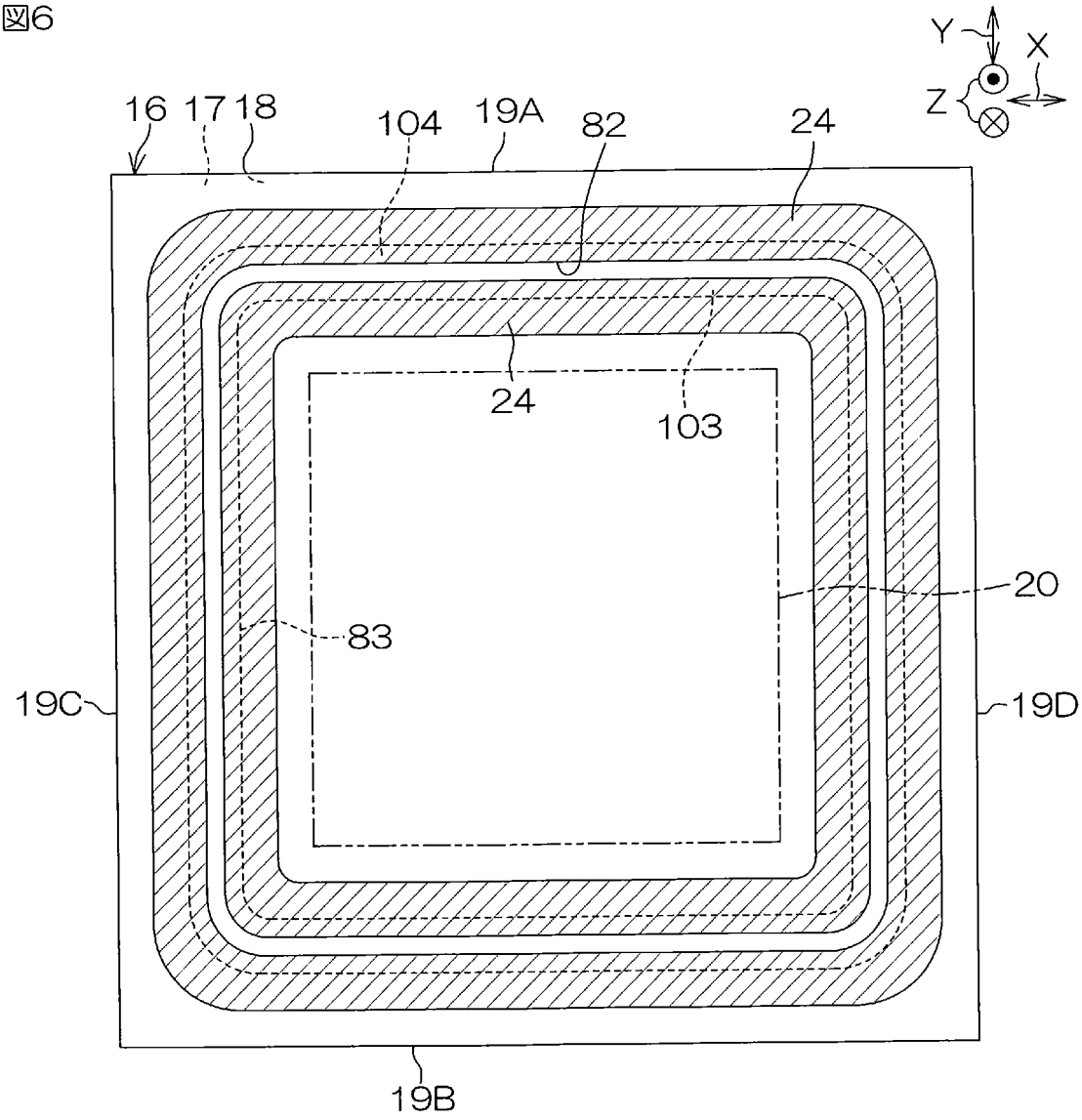
[図5]

図5


Z
X
Y
20
11
105
106
23
66
(67)
17
58
57
55
56
53
44
54
45
16
(37)
51
52
n⁻
42
43
38
n
39
p⁺
18
13
40
10

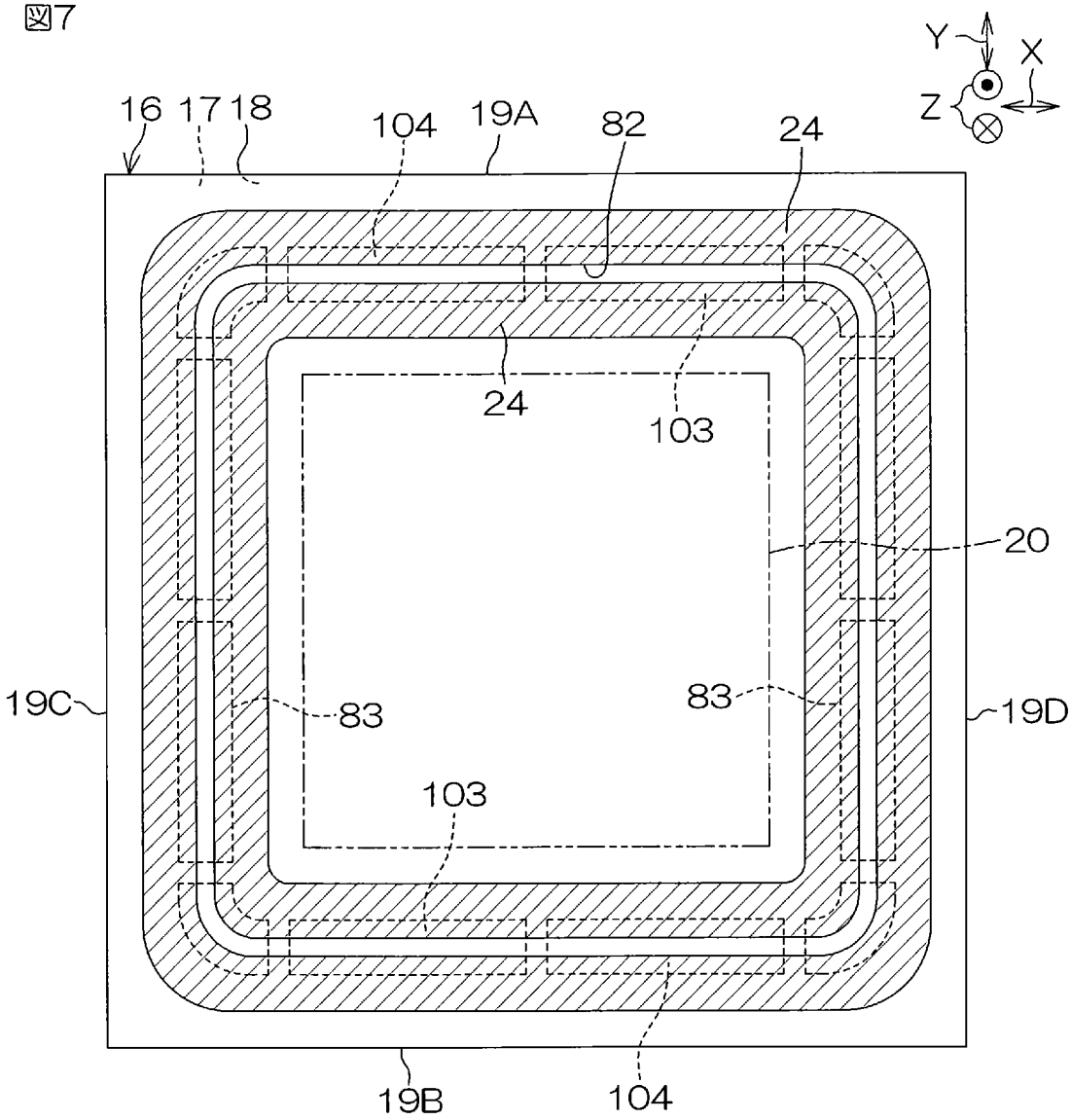
[図6]

図6



[図7]

図7



10

[図8]

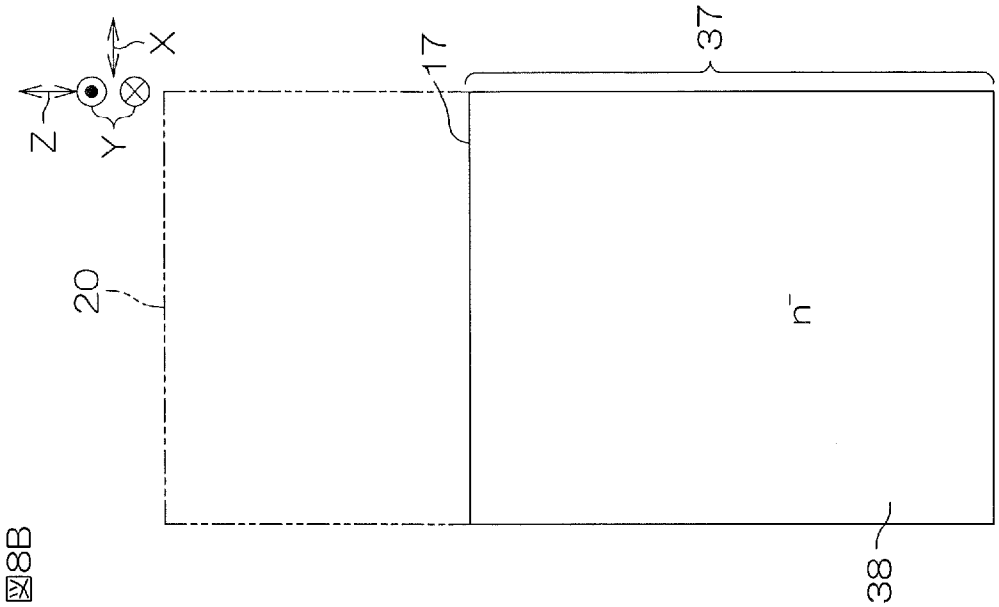


図8B

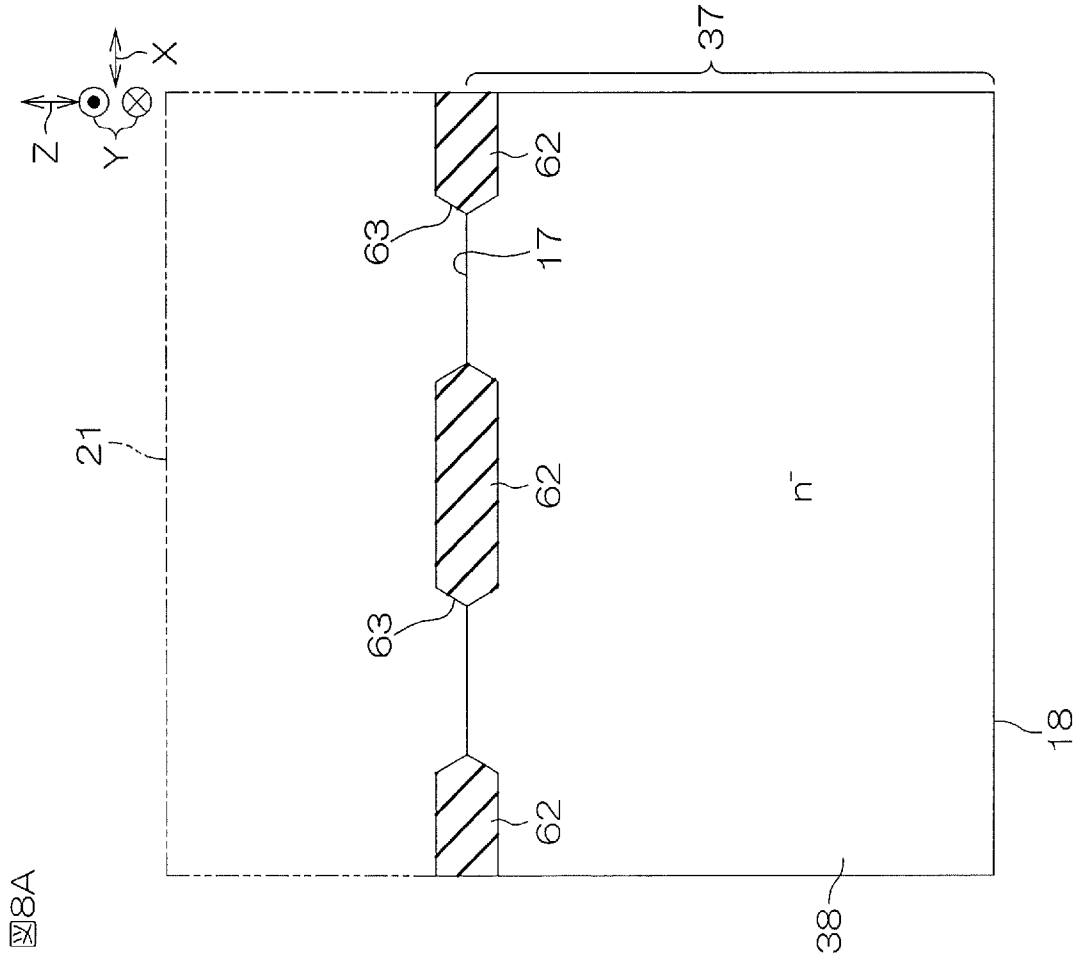


図8A

[図9]

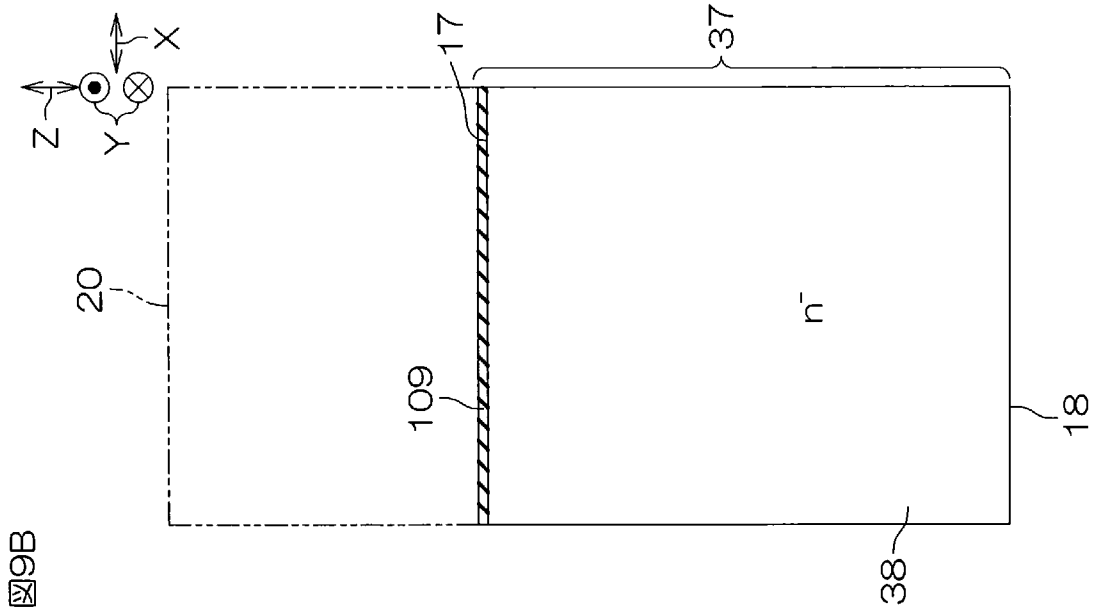

X
Z
Y
17
37
20
109
n-
18
38

図9B

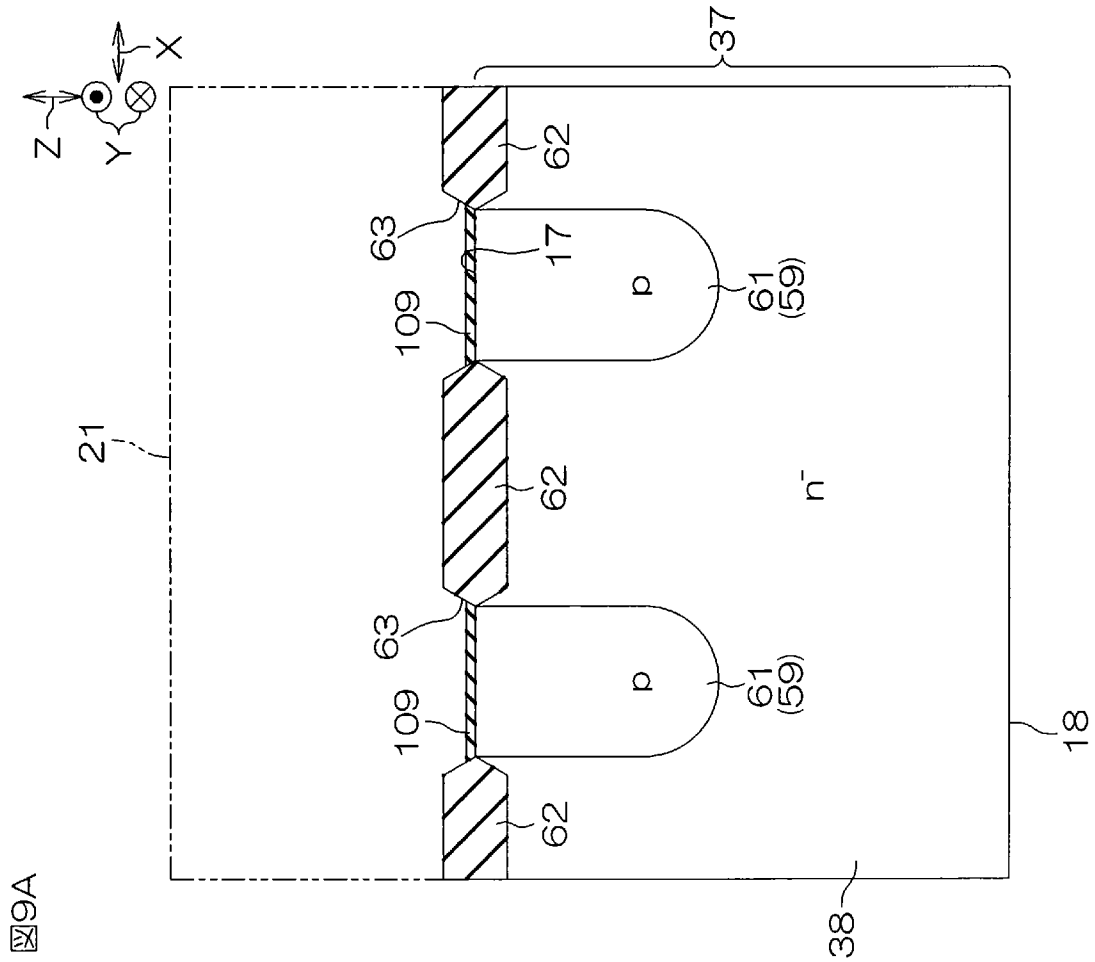

X
Z
Y
37
62
63
17
p
61
(59)
109
21
62
n-
63
p
61
(59)
109
18
62
38

図9A

[図10]

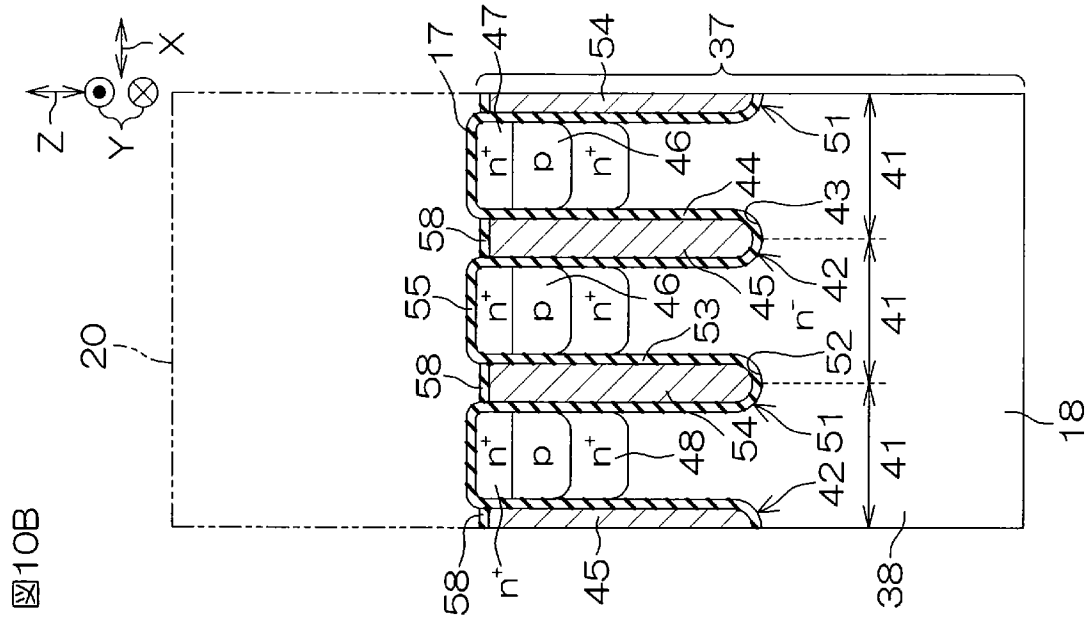


図10B

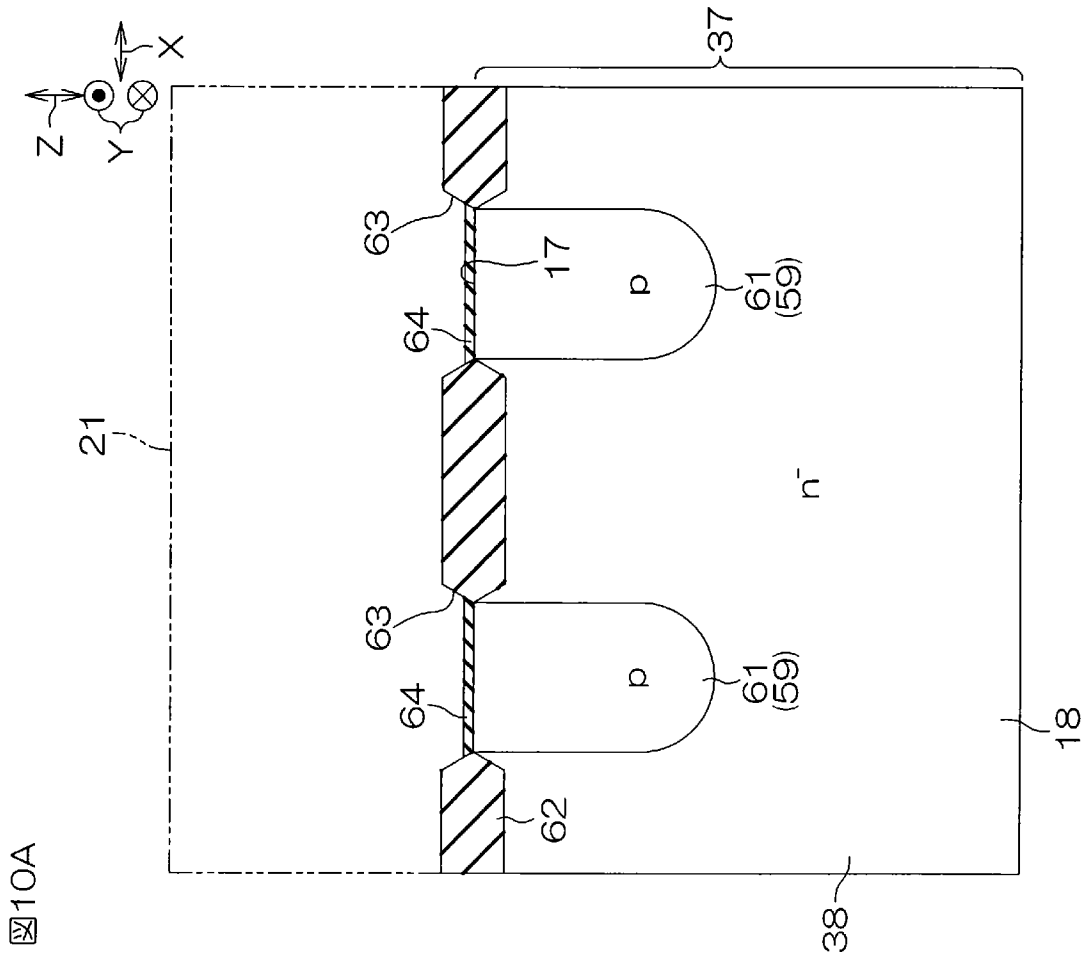


図10A

[図11]

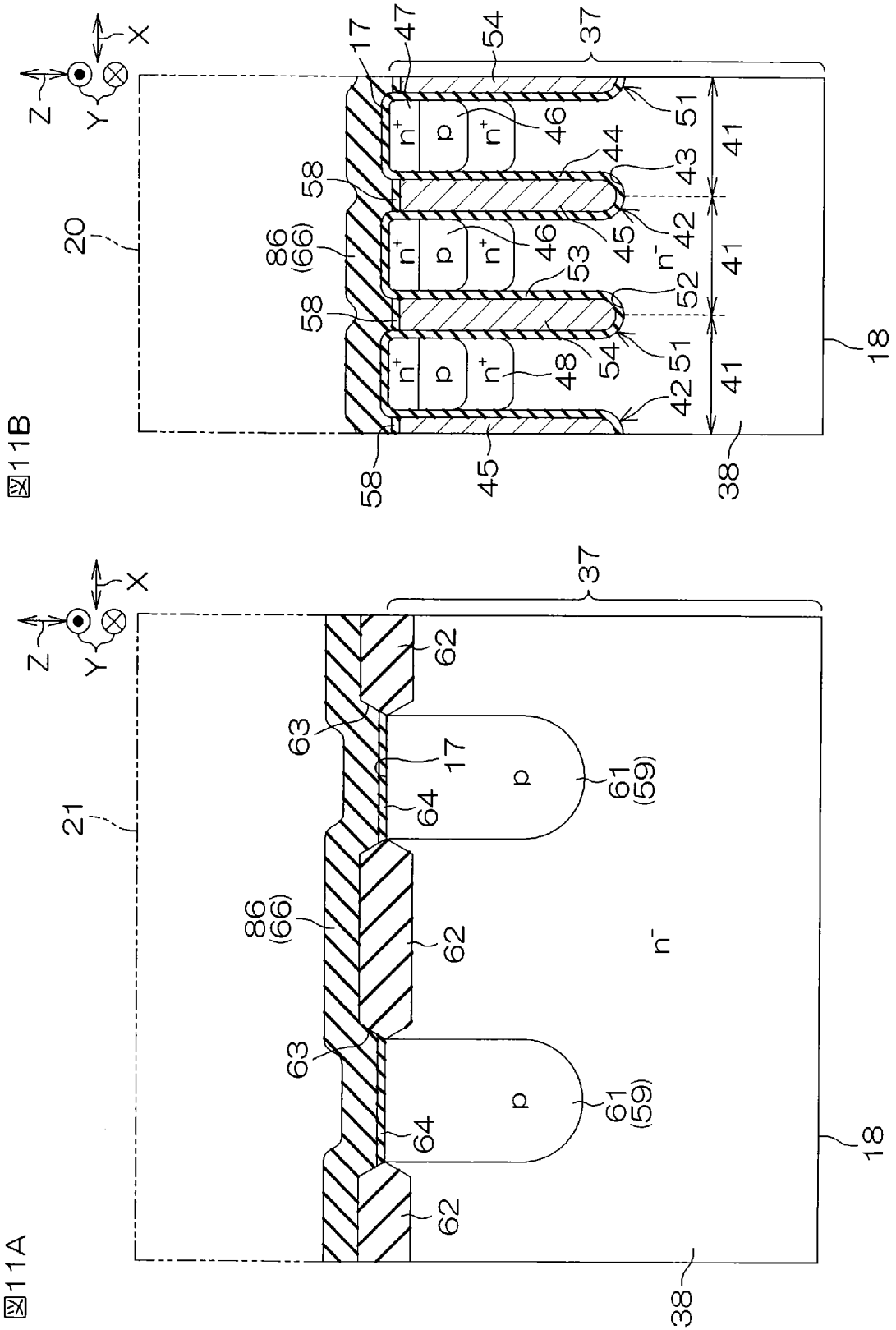


図11B

図11A

[図12]

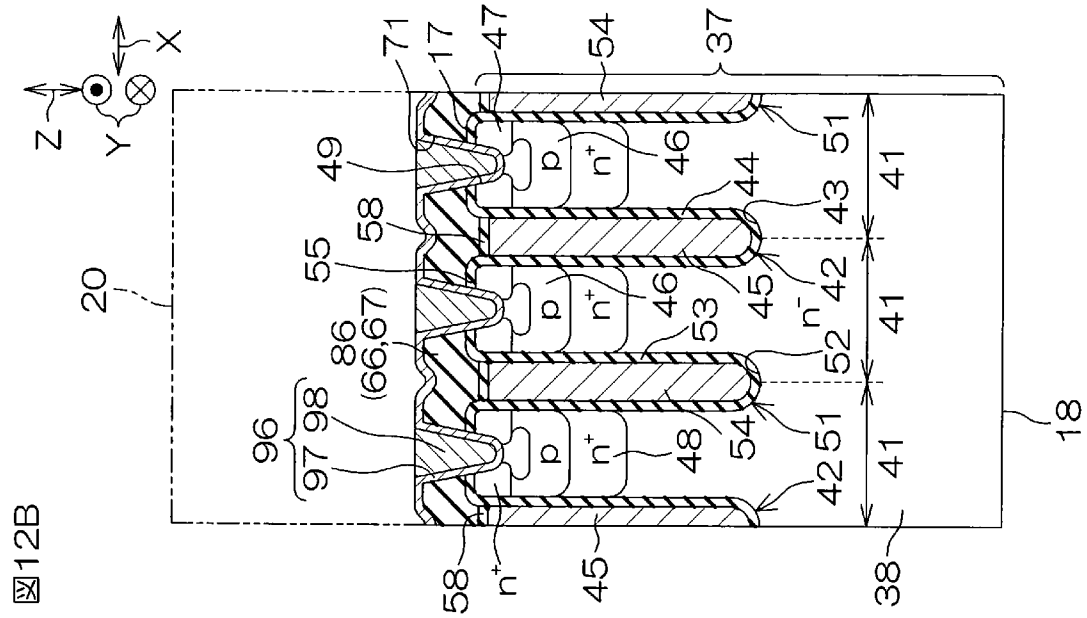


図12B

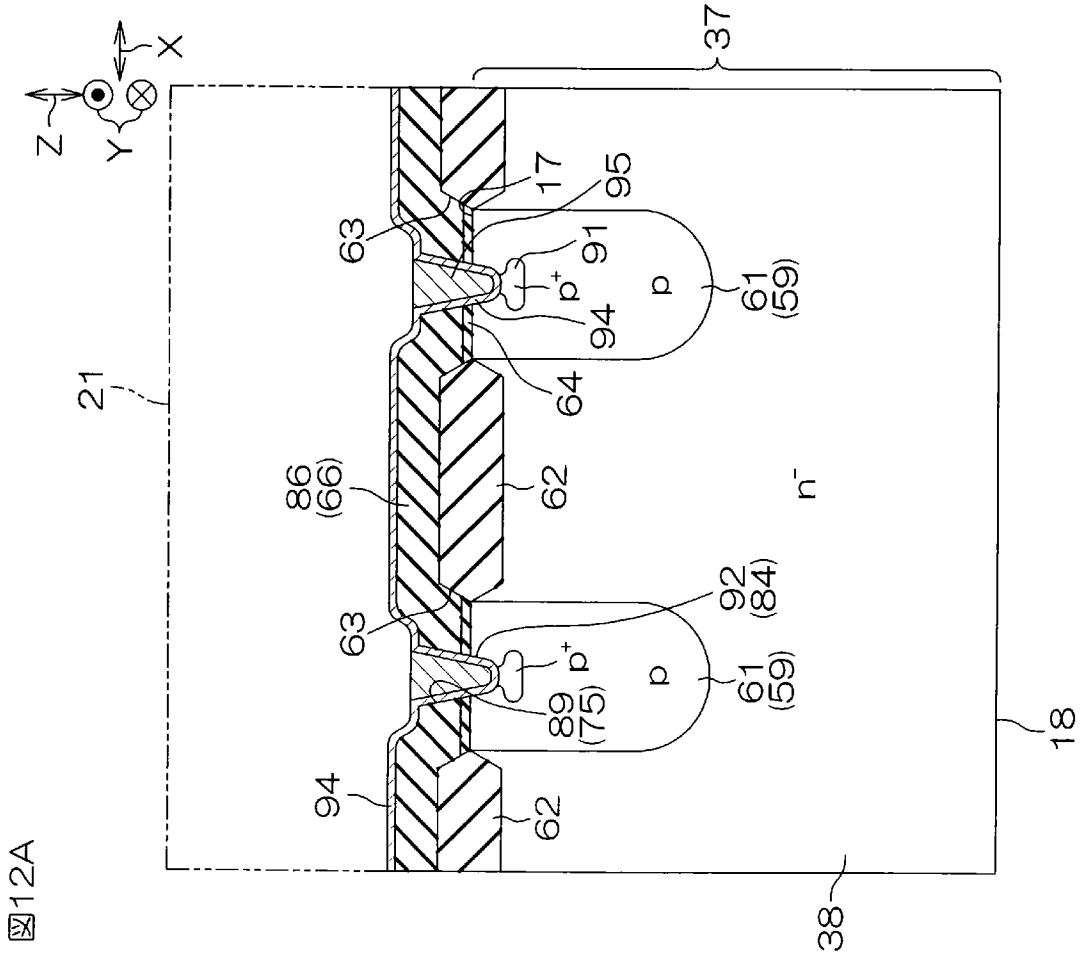


図12A

[図13]

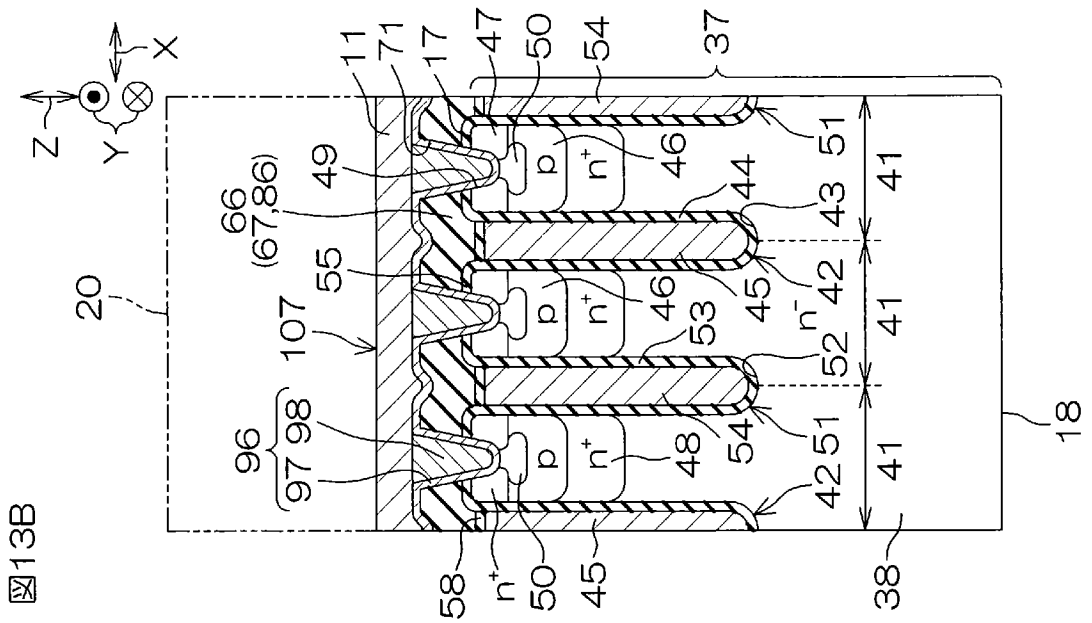


図13B

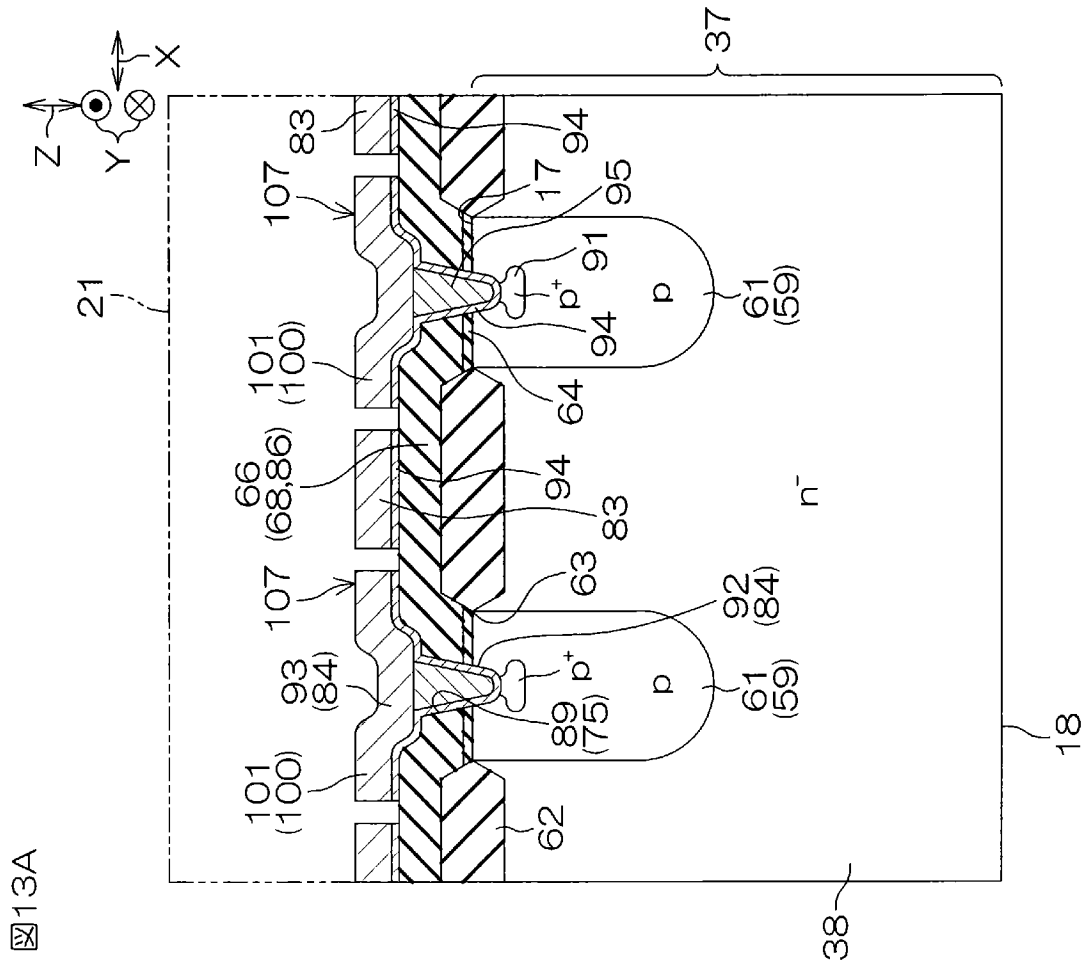


図13A

[図14]

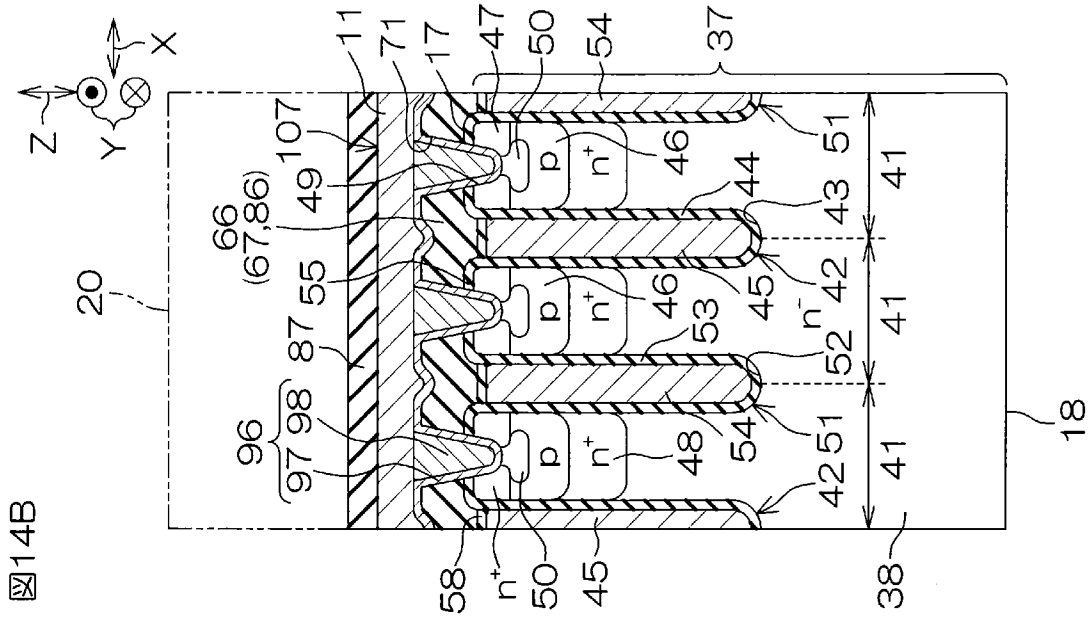


図14B

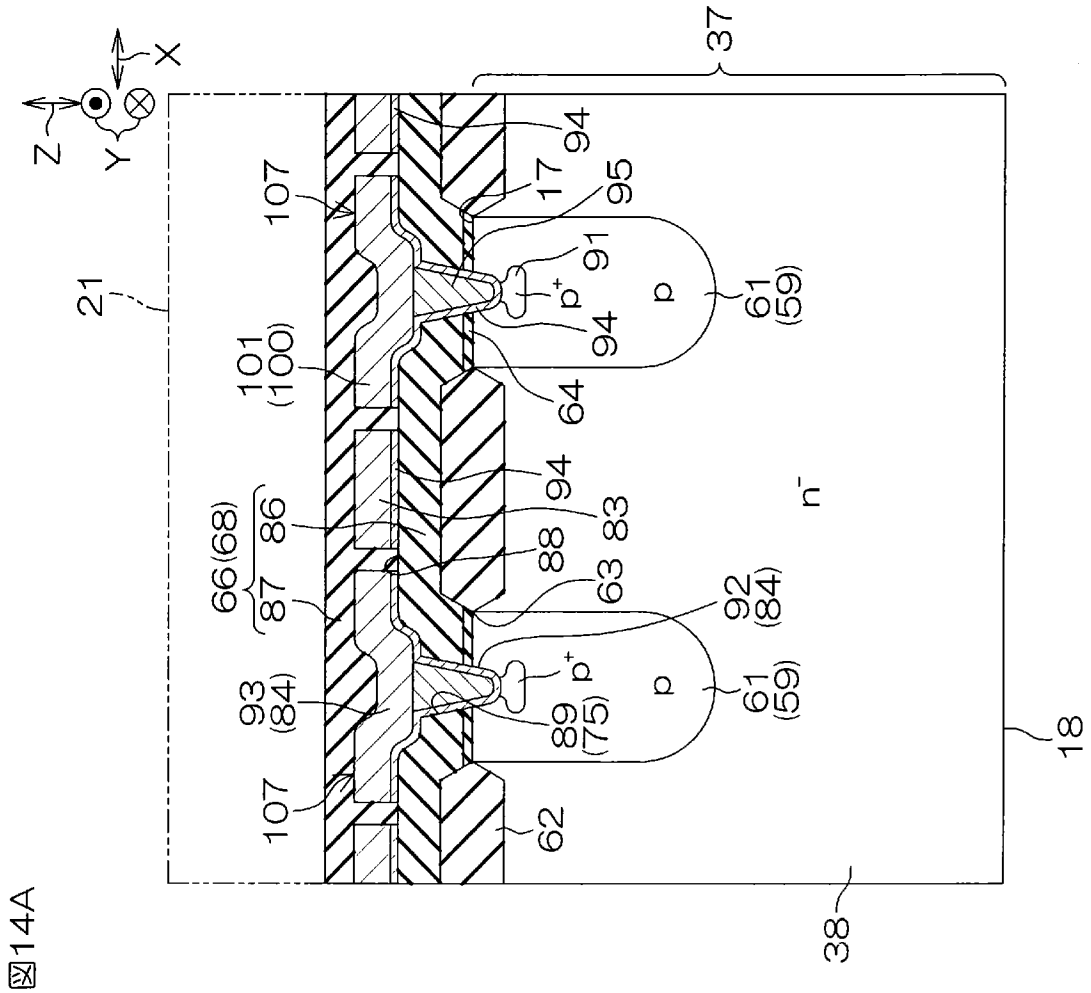


図14A

[図15]

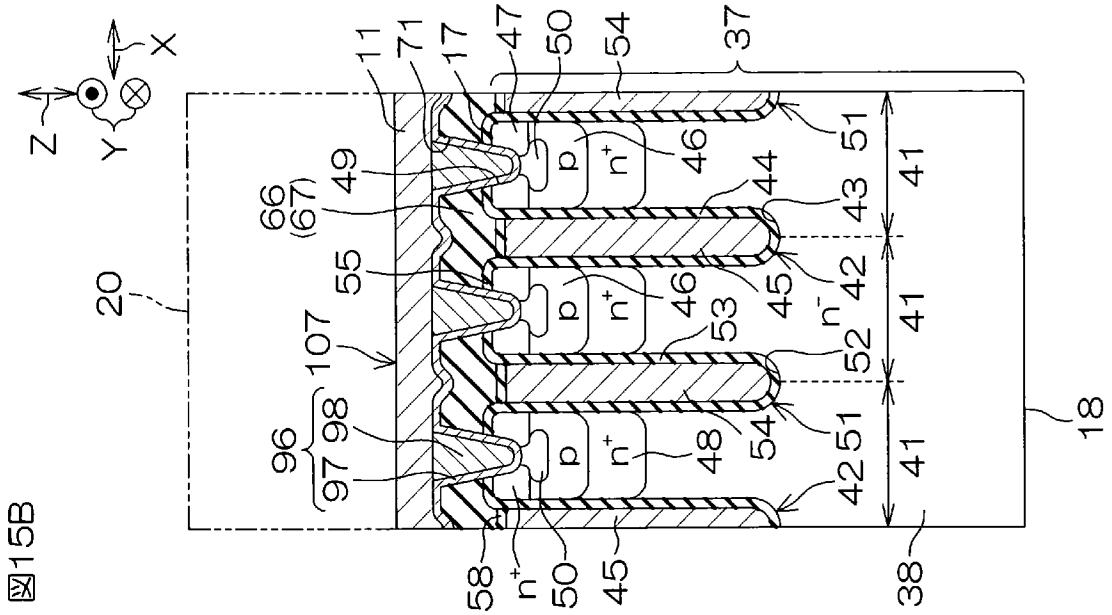


図15B

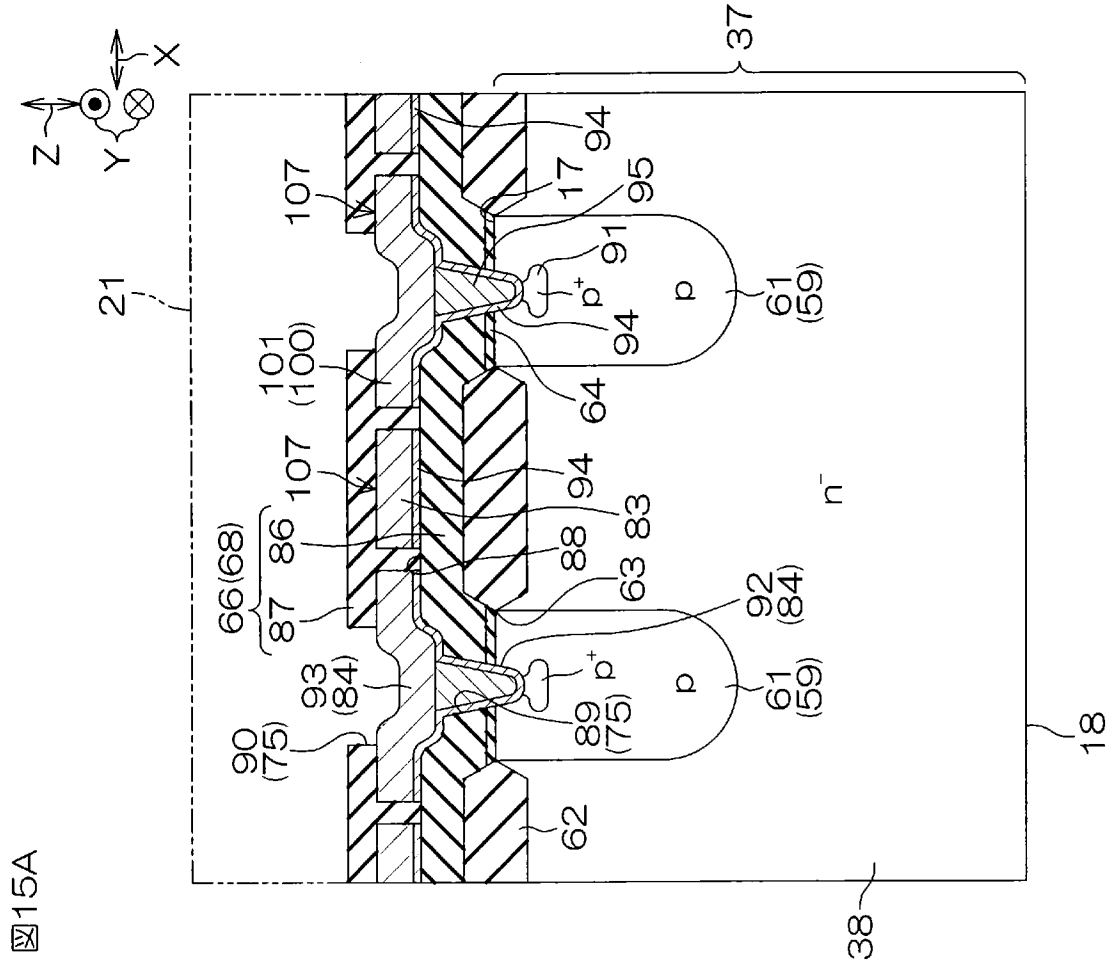


図15A

[図16]

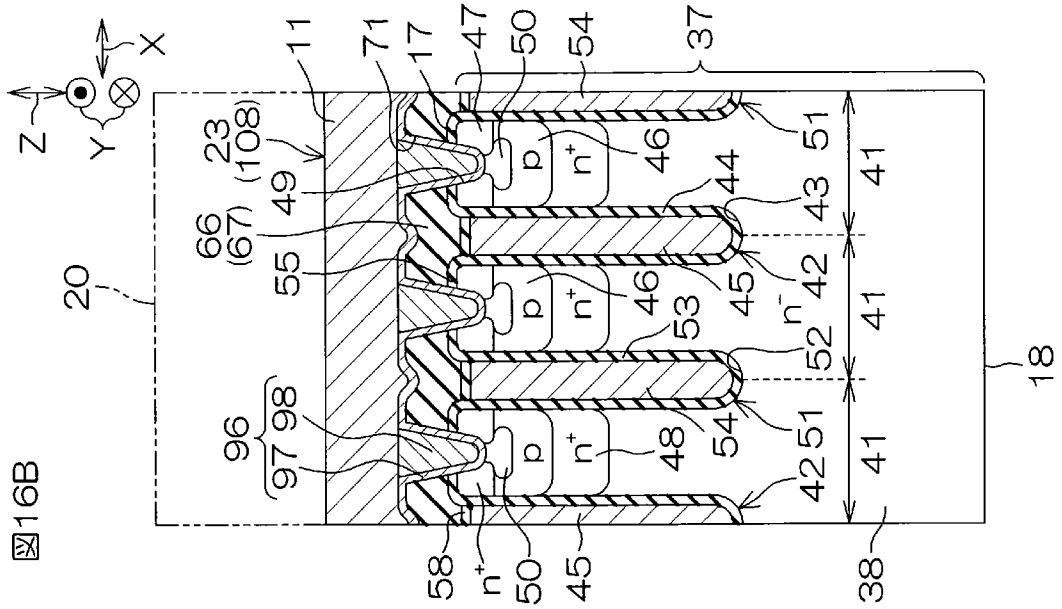


図16B

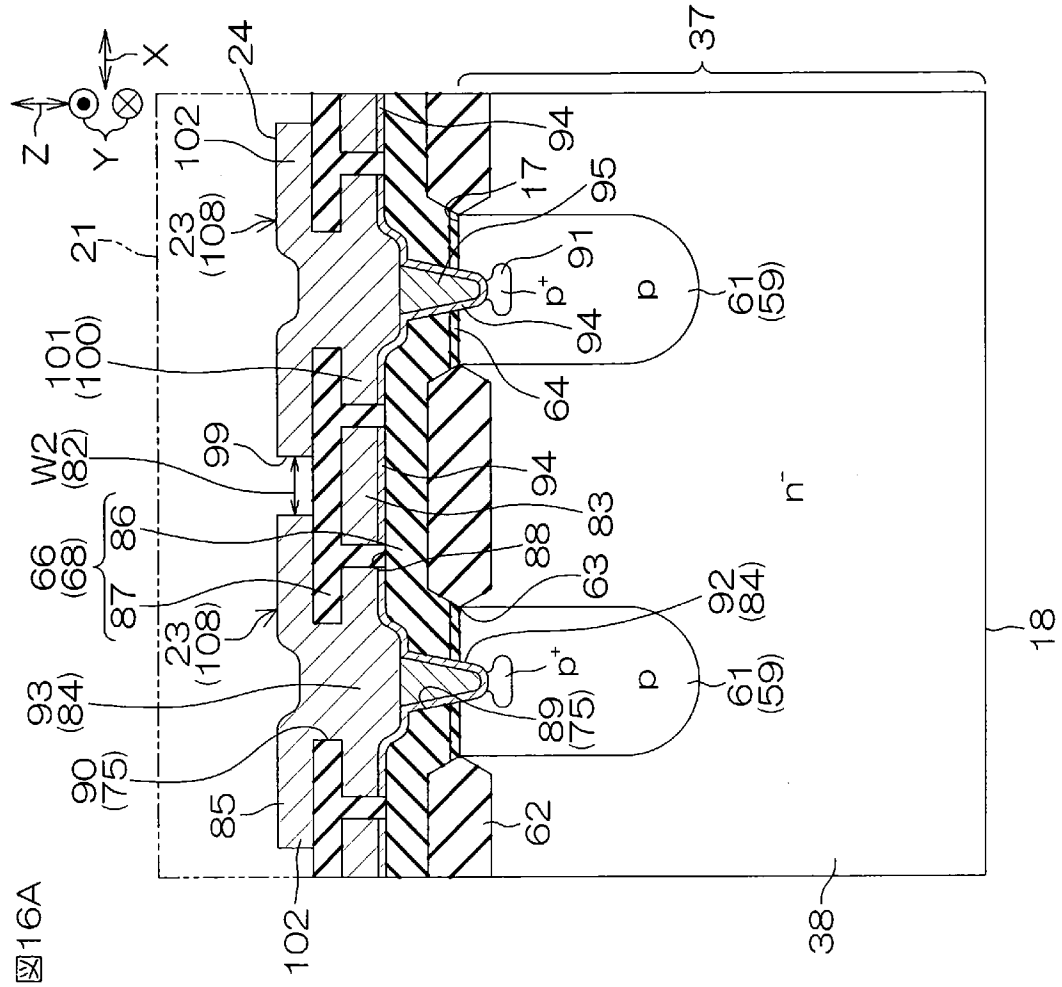


図16A

[図17]

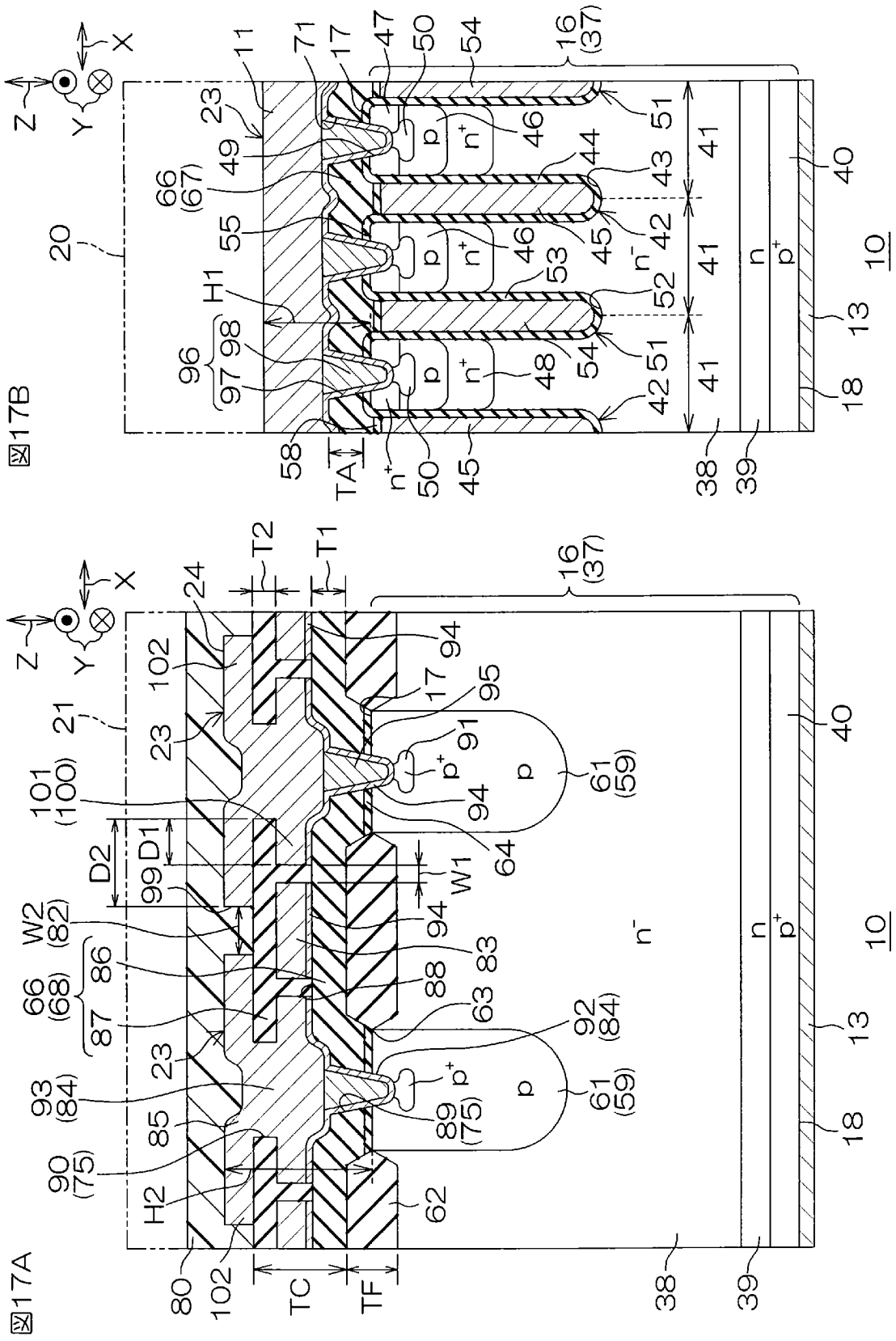


図17B
図17A
X
Y
Z
T1
T2
TA
TC
TF
H1
H2
D1
D2
W1
W2
10
11
13
16 (37)
17
18
20
21
23
24
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
58
61 (59)
62
63
64
66 (67)
66 (68)
80
82
83
84
85
86
87
88
89 (75)
90 (75)
91
92 (84)
93 (84)
94
95
96
97
98
99
100
101
102
n
n+
p
p+
n-

[図18]

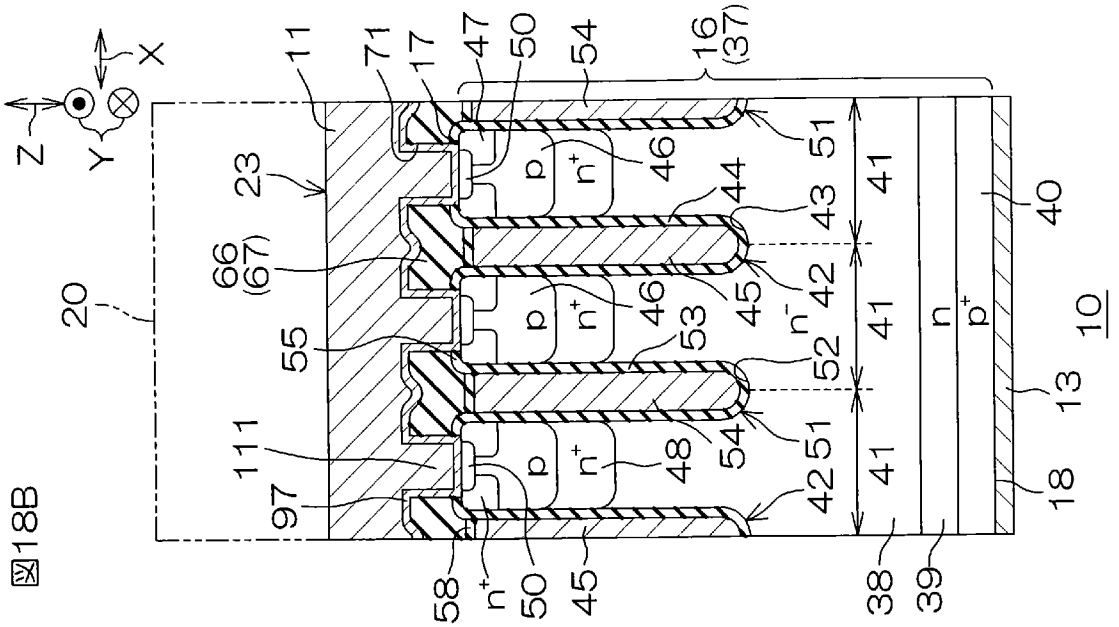


図18B

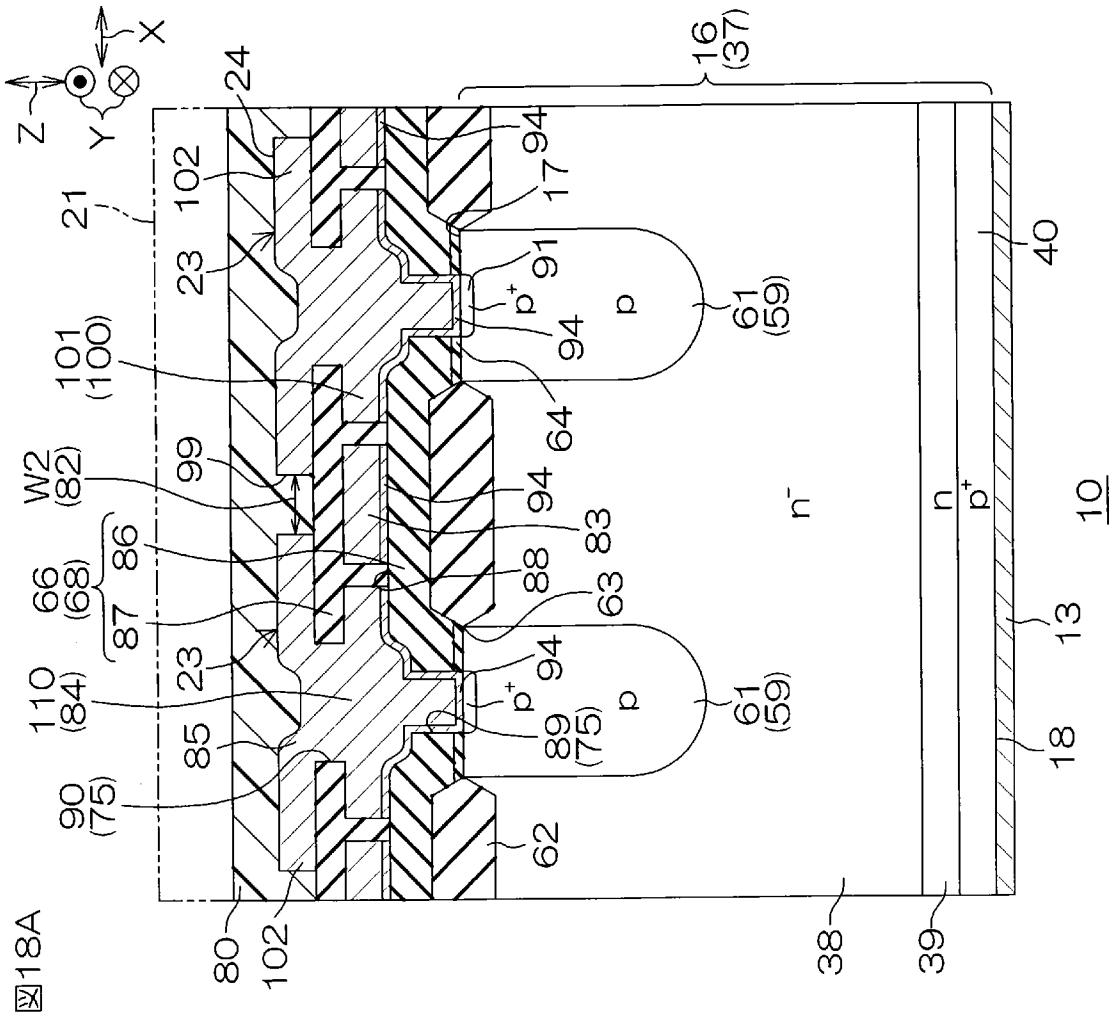


図18A

[図19]

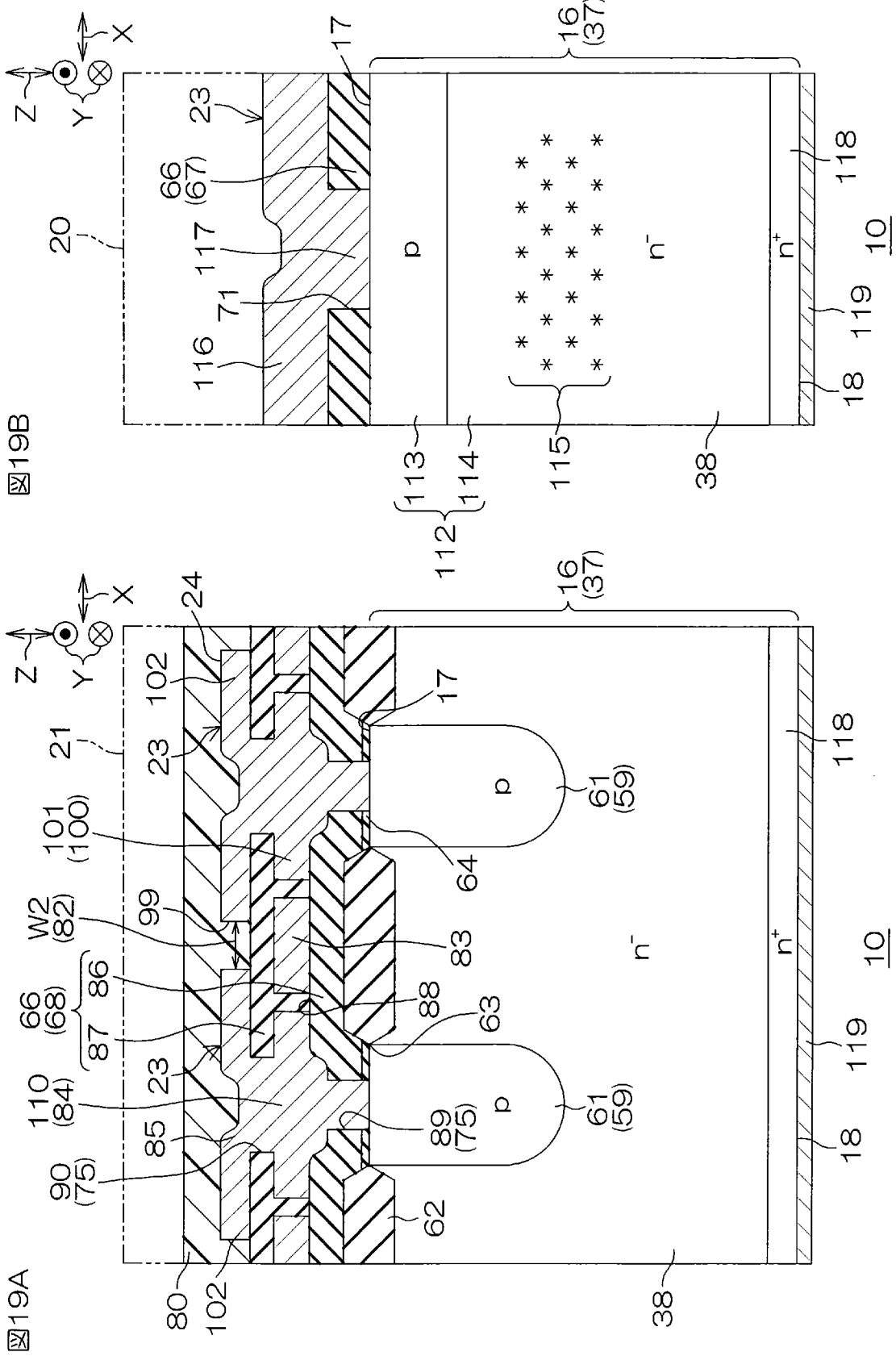


図19B

図19A

[図20]

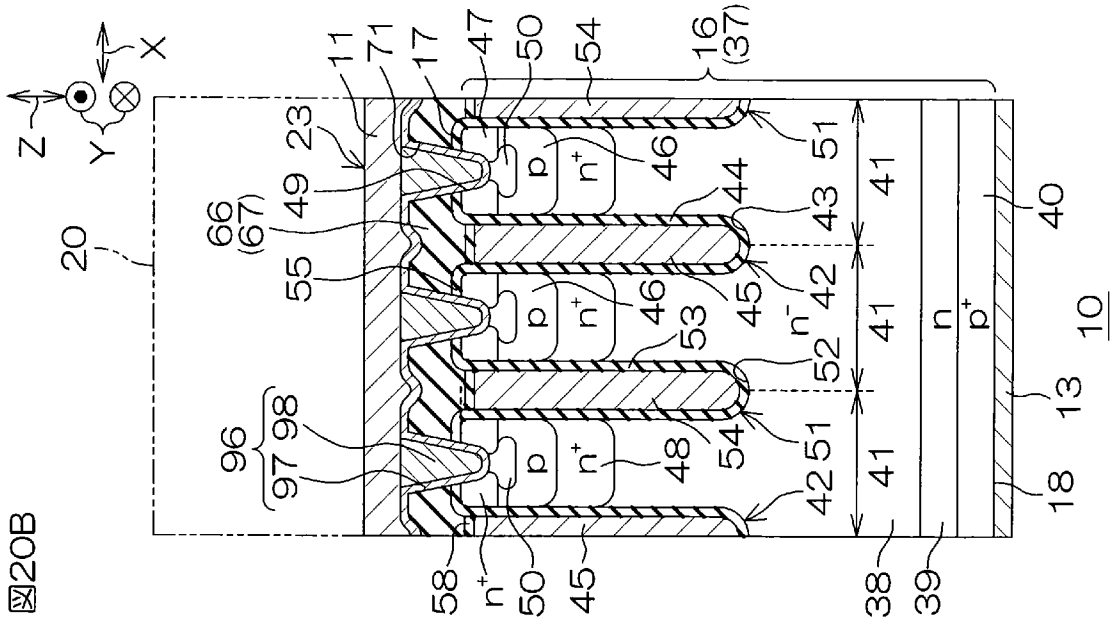


図20B

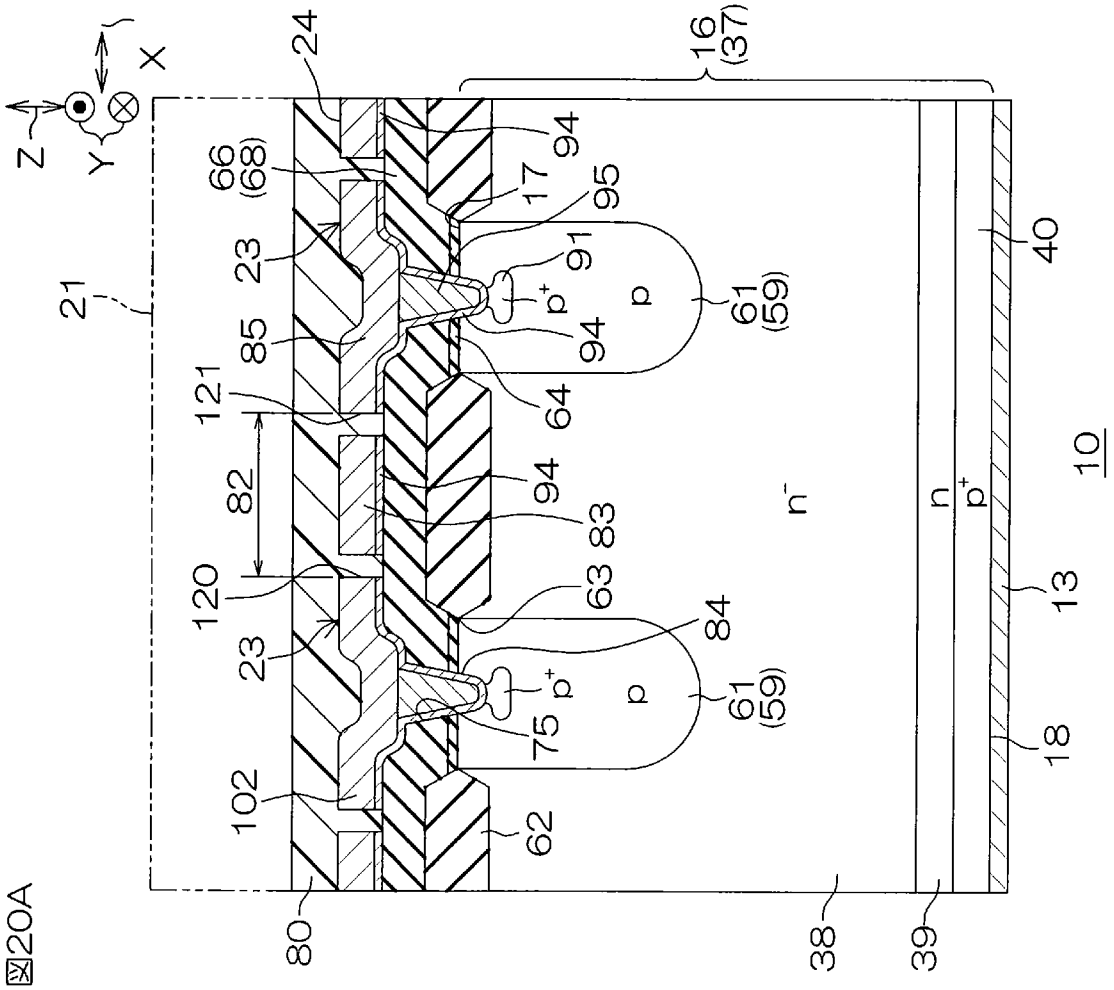
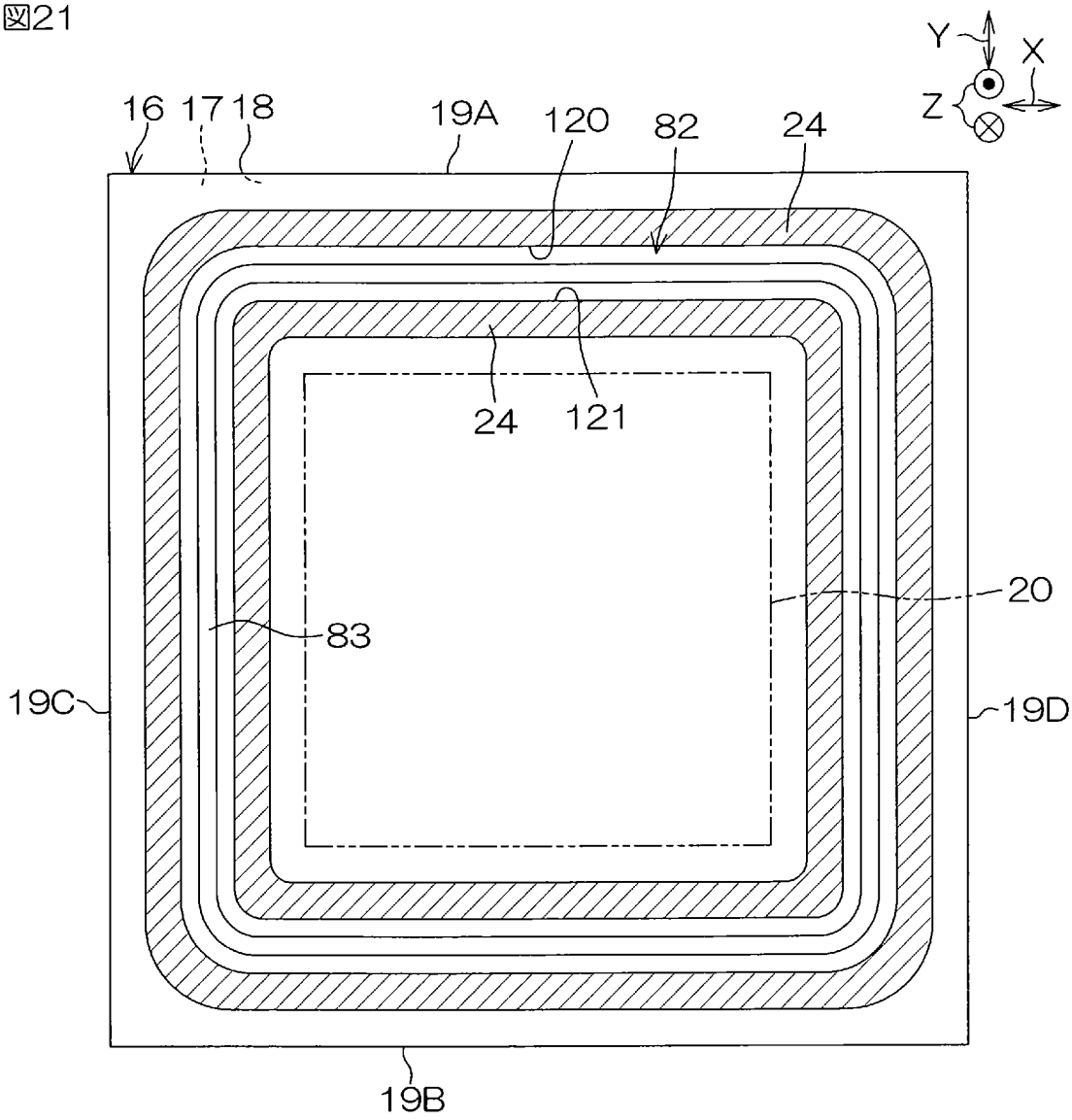


図20A

[図21]

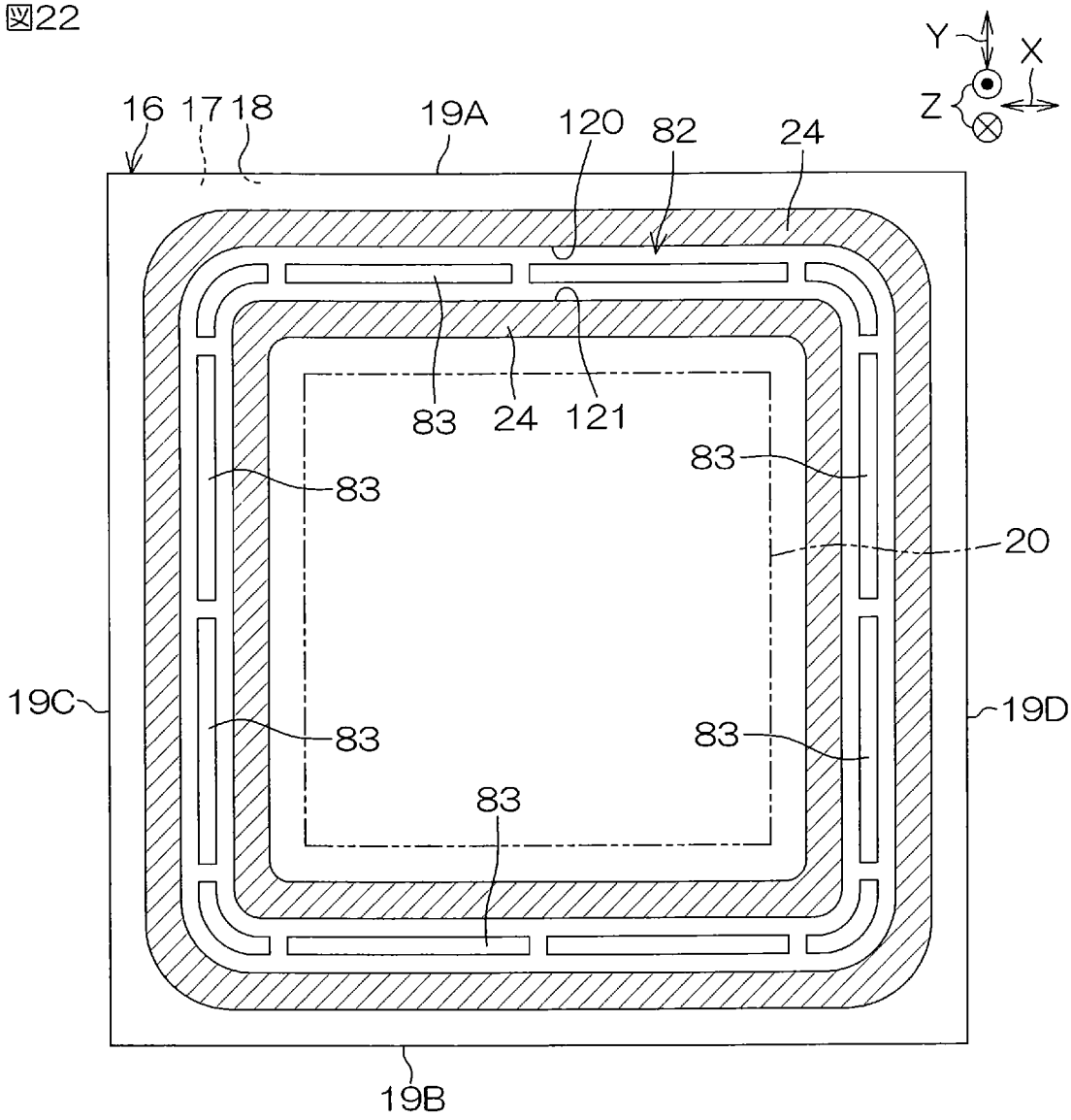
図21



10

[図22]

図22



[図23]

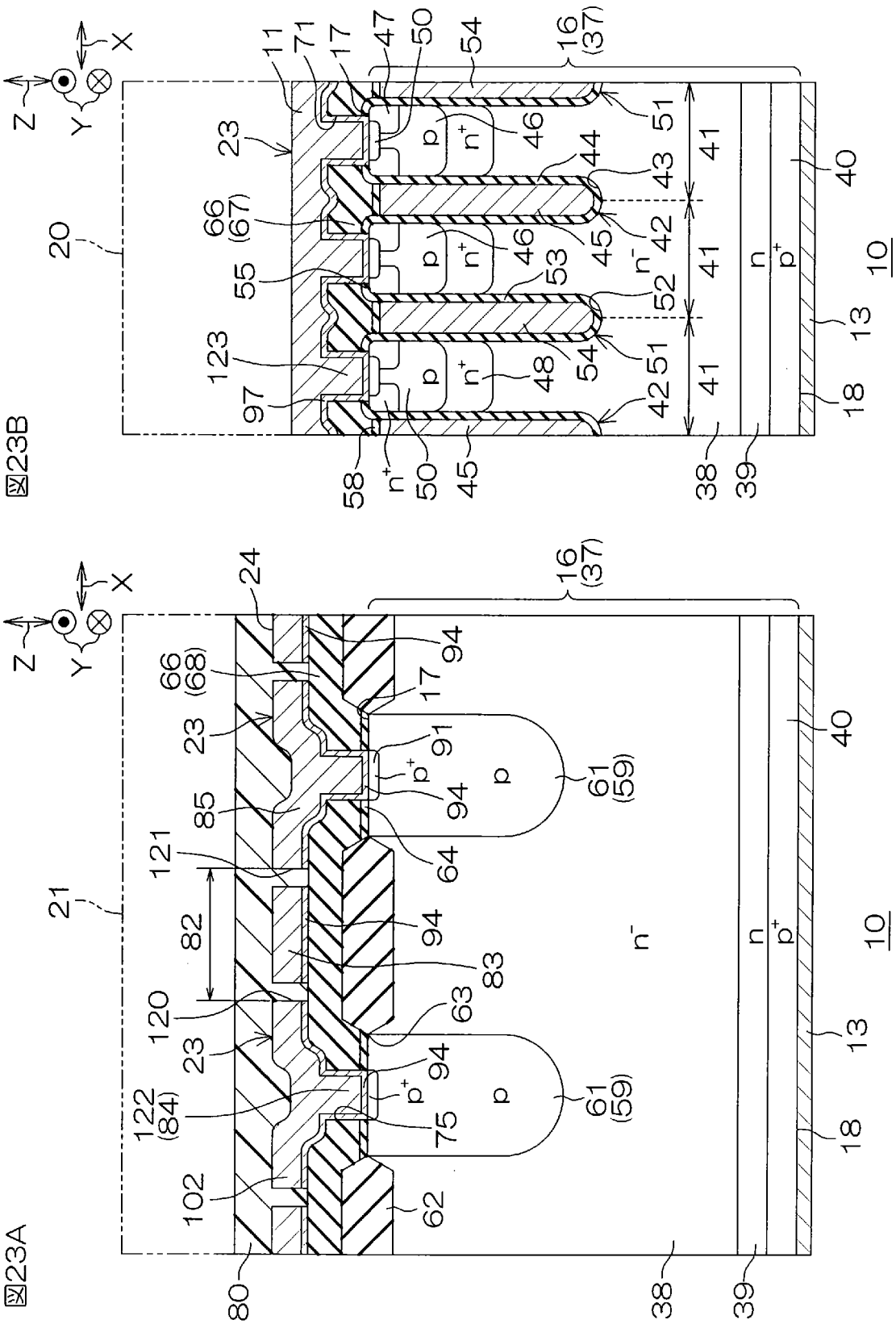


図23B
図23A
X
Y
Z
10
11
13
16 (37)
17
18
20
21
23
24
38
39
40
41
42
43
44
45
46
47
48
50
51
52
53
54
55
58
61 (59)
62
63
64
66 (67)
66 (68)
71
75
80
82
83
85
91
94
97
102
120
121
122 (84)
123
n
n+
p
p+
n-

[図24]

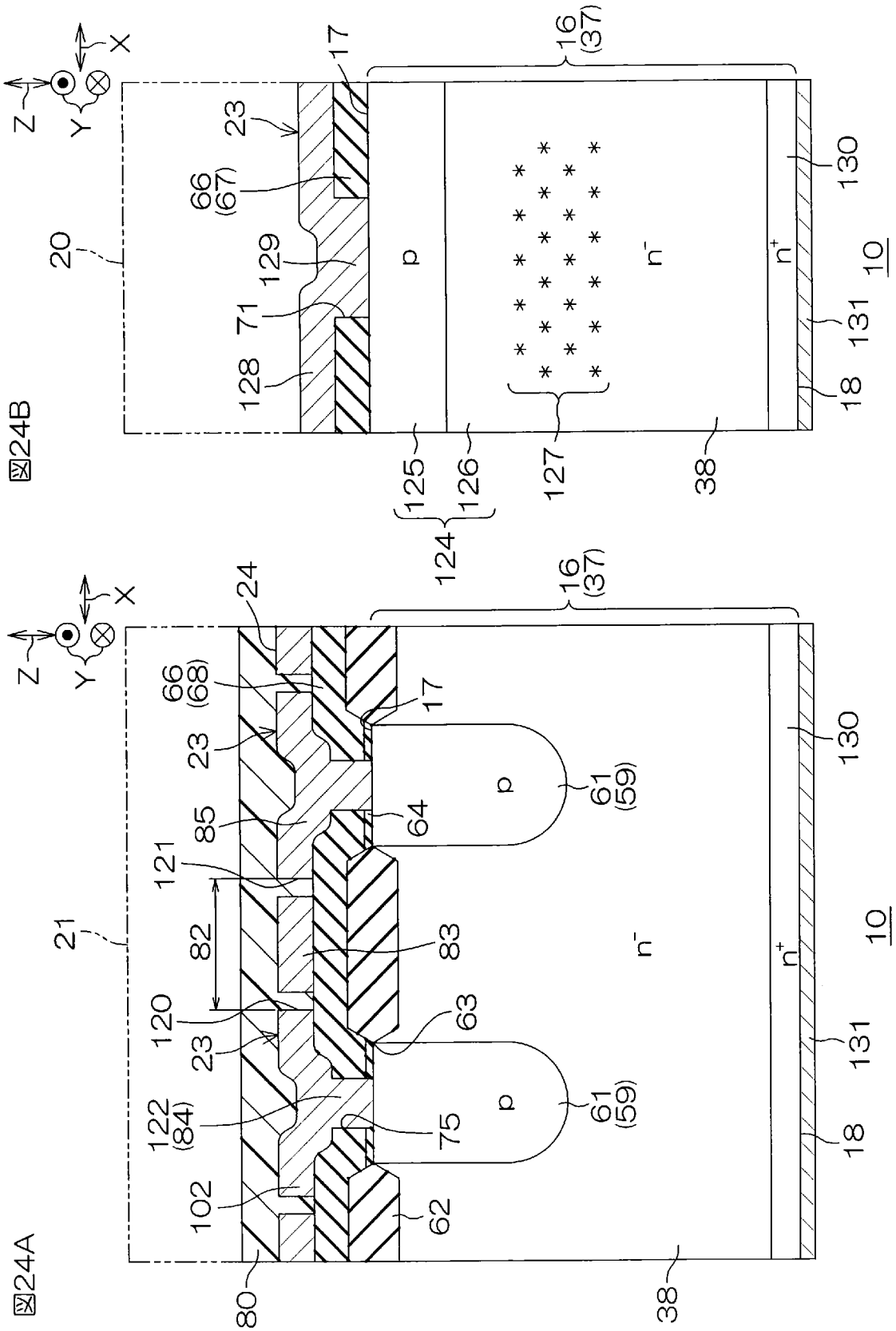


図24A
図24B
X
Y
Z
10
16
(37)
17
23
66
(67)
20
129
71
128
p
n⁻
n⁺
130
131
18
125
126
124
127
38
24
66
(68)
85
121
82
83
120
63
122
(84)
75
102
62
61
(59)
64
21
80

[図25]

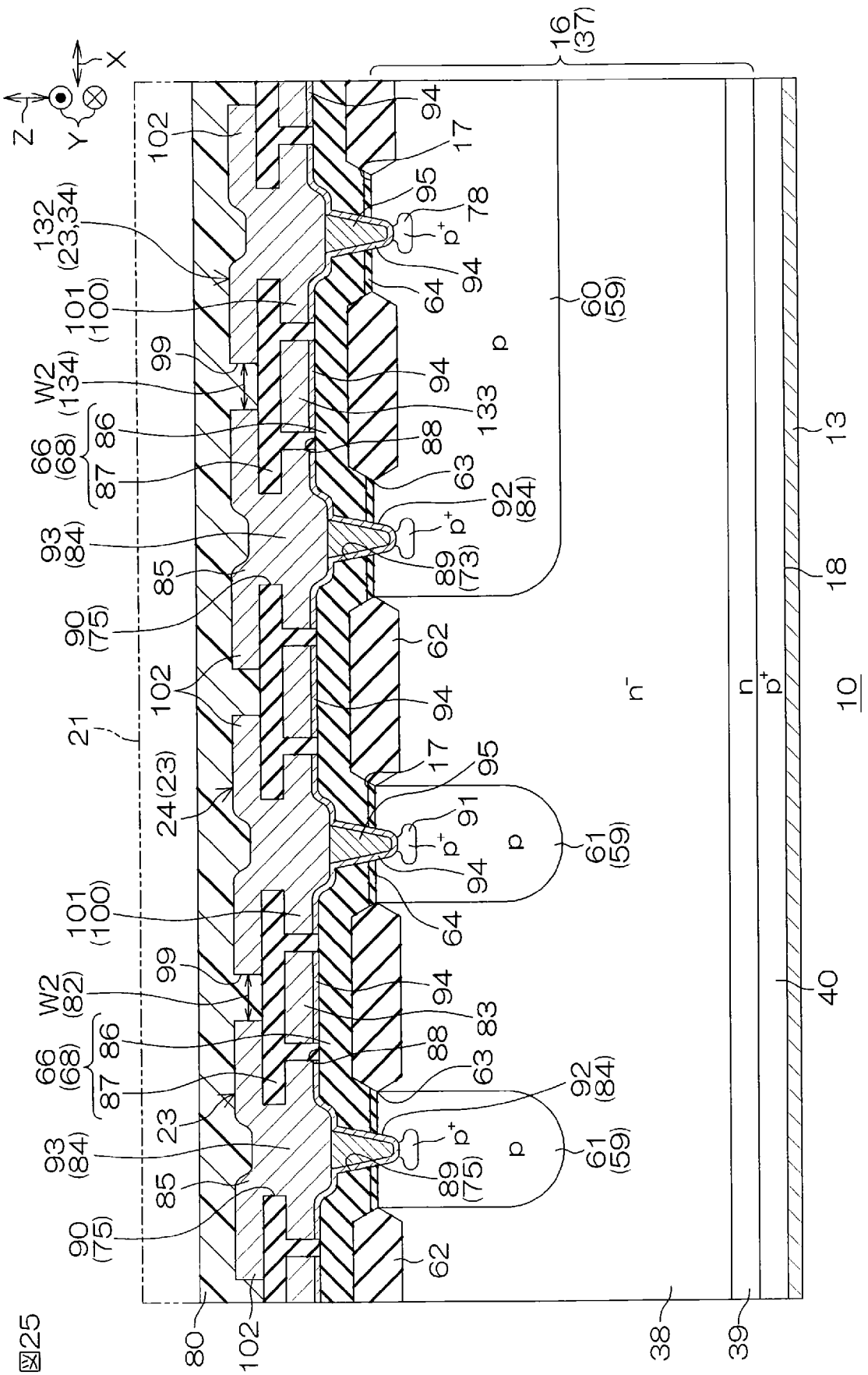

X
Z
Y
16
(37)
102
94
17
95
78
p+
132
(23,34)
64
94
60
(59)
101
(100)
99
W2
(134)
94
133
p
66
(68)
86
88
13
87
63
92
(84)
93
(84)
p+
89
(73)
85
18
90
(75)
62
102
94
n-
n
p+
10
21
17
95
24(23)
91
p+
p
61
(59)
94
101
(100)
64
99
W2
(82)
94
40
83
66
(68)
86
88
63
92
(84)
87
23
p+
93
(84)
p
61
(59)
89
(75)
85
90
(75)
62
80
102
38
39

図25

[図26]

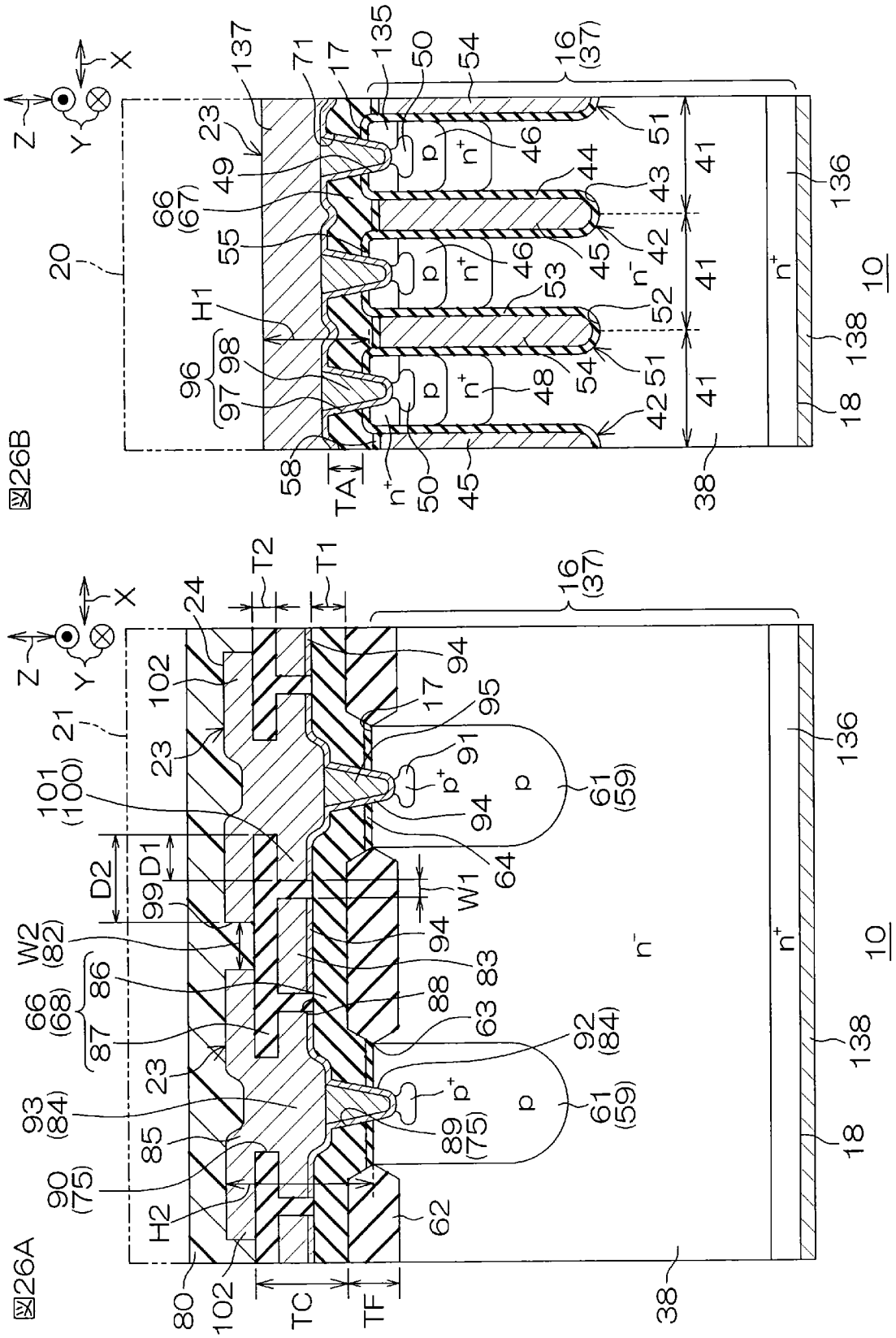


図26A
図26B
X
Y
Z
10
16 (37)
17
18
20
21
23
24
38
41
42
43
44
45
46
48
49
50
51
52
53
54
55
58
61 (59)
62
63
64
66 (67)
66 (68)
71
80
83
85
86
87
88
89 (75)
90 (75)
91
92 (84)
93 (84)
94
95
96
97
98
99
101 (100)
102
135
136
137
138
D1
D2
H1
H2
TA
TC
TF
T1
T2
W1
W2
n+
n-
p
p+

[図27]

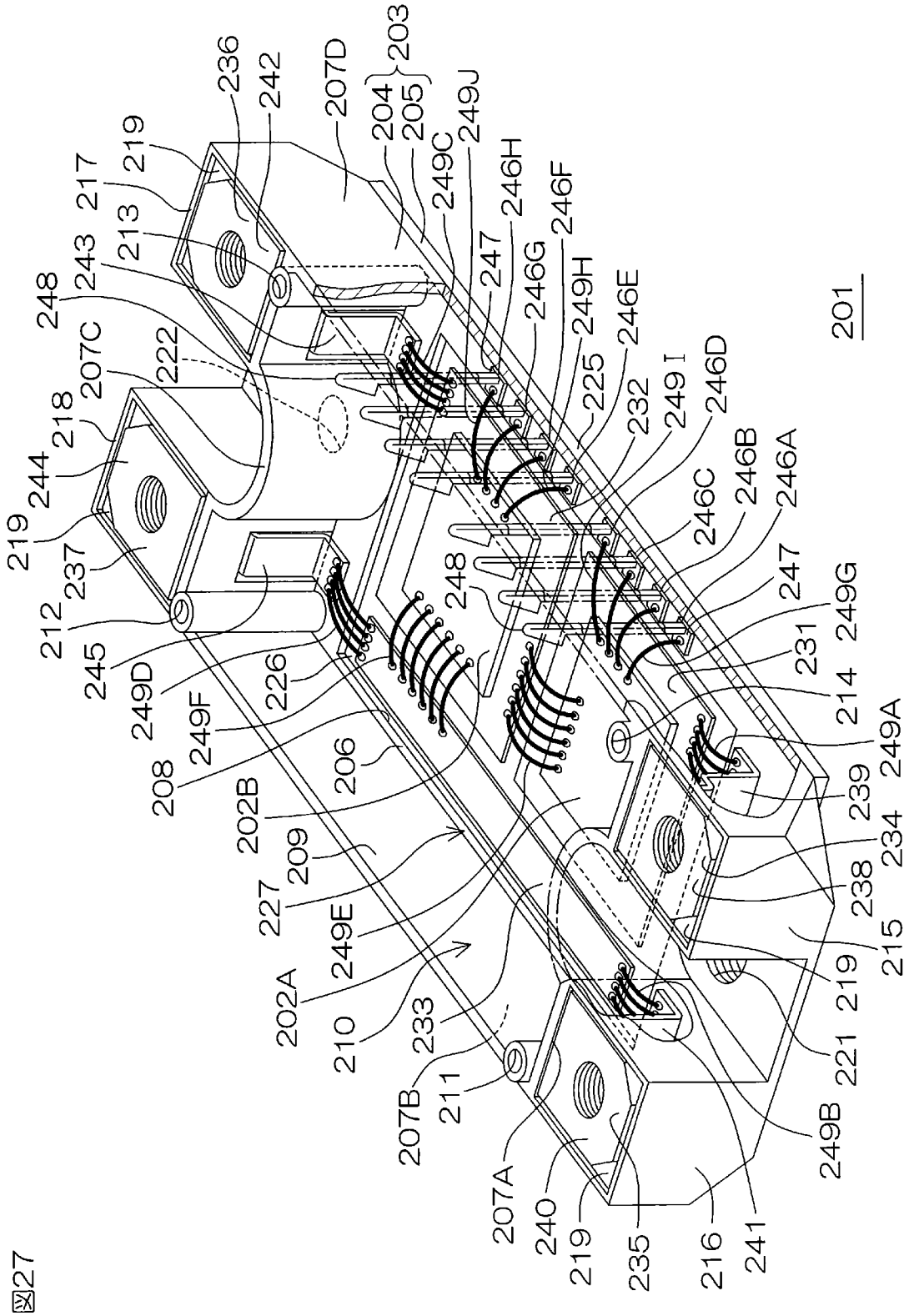
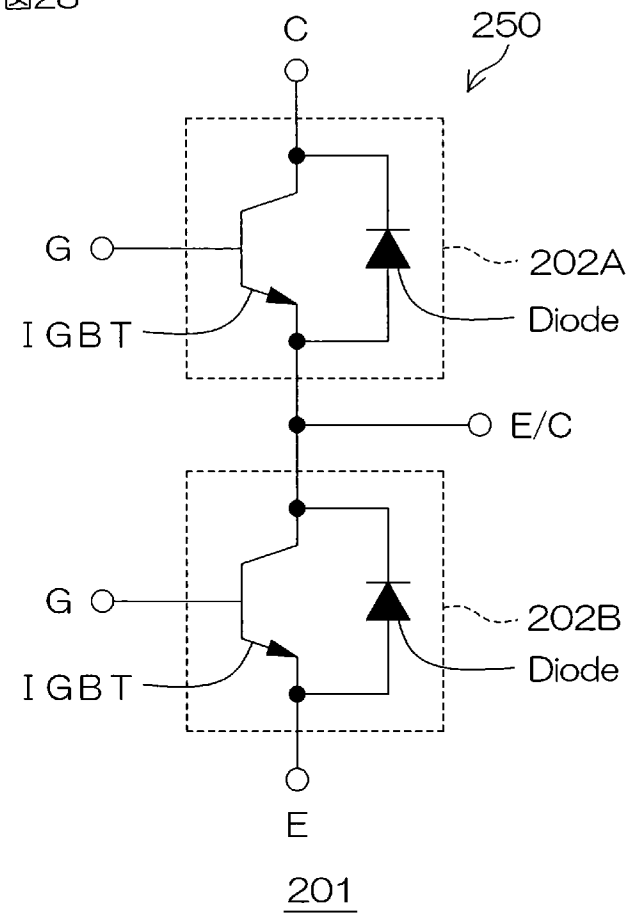

201
236
242
207D
204
205
203
249J
249C
246H
246F
247
246G
249H
246E
225
232
249I
246D
246C
246B
246A
248
231
214
249G
247
239
249A
234
238
215
219
221
249B
207A
240
219
235
216
241
207B
211
233
210
202A
249E
227
209
202B
206
208
249F
249D
226
245
212
237
219
244
218
207C
222
248
243
213
217
219

図27

[図28]

図28



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/047319

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/06(2006.01)i; ***H01L 29/78***(2006.01)i; ***H01L 29/739***(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 21/329***(2006.01)i; ***H01L 29/868***(2006.01)i; ***H01L 29/861***(2006.01)i

FI: H01L29/06 301G; H01L29/78 652Q; H01L29/78 652M; H01L29/78 652P; H01L29/78 652D; H01L29/78 653C; H01L29/78 652J; H01L29/78 655F; H01L29/78 658F; H01L29/78 658A; H01L29/78 658H; H01L29/06 301F; H01L29/06 301V; H01L29/78 657D; H01L29/91 C; H01L29/91 A; H01L29/91 J; H01L29/91 L; H01L29/78 655D; H01L29/78 655B; H01L29/78 652N

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/06; H01L29/78; H01L29/739; H01L21/336; H01L21/329; H01L29/868; H01L29/861

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-225363 A (TOYOTA MOTOR CORP) 28 December 2016 (2016-12-28)	1-21
A	WO 2013/140572 A1 (TOYOTA MOTOR CORP) 26 September 2013 (2013-09-26)	1-21
A	WO 2013/021727 A1 (FUJI ELECTRIC CO., LTD.) 14 February 2013 (2013-02-14)	1-21
A	JP 2013-179327 A (MITSUBISHI ELECTRIC CORP) 09 September 2013 (2013-09-09)	1-21
A	JP 2008-227238 A (TOYOTA CENTRAL R&D LABS INC) 25 September 2008 (2008-09-25)	1-21

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 March 2023	**20 March 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/047319

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2016-225363 A	28 December 2016	US 2016/0351657 A1	
		DE 102016109641 A1	
		CN 106206700 A	
WO 2013/140572 A1	26 September 2013	US 2015/0054118 A1	
		CN 104170090 A	
		KR 10-2014-0124853 A	
WO 2013/021727 A1	14 February 2013	US 2014/0077329 A1	
		EP 2698822 A1	
		CN 103534809 A	
JP 2013-179327 A	09 September 2013	(Family: none)	
JP 2008-227238 A	25 September 2008	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2022/047319

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/06(2006.01)i; H01L 29/78(2006.01)i; H01L 29/739(2006.01)i; H01L 21/336(2006.01)i; H01L 21/329(2006.01)i; H01L 29/868(2006.01)i; H01L 29/861(2006.01)i
FI: H01L29/06 301G; H01L29/78 652Q; H01L29/78 652M; H01L29/78 652P; H01L29/78 652D; H01L29/78 653C; H01L29/78 652J; H01L29/78 655F; H01L29/78 658F; H01L29/78 658A; H01L29/78 658H; H01L29/06 301F; H01L29/06 301V; H01L29/78 657D; H01L29/91 C; H01L29/91 A; H01L29/91 J; H01L29/91 L; H01L29/78 655D; H01L29/78 655B; H01L29/78 652N

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/06; H01L29/78; H01L29/739; H01L21/336; H01L21/329; H01L29/868; H01L29/861

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2016-225363 A (トヨタ自動車株式会社) 28.12.2016 (2016-12-28)	1-21
A	WO 2013/140572 A1 (トヨタ自動車株式会社) 26.09.2013 (2013-09-26)	1-21
A	WO 2013/021727 A1 (富士電機株式会社) 14.02.2013 (2013-02-14)	1-21
A	JP 2013-179327 A (三菱電機株式会社) 09.09.2013 (2013-09-09)	1-21
A	JP 2008-227238 A (株式会社豊田中央研究所) 25.09.2008 (2008-09-25)	1-21

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
10.03.2023	20.03.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
岩本　勉 5F 9355
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/047319

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-225363 A	28.12.2016	US 2016/0351657 A1	
		DE 102016109641 A1	
		CN 106206700 A	
WO 2013/140572 A1	26.09.2013	US 2015/0054118 A1	
		CN 104170090 A	
		KR 10-2014-0124853 A	
WO 2013/021727 A1	14.02.2013	US 2014/0077329 A1	
		EP 2698822 A1	
		CN 103534809 A	
JP 2013-179327 A	09.09.2013	（ファミリーなし）	
JP 2008-227238 A	25.09.2008	（ファミリーなし）	