(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3688312号
(P3688312)
(45)発行日　平成17年8月24日(2005.8.24)　(24)登録日　平成17年6月17日(2005.6.17)

(51)Int.Cl.[7]　F I
H01L 25/065　H01L 25/08　Z
H01L 21/56　H01L 21/56　T
H01L 25/07
H01L 25/18

請求項の数 22　(全 71 頁)

(21)出願番号　特願平6-285727
(22)出願日　平成6年11月18日(1994.11.18)
(65)公開番号　特開平8-148643
(43)公開日　平成8年6月7日(1996.6.7)
審査請求日　平成13年11月7日(2001.11.7)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(73)特許権者　000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町５丁目２２番１号
(73)特許権者　000233594
株式会社ルネサス北日本セミコンダクタ
北海道亀田郡七飯町字中島１４５番地
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　西沢　裕孝
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続した半導体集積回路装置であって、前記所定数のリードフレームは、データピンの配置が異なるものを含むことを特徴とする半導体集積回路装置。

【請求項２】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続した半導体集積回路装置であって、前記所定数のリードフレームは、モールドライン上に絶縁テープを接合したテープダム方式のリードフレームであることを特徴とする半導体集積回路装置。

【請求項３】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続した半導体集積回路装置であって、前記所定数のリードフレームのそれぞれに一対のモールド用ゲート孔を設けたことを特徴とする半導体集積回路装置

。

【請求項４】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続した半導体集積回路装置であって、前記所定数のリードフレームは、リードの接合を行うタイバー部が樹脂成形によって形成されていることを特徴とする半導体集積回路装置。

【請求項５】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続した半導体集積回路装置であって、前記所定数のリードフレームのそれぞれにハーフエッチラインを設けたことを特徴とする半導体集積回路装置。

【請求項６】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続した半導体集積回路装置であって、前記樹脂パッケージの内部にダミーのリードフレームを収容したことを特徴とする半導体集積回路装置。

【請求項７】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続した半導体集積回路装置であって、前記ソケットのリードを、前記樹脂パッケージの垂直方向の伸縮に追随できるような熱膨張係数の導電材料である銅合金で構成したことを特徴とする半導体集積回路装置。

【請求項８】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続した半導体集積回路装置であって、前記所定数のリードフレームの一部は、他のリードフレームに対して水平面内で１８０度反転して配置されていることを特徴とする半導体集積回路装置。

【請求項９】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記リードの下端部をＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームは、データピンの配置が異なるものを含むことを特徴とする半導体集積回路装置。

【請求項１０】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記リードの下端部をＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームは、モールドライン上に絶縁テープを接合したテープダム方式のリードフレームであることを特徴とする半導体集積回路装置。

【請求項１１】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケー

ジから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記リードの下端部をＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームのそれぞれに一対のモールド用ゲート孔を設けたことを特徴とする半導体集積回路装置。

【請求項１２】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記リードの下端部をＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームは、リードの接合を行うタイバー部が樹脂成形によって形成されていることを特徴とする半導体集積回路装置。

【請求項１３】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記リードの下端部をＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームのそれぞれにハーフエッチラインを設けたことを特徴とする半導体集積回路装置。

【請求項１４】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記リードの下端部をＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記樹脂パッケージの内部にダミーのリードフレームを収容したことを特徴とする半導体集積回路装置。

【請求項１５】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記リードの下端部をＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームの一部は、他のリードフレームに対して水平面内で１８０度反転して配置されていることを特徴とする半導体集積回路装置。

【請求項１６】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記アウターリードのうち、前記樹脂パッケージの最下層に位置するアウターリードをＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームは、データピンの配置が異なるものを含むことを特徴とする半導体集積回路装置。

【請求項１７】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記アウターリードのうち、前記樹脂パッケージの最下層に位置するアウターリードをＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームは、モールドライン上に絶縁テープを接合したテープダム方式のリードフレームであることを特徴とする半導体集積回路装置。

【請求項１８】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケー

ジから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記アウターリードのうち、前記樹脂パッケージの最下層に位置するアウターリードをＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームのそれぞれに一対のモールド用ゲート孔を設けたことを特徴とする半導体集積回路装置。

【請求項１９】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記アウターリードのうち、前記樹脂パッケージの最下層に位置するアウターリードをＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームは、リードの接合を行うタイバー部が樹脂成形によって形成されていることを特徴とする半導体集積回路装置。

【請求項２０】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記アウターリードのうち、前記樹脂パッケージの最下層に位置するアウターリードをＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームのそれぞれにハーフエッチラインを設けたことを特徴とする半導体集積回路装置。

【請求項２１】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記アウターリードのうち、前記樹脂パッケージの最下層に位置するアウターリードをＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記樹脂パッケージの内部にダミーのリードフレームを収容したことを特徴とする半導体集積回路装置。

【請求項２２】

半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記アウターリードのうち、前記樹脂パッケージの最下層に位置するアウターリードをＪ型に成形して前記樹脂パッケージの外部端子を構成した半導体集積回路装置であって、前記所定数のリードフレームの一部は、他のリードフレームに対して水平面内で１８０度反転して配置されていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、小型・高性能のマルチチップ・モジュールを有する半導体集積回路装置に適用して有効な技術に関するものである。

【０００２】

【従来の技術】

ＳＩＭＭ(Single In-line Memory Module)に代表されるメモリモジュールは、エンジニアリング・ワークステーション（ＥＷＳ）やコンピュータなどに搭載する半導体メモリとして広く利用されている。

【０００３】

ＳＩＭＭは、通常、ＤＲＡＭ(Dynamic Random Access Memory)やＳＲＡＭ(Static Random Access Memory) などのメモリＬＳＩを形成した半導体チップをＳＯＪ(Small Out-line J-leaded Package) などのＬＳＩパッケージに封止し、これをプリント配線基板の片面ま

たは両面に複数個実装した構成となっている。

【０００４】

ところが、近年のＥＷＳや並列処理コンピュータは、大量のデータを高速で処理するために大容量のメモリ（ＲＡＭ）を必要としている。そこで、これに対応するために、メモリモジュールの三次元化技術が検討されている。これは、従来のＳＩＭＭのように、プリント配線基板上に平面的（二次元的）にＬＳＩパッケージを実装する方式では、メモリ容量の増加につれてプリント配線基板のサイズが著しく大型化してしまうからである。

【０００５】

三次元メモリモジュールの具体例としては、例えばＴＳＯＰ(Thin Small Out-line Package) などの超薄型ＬＳＩパッケージを何層か積み重ねてその両側壁にプリント配線基板を配置し、それぞれのＴＳＯＰのリードをこの側面基板で保持する構造のもの（工業調査会、1993年９月１日発行「電子材料」p.33～p.39）などが知られている。

【０００６】

この種の三次元化メモリモジュールによれば、同一面積のプリント配線基板上により多くのＬＳＩパッケージを搭載できるので、小型で大容量のメモリモジュールを実現することができる。また、プリント配線基板上に平面的にＬＳＩパッケージを実装する場合に比べてパッケージ間を接続する配線長を短くすることができるので、高速化の面からも利点が大きい。

【０００７】

【発明が解決しようとする課題】

しかしながら、ＴＳＯＰなどの超薄型ＬＳＩパッケージを積み重ねた従来構造の三次元メモリモジュールは、モジュールの小型化とパッケージの熱抵抗の低減を両立させることが困難である。

【０００８】

すなわち、ＴＳＯＰなどのＬＳＩパッケージを積み重ねると、上下の半導体チップ間の樹脂の肉厚が二倍になるので、パッケージの熱抵抗が大きくなってしまう。従って、この熱抵抗を低減するために、パッケージとパッケージの間に適当な隙間を設けなければならないので、モジュールの縦方向の外形寸法が大きくなってしまう。

【０００９】

三次元メモリモジュールを小型化する有効な手段は、一つのパッケージに複数の半導体チップを一括して封止することである。このようにすると、上下の半導体チップ間に充填される樹脂の肉厚が薄くなるので、パッケージの縦方向の外形寸法が小さくなるのみならず、パッケージの熱抵抗も小さくなる。

【００１０】

しかし、一つのパッケージに複数の半導体チップを単純に一括封止しただけでは、信頼性の高いメモリモジュールを得ることはできない。

【００１１】

すなわち、一つのパッケージに複数の半導体チップを一括封止した場合は、パッケージの中心部と周辺部の温度差が大きくなり、パッケージの内部に大きな熱ストレスの生ずることが予想される。従って、パッケージの中心部の熱を速やかに外部に放散させるための構造設計が不可欠である。

【００１２】

また、一つのパッケージに複数の半導体チップを一括封止する場合は、テスティング、選別、エージングなどをどのような方法で行うかが問題となる。

【００１３】

すなわち、一つのパッケージに複数の半導体チップを一括封止したモジュールは、パッケージの封止後にいずれかの半導体チップが不良であることが判明しても、その半導体チップを交換することができない。従って、モジュールの製造歩留りを向上させるためには、半導体チップをリードフレームに搭載してワイヤボンディングを行った後、半導体チップを封止する工程の直前にすべての半導体チップが正常に動作するか否かを確認するための

テスティング、選別、エージングを行う必要がある。しかし、封止工程前のリードフレームは、全てのリードがタイバーを介して電気的に導通した状態になっているため、そのままではテスティング、選別、エージングを行うことができない。

【００１４】

また、一つのパッケージに複数の半導体チップを一括封止する場合は、封止工程の歩留り、スループットも問題となる。

【００１５】

通常、ＴＳＯＰなどのＬＳＩパッケージは、上型と下型との間にリードフレームを挟んでその隙間に樹脂を注入するインサート・モールド法により成形するが、半導体チップを搭載したリードフレームを積層して一括封止する場合は、上型と下型とで構成される従来の金型ではパッケージの離型が困難となるのでその対策が必要である。また、重なり合ったリードフレームの隙間には樹脂が流入し難く、ボイド（空隙）などが発生し易いので、これを防ぐ対策も必要である。

【００１６】

また、従来構造の三次元メモリモジュールは、全ての半導体チップを同一ピン配列のリードフレームに搭載している。しかし、データピンの接続は半導体チップごとに異なるので、同一ピン配列のリードフレームを使用したのでは、リードフレーム間を縦方向に単純に接続することができない。従って、例えば前述した文献に記載されたメモリモジュールのように、積層したＬＳＩパッケージの両側壁にプリント配線基板を配置するなどの対策が必要となり、モジュールの小型化が制約される。

【００１７】

さらに、従来構造の三次元メモリモジュールは、多ビット化への対応が困難である。すなわち、例えば３６ビットメモリモジュールのようにデータ幅の広い多ビット製品は、データ線が多いためにリードフレームを小型に設計することが困難で、パッケージサイズ、ボンディングワイヤ長が長くならざるを得ない。従って、従来技術では、多ビット品を小型のメモリモジュールに搭載することは困難である。

【００１８】

本発明の目的は、小型・高性能のマルチチップ・モジュールおよびその製造技術を提供することにある。

【００１９】

本発明の他の目的は、小型・高性能のマルチチップ・モジュールを安価に提供することのできる技術を提供することにある。

【００２０】

本発明の他の目的は、多ビット品を搭載したマルチチップ・モジュールを小型化することのできる技術を提供することにある。

【００２１】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００２２】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を説明すれば、以下の通りである。

【００２３】

(1).本発明の半導体集積回路装置は、半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続したマルチチップモジュールである。

【００２４】

(2).本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記

所定数のリードフレームのそれぞれを個別に設計し、データピンの配置をそれぞれのリードフレームで変えたものである。

【００２５】

(3).本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記所定数のリードフレームを一つの組みリードフレームとして、同一工程で一括パターニングして形成するものである。

【００２６】

(4).本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、モールドライン上にエンジニアリング・プラスチックや絶縁テープなどを形成したテープダム方式のリードフレームを用いるものである。

【００２７】

(5).本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記所定数のリードフレームのそれぞれに一対のモールド用ゲート孔を設けるものである。

【００２８】

(6).本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記所定数のリードフレームのそれぞれの枠部に、リードフレームごとに異なるパターンのインデックス孔を設けるものである。

【００２９】

(7).本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記所定数のリードフレームのそれぞれにハーフエッチラインを設けるものである。

【００３０】

(8).本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記所定数のリードフレームのそれぞれにコンデンサを搭載するものである。

【００３１】

(9).本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記樹脂パッケージの内部にダミーのリードフレームを収容するものである。

【００３２】

(10). 本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記ソケットのリードを、前記樹脂パッケージの熱膨張係数と略等しい熱膨張係数の導電材料で構成するものである。

【００３３】

(11). 本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記ソケットのリードを前記ソケットの対向する２辺に沿って２列ずつ配置するものである。

【００３４】

(12). 本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記樹脂パッケージに放熱フィンを装着するものである。

【００３５】

(13). 本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記所定数のリードフレームにリード・オン・チップ方式で半導体チップを搭載するものである。

【００３６】

(14). 本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記所定数のリードフレームのそれぞれに搭載された半導体チップの中心を樹脂パッケージの中心よりもリードフレームのデータピン側に配置するものである。

【００３７】

(15). 本発明の半導体集積回路装置は、前記(14)のマルチチップモジュールにおいて、樹脂パッケージの内部にダミーチップを収容するものである。

【００３８】

(16). 本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前

記所定数のリードフレームの一部を、他のリードフレームに対して水平面内で１８０度反転して配置するものである。

【００３９】

(17)．本発明の半導体集積回路装置は、前記(16)のマルチチップモジュールにおいて、前記所定数のリードフレームのうち、前記反転して配置されるリードフレームと他のリードフレームとが、反転軸に対して対称のリードパターンを有しているものである。

【００４０】

(18)．本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記ソケットに、前記樹脂パッケージ内の半導体チップと電気的に接続された半導体チップを搭載したものである。

【００４１】

(19)．本発明の半導体集積回路装置は、前記(1) のマルチチップモジュールにおいて、前記樹脂パッケージに一括封止された前記それぞれの半導体チップは、多ビットの入出力端子を有すると共に、前記入出力端子の一部に前記リードフレームと電気的に接続されていない不良の端子を含み、前記樹脂パッケージは、前記半導体チップの全体で前記リードフレームと電気的に接続された所定数の入出力端子を構成しているものである。

【００４２】

(20)．本発明の半導体集積回路装置は、半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記リードの下端部をＪ型に成形して前記樹脂パッケージの外部端子を構成したマルチチップモジュールである。

【００４３】

(21)．本発明の半導体集積回路装置は、前記(1) または前記(20)のマルチチップモジュールを製造する際、上型および下型と、前記所定数のリードフレームのそれぞれの隙間に挿入され、それぞれが２分割可能な所定数の可動金型とで構成される金型を用いて、前記所定数のリードフレームを一括封止するものである。

【００４４】

【作用】

上記した手段(1) によれば、複数の半導体チップを一括してパッケージに封止するので、半導体チップを１個ずつ樹脂封止したＴＳＯＰのようなＬＳＩパッケージを何層か積み重ねて構成したモジュールに比べて外形寸法を大幅に縮小することができる。

【００４５】

また、パッケージから引き出したアウターリードとソケットのリードを交差させて接続することにより、マトリクス状の放熱経路が形成され、パッケージの中心部の熱を速やかに外部に放散させることができる。

【００４６】

また、パッケージの側面からアウターリードを引き出して板バネ構造としているので、積層されたリードフレームの隙間に充填される樹脂の縦方向の伸縮を緩和することができる。

【００４７】

上記した手段(2) によれば、データピンの配置をリードフレームごとに変えることにより、積層したリードフレーム間を直接接続することができる。

【００４８】

上記した手段(3) によれば、所定数のリードフレームを一つの組みリードフレームとして、同一工程で一括パターニングして形成することにより、寸法精度の揃った一連のリードフレームを得ることができる。

【００４９】

上記した手段(4) によれば、モールドライン上にエンジニアリング・プラスチックや絶縁テープを形成したテープダム方式のリードフレームを用いることにより、ワイヤボンディ

ング工程の後、リードを保持している金属部分を切断することにより、それぞれのリードを電気的にフローティング状態にすることができるので、モールド工程の直前にテスティング、選別、エージングを行うことができる。

【００５０】

上記した手段(5) によれば、リードフレームのそれぞれに一対のモールド用ゲート孔を設けることにより、リードフレームを積層してこれを金型に装着したとき、金型の内部に垂直方向に貫通する一対のゲートラインが形成されるので、一方のゲートから注入された樹脂は一方のゲートラインを通ってキャビティ内に速やかに充満し、金型の内部で発生したボイドなどの不均一な樹脂分は、もう一方のゲートラインを通って反対側のゲートから流出する。

【００５１】

上記した手段(6) によれば、リードフレームのそれぞれの枠部に、リードフレームごとに異なるパターンのインデックス孔を設けることにより、量産時にリードフレームの層番号識別を自動的に読み取り、リードフレームが正しい順序で積層されているか否かを容易に判定することができる。

【００５２】

上記した手段(7) によれば、リードフレームのそれぞれにハーフエッチラインを設けることにより、モールド後、パッケージの外部に露出しているリードフレームの不要箇所の切断、除去が容易になる。

【００５３】

上記した手段(8) によれば、リードフレームにコンデンサを搭載することにより、半導体チップに給電する際の電源インピーダンスを低減することができるので、大電流の給電が可能となる。

【００５４】

上記した手段(9) によれば、ダミーリードフレームのアウターリードをパッケージから引き出してソケットのリードに接続することにより、リードとアウターリードの接合強度が向上させることができる。また、パッケージの放熱経路が増えるので、その熱抵抗を小さくすることもできる。さらに、ダミーのリードフレームをパッケージ内の配線接続として利用することができる。

【００５５】

上記した手段(10)によれば、ソケットのリードを、パッケージの熱膨張係数と略等しい熱膨張係数の導電材料で構成することにより、パッケージの垂直方向の伸縮にリードが追従できるので、パッケージの垂直方向と水平方向との間に生じる異方的な熱膨張に起因する熱応力ストレスを低減することができる。

【００５６】

上記した手段(11)によれば、ソケットのリードを対向する２辺に沿って２列ずつ配置することにより、多ビットモジュールに対応したソケットが得られる。

【００５７】

上記した手段(12)によれば、パッケージに放熱フィンを装着することにより、冷却効率の高いマルチチップ・モジュールが得られる。

【００５８】

上記した手段(13)によれば、リードフレームにリード・オン・チップ方式で半導体チップを搭載することにより、リードフレームの層間を薄くすることができ、パッケージの小型化、低熱抵抗化を実現することができる。また、上記した手段(16)のように、一部のリードフレームを、他のリードフレームに対して水平面内で１８０度反転して配置する場合には、反転配置時のボンディングパッドからリードフレームへのワイヤ引出し方向を必要に応じて容易に反転することができる。これは、電源ラインの共通化に特に有効である。

【００５９】

上記した手段(14)によれば、半導体チップの中心をリードフレームのデータピン側にずらすことにより、データ領域を充分に確保し、データピンの引き回しを低減することができ

る。
【００６０】
上記した手段(15)によれば、パッケージの内部にダミーチップを収容することにより、半導体チップをデータピン側にずらして配置した場合においても、モールド時の樹脂の流れを均一にすることができる。また、パッケージ全体の樹脂量を均一にすることができるので、パッケージの残留応力を低減することができる。
【００６１】
上記した手段(16)によれば、一部のリードフレームを、他のリードフレームに対して水平面内で１８０度反転して配置することにより、リードフレームのデータピンが一方向に集中するのを防止することができるので、リードの引き回しが容易となり、リードフレームを小型化することができる。
【００６２】
上記した手段(17)によれば、リードフレームの品種が半分で済むので、リードフレームの製造コストを低減することができる。また、エージングの品種を少なくすることができる。
【００６３】
上記した手段(18)によれば、ソケットに搭載された半導体チップに種々の機能を持たせておくことにより、マルチチップ・モジュールの機能拡張、入出力特性の改善、欠陥救済などを容易に実現することができる。
【００６４】
上記した手段(19)によれば、入出力端子の一部に不良の端子を含む多ビットの半導体チップの正常な入出力端子のみを選択的にリードフレームにボンディングすることにより、正常な入出力端子を持つ多ビットのマルチチップ・モジュールを得ることができる。
【００６５】
上記した手段(20)によれば、樹脂パッケージのリードをプリント配線基板に直接接続することができるので、手段(1) のソケットが不要となり、部品点数の低減によるマルチチップ・モジュールの低価格化と外形寸法の小型化とを併せて実現することができる。
【００６６】
上記した手段(21)によれば、モールド後、それぞれの可動金型を左右に２分割することにより、パッケージを簡単に金型から離型することができる。
【００６７】
【実施例】
以下、本発明の実施例を図面に基づいて詳細に説明する。
【００６８】
（実施例１）
図１は、本発明の一実施例であるＤＲＡＭモジュールの前方斜視図、図２は、このＤＲＡＭモジュールの後方斜視図、図３は、このＤＲＡＭモジュールのパッケージの前方斜視図、図４は、このＤＲＡＭモジュールのマザーソケットの前方斜視図、図５は、このＤＲＡＭモジュールの等価回路図である。
【００６９】
図１～図４に示すように、本実施例のＤＲＡＭモジュール１は、モジュール本体であるパッケージ２とこれを搭載するマザーソケット３とで構成されている。パッケージ２およびマザーソケット３は、エポキシ系の合成樹脂あるいは耐熱液晶ポリマーなどからなり、後述する金型を使ってインサート成形される。
【００７０】
モジュール本体を構成するパッケージ２の内部には、後述する９個の半導体チップ（M_0～M_8)と、これらの半導体チップ（M_0 ～M_8)を１個ずつ搭載した合計９枚のリードフレーム（S_1 ～S_9)が垂直方向に積層された状態で一括封止されている。
【００７１】
パッケージ２に封止された９個の半導体チップ（M_0 ～M_8)のそれぞれには、１６メガビ

ット Mbit の大容量を有する〔１６７７７２１６ワード×１ビット〕構成のＣＭＯＳ－ＤＲＡＭが形成されている。そして、これら９個の半導体チップ（M_0 ～M_8)を結線することにより、図５に示すような〔１６７７７２１６ワード×９ビット〕構成のＤＲＡＭモジュールが構成されている。

【００７２】

図６は、上記１６メガビット Mbit ＤＲＡＭを形成した半導体チップ（Ｍ）のパッドレイアウトを示す平面図である。この半導体チップ（Ｍ）は、〔４１９４３０４ワード×４ビット〕モードと〔１６７７７２１６ワード×１ビット〕モードをボンディングオプションで切換えるように構成されており、本実施例のように〔１６７７７２１６ワード×１ビット〕モードで動作させる場合には、ＦＰ２パッドをＶss（ＧＮＤ）にショートさせる。また、ピン数の増加を防ぐために、ワイヤボンディング時に前記図５に示すＤinとＤout を同一リードに内部接続してもよい。

【００７３】

上記半導体チップ（M_0 ～M_8)を搭載する９枚のリードフレーム（S_1 ～S_9)を図７～図１５に示す。図示のように、これらのリードフレーム（S_1 ～S_9)は、それぞれが個別に設計されたリードパターン（ピン配置）を有している。すなわち、電源（およびＧＮＤ）ピン、アドレスピン、コントロール信号ピンはすべてのリードフレーム（S_1 ～S_9)で共通の配置となっているが、データピンの配置は、それぞれのリードフレーム（S_1 ～S_9)で異なっている。なお、符号４４はガイドピン挿入用の開孔である。

【００７４】

上記９枚のリードフレーム（S_1 ～S_9)は、図７に示すリードフレーム（S_1)がパッケージ２の最下層に配置され、その上に他のリードフレーム（S_2 ～S_9)が下層からS_2, S_3 ・・・S_9 の順に積層されている。これらのリードフレーム（S_1 ～S_9)は、４２アロイ、コバールなどにより構成され、その標準的な板厚は0.１２５～0.１㎜程度である。ただし、ＤＲＡＭモジュール１の垂直方向の寸法を小さくするために、さらに板厚を薄くすることも可能である。

【００７５】

図１６は、半導体チップ（Ｍ）を搭載した最下層のリードフレーム（S_1)の平面図である。半導体チップ（Ｍ）は、絶縁テープ４を用いたＬＯＣ(Lead On Chip)方式によりリードフレーム（Ｓ）に搭載されている。絶縁テープ４は、半導体チップ（Ｍ）の主面とリードフレーム（S_1)の下面との間に挿入され、熱圧着により接着されている。半導体チップ（Ｍ）のボンディングパッドとリードフレーム（S_1)のインナーリードとは、Ａｕのワイヤ５で電気的に接続されている。

【００７６】

上記絶縁テープ４は、パッケージ２を構成している合成樹脂との界面に生ずる熱応力などを緩和するために４分割されている。この絶縁テープ４は、ポリイミド樹脂で構成され、その標準的な厚さは0.１～0.０５㎜程度である。この絶縁テープ４は、ポリイミド樹脂の他、高耐熱・高強度の液晶ポリマー（例えばポリプラスチック社の「ベクトラ E130 」のようなガラス繊維強化高耐熱液晶ポリマー）などで構成することもできる。

【００７７】

図１６には、リードフレーム（S_1)のピン（ピン１～ピン３２）の配列が示してある。同図には使用パットのみが示されているが、Dout は前記図６に示すＩＯ３パッド、ＤinはＤinパッドであり、ピン３１に内部接続されている。

【００７８】

上記ピン１～ピン３２の構成を順に説明すると、ピン１はＶss、ピン２はＮＣ、ピン３は第２層目のリードフレーム（S_2)のデータ１、ピン４は第４層目のリードフレーム（S_4)のデータ３、ピン５は第６層目のリードフレーム（S_6)のデータ５、ピン６は第８層目のリードフレーム（S_8)のデータ７、ピン７はバーＷＥ、ピン８はバーＲＡＳ、ピン９はＡ（アドレス）１１、ピン１０はＡ１０、ピン１１はＡ０、ピン１２はＡ１、ピン１３はＡ２、ピン１４はＡ３、ピン１５はＶcc、ピン１６は同じくＶcc、ピン１７はＶss、ピン１

８は同じくＶss、ピン１９はＡ４、ピン２０はＡ５、ピン２１はＡ６、ピン２２はＡ７、ピン２３はＡ８、ピン２４はＡ９、ピン２５は第９層目のリードフレーム（S_9)の（パリティ用）のバーＰＣＡＳ（第１層目～第８層目のリードフレーム（S_1 ～S_8)はピン２６で使用しているＣＡＳパッドに接続）、ピン２６はバーＣＡＳ（第９層目のリードフレーム（S_9)を除く）、ピン２７は第９層目のリードフレーム（S_9)のパリティ用データ８、ピン２８は第７層目のリードフレーム（S_7)のデータ６、ピン２９は第５層目のリードフレーム（S_5)のデータ４、ピン３０は第３層目のリードフレーム（S_3)のデータ２、ピン３１は第１層目のリードフレーム（S_1)のデータ０、ピン３２はＶssである。

【００７９】

本実施例のＤＲＡＭモジュール１は、上記のような内部構造を有するパッケージ２をマザーソケット３の上に搭載した構成になっている。

【００８０】

図３に示すように、パッケージ２の長辺方向の両側面には、前述した９枚のリードフレーム（S_1 ～S_9)のそれぞれのアウターリード６が水平方向に引き出されている。また、それぞれのアウターリード６の先端には、開孔８が形成されている。

【００８１】

パッケージ２から引き出されたアウターリード６のうち、電源（およびＧＮＤ）ピン、アドレスピン、コントロール信号ピンを構成するアウターリード６は、すべてのリードフレーム（S_1 ～S_9)で共通の配置となっているので、これらのアウターリード６は、パッケージ２の側面で垂直方向に重なり合っている。ただし、コントロール信号のバーＣＡＳは、最上層のリードフレーム（S_9)を除く他のリードフレーム（S_1 ～S_8)で共通の配置となっている。これに対し、データピンを構成するアウターリード６は、互いに重なり合わないように、それぞれのリードフレーム（S_1 ～S_9)から１本（１ビット）ずつ引き出されている。

【００８２】

図４に示すように、マザーソケット３には、垂直方向に延在する複数本のリード７がその長辺方向の両側面に沿って一列ずつ配置されている。これらのリード７の配置は、リードフレーム（S_1 ～S_9)のアウターリード６の配置に対応している。それぞれのリード７の下部は、マザーソケット３を貫通してその裏面側に延在し、ＤＲＡＭモジュール１をＳＩＭＭのプリント配線基板に実装する際の外部端子を構成している。

【００８３】

上記マザーソケット３にパッケージ２を搭載するには、マザーソケット３のリード７をパッケージ２の対応するアウターリード６の開孔８に挿通し、両者を半田、ろう付けあるいは溶接などの周知の手段で固定して電気的に接続するだけでよい。

【００８４】

上記のように構成された本実施例のＤＲＡＭモジュール１は、複数の半導体チップ（M_0 ～M_8)を一括してパッケージ２に封止するので、半導体チップを１個ずつ樹脂封止したＴＳＯＰのようなＬＳＩパッケージを何層か積み重ねて構成したモジュールに比べて外形寸法を大幅に縮小することができる。また、それぞれの半導体チップ（M_0 ～M_8)間の樹脂の肉厚を薄くすることができるので、パッケージ２の熱抵抗を低減することができる。

【００８５】

また、本実施例のＤＲＡＭモジュール１は、パッケージ２の側面から水平方向に引き出したアウターリード６を垂直方向に延在するマザーソケット３のリード７と交差するように接続してマトリクス状の放熱経路を形成しているので、パッケージ２の中心部の熱を速やかに外部に放散させることができ、これにより、熱抵抗の小さいＤＲＡＭモジュール１を実現することができる。

【００８６】

なお、前記の説明では、データピンを構成するアウターリード６は、それぞれのリードフレーム（S_1 ～S_9)から１本ずつ引き出すものとしたが、電気的に接続していないダミーリードを引き出すようにしてもよい。その実例が前記図３に示すパッケージ２の手前左側

から９番目のアウターリード６（ピン２５）である。このピン２５は、第９層目（最上層）のリードフレーム（S_9）のＰＣＡＳであるため、本来は第９層目のリードフレーム（S_9）からのみ引き出されるものであるが、図３に示すように、下層のリードフレーム（S_1～S_8）の同じ箇所からもアウターリード６が１本ずつ引き出されている。この８本のアウターリード６は、いずれの半導体チップ（M_0～M_8）とも電気的に接続されていないダミーリードである。

【００８７】

このようなダミーリードをパッケージ２から引き出してマザーソケット３のリード７に接続することにより、パッケージ２の放熱経路が増えるので、その熱抵抗をさらに小さくすることができる。また、マザーソケット３のリード７に接続されるアウターリード６の数が増えるので、リード７とアウターリード６の接合強度も向上する。

【００８８】

また、本実施例のＤＲＡＭモジュール１は、パッケージ２の側面からアウターリード６を引き出して板バネ構造としている。これにより、リードフレーム（S_1～S_9）の隙間に充填された樹脂の縦方向の伸縮を緩和することができるので、パッケージ２の信頼性を向上させることができる。

【００８９】

また、本実施例のＤＲＡＭモジュール１は、共通化できないデータピンの配置をリードフレーム（S_1～S_9）ごとに変えてあるので、積層したリードフレーム（S_1～S_9）間を直接接続することができる。すなわち、リードフレーム（S_1～S_9）間の接続を目的としたプリント配線基板などを必要としないので、ＤＲＡＭモジュール１の小型化を促進することができる。

【００９０】

次に、前記図３に示すパッケージ２の製造方法を説明する。

【００９１】

図１７は、パッケージ２の成形に用いる入れ子金型の斜視図、図１８は、この金型の上型を持ち上げた状態を示す斜視図、図１９は、この金型を分割した状態を示す斜視図（斜め上方から見た図）、図２０は、この金型を分割した状態を示す斜視図（斜め下方から見た図）、図２１は、この金型の可動金型を示す平面図(a) および側面図(b) である。

【００９２】

ＴＳＯＰなどのＬＳＩパッケージは、上型と下型との間にリードフレームを挟んでその隙間に樹脂を注入するインサート・モールド法で成形するが、本実施例のＤＲＡＭモジュール１のパッケージ２のように、多数のリードフレーム（S_1～S_9）を重ね合わせて一括封止する場合は、上型と下型だけで構成される従来の金型では離型が困難となる。

【００９３】

そこで、本実施例では、樹脂をトランスファ注入する金型の一部に、樹脂ランナで接続される図１７に示すような着脱自在の入れ子金型を備えた金型を使用してモールドを行う。着脱が容易なこの入れ子金型１０は、上型１１と下型１２の他に８組の可動金型（スペーサ型）１３を備えている。これらの可動金型１３は、積層した９枚の（チップボンディング済の）リードフレーム（S_1～S_9）の隙間（８箇所）に１組ずつ挿入される。図２１に示すように、それぞれの可動金型１３は、パーティングライン（ＰＬ）を中心にして水平方向に左右２分割されるようになっており、パッケージ２の離型を容易にするために、パーティングライン（ＰＬ）と直交する領域の４箇所には、例えば４°程度の抜き角が設けられている。

【００９４】

上記のような可動金型１３を備えた入れ子金型１０を使用することにより、モールド前には、多数のリードフレーム（S_1～S_9）を特別な構造補強を行うことなく高精度に３次元配置することができ、かつモールド後には、上下の金型を垂直方向に分割すると共に、それぞれの可動金型１３を水平方向に２分割するだけでパッケージ２を簡単に入れ子金型１０から離型することができるので、封止工程の歩留り、スループットが向上し、ＤＲＡＭ

モジュール１の製造コストを低減することができる。

【００９５】

上記可動金型１３の厚さは、半導体チップ（Ｍ）の厚さ、ＬＯＣ用の絶縁テープ４の厚さ、半導体チップ（Ｍ）のワイヤ５のループ高さ、および半導体チップ（Ｍ）間に充填される樹脂の厚さを合計した厚さである。例えば半導体チップ（Ｍ）の厚さが0.２８㎜、絶縁テープ４の厚さが0.１㎜、ワイヤ５のループ高さが0.１５㎜、樹脂の厚さが0.１５㎜のとき、可動金型１３の厚さは0.６８㎜である。

【００９６】

また、リードフレーム（Ｓ）の板厚を0.１㎜とし、パッケージ２の上、下端部の厚さは、半導体チップ（Ｍ）を含む上端部の厚さを0.５８㎜（絶縁テープ４の厚さ＋半導体チップ（Ｍ）の厚さ＋樹脂の厚さ＝0.１㎜＋0.２８㎜＋0.１５㎜）、半導体チップ（Ｍ）を含まないワイヤ５のみの下端部の厚さを0.３５㎜（ワイヤ５のループ高さ＋樹脂の厚さ＝0.１５㎜＋0.２㎜）として計算すると、パッケージ２の垂直方向の外形寸法は、パッケージ２の上端部の厚さ（0.５８㎜）＋〔リードフレーム（Ｓ）の板厚（0.１㎜）×９〕＋〔可動金型１３の厚さ（0.６８㎜）×８〕＋パッケージ２の下端部の厚さ（0.３５㎜）＝7.２７㎜となる。

【００９７】

上記したパッケージ２の寸法（7.２７㎜）は、例えば厚さ1.１㎜のＴＳＯＰを隙間なく９個積層した場合（1.１㎜×９＝9.９㎜）に比べても２７％程度小さいが、実際にＴＳＯＰを積層する場合は、放熱を考慮してパッケージの間に１㎜程度の隙間を設ける必要があるので、（1.１㎜×９）＋（１㎜×８）＝１８㎜程度になる。従って、パッケージ２の外径寸法は、ＴＳＯＰを積層したモジュールの約４０％程度となる。

【００９８】

このように、上記金型１０を用いてパッケージ２を成形することにより、重なり合った半導体チップ（M_0 ～M_8)の隙間に充填される樹脂の肉厚を最小限にできるので、パッケージ２の熱抵抗を低減することができ、これにより、パッケージ２の中心部の温度上昇を抑制することができる。

【００９９】

本実施例のＤＲＡＭモジュール１は、上記したワイヤ５のループ高さ、絶縁テープ４の厚さ、半導体チップ（Ｍ）の厚さ、樹脂の厚さなどをさらに薄くすることにより、パッケージ２の外形寸法をさらに小さくすることができる。

【０１００】

例えばワイヤ５のループ高さを0.１５㎜から0.１２㎜、絶縁テープ４の厚さを0.１㎜から0.０５㎜、半導体チップ（Ｍ）の厚さを0.２８㎜から0.２㎜へとそれぞれ薄くした場合は、リードフレーム（Ｓ）の板厚が0.１㎜のとき、リードフレーム（Ｓ）一層あたりの厚さは0.５７㎜となる。

【０１０１】

さらに、半導体チップ（Ｍ）とリードフレーム（Ｓ）との接続をワイヤボンディング方式からバンプ電極方式に代えた場合は、ワイヤ５のループ高さを考慮しなくともよいので、バンプの高さを0.０３㎜とすると、リードフレーム（Ｓ）一層あたりの厚さを0.４５㎜まで薄くすることができる。

【０１０２】

リードフレーム（Ｓ）一層あたりの厚さをこのように薄くした場合は、上層の半導体チップ（Ｍ）の裏面と、下層の半導体チップ（Ｍ）のワイヤ５あるいはリードフレーム（Ｓ）とがショートするのを防止するために、半導体チップ（Ｍ）の裏面の一部または全面に薄い絶縁性の樹脂膜をコーティングしてもよい。また、リードフレーム（Ｓ）間のクロストークノイズが問題となる場合は、半導体チップ（Ｍ）の裏面に金箔などのシールド層を設けてもよい。

【０１０３】

図２２は、上記のような方法でリードフレーム（Ｓ）一層あたりの厚さを薄くしたパッケ

ージ２をマザーソケット３に搭載したＤＲＡＭモジュール１である。前記図１、２に示すＤＲＡＭモジュール１に比べて高さ方向の寸法が大幅に縮小されている。

【０１０４】

次に、パッケージ２のモールド工程の歩留り、スループットをさらに向上させるための改良されたリードフレーム構造について説明する。

【０１０５】

前記図７～図１５に示したリードフレーム（S_1 ～S_9)を積層して一括モールドした場合、使用するエポキシ樹脂の粘度が高いと、重ね合せたリードフレーム（S_1 ～S_9)の隙間に樹脂が流入し難くなり、この隙間にボイド（空隙）が生じ易くなる。

【０１０６】

その対策として、図２３～図３１に示すようなリードフレーム（S_1 ～S_9)を使用する。これらのリードフレーム（S_1 ～S_9)は、前記図７～図１５に示したリードフレーム（S_1 ～S_9)と同じく、それぞれが個別に設計されたリードパターン（ピン配置）を有しているが、長辺方向の両端部にそれぞれ一箇所ずつモールド用ゲート孔１４が設けてある。また、前記入れ子金型の対応する箇所にも同様のゲート孔を設けておく。

【０１０７】

これらのモールド用ゲート孔１４を設けたことにより、リードフレーム（S_1 ～S_9)を積層してこれを前記図１７～図２１に示す入れ子金型１０に装着したとき、この入れ子金型１０の内部には、垂直方向に貫通する一対のゲートラインが形成される。そのため、図３２に示すように、一方のゲート１５から樹脂を注入すると、注入された樹脂は一方のゲートライン４５を通ってキャビティ内に速やかに充満する。そして、入れ子金型１０の内部で発生したボイドなどの不均一な樹脂分は、もう一方のゲートライン４６を通って反対側のゲート１６から流出する。なお、リードフレーム（S_1 ～S_9)の開孔４４を金型組み立て時のガイドピン孔として利用することにより、リードフレーム（S_1 ～S_9)を積層する際の位置合わせを高精度に行うことができる。

【０１０８】

このように、図２３～図３１に示すリードフレーム（S_1 ～S_9)を使用することにより、重なり合ったリードフレーム（S_1 ～S_9)の隙間に樹脂を充分に流入させることができ、この隙間などにボイドが生じたりする不具合を防止することができるので、パッケージ２の封止工程の歩留りを向上させることができる。

【０１０９】

また、前記図２３～図３１に示すリードフレーム（S_1 ～S_9)は、それぞれのリードフレーム（Ｓ）の長辺方向の枠部に、リードフレーム（Ｓ）ごとに異なるパターンのインデックス孔１７が設けられている。これにより、量産時にリードフレーム（Ｓ）の層番号識別を自動的に読み取り、リードフレーム（S_1 ～S_9)が正しい順序で積層されているか否かを容易に判定することができるので、パッケージ２の封止工程の歩留り、スループットを向上させることができる。

【０１１０】

また、前記図２３～図３１に示すリードフレーム（S_1 ～S_9)は、それぞれのリードフレーム（Ｓ）の長辺方向の枠部の端部にも、リードフレーム（Ｓ）ごとに異なるパターンのインデックス孔１８が設けられている。この位置にインデックス孔１８を設けることにより、リードフレーム（S_1 ～S_9)を積層したとき、層番号識別を側面から容易に読み取ることができる。

【０１１１】

また、前記図２３～図３１に示すリードフレーム（S_1 ～S_9)は、それぞれのリードフレーム（Ｓ）のパーティングライン上にセンタ孔２６が設けてある。このセンタ孔２６にピンなどを挿入してリードフレーム（S_1 ～S_9)を金型１０に固定することにより、可動金型１３を抜き取る際にパッケージ２を固定しておくことができるので、可動金型１３の抜き取りが容易になり、パッケージ２の封止工程のスループットを向上させることができる。

【０１１２】
また、前記図２３～図３１に示すリードフレーム（S_1 ～S_9)は、それぞれのリードフレーム（Ｓ）の一部にハーフエッチライン１９が設けてあるので、リードフレーム（Ｓ）を容易に切断することができる。これにより、モールド後、パッケージ２の外部に露出しているリードフレーム（Ｓ）の不要箇所を簡単に除去することができるので、パッケージ２の封止工程の歩留り、スループットを向上させることができる。
【０１１３】
次に、前記図４に示すマザーソケット３の構造および製造方法を説明する。
【０１１４】
マザーソケット３の成形に用いる金型は、図３３に示す水平方向に可動する左右一対の可動金型２１Ｌ、２１Ｒと、図３４に示す垂直方向に可動する中央金型２２とで構成される。マザーソケット３は、図３５に示すマザーソケット用リードフレーム２０を２枚用意し、１枚を可動金型２１Ｌと中央金型２２との間に、もう１枚を可動金型２２Ｒと中央金型２２との間にそれぞれ装着し、マザーソケット用リードフレーム２０の開孔４８と中央金型２２のガイドピン４７とを合わせてインサート・モールドすることにより、高い寸法精度で製造することができる。
【０１１５】
マザーソケット用リードフレーム２０は、４２アロイ、コバールなどにより構成され、その標準的な板厚は0.１５㎜程度である。マザーソケット３の本体には、パッケージ２と同じエポキシ系の樹脂を使用する。あるいは、これに代えて高耐熱液晶ポリマーを使用することもできる。前記図３５に示すマザーソケット用リードフレーム２０を２枚１組で使用する代わりに、図３６に示すマザーソケット用リードフレーム２３Ｌ（左用）、図３７に示すマザーソケット用リードフレーム２３Ｒ（右用）のように、パッケージ２のデータピンに接続されるリード７を予め必要な長さに切断したものを組み合わせて使用してもよい。
【０１１６】
マザーソケット３のリード７とパッケージ２のアウターリード６は、半田ディップ装置を使って一括接続することができる。半田ディップ後、不要の半田は、高速回転の遠心分離で簡単に除去することができるので、リード７とアウターリード６を高スループットで接続することができる。また、リード７とアウターリード６は、半田ペーストによるリフロー半田付け法で接続することもできる。
【０１１７】
また、本実施例のＤＲＡＭモジュール１のように、一つのパッケージ２に複数の半導体チップ（Ｍ）を一括封止した場合には、エポキシ樹脂が１０ppm/℃程度と比較的大きい熱膨張係数を有しているために、垂直方向と水平方向とでパッケージ２の熱膨張に異方性が生じることがある。パッケージ２の熱膨張に異方性が生じると、パッケージ２のアウターリード６とマザーソケット３のリード７との接続部に熱応力ストレスが加わり、この接続部の接続信頼性が低下する。
【０１１８】
その対策として、マザーソケット３のリード７を４２アロイ、コバールなどの低膨張係数材料で構成する代わりに、エポキシ樹脂に近い熱膨張係数材料で構成する。このような材料としては、例えばリン青銅などの銅合金が好適である。このような材料を使用した場合は、パッケージ２の垂直方向の伸縮にリード７が追従することが可能となるので、アウターリード６とリード７との接続部に加わる熱応力ストレスを低減し、この接続部の接続信頼性を向上させることができる。また、銅合金は熱伝導性が良好で放熱効果が大きいので、マザーソケット３だけでなく、パッケージ２のリードフレーム材料として用いることもできる。
【０１１９】
また、前記図７～図１５や、図２３～図３１に示したリードフレーム（S_1 ～S_9)を使用した場合、それぞれのリードフレーム（S_1 ～S_9)は、全てのリードが金属タイバーを介

して電気的に導通した状態になっているので、このままでは、半導体チップ（Ｍ）を封止する工程の直前にすべての半導体チップ（Ｍ）が正常に動作するか否かを確認するためのテスティング、選別、エージングを行うことができない。

【０１２０】

その対策として、前記図７～図１５や、図２３～図３１に示したような金属タイバー構造のリードフレーム（S_1 ～S_9)に代えて、図３８に示すような、モールドライン上に絶縁テープ２４を接合したテープダム方式のリードフレーム（Ｔ）を使用する。絶縁テープ２４は、前記絶縁テープ４と同様、ポリイミド樹脂や高耐熱液晶ポリマーで構成する。この絶縁テープ２４は、接着により形成する方法の他、例えばインジェクション・モールド法による樹脂成形で形成することもできる。

【０１２１】

本実施例のＤＲＡＭモジュール１に使用する９枚のテープダム方式のリードフレーム（T_1 ～T_9)を図３９～図４７に示す。これらのリードフレーム（T_1 ～T_9)は、絶縁テープ２４を接合した後、リードを保持している金属部分を切断することにより、それぞれのリードを電気的にフローティング状態にすることができるので、モールド工程の直前に半導体チップ（Ｍ）のテスティング、選別、エージングを行うことができる。これらのリードフレーム（T_1 ～T_9)は、リードを保持している金属部分を容易に切断できるように、当該部分にハーフエッチライン１９が設けてある。

【０１２２】

このように、図３９～図４７に示すテープダム方式のリードフレーム（T_1 ～T_9)を使用することにより、半導体チップ（M_0 ～M_8)をリードフレーム（T_1 ～T_9)に搭載してワイヤボンディングを行った後、封止工程の直前にすべての半導体チップ（M_0 ～M_8)が正常に動作するか否かを確認することができるので、ＤＲＡＭモジュール１の製造歩留りを向上させることができる。また、これらのリードフレーム（T_1 ～T_9)を使用した場合は、封止後のタイバー切断工程を省略することができる。

【０１２３】

本実施例のＤＲＡＭモジュール１に使用するリードフレーム（S_1 ～S_9,T_1 ～T_9)は、いずれも互いの寸法が高精度に揃っていることが重要である。寸法精度が低い場合には、マザーソケット３のリード７とパッケージ２のリードフレーム６との接続部に大きなストレスが加わって接続信頼性が低下するなどの問題が生じる。

【０１２４】

その対策としては、９枚のリードフレーム（S_1 ～S_9 またはT_1 ～T_9)を製造する際、これらを一つの組みリードフレームとして、同一工程で一括フォトエッチング処理する。これにより、９枚のリードフレーム（S_1 ～S_9 またはT_1 ～T_9)を高い寸法精度で重ね合わせることができる。図４８は、前記図２３～図３１に示した９枚のリードフレーム（S_1 ～S_9)を一つの組みリードフレームとて作成した例である。

【０１２５】

本実施例のＤＲＡＭモジュール１は、一例として９個の半導体チップ（M_0 ～M_8)をパッケージ２に一括封止したものであるが、１０個あるいはそれ以上の半導体チップ（Ｍ）を一括封止することができることはいうまでもない。しかし、半導体チップ（Ｍ）の数が増え、パッケージ２の縦方向の寸法が大きくなると、マザーソケット３のリード７も長くなるので、その変形が問題となってくる。

【０１２６】

このような場合は、図４９に示すリードフレーム（S_0 ）（金属タイバー構造の例）や、図５０に示すリードフレーム（T_0 ）（絶縁タイバー構造の例）のように、半導体チップ（Ｍ）との間にワイヤ５を接続しない、全ピンが電気的にフローティング状態のダミーリードフレームをリードフレームの層間あるいはパッケージ２の上部に配置して封止する。

【０１２７】

このようにすると、ダミーリードフレームのアウターリードをパッケージ２から引き出してマザーソケット３のリード７に接続することができるので、リード７とアウターリード

６の接合強度が向上し、リード７の変形を防止することができる。また、パッケージ２の放熱経路が増えるので、その熱抵抗をさらに小さくすることもできる。

【０１２８】

（実施例２）

本実施例は、×３６ビットのようなデータ幅の広い多ビット構成のＤＲＡＭモジュールに適用したものである。

【０１２９】

多ビット構成のＤＲＡＭモジュールを実現するには、例えば▲１▼〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを９個使って〔４１９４３０４ワード×９ビット〕構成のＤＲＡＭモジュールを作成し、これをＳＩＭＭのプリント配線基板に４個実装する。▲２▼〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを８個使った〔４１９４３０４ワード×８ビット〕構成のＤＲＡＭモジュール４個と、〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを封止したＳＯＪ４個とをＳＩＭＭのプリント配線基板に実装する。▲３▼〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを８個使った〔４１９４３０４ワード×８ビット〕構成のＤＲＡＭモジュール４個と、ＣＡＳが４個／ＲＡＳが２個独立なパリティ専用の〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップを封止したＳＯＪ１個とをＳＩＭＭのプリント配線基板に実装する、などの方法が考えられる。

【０１３０】

この方法によれば、例えば〔１６７７７２１６ワード×１ビット〕構成の１６メガビットＤＲＡＭを９個積層して前記実施例１のようなＤＲＡＭモジュールを作成し、これをＳＩＭＭのプリント配線基板に４個実装することにより、〔１６７７７２１６ワード×３６ビット〕構成のＤＲＡＭモジュールを実現することができる。

【０１３１】

しかし、上記の方法では、ＳＩＭＭのプリント配線基板に多数のＤＲＡＭモジュールを実装しなければならないので、実装密度が低下する。従って、例えば〔４１９４３０４ワード×３６ビット〕構成のＤＲＡＭモジュールを実現する場合、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップを９個積層して前記実施例１のようなＤＲＡＭモジュールを作成することができれば、ＳＩＭＭのプリント配線基板に実装するＤＲＡＭモジュールが１個で済むので、実装密度を大幅に向上させることができる。

【０１３２】

ところが、多ビット構成のＤＲＡＭモジュールはデータ線が多いために、半導体チップを単純に積層するとデータピンが同一方向に集中し、リードフレームのレイアウトが困難となる。例えば×３６ビット構成のＤＲＡＭモジュールの場合、デュアルインラインでピンを引き出すと１８ピン×２列となるが、ピンのライン／スペースを考慮すると、リードフレームのデータ領域が非常に大きくなる。しかし、これに対応する半導体チップのボンディングパッド領域、すなわち前記図６に示すＩＯ０～ＩＯ３の４つのパッドが配置された領域は非常に小さい。従って、リードの引き回しが非常に長くなり、リードフレームひいてはこれを封止するパッケージのサイズが大型化してしまう。

【０１３３】

以下、上記の問題を解消し、多ビット構成の小型・高性能ＤＲＡＭモジュールを実現する方法を、〔４１９４３０４ワード×４ビット〕構成のＤＲＡＭチップを１２個積層し、図５１に示す×３６ビット構成のＤＲＡＭモジュールを等価的に実現する方法を例にとって説明する。図５１において、８個の半導体チップ（D_0 ～D_7)は、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップ、４個の半導体チップ（M_0 ～M_3)は、〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップである。

【０１３４】

なお、ここでは、説明を簡単にするために、図５１に示す〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップ（M_0 ～M_3)の代わりに、〔４１９４３０４ワ

ード×４ビット〕構成の１６メガビットＤＲＡＭチップの中の１ビットのみを使用した場合について説明するが、これを〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップ（M_0 ～M_3)にレイアウト変更することは容易である。

【０１３５】

まず、本実施例では、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップを１２個使用する場合、ピンの配置を片側２列のデュアルインライン構造とする。また、本実施例では、半導体チップを搭載したリードフレームを積層してパッケージに封止する際、一部のリードフレームを水平面内で１８０度反転して配置し、反転したリードフレームに搭載されている半導体チップのパッドと、非反転のリードフレームに搭載されている半導体チップのパッドを、反転軸を中心として互いに逆方向の配置とする。さらに、本実施例では、上記１２個の半導体チップを２つのパッケージに分けて６個ずつ一括封止し、この２つのパッケージをマザーソケット上に重ねて搭載する。

【０１３６】

図５２は、デュアルインライン構造を採用する場合のマザーソケット３のピン配列（ＳＩＭＭのプリント配線基板に接続する部分を上方から見た配列）である。このピン配列は１７ピン×４列の６８ピン構造であり、ピン９とピン６０はＮＣまたはピン無し構造とする。ピンのピッチはマザーソケット３の長辺方向、短辺方向共に５０mil(1.２７mm）である。

【０１３７】

Ｖccはピン１、１７、１８、３４に、Ｖssはピン３５、ピン５１、ピン５２、ピン６８にそれぞれ配置し、給電時のインピーダンス低減を並列接続により実現する。アドレスピンは、反転チップと非反転チップとで対応が異なるが、ＸアドレスとＹアドレスの共有できる１０ビット（Ａ０～Ａ９）は、一対一で対応させる。アドレスピンＡ１０は反転チップと非反転チップとで配置を異ならせ、リフレッシュアドレスや、Ｘアドレス／Ｙアドレスの指定に対応できるようにする。実際の使用時には、反転チップのアドレスピン（Ａ１０）と非反転チップのアドレスピンＡ１０とを外部結線あるいは内部結線により接続する。

【０１３８】

すなわち、ピン７はＡ４（Ａ９、カッコ内は反転チップ）、ピン８はＡ５（Ａ０）、ピン１０はＡ７（Ａ２）、ピン１１はＮＣ、ピン２５はＡ８（Ａ３）、ピン２６はＡ６（Ａ１）、ピン２７は（Ａ１０）で非反転チップ対応なし、ピン４２はＡ３（Ａ８）、ピン４３はＡ１（Ａ６）、ピン４４はＡ１０で反転チップ対応なし、ピン５８はＡ９（Ａ４）、ピン５９はＡ０（Ａ５）、ピン６１はＡ２（Ａ７）、ピン６２はＮＣである。バーＷＥは非反転チップがピン４１、反転チップがピン２４である。前記図５１に示すバーＲＡＳ０、バーＲＡＳ２、バーＣＡＳ０、バーＣＡＳ１、バーＣＡＳ２、バーＣＡＳ３はそれぞれピン２８、ピン４５、ピン６、ピン２９、ピン５７、ピン４６である。残りのピンは、データピン（ＤＱ０～ＤＱ３５）である。

【０１３９】

上記デュアルインライン構造のピン配置に対応させた１２枚のリードフレーム（L_1 ～L_{12}）のレイアウトを図５３～図６４に示す。また、これらの図には、パッケージ２の外形線、半導体チップ（Ｍ）、ボンディングパッド３０、ワイヤ５およびデカップリングコンデサ３１が示してある。なお、半導体チップ（Ｍ）とリードフレーム（Ｌ）とを接合する絶縁テープの図示は省略してある。

【０１４０】

図５３に示すように、パッケージ２の外形寸法は7.６mm（短辺）×２０.７mm（長辺）である。リードフレーム（Ｌ）のアウターリード６は長短２種類あり、それぞれにマザーソケット３のリード７が貫通する開孔８が設けてある。パッケージ２の一辺から引き出されたアウターリード６と他の一辺から引き出されたアウターリード６の幅は、開孔８を中心として短いアウターリード６が４００mil(１０.１６mm）、長いアウターリード６が５００mil(１２.７mm）である。この寸法は前記図５２に示すマザーソケット３の２列のピンの間隔に対応している。それぞれのアウターリード６の幅は0.５５mm、開孔８の径は0.２５mm×

0.２５㎜であるが、アウターリード６のピッチは、マザーソケット３のピンピッチ（５０mil(1.２７㎜))よりも狭く0.８㎜である。

【０１４１】

上記１２枚のリードフレーム（L_1 ～L_{12}）のうち、図５３～図５５に示すリードフレーム（L_1 ～L_3)と図５６～図５８に示すリードフレーム（L_4 ～L_6)、および図５９～図６１に示すリードフレーム（L_7 ～L_9)と図６２～図６４に示すリードフレーム（L_{10}～L_{12}）とは、それぞれ水平面内で互いに１８０度反転した配置となっている。

【０１４２】

このようにすると、反転したリードフレーム（Ｌ）に搭載されている半導体チップ（Ｍ）のボンディングパッド３０と、非反転のリードフレーム（Ｌ）に搭載されている半導体チップ（Ｍ）のパッドボンディングパッド３０は、反転軸を中心として互いに逆方向の配置となる。これにより、リードフレーム（L_1 ～L_{12}）のデータピンが一方向に集中するのを防止することができるので、リードの引き回しが容易となり、リードフレーム（L_1 ～L_{12}）を小型化することができる。

【０１４３】

また、上記１２枚のリードフレーム（L_1 ～L_{12}）のうち、反転して配置されたリードフレーム（Ｌ）と、他のリードフレーム（Ｌ）とは、反転軸に対して対称のリードパターンを有している。すなわち、リードフレーム（L_1)とリードフレーム（L_4)、リードフレーム（L_2)とリードフレーム（L_5)、リードフレーム（L_3)とリードフレーム（L_6)、リードフレーム（L_7)とリードフレーム（L_{10}）、リードフレーム（L_8)とリードフレーム（L_{11}）、リードフレーム（L_9)とリードフレーム（L_{12}）は、それぞれ同一のリードパターンを有しており、一方と他方とが互いに反転された状態で配置されている。

【０１４４】

このようにすると、１２枚のリードフレーム（L_1 ～L_{12}）の品種が半分（６品種）で済むので、リードフレーム（L_1 ～L_{12}）の製造コストを低減することができる。また、エージングの品種を少なくすることができるので、ＤＲＡＭモジュールを安価に提供することができる。

【０１４５】

また、図５３～図６４に示すように、上記１２枚のリードフレーム（L_1 ～L_{12}）のそれぞれに搭載された半導体チップ（Ｍ）は、その中心がパッケージ２の中心よりもリードフレーム（Ｌ）のデータピン側に位置するように配置されている。この中心のずれは1.６㎜程度である。

【０１４６】

このようにすると、リードフレーム（L_1 ～L_{12}）のデータピンが多い場合でも、そのレイアウト面積を充分に確保することができるので、リードの引き回しが容易となり、リードフレーム（L_1 ～L_{12}）を小型化することができる。

【０１４７】

また、上記のように、半導体チップ（Ｍ）をデータピン側にずらして配置すると、データピンの反対側のパッケージ２内に空領域が生じる。そこで、リードフレーム（L_1 ～L_{12}）の電源（ＧＮＤ）ピンであるバスバーリードの一端をこの空領域に延在し、その端部に前記デカップリングコンデンサ３１を搭載する。このデカップリングコンデンサ３１の寸法は、１㎜×0.５㎜、厚さ0.５㎜程度である。

【０１４８】

このようにすると、半導体チップ（Ｍ）に給電する際の電源インピーダンスを低減することができるので、大電流を給電した場合でもＤＲＡＭモジュールを安定に動作させることができる。なお、給電時の電源インピーダンスを低減する対策としては、上記デカップリングコンデンサ３１をリードフレーム（L_1 ～L_{12}）のそれぞれの一端に搭載する手段に代えて、マザーソケット３の近傍またはその内部に搭載したり、バスバーリードの一端をパッケージ２の外に延在し、そこにデカップリングコンデンサ３１を搭載したりしてもよい。また、デカップリングコンデンサ３１の寸法が大きいような場合は、一部のリードフ

レーム（Ｌ）のみに搭載するようにしてもよい。

【０１４９】

また、上記のように、半導体チップ（Ｍ）をデータピン側にずらして配置すると、パッケージ２をモールドする際に樹脂の流れが不均一になってパッケージ２の内部に構造的なストレスが生じる場合がある。このような場合、データピンの反対側に生じた空領域に前記のようなデカップリングコンデンサ３１を配置すると、樹脂の流れが均一になってパッケージ２の内部の構造的なストレスを低減することも可能となる。また、この空領域にデカップリングコンデンサ３１を配置しない場合は、ダミーチップなどを配置することにより、同様の効果を得ることができる。さらに、このダミーチップにデカップリングコンデンサを形成した場合は、ストレスと電源インピーダンスを共に低減することができる。

【０１５０】

また、パッケージ２に封止する半導体チップ（Ｍ）の数が多い場合は、構造設計上の制約や半導体チップ（Ｍ）のボンディングパッドの制約により、同一レベルの信号ピンが複数生じたり、チップ識別用の信号を発生できなかったりすることがある。このような場合は、リードフレーム（L_1 ～L_{12}）の層間にパッケージ２内の配線接続を目的としたダミーのリードフレームを挿入すればよい。

【０１５１】

また、上記ダミーのリードフレームを挿入することにより、そのアウターリードをパッケージ２から引き出してマザーソケット３のリード７に接続することができるので、リード７とアウターリード６の接合強度が向上し、リード７の変形を防止することができる。また、パッケージ２の放熱経路が増えるので、その熱抵抗をさらに小さくすることもできる。

【０１５２】

図６５は、本実施例のマザーソケット３の斜視図である。図７０は、このマザーソケット３上にパッケージ２を２個積層して構成した〔４１９４３０４ワード×３６ビット〕構成のＤＲＡＭモジュールの斜視図である。図６９は、下段のパッケージ２とマザーソケット３の接続状態を示す斜視図である。

【０１５３】

前記２個のパッケージ２のうち、上段のパッケージ２には６枚のリードフレーム（L_1 ～L_6)が封止され、下段のパッケージ２には残りの６枚のリードフレーム（L_7 ～L_{12}）が封止されている。このマザーソケット３の一部には、後述する放熱フィンを装着するための凹凸や開孔が設けられている。

【０１５４】

上記マザーソケット３の内側の対向する二列のデータピンとＣＡＳピン（前記図５２に示すピン１９～２３、ピン２９～３３、ピン３６～４０、ピン４６～５０）は、下段のパッケージ２とのみ接続される。マザーソケット３の裏面側は前記図５２に示すピン配列となっており、上面側は図６６に示すピン配列となっている。

【０１５５】

マザーソケット３の裏面側と上面側とでピン配列を変えるために、図６７および図６８に示すマザーソケット用リードフレームを使用する。図６７は内側の対向する二列用、図６８は外側の対向する二列用のリードフレームである。これらのリードフレームの両端は電源ピン（Vcc）であり、パッケージ２内のリードフレーム（L_1 ～L_6,L_7 ～L_{12}）の電源インピーダンスを低減するために、上部でそれぞれ２本に分岐し、ピン数の増加を図っている。

【０１５６】

それぞれのパッケージ２のデータピンとＣＡＳピンは、内側の列と外側の列とが千鳥状に配置され、内側0.８㎜ピッチ、外側0.８㎜ピッチがハーフピッチ0.４㎜で交互に配置できるようになっているので、稠密実装が可能である。これは、下段のパッケージ２のデータピン、ＣＡＳピンが下段のパッケージ２で終端し、上段のパッケージ２まで延在していないためである。上段のパッケージ２のデータピン、ＣＡＳピンは、５００mil ピッチのア

ウターリード６を通じてマザーソケット３の外側の列のリード７に接続されている。

【０１５７】

図７１は、上記〔４１９４３０４ワード×３６ビット〕構成のＤＲＡＭモジュール４０の熱抵抗をさらに低減するために、パッケージ２の周囲に放熱フィン４１を取り付けた例である。図７２は、内部の状態を見やすくするために、放熱フィン４１を４分の１カットして示している。

【０１５８】

図７２に示すように、この放熱フィン４１は、その一部を構成する熱伝導板が上下段のパッケージ２，２の隙間に挿入されている。この放熱フィン４１は、上下に重ねたパッケージ２，２およびマザーソケット３と広い面積で接触できるようにするため、パッケージ２の長辺方向に２分割されている。

【０１５９】

図７３は上記放熱フィン４１の側面図、図７４は、この放熱フィン４１の斜視図である。同図に示すように、マザーソケット３と接する放熱フィン４１の底面部（図７３の矢印Ａで示す箇所）は、マザーソケット３の脱落を防止するために槍状に加工されている。パッケージ２の周囲に上記放熱フィン４１を取り付けるときは、それらの界面に熱伝達媒体となるシリコーングリスやシリコーンゴムを充填しておく必要がある。

【０１６０】

放熱フィン４１の装着方法としては、前記図７３、図７４に示すような、パッケージ２の横方向から挿入する方法の他、例えば図７５に示すように、縦方向に分割した放熱フィン４１ａ～４１ｄをパッケージ２の上に積み重ねる方法もある。横方向から放熱フィン４１を挿入する構造のもの（図７３、図７４）は、マザーソケット３のリード７とパッケージ２のアウターリード６を半田などで接続した後に取り付けることもできる。分割した放熱フィン４１ａ～４１ｄを積み重ねる場合は、組み立て工程の最終工程で最上段の放熱フィン４１ａを取り付けてもよい。

【０１６１】

本実施例では、〔４１９４３０４ワード×３６ビット〕構成のＤＲＡＭモジュールに適用した場合について説明したが、例えば図７６に示すような〔８３８８６０８ワード×３６ビット〕構成のＤＲＡＭモジュールの場合も、本実施例のパッケージ２を下段に２個、上段に２個の合計４個組み合わせ、前記図５２に示すピン１１とピン６２とがそれぞれＲＡＳ３、ＲＡＳ１となるように、ＲＡＳピンをパッケージ２ごとに分離することにより、容易に実現することができる。

【０１６２】

また、本実施例のマザーソケット３は、内側の対向する二列のデータピンとＣＡＳピンのリード７を短くして下段のパッケージ２とのみ接続したが、パッケージ２のアウターリード６のスペースが充分あり、マザーソケット３のリード７が不要のリード６と接触する虞れのない場合は、ハーフピッチのレイアウトでもマザーソケット３のリード７はパッケージ２のアウターリード６間を非接触で必要なアウターリード６と接続させることができる。すなわち、下段のパッケージ２と上段のパッケージ２を上下入れ換えることができる。このときは、上段のパッケージ２に接続されるデータピンとＣＡＳピンのリード７が短くなる。

【０１６３】

（実施例３）

本実施例は、Ｊリード端子構造を有するＤＲＡＭモジュールに適用したものである。

【０１６４】

Ｊリード端子構造のＤＲＡＭモジュールを実現するには、例えば〔１６７７７２１６ワード×１ビット〕構成の１６メガビットＤＲＡＭチップを上下方向に４個積層して〔１６７７７２１６ワード×４ビット〕構成のＤＲＡＭモジュールとしたパッケージ２を作成する。そして、図７７に示すように、パッケージ２の側面から水平方向に引き出したアウターリード６と交差するように配置したリード７でＤＲＡＭチップ相互間を電気的に接続する

と共に、このリード７の下端部をＪ型に成形する。

【０１６５】

このようにすると、リード７をＳＩＭＭのプリント配線基板に直接接続することができるので、前記図４に示すようなマザーソケット３が不要となり、部品点数の低減によるＤＲＡＭモジュールの低価格化と外形寸法の小型化とを併せて実現することができる。

【０１６６】

上記リード７は、プレスやエッチングでリードパターンを形成した通常のリードフレームで構成してもよいが、ワイヤで構成することもできる。例えばアウターリード６に設けられたリード挿通用の開孔８の径を0.４２㎜×0.４２㎜角とした場合、直径0.３２㎜φのリン青銅、ベリリウム銅、コバールなどからなる金属ワイヤの表面に、組成がＳｎ９０％，Ｐｂ１０％、あるいはＳｎ１０％，Ｐｂ９０％などといった、共晶半田（Ｓｎ６０％，Ｐｂ４０％）よりも融点の高い半田メッキを４５μｍ 厚程度施した外径0.４１㎜φのワイヤを使用する。

【０１６７】

リード７をワイヤで構成した場合、ワイヤ（リード７）とアウターリード６との接続は、前記実施例１で述べた方法と異なり、アウターリード６の開孔８にワイヤを挿通した後、ワイヤを熱処理してその表面の半田メッキを溶融させ、ワイヤとアウターリード６を自己整合的に半田接続する。ワイヤの熱処理は、例えば不活性ガス雰囲気中で高温の窒素ガスを吹き付けたり、光ビームまたはレーザビームを照射したり、外気遮蔽型のリフロー炉内で加熱したりするなどの方法で行う。

【０１６８】

上記した自己整合的な半田接続方法は、従来の噴流式半田ディップ方式と比較すると、ワイヤ（リード７）に付着する半田の量が少ないので、アウターリード６，６間の半田ブリッジが発生しにくいという効果がある。特に、本発明のＤＲＡＭモジュールのように、多数のリード７とアウターリード６をマトリクス状に交差させた構造は、半田吸い取りワイヤと同じ原理で表面積が大きくなるので、ＱＦＰパッケージの平行なリードのように半田の除去方向を一様にできる構造とは比較にならない程半田除去性が悪く、余分な半田を除去することが非常に困難である。従って、上記した自己整合的な半田接続方法によれば、本発明のＤＲＡＭモジュールの半田ブリッジ不良を極めて有効に低減することができる。

【０１６９】

また、プレス成形工程やタイバー切断工程でアウターリード６に金属バリができると、このバリに溶融半田が引っかかって半田ブリッジの核となり、ブリッジ発生率が急増する。従って、余分な半田が少ない自己整合的な半田接続方法は、この点からも半田接続工程の歩留まり向上に有効である。

【０１７０】

さらに、１８０℃程度の低温で溶融する共晶半田（Ｓｎ６０％，Ｐｂ４０％）ではなく、２００℃以上の高温で溶融するＳｎ９０％，Ｐｂ１０％の半田、あるいはＳｎ１０％，Ｐｂ９０％の半田をメッキ材料に用いることにより、共晶半田を用いてＳＯＪ構造のリード７をＳＩＭＭのプリント配線基板にリフロー半田付けする際、リード７とアウターリード６の接続部の半田が再溶融するのを防ぐことができる。

【０１７１】

もし、ワイヤ（リード７）とアウターリード６の接続部の半田が溶融状態になると、何らかの外力またはパッケージ２の自重によって接続部がずれてパッケージ２が下がったり、接続部の半田が重力によって下層のアウターリード６の接続部に流れたり、接続部の半田にクラックや組成の不均一な半田再結晶領域が形成されたりするために、半田の接続信頼性が著しく低下する。

【０１７２】

これは、接続部の半田量を一定にすることができなくなると、半田のフィレット形状のコントロールができなくなり、その結果、熱サイクルによる半田応力が大きくなって半田内部のクラックの進行が促進され、信頼度が低下するためである。特に、半田量が多い場合

は、熱サイクルによる半田の熱膨張・収縮の応力も大きくなるため、塑性歪み量が大きくなって半田クラックの進行が加速される。

【０１７３】

しかし、高融点半田メッキ処理を施したワイヤ（リード７）とアウターリード６とを２００℃以上のリフロー温度で半田接続し、ＳＩＭＭのプリント配線基板にＤＲＡＭモジュールを実装する際のリフロー炉の温度を高融点半田の融点以下（例えば２００℃以下）にした場合は、リード７とプリント配線基板との接続部の半田のみがリード７の付近で溶融するため、ＤＲＡＭモジュールは、その形状を構造上保持することができる。

【０１７４】

また、上記した自己整合的な半田接続方法は、半田ディップ方式に比較して接続部の半田量の制御が容易である。これは、自己整合的な半田接続方法の場合、上下のアウターリード６，６の中間部分のリード７の半田が上下のアウターリード６，６にほぼ半分ずつ供給されるからである。すなわち、半田ディップ方式の場合は、ワイヤを構成する金属の表面状態などによって半田量が変動し易いのに対し、自己整合的な半田接続方法の場合は、常に一定のコントロールされた量の半田を供給することができるという特長がある。

【０１７５】

アウターリード６の開孔８にリード７を挿通する作業を容易にするためにリード７の径を開孔８の径（または後述する溝の幅）よりも小さくすると、開孔８にリード７を挿通しただけでは半田リフロー前に何らかの外力によってリード７がずれてしまうことがある。その対策として、図７８に示すように、リード７の一部にプレスで扁平部５０，５１を設け、リード７の径を部分的に大きくすることにより、リード７のずれや抜けを防ぐことができる。あるいは、リード７の一部の径をプレスで拡大し、リード７を開孔８内にかしめ方式で挿入してもよい。

【０１７６】

また、金属同士の押しつけ合いを利用してリード７を開孔８内にコネクタ方式で挿入することもできる。このようにすると、半田を使用しなくともアウターリード６とリード７を接続することができるので、半田クラックに起因するアウターリード６とリード７のオープン不良を防止することができる。

【０１７７】

半田を使用しなくとも済む上記のコネクタ方式は、後述する圧着ケーブル方式でアウターリード６とリード７を接続する場合にも適用できるが、半田リフロー工程が省略される分、組立て工数を低減することができる。また、半田接続方式とコネクタ方式とを併用すれば、アウターリード６とリード７のオープン不良に対して二重の信頼性を得ることができる。

【０１７８】

リード７の一部に扁平部５０，５１を設ける前記の方式をリード７とプリント配線基板との接続部に応用した例を図７９に示す。この場合は、扁平部５２の幅をコントロールすることで、リード７のＪベンド部分の幅を自由に変えることができる。また、リード７の下端部に扁平部５２を設けることにより、円柱状や角柱状の場合に比べてＪベンド成形が容易になるという利点もある。さらに、プレス加工で扁平部５２を形成すると、金属の加工硬化によってＪベンド部分の強度が大きくなるという利点もある。

【０１７９】

また、アウターリード６の開孔８の形状によっては、断面が円形ではなく角柱のワイヤを使用することもできる。ただし、円形のワイヤと比較すると、角柱のワイヤは、軸方向のねじれによって断面が回転したときにアウターリード６とリード７の接続が困難になるという問題がある。

【０１８０】

一般に、ワイヤのねじれに対しては円形の断面が有利であるが、プリント配線基板との接続部（Ｊベンド部分）のねじれ剛性に対しては角柱の断面が有利である。そこで、角柱のワイヤを使用する場合は、アウターリード６の開孔８の形状を四角形とすることでワイヤ

の自由な回転を防ぎ、リード７のＪベンド部分の回転を防止する。これにより、プリント配線基板にＤＲＡＭモジュールを実装する際のリフロー工程で万一、炉内の温度が高くなりすぎてアウターリード６とリード７の接続部の高融点半田が再溶融した場合でも、リード７のＪベンド部分の回転が防止できるため、リード７の配列がずれる不良を未然に防止することができる。

【０１８１】

アウターリード６とリード７の接続部の高融点半田が再溶融したり、この接続部に外力が加わったりしてリード７のピッチが不揃いになる不具合を防止するためには、パッケージ２の底面に図８０に示すような窪み５４を設けるとよい。この窪み５４の形成方法を図８１、図８２を用いて説明する。

【０１８２】

通常のＳＯＪ型単層パッケージの場合は、図８１（ａ）に示すように、金型（下型）５５の主面に垂直な方向に沿ってパッケージ５３を離型する。従って、このパッケージ５３の底面の窪み５４は、同図（ｂ）に示すように、パッケージ５３の側面ｓから離れた箇所に形成される。

【０１８３】

一方、本実施例では前記実施例１で説明した可動金型１３と同様の可動金型５６を使用する。この可動金型５６は、図８２（ａ）に示すように、パッケージ２の底面と平行な方向に沿って２分割されるので、パッケージ２の底面の窪み５４は、同図（ｂ）に示すように、パッケージ２の側面ｓまで達するように形成される。

【０１８４】

上記のような可動金型５６を使用するモールド方法によれば、上下方向に積層した多数の半導体チップを一括してモールドすることができるのみならず、図８２（ａ）に示すように、左右一組の可動金型５６の上面が上部のパッケージ２の下面を成形し、下面が下部のパッケージ２の上面を成形するので、ＳＯＪのような単層パッケージを上下方向に複数積層して多数個取りすることも可能であり、これにより、モールド工程のスループットを大幅に向上させることができる。

【０１８５】

また、パッケージを上下方向に複数積層して多数個取りするモールド方法によれば、パッケージを水平方向に複数並べて多数個取りする従来のモールド方法に比べて、極めて短い距離のゲートでキャビティ間を連結することができる。従って、従来のモールド方法に比べて、ゲートの内部に残る無駄な樹脂の量を低減することができ、同一サイズのミニタブレットからより多くのパッケージを取得することができる。

【０１８６】

上記可動金型５６は、成形作業効率、離型時の摩擦力、ゲートカットの手順などに応じて種々の変形が可能である。

【０１８７】

図８３（ａ）に示す可動金型５６は、前記図８２（ａ）に示した可動金型５６と同一構造のもので、その上下両面に成形パターンが設けてある。同図（ｂ）に示す可動金型５６ａ，５６ｂは、図８２（ａ）の可動金型５６を上下方向に２分割したもので、可動金型５６ａの上面と可動金型５６ｂの下面とにそれぞれ成形パターンが設けてある。同図（ｃ）に示す可動金型５６ａ，５６ｂ、５６ｃは、図８２（ａ）の可動金型５６を３分割したもので、可動金型５６ａの上面と可動金型５６ｂの下面とにそれぞれ成形パターンが設けてある。

【０１８８】

図８３（ｄ）は、同図（ｂ）の可動金型５６ａを上方から見た平面図、図８３（ｅ）は、同図（ｃ）の可動金型５６ｂを下方から見た平面図である。図中の符号５７は、パッケージの下面を成形するキャビティ、５８はパッケージの下面を成形するキャビティ、５９は半導体チップを搭載したリードフレームを可動金型５６ａ，５６ｂにアライメントするためのガイドピン孔、６０は可動金型５６ａ，５６ｂ同士をアライメントするためのガイド

ピン孔、６１は樹脂を積層方向に沿って流入させるためのゲート孔、６２は樹脂の均一性を確保するためのエアベント機能を持たせた樹脂流出用のダミーのゲート孔である。可動金型５６ａ，５６ｂ，５６ｃは、それぞれ左右一組で構成されるが、図には片側のみを示してある。

【０１８９】

図８３（ａ）に示す可動金型５６は、その上下両面にパッケージが密着するので、離型時の摩擦力が大きくなる。これに対し、同図（ｂ）に示す可動金型５６ａ，５６ｂは、それぞれの片面のみにパッケージが密着するので、離型時の摩擦力が小さくなり、パッケージの離型を容易に行うことができる。

【０１９０】

また、図８３（ａ）に示す可動金型５６は、上下のパッケージと繋がったゲート孔６１，６２内の樹脂を離型時に切断するのが難しいのに対し、図８３（ｂ）に示す可動金型５６ａ，５６ｂは、両者の界面（６６）でゲート孔６１，６２内の樹脂をクラックさせて切断することができるので、離型の作業性が向上するという利点がある。

【０１９１】

可動金型５６ａ，５６ｂは、それぞれ左右一組で構成される（可動金型５６，５６ｃも同じ）。従って、ガイドピン孔５９，６０やゲート孔６１，６２の配置を左右対称にすれば、左右の可動金型５６ａ，５６ｂ同士に互換性を持たせることができるので、可動金型５６ａ，５６ｂの複数組を上下方向に積層する際の作業性が向上する。

【０１９２】

しかし、可動金型５６ａ，５６ｂの複数組を上下方向に積層した際の総積層厚を一定に保つためには、むしろ左右の可動金型同士に互換性を持たせない方がよい。その理由は、左側の可動金型の総積層厚と右側の可動金型の総積層厚とを金型作成時に高精度に一致させておかないと、金型の型締め力が左右の可動金型間で不均一になるからである。

【０１９３】

左側の可動金型同士の間、または右側の可動金型同士の間で上下方向の積層順序が入れ替わっても総積層厚は変化しないので、型締め力は一定に保たれる。しかし、左右の可動金型同士に互換性を持たせ、金型作成時には左側だったものと右側だったものとを混在させて積層すると、左右の可動金型の高さにばらつきが生じる。統計的には、一個の可動金型の厚さのばらつきに積層数の平方根を乗じた値程度のばらつきとなる。

【０１９４】

一例として、高精度の研磨処理によって厚さの公差を±５μｍ以下にした金型を使用して、４枚の半導体チップを積層したモジュール型のパッケージを上下方向に４個取りする場合について説明する。

【０１９５】

この場合は、１個の積層モジュール型パッケージを成形するのに、４枚の半導体チップの隙間に挿入する３個の（可動）金型と上下の金型とを合わせた合計５個の金型が必要となるので、４個取りの場合は合計２０個の金型が必要となる。従って、高さの統計的なばらつきは、金型１個当たりの厚さの公差（±５μｍ）に金型の数（＝２０）の平方根を掛けた値、すなわち±２２μｍとなる。

【０１９６】

また、半導体チップを搭載するリードフレームの板厚を0.１２５μｍ、金型１個の厚さを0.６５㎜として計算すると、リードフレームは１個のパッケージ当たり４枚、４個取りの場合は合計１６枚となるので、金型の総積層厚は、（0.１２５×１６）＋（0.６５×２０）＝１５㎜となる。従って、金型の総積層厚（１５㎜）に対する高さのばらつき（±２２μｍ）すなわち歪み量（２２μｍ／１５㎜＝1.４６×１０$^{-3}$）に、金型を構成する金属（鉄）のヤング率（２×１０^{4}kg/㎟）を掛けると、単位平方ミリメートル当たり２９kgの荷重となる。

【０１９７】

従って、金型の受圧面積が４０㎜×２０㎜＝８００㎟程度と比較的小さい場合であって

も、左右の金型に生じる型締め力の差は、２９×８００＝２３.２トンにも達する。すなわち、左右の金型の一方には２３トン以上の型締め力が加わるのに対し、もう一方は無荷重という現象が生じる。以上のことから、左右の金型には互換性を持たせるべきではない。互換性を持たせなければ、左右の金型にほぼ均等な型締め力を加えることができる。

【０１９８】

可動金型５６ａ，５６ｂの複数組を上下方向に積層した場合、モールド樹脂は前記図８３（ｄ），（ｅ）に示すゲート孔６１を通じて上下方向に流れる。もう一方のゲート孔６２は、エアーベントとして機能するもので、エアーや流動樹脂先端部の不均一な樹脂をキャビティ５７，５８の外部に排出するダミーゲートである。このダミーゲートは、エアーベントの設計の仕方によっては、あるいは均一性の高い樹脂を使用する場合は、必ずしも必要ではなく、省略することもできる。

【０１９９】

ここでいうエアーベントとは、通常の金型設計で使用する1/100 ～3/100㎜ 程度の隙間のことであり、エアーの出入りは可能であるが樹脂の出入りはできないという特徴を備えている。これに対し、ダミーゲート（ゲート孔６２）は、モールドの初期にキャビティ５７，５８内の不要なエアーを排出し、続いて流動樹脂の先端が流入されることにより、キャビティ５７，５８内に樹脂を均一に流入させる働きがある。このダミーゲート（ゲート孔６２）のエアーベントは、通常の金型設計で使用する前述のエアーベントに比べて開口部が大きく、従って、キャビティ５７，５８内の不要なエアーを効率よく排出することができる。

【０２００】

また、上記ゲート孔６１，６２の平面形状は、図８３（ｆ）に示すように、パーティングラインＰＬに対して所定の離型角（θ）を持った形状となっている。この離型角（θ）は、０＜θ＜３０°程度である。例えばθを１５°にした実験では、熱硬化樹脂に対して優れた離型性とスペースファクタとが確認された。離型角（θ）を３０°以上にするとゲートの領域が大きくなるために、スペースファクタが低下する。また、θ＝０では離型性が悪く、ゲート孔６１，６２内に樹脂残りが発生し易くなる。この樹脂残りが発生すると、次の成形時にゲート断面形状が変化し、成形条件が変動してしまうため、均一な成形ができなくなる。

【０２０１】

ゲート孔６１とゲート孔６２は、同じ大きさである必要はない。ゲート孔６１は樹脂の流入口であるため、その径を小さくすると樹脂の剪断発熱が増加し、樹脂の流動性が増加する。また、ダミーゲートであるゲート孔６２の径を大きくするとエアーの抵抗が小さくなるので、キャビティ５７，５８内の不要なエアーの排出が容易になる。

【０２０２】

ゲート孔６１，６２の基本的な形状は、図８３（ｆ）に示すように、その半径をｒとして、パーティングラインＰＬに対して（９０°－θ）の角度で接するような円形状とするのがよい。このとき、円の中心は必ずしもパーティングラインＰＬ上に位置している必要はない。また、半径ｒを大きくして円の中心をパーティングラインＰＬの外側に置いた場合は、円弧の一部が離型角（θ）となり、（９０°－θ）の接続部６７と共通化することができる。

【０２０３】

図８４（ａ）に示すゲート孔６１，６２のＸ－Ｘ’線に沿った断面は、同図（ｂ）に示すような種々の形状（１）～（４）で構成することができる。

【０２０４】

形状（１）は最も単純な垂直形状であり、金型作成においてワイヤ放電加工、研磨を用いる場合、ゲート孔６１，６２の作成が容易になるため、金型の製造コストを安くすることができる。

【０２０５】

可動金型の作成手順は（図２１、図８３に示す可動金型も同様であるが）、まず、図８５

（ａ）に示すように、ワイヤ放電加工、ドリル加工、研磨などによって金型ブロック材からブロック６８を作成する。このとき、ガイドピン孔５９，６０も同時に形成すれば、可動金型５６ａ，５６ｂを積層したときの合わせ精度が向上する。

【０２０６】

次に、図８５（ｂ）に示すように、放電ワイヤカット法などを用い、カットライン７０に従ってブロック６８を薄くスライスすることにより、薄板状の可動金型６９を得る。このとき、ゲート孔６１，６２はブロック６８の壁面に対して引き延ばし形状になっているので、前記図８４（ｂ）の形状（１）が直接得られる。

【０２０７】

図８５（ｂ）に示す可動金型６９は、その厚さを高精度にするためにワイヤカット後、平面研磨機によって研磨される。同一の厚みの可動金型６９を同時に研磨機に入れて、とも加工することにより、相対ばらつきを大幅に低減することができるので、可動金型６９の厚さを極めて高精度に揃えることができる。

【０２０８】

ゲート孔６１，６２の断面を前記図８５（ｂ）の形状（２）～（４）とすることにより、パッケージを成形した後、ゲート孔６１，６２内に残った樹脂の切断が容易になる。これらの形状（２）～（４）は、断面の一部で内径が変化しているので、ゲート孔６１，６２内の樹脂に応力集中を生じさせることができる。

【０２０９】

形状（２）は単純な円錐状であり、形状（３）は段差状である。この形状（３）は径の変化が急峻なため応力変化が大きく、従って樹脂が切断され易い。形状（４）は断面を不定形にした例である。この形状（４）はゲート孔６１，６２の上下のエッジ部が鋭角になっているため、このエッジ部で樹脂に応力集中を生じさせることができる。

【０２１０】

前記図８３（ｂ）に示す可動金型５６ａ，５６ｂおよび同図（ｃ）に示す可動金型５６ａ，５６ｂ，５６ｃのゲート孔６１，６２は、図８４（ｂ）に示す形状（１）～（４）のいずれを採用することもできる。形状（２）を採用するときは、径の小さい方をパッケージ側に配置すると、余分な樹脂がパッケージ側に残りにくくなるので作業性が向上する。図８３（ａ）に示す可動金型５６の場合は、形状（４）を採用することで上記と同様の効果が得られる。

【０２１１】

図８６は、４枚の半導体チップ７９を積層して一括封止したモジュール型のパッケージを積層方向に２個取りする金型の構成図である。

【０２１２】

例えば１６メガビットＤＲＡＭを形成した半導体チップ７９は、熱可塑性樹脂からなる絶縁テープ４を介してリードフレーム７８に接着され、ワイヤ５で接続されたものが４枚ずつ２段に積層される。

【０２１３】

８０Ａは上段のパッケージのキャビティであり、８０Ｂは下段のパッケージのキャビティである。キャビティ８０Ａ，８０Ｂのそれぞれは、パッケージの上部を成形する金型７１、パッケージの下部を成形する金型７２および半導体チップ７９の層間距離を一定に保ち、各層間の半導体チップ７９の底面とワイヤ５間の距離をコントロールする薄板状の可動金型６９で構成されている。

【０２１４】

図８６は、金型を４積層モジュール型パッケージのＹ方向から見た図であり、前記実施例１の可動金型１３にガイドピン孔５９，６０を形成したものが可動金型６９に相当する。また、前記図１９に示す上型１１のゲート１５を垂直化した構造が金型７３，７４および可動金型５６ｂの連続した領域であり、可動金型５６ａおよび金型７５の連続した領域が図１９に示す下型１２に相当する。上型１１、下型１２をそれぞれ複数の組み金型で構成したのは、成形後の離型作業の効率化とパッケージへの離型ダメージを低減するためであ

り、後に詳述する。

【０２１５】

成形時の流動樹脂は、垂直方向にテーパを設けたゲート孔７６より流入し、金型７４と接する薄板状の可動金型５６ｂのゲート孔６１を通って上段のキャビティ８０Ａに流入する。そして、キャビティ８０Ａを充満しながらキャビティ８０Ａと下段のキャビティ８０Ｂの境界に配置した薄板状の可動金型５６ａ，５６ｂのゲート孔６１を通ってキャビティ８０Ｂに達する。その後、流動樹脂の先端はキャビティ８０Ｂの底面部の可動金型５６ａゲート孔６２（図８６の破線波線で示すダミーゲート）を通り、さらに、金型７５に設けられたゲート孔７６を通って不要の樹脂を溜めるダミーキャビティ７７に達し、成形が完了する。

【０２１６】

図８６に示す４積層モジュール型パッケージの各層の位置合わせは、積層方向（ｚ方向）に対しては可動金型６９、金型７１、可動金型５６ａ，５６ｂにより定まり、水平面内は、ガイドピン孔５９，６０にガイドピンを最上部の金型７３から最下部の金型７５まで延在させることにより定まる。これは、高精度に研磨されたガイドピンを積層された領域（金型７３，７４、キャビティ８０Ａ，８０Ｂ、金型７５）に貫通させることにより、各金型とリードフレーム７８がＸＹ平面上の並進と自由回転とを失い、一意的に位置関係が定まるからである。

【０２１７】

金型７５のゲート孔７６およびダミーキャビティ７７は、図８７（ｂ）に示すような構造となっており、ガイドピン孔５９，６０と共に形成される。図８７（ａ）は同図（ｂ）の平面図であり、図８７（ｃ）は同図（ｂ）のＹ－Ｙ’方向の断面図である。ゲート孔７６、ダミーキャビティ７７は、いずれも離型性をよくするために抜きテーパ角が設けられている。また、同図（ａ）～（ｃ）に示すように、浅い溝５５でエアーベントを形成し、不要のエアーを排出するようにしても良い。また、ダミーキャビティ７７内の樹脂を離型するために、通常の金型のカル部に設けるようなイジェクタピン構造を組み入れることも容易である。

【０２１８】

金型７５のゲート孔７６と積層部の薄板状の可動金型５６ａのダミーゲート（ゲート孔６２）との位置関係は、平面図で示すと図８８のようになる。前記実施例１の可動金型１３を基本として樹脂流入用のゲート孔６１、樹脂流出用のゲート孔６２を設け、ガイドピン孔６０、リードフレーム７８と金型のアライメント用ガイドピン孔５９を明示した可動金型６９を用いて説明する。

【０２１９】

可動金型６９のゲート孔６２と金型７５のゲート孔７６とは連結しており、図８８に示すような位置関係になっている。左右２枚で１層の層間を形成する可動金型６９は、図のＹ軸に沿ったパーティングラインＰＬ上に樹脂流入用のゲート孔６１と樹脂流出用のゲート孔６２とが形成されている。実際は図８６に示すように、金型７５と接しているのは薄板状の可動金型５６ａであるが、パッケージ外形を定める層間の可動金型６９を用いて相対位置関係を示した。層間の可動金型６９は、半導体チップ７９の層間への樹脂流動を良好にするために、図８８（ｂ）に示すように、ゲート孔６１とパッケージのキャビティ８１との間をスリットゲートまたはピンゲートにより接続してもよい。

【０２２０】

ここでいうスリットとは、図８９（ａ）に示すようなスリットゲート８２である。積層された複数の可動金型６９により、スリットゲート８２も積層方向に連結され、前記図３２に示すゲートライン４５，４６を形成する。このスリットゲート８２の特徴は、キャビティ８１へのゲート開孔面積を大きく取ることができるので、樹脂の流動抵抗を低減できる点と、前記図８５で説明した製法と同じように、ゲート形状がｚ方向への引き延ばしであるため、加工が容易な点である。

【０２２１】

ピンゲートは、図８９（ｂ）に示すような構造を有している。符号８３で示すピンゲート部分がキャビティ８１への流入口であり、各層の可動金型６９の領域８４により孤立したゲート領域を形成している。このピンゲート８３の特徴は、スリットゲート８２に比べてゲートライン４５，４６の除去が容易である点と、成形時のＸＹ平面方向への樹脂の流出抵抗を幅広くコントロールすることができる点である。

【０２２２】

ピンゲート８３の領域８４の垂直面はパーティングラインＰＬ上にあり、左右一対で積層方向へのキャビティ８１のゲート近傍は、層ごとに間欠的に閉じている。また、スリットゲート８２からピンゲート８３へのゲート先端形状は連続的であり、成形条件により併用可能である。特に、樹脂流入用のゲー孔ト６１と樹脂流出用のゲート孔６２は、バランスに応じて使い分けることもできる。さらに、樹脂の流動が非常に良好な場合は、キャビティ８１内のｚ方向の樹脂流動のみで十分な場合もある。この場合は、必要に応じてゲートを省略してもよい。また、図８２に示す可動金型５６や図８３に示す可動金型５６ａ，５６ｂ，５６ｃのゲート孔６１，６２はキャビティ内に移動してもよい。この場合は、ゲートカット面がパッケージの表面外観や半導体チップに影響を与えないような場所にゲート孔６１，６２を設置する必要がある。

【０２２３】

図８６で示したｚ方向にゲート孔７６を有するモールド金型は、従来のようなＸＹ平面上にゲート、ランナを引き回す金型と異なり、型締め力を非常に有効に利用できる。

【０２２４】

垂直方向にゲートを持つモールド装置の一例を図９０に示す。このモールド装置の最大の特徴の１つは、金型系の型締め力ｆがほとんどすべて金型７３，７４、可動金型５６ｂ、金型７２を介して金型７５まで直列的に荷重され、力のロスがないことである。そこで、積層モールド型パッケージの受圧面積を小さくしておけば、非常に大きな単位面積当たりの型締め力を得ることができる。

【０２２５】

これは、従来の金型のように、数１００平方センチメートルのような大きさの平面サイズではなく、数１０平方センチメートルのオーダーに金型を小型化できるためである。このため、従来の金型には必須のキャビティ境界付近の幅の狭いダム状の型締め力を集中させる領域を省略することもできる。これにより、金型の高精度の平坦化加工が容易になると共に、ダム状の領域の変形による金型劣化対策も可能になる。

【０２２６】

図９０に示す金型８８は、前記図８６に示す積層モールド金型を上部から押さえつけるための温度制御された固定金型であり、トランスファ・モールド用のポット８５ａとプランジャ機構８５ｂとを備えている。モールド樹脂であるミニタブレット８６は、ポット８５ａ内に投入され、プランジャ８５ｂにより射出される。カル部８７は固定金型８８のキャビティ内に形成され、成形後のカル部８７に充填された樹脂の離型性をよくしている。

【０２２７】

すなわち、固定金型８８と可動金型８９の型開き時にカル部８７の樹脂が固定金型８８に付着するようであれば、プランジャ８５ｂを型開きと同期させて下降させることにより、イジェクタとして作用する。固定金型８８と可動金型８９とはエアー漏れを防止するＯリング９０を挟んで上下にスライド可能になっており、前記図８６に示す積層モールド金型の積層数を変化させた時や、異なる積層モールド金型の高さばらつきに対し、幅広いｚ方向のストロークで追従することができる。このことは、同一装置で異なる積層数の金型を複数個連続して作業できることを意味している。図９０のシステムは、ロードされた金型を設定された型締め力となるまで可動金型８９を上昇させることで可能としている。

【０２２８】

また、プランジャ８５ｂの下降時に排出される不要のエアーは、あらかじめミニタブレット８６がポット８５ａ内に投入され、プランジャ８５ｂがポット８５ａ内に挿入された後、真空引きの孔９１より減圧され、キャビティ内のエアーベントを有効に働かせる構造に

なっている。そのため、Ｏリング９０により他のエアーの流入を防止している。真空引きが特に必要ない時は、真空引きの孔９１を大気に対して開放すればよい。

【０２２９】

また、図９０ではダミーゲート、ダミーキャビティ７７が金型７５だけでなく金型７４にも形成可能であることを示している。これは、成形時のエアートラップ領域をダミーキャビティに有効に排出するためである。図９０の積層金型部分（図８６参照）の薄板状の金型は簡略化して示してある。

【０２３０】

図９０の積層金型で上部の金型を７３と７４とに２体化した目的は、成形後の離型時に積層パッケージに機械的ダメージを与えないためである。さらに、金型７３，７４内の円錐状のゲート孔７６をＸＹ平面上のパーティングライン（図８６のＨＰＬ２）で切断するためである。もし、金型７３，７４が一体化していると、ゲート孔７６内の樹脂は内部にイジェクタ構造がないため、離型が困難となる。

【０２３１】

この作用を図９１を用いて説明する。ガイドピン孔５９に対応するガイドピン５９ａ、ガイドピン孔６０に対応するガイドピン６０ａとして、金型７３，７４以外の積層金型を金型７３，７４のＸＹ平面のパーティング面ＨＰＬ１を境界として、キー溝８０を用いてｚ方向に型開きする。円錐状のゲート孔７６により成形された樹脂７６ａは、金型７３がイジェクタとして働き、応力集中の大きい図８６のパーティング面ＨＰＬ２でカットされる。金型７３，７４を充分に積層方向（ｚ方向）に引き離せば、ガイドピン５９ａ，６０ａは金型７３，７４以外の金型から除去される。なお、作業性によっては、ガイドピン５９ａ，６０ａを金型７４に留めておいてもよい。これは、金型７３，７４を完全に離すよりも、次の工程での金型７３，７４の組立作業が早く、効率が高いからである。

【０２３２】

次に、カル部８７で成形された樹脂８７ａは、７６ａを下方から上方に突き上げるか、または金型７３と樹脂８７ａとの界面上にゲート７６を中心軸とした回転モーメントを作用させることによって離型させることができる。

【０２３３】

ガイドピン５９ａ，６０ａを除去した薄板状の金型領域８０Ａと８０Ｂは、金型７４，７５に強い結合力を持たないため容易に分離できる。ガイドピン５９ａ，６０ａを引き抜く時に要する力は、上部金型を２体化したことにより、金型７４で力を受け、積層モールド部に局所的な応力集中を発生させない。このため、積層パッケージは、強い機械的ストレスを受けない。すなわち、金型７４の剛性と金型７３の剛性とにより、垂直方向（ｚ方向）にガイドピン５９ａ，６０ａを引き抜くことができる。

【０２３４】

金型構成数の低減を目的として、金型７４とそれに接する金型５６ｂの２層を合成し、金型７４とそれに接する金型５６ｂと金型７１の３層を合成して金型７４とすることも可能である。同様のことは金型７５についても可能である。

【０２３５】

離型されたキャビティ８０Ａ，８０Ｂは、ガイドピン孔６０を用いてｘ方向の正と負の逆方向に互いに引くことにより、離型することができる。また、左右どちらかの積層金型に積層モールドパッケージが固着している場合は、離型された側のリードフレームのガイドピン孔５９を用いて水平方向（ｘ方向）に引っ張ることにより、離型することができる。

【０２３６】

以上が４積層モールドパッケージの多数個取り成形についての構造と形成方法であるが、この構造と形成方法は単層から任意の積層数まで自由に成形できる。しかも、トランスファ・モールド装置は、図８６の積層金型の厚みの変化に影響がなく、常に安定した型締め力を得ることができる。

【０２３７】

図９２（ａ），（ｂ）は、半田メッキしたワイヤを図８４のリード７として用いた場合の

アウターリード６と、積層間を交差するリード７の半田フィレット９３を示している。アウターリード６の開孔８は、半田メッキにより供給された半田により９３の内部で接続され、埋まっている。この半田フィレット９３は、アウターリード６のメッキ仕様によってコントロールすることもできる。

【０２３８】

アウターリード６をＡｕメッキして半田リフローすれば、半田濡れ性が大きいため、半田フィレット９３のアウターリード６への広がりは大きくなる。また、アウターリード６をＰｄ（パラジウム）メッキした場合は、半田の広がりが小さいので、少ない半田量で半田フィレット９３を形成することができる。

【０２３９】

アウターリード６を半田メッキすると、半田の広がりが大きく、アウターリード６全体に半田が流れやすくなる。この特徴により、リードピッチの狭い場合は、Ｐｄメッキのような半田濡れ性の小さい表面処理方法を用いることで、少ない半田メッキで信頼性を確保できる半田フィレット形状を得ることができる。

【０２４０】

また、ＡｕメッキやＳｎ／Ｎｉメッキは、ダイボンディング前のリードフレーム６に処理しておくことで、ダイボンディング、ワイヤボンディング、積層モールドを行った後に外装メッキを施すことなく、すなわち外装メッキを省略してアウターリード６とリード７を半田リフローすることができる。これは、ＡｕメッキやＳｎ／Ｎｉメッキが強い耐酸化被膜となり、半田リフローができるアウターリード６の表面を確保できるからである。外装メッキ（モールド後のアウターリード６へのメッキ）を省略することにより、メッキコストの低減、樹脂内へのメッキ液浸透、イオン汚染などの不良対策が可能である。

【０２４１】

図９２（ａ）にプレスでＪベンド部に扁平部５２を形成したリード７とその上部のアウターリード６部分の半田フィレット９３の形状とパッケージ２の底面部の相対関係を示す。リード７の変形を防止するため、パッケージ２の底面部には前記図８２（ｂ）に示す方法で成形した窪み５４が設けられている。リード７は厚み部９４に示すように、半田メッキワイヤの基材となる金属ワイヤ径９５よりも薄くし、Ｊベンド部の幅を大きくしている。各アウターリード６は、層間にある半田メッキワイヤにより供給された半田により、均一な半田フィレット９３を形成することができる。半田メッキワイヤの半田流動性を高めるため、金属ワイヤの表面に直接半田メッキを形成するのではなく、金属ワイヤの表面にＮｉなどをメッキしてから半田メッキすると、半田の金属ワイヤ上のリフロー性が大きくなる。

【０２４２】

このように、アウターリード６と積層間を接続するリード７との半田接続は、半田フィレット９３の形状、コスト、耐熱性などにより、目的に応じて条件が異なる。

【０２４３】

アウターリード６の開孔８にリード７を貫通させる際の作業性を改善するために、図９３（ｂ），（ｃ）に示すようなアウターリード６を用いてもよい。すなわち、図９３（ｂ）に示すように、破線のリード７は、溝９６を設けたアウターリード６に外部のＸ方向より溝９６への案内部９７を通じて圧入される。このとき、リード７の抜けを防止するため、溝９６の幅はリード７の径より小さい方が有利である。図９３（ｃ）は、溝９６への圧入時の弾性力を高めるために、さらにスリット９８を設けた構造である。圧入抵抗は、図９３（ｂ）の場合に比べて図９３（ｃ）の方が小さくできるという特徴がある。

【０２４４】

リード７を圧入するだけでアウターリード６と電気的に接続することもできる。また、半田リフローと併用すればより高い接続信頼性が得られる。これは、半田リフローと併用した場合は、半田が何らかの原因（例えば半田クラックなど）でオープンになっても、圧着効果により交差部の電気的接続が確保されるからである。

【０２４５】

多数のリード７を一度に圧入するには、例えば４積層モジュールパッケージのアウターリードに図９３（ｂ）の形状を適用した場合を考えると、図９４に示すように、アウターリード６は層間に角柱１００ａを層間スペースと同じ幅だけ挟む。そして、押さえ治具１００ｃ，１００ｂを使って上部と下部とから矢印１０１の方向に加圧する。これにより、リード７の圧入によるアウターリード６とパッケージ２の機械的ダメージを低減することができる。また、圧入時のアウターリード６の倒れや変形を防止することもできる。

【０２４６】

次に、断面７ａを有するリード７を断面９９ａを有する圧入治具９９で矢印１０２方向に加圧することで４層同時に圧入される。リード７の端子数分を同時にこの方式で圧入することにより、アウターリード６とリード７とを短時間で交差接続することができる。

【０２４７】

Ｚ方向にリード７をＪ型に曲げる以外に、積層モールドパッケージのアウターリード６の一部の層をＪ型に曲げてＳＯＪ化する方法を説明する。

【０２４８】

図９５は、最下層のアウターリード６をＪ型に曲げている。このとき、Ｊリード化するリードフレーム１０３は、他のリードフレームと異なる端子形状のものを使用するか、アウターリード６の切断形状を変化させて行う。圧入方式のアウターリードで示しているが、この構造は開孔８の形状でも可能である。ただし、圧入時に図９４の方法でリード７を圧入するためには、図９５のリード７の最下端１０５の方が下方に位置していなければならない。

【０２４９】

リード７をＳＯＪ化する以外にも、本発明の積層モジュール構造は容易にＳＯ型のフラットパッケージにすることができる。図９６にフラットパッケージのリード形状を示す。図７８の端子の応用として、扁平部５１を設けた端子を使ってフラットリード１０７を形成することができる。この構造は、フラットリード１０７の折り曲げが簡単で作業性が高いことに加えて、パルスヒータ方式や光ビーム半田付け方式により、フラットリード１０７のみを加熱して基板に実装することができるという利点もある。これは、積層部のアウターリード６よりフラットリード１０７の足先の方が外部にあるため、積層部のアウターリード６に接することなく、フラットリード１０７の先端を加熱することができるためである。

【０２５０】

積層モールドパッケージの端子構造として図９７に示すピングリッド端子構造がある。リード７の狭ピッチを実装基板上への端子ピッチに持ち込まないように、積層プリント基板１０８をピッチ変換基板として面心のピングリッド、ＩＰＧＡ配列（１０１）としてユーザーインターフェースを改善している。

【０２５１】

また、ピン１１０を省略してＢＧＡ（ボールグリッドアレイ）化することも可能である。垂直リード７は、積層プリント基板１０８に設けられた貫通端子孔１０９を介して半田接続され、積層プリント基板１０８の配線により、ＩＰＧＡやＳＰＧＡ（５０㎜ｉｌ ピッチのＰＧＡ）ピッチに変換することができる。ピングリッド用のドリル加工を省略すると、ＢＧＡ基板の半田バンプ端子となる基板レイアウトも可能である。

【０２５２】

また、積層プリント基板１０８を用いることにより、アドレスバッファ、Ｉ／Ｏバッファなどのバッファアンプや、エラー修正論理を備えたＬＳＩなどをプラスティックＰＧＡあるいはＢＧＡ構造として導入することが容易である。

【０２５３】

（実施例４）

本実施例は１６ＭＤＲＡＭの不完全良品に積層ＤＲＡＭ構造を適用したものである。

【０２５４】

通常１６ＭＤＲＡＭのＩ／Ｏ４ｂｉｔ品は４１９４３０４ワード×４ビットであるが、Ｌ

ＳＩ製造中に４ｂｉｔのＩ／Ｏのうち一部が不良となり、４１９４３０４ワード×３ビット，４１９４３０４ワード×２ビット，４１９４３０４ワード×１ビットが良品の不完全なＤＲＡＭができる。

【０２５５】

これらは通常不良品として扱われ商品性が低い。また商品化した場合、端子配列、安定供給、ビット価格の面で市場を混乱させる。

【０２５６】

本積層技術を適用することにより、これらの不完全ＤＲＡＭを完全な端子配列にする方法について示す。

【０２５７】

説明には４１９４３０４ワード×３ビットの不完全なＤＲＡＭを３積層し、４１９４３０４ワード×９ビットの端子配列一定のＤＲＡＭモジュールを得ることを示す。

【０２５８】

使用するリードフレームは図９８と図９９に示すものであり、ゲート孔６１，６２およびガイドピン孔５９を有している。またモールド中のリードフレーム変形を防止するため、構造強度を高めるタイバー１１３を各アウターリードの先端に接続している。積層モールド後アウターリードの端子を形成するためハーフエッチ等により溝１１２を設け、切断を容易にしている。

【０２５９】

各リードフレームのＩ／Ｏ端子は１１１ａ～１１１ｉの９端子である。図９８の１１１ｃ，１１１ｆと１１１ｉはタイバー１１４に設けられたハーフエッチング溝１１５により、タイバー切断の後除去する。図９９の１１１ａ，１１１ｄ，１１１ｈと１１１ｅも同様に除去する。

【０２６０】

ＤＲＡＭ１チップ当たりＩ／Ｏは３個であるため、第１層目のリードフレームは図９８に示すリードフレーム７８を用いて、１１１ｂ，１１１ｈ，１１１ｅに良品のＩ／Ｏとボンディングする。第２層目のリードフレームは図９９に示すリードフレーム７８を用いて１１１ｃ，１１１ｆ，１１１ｉに良品のＩ／Ｏとボンディングする。第３層目のリードフレームは図９８に示すリードフレーム７８を用いて１１１ａ，１１１ｄ，１１１ｇに良品のＩ／Ｏとボンディングする。不良のＩ／Ｏパッドはボンディングしない。

【０２６１】

これを３積層するとＩ／Ｏは１１１ａ～１１１ｉの９ビットのＩ／Ｏが引き出されている。

【０２６２】

すなわち、不完全な４Ｍワード×３ビットのＤＲＡＭチップを良品Ｉ／Ｏのみを選択的に積層用リードフレームにボンディングすることにより、３積層後に完全なＩ／Ｏ端子を持つ４Ｍ×９ビットの積層ＤＲＡＭを得ることができる。

【０２６３】

本３積層モールドパッケージはＳＯＪパッケージより薄く、しかも集積度が３６メガビット相当であるため４Ｍ×３５ビットや８Ｍ×３６ビット構成の７２ｐｉｎＳＩＭＭモジュールを小型化することができる。

【０２６４】

すなわち、通常４Ｍ×３６ビットは４Ｍ×４ビットＤＲＡＭを８個、４Ｍ×１ビットＤＲＡＭを４個の計１２個実装しなければならないが、本積層モジュールでは４個で実現できる。同様に８Ｍ×３６ビットのときは通常計２４個必要とするが本積層モジュールでは８個でよい。

【０２６５】

またＳＩＭＭ基板上の配線数も少なく、配線間のクロストーク等のノイズも低減できる特徴がある。

【０２６６】

図１００に４Ｍ×９ビット積層モジュールをＭ０～Ｍ７の８個使用時の８Ｍ×３６ビットメモリモジュールの等価回路を示す。

【０２６７】

図１００のＭ１，Ｍ５，Ｍ３，Ｍ７を実装しない場合は４Ｍ×３６ビットメモリモジュールの等価回路になる。

【０２６８】

４１９４３０４ワード×８ビットのモジュールの場合は４１９４３０４ワード３ビットのＤＲＡＭを２つと４１９４３０４×２ビットのＤＲＡＭ１つとを積層することにより実現できる。他にも４１９４３０４×１ビット等用いて同形のＩ／Ｏのビット数になるように積層数を変化させればよい。

【０２６９】

例えば４１９４３０４ワード×９ビットを得る他の方法として４１９４３０４ワード×２ビットを３個と４１９４３０４ワード×３ビット１個を組み合わせ４積層する等である。

【０２７０】

積層モジュールにおいて各層のリードフレームを共通に用いるには、図９８のリードフレームのように複数の層で使用できるようボンディング領域やアウターリードを設けられていることである。例えば１１１ａ～１１１ｉの９個のＩ／Ｏを完全独立に引き出した場合、×９ビット構成のモジュールは積層数に関係なく一種類のリードフレームで各層に適用することができる。これは非常に組立て工程の簡単化ができコスト低減できる利点がある。

【０２７１】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【０２７２】

前記実施例では、パッケージ２のアウターリード６の開孔８にマザーソケット３のリード７を挿通して両者を接続したが、パッケージ２のアウターリード６とマザーソケット３のリード７の接続は、例えば図１０１に示すように、アウターリード６の先端をリード７の側壁に突き当てて接続する方法、図１０２に示すように、アウターリード６の先端に設けた溝にリード７を差し込んで接続する方法、図１０３に示すように、マザーソケット３のリード７側に開孔４３を設け、この開孔４３内にアウターリード６を挿通して接続する方法など、種々の方法で行うことができる。

【０２７３】

前記実施例１のＤＲＡＭモジュールは、９個の半導体チップを１つのパッケージに一括封止したが、前記実施例２のＤＲＡＭモジュールのように、複数のパッケージに分けて封止することもできる。この場合、４層＋５層、３層＋３層＋３層、４層＋４層＋１層（パリティ専用）など、種々の組み合わせを選択することができる。また、この場合は、分割したパッケージの隙間に熱伝導率の高いＡｌの薄板や銅合金板からなる熱拡散板を挟み込むことにより、さらに放熱効率を向上させることもできる。

【０２７４】

半導体チップを複数のパッケージに分割して封止する方法は、前記実施例２で説明した多ビット構成のＤＲＡＭモジュールや、特に消費電力の大きいＳＲＡＭモジュールなどに適用すると大きな効果が得られる。また、放熱効率の低い領域で半導体チップの積層数を少なく、放熱効率の高い領域で積層数を多くするなどの方法も考えられる。例えば下段のパッケージが上段のパッケージに比べて放熱効率が低い場合は、上段のパッケージに４個の半導体チップを封止し、下段のパッケージに２個の半導体チップを封止し、これらのパッケージの隙間と上部および底部に前述した放熱フィンを取り付ける構造も可能である。

【０２７５】

前記実施例１、２のＤＲＡＭモジュールのマザーソケット内に、ＤＲＡＭコントローラ、メモリマネージメント、ＣＰＵなどを形成した半導体チップを搭載し、マザーソケットの

リードを通じてこの半導体チップをパッケージ内の半導体チップと電気的に接続しておくこともできる。このようにすると、ＤＲＡＭモジュールの機能を拡張したり、パッケージ２の入力インピーダンスを向上させたり、出力のドライバー能力を向上させたりすることがマザーソケットを交換するだけで容易に実現できる。また、マザーソケット内の半導体チップに、パッケージ２に封止された半導体チップ（Ｍ）の不良メモリを救済する冗長機能を持たせることにより、ＤＲＡＭモジュールの製造歩留りを大幅に向上させることができる。図１０４は、半導体チップを搭載する場合に使用するマザーソケット４９の斜視図である。また、図１０５は、このマザーソケット４９の上に前記実施例１または実施例２のパッケージ２を搭載したＤＲＡＭモジュールの斜視図である。

【０２７６】

前記実施例では、本発明をＤＲＡＭモジュールに適用した場合について説明したが、本発明のモジュール構造は、ＳＲＡＭやフラッシュメモリのような他のメモリを使ったモジュール、あるいはメモリチップとロジックチップとを混載したモジュールなどに適用することもできる。

【０２７７】

また、本発明のメモリモジュールは、パッケージを搭載するマザーソケットを交換するだけで、フラットパッケージ、ピッグリッドアレイなど、種々の品種展開が容易に実現可能である。

【０２７８】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【０２７９】

(1).本発明によれば、複数の半導体チップを一括してパッケージに封止することにより、半導体チップを１個ずつ樹脂封止したＴＳＯＰのようなＬＳＩパッケージを何層か積み重ねて構成したモジュールに比べて外形寸法を大幅に縮小することができる。また、パッケージから引き出したアウターリードとソケットのリードを交差させて接続することにより、マトリクス状の放熱経路が形成され、パッケージの中心部の熱を速やかに外部に放散させることができる。また、パッケージの側面からアウターリードを引き出して板バネ構造としているので、積層されたリードフレームの隙間に充填される樹脂の縦方向の伸縮を緩和することができる。

【０２８０】

これにより、小型・高性能のマルチチップ・モジュールを実現することができる。

【０２８１】

(2).本発明によれば、リードフレームのそれぞれを個別に設計し、データピンの配置をそれぞれのリードフレームで変えることにより、積層したリードフレーム間を直接接続することができるのパッケージを小型化することができる。

【０２８２】

(3).本発明によれば、所定数のリードフレームを一つの組みリードフレームとして、同一工程で一括パターニングして形成することにより、寸法精度の揃った一連のリードフレームが得られるので、マルチチップ・モジュールの小型化を促進することができる。

【０２８３】

(4).本発明によれば、モールドライン上に絶縁テープを接合したテープダム方式のリードフレームを用いることにより、モールド工程の直前にテスティング、選別、エージングを行うことができるので、マルチチップ・モジュールの製造歩留りを向上させることができる。

【０２８４】

(5).本発明によれば、リードフレームのそれぞれに一対のフローティングゲート孔を設けることより、金型内の樹脂の流れを均一化することができるので、パッケージの信頼性・製造歩留りが向上する。

【０２８５】
(6).本発明によれば、リードフレームのそれぞれの枠部に、リードフレームごとに異なるパターンのインデックス孔を設けることにより、量産時にリードフレームの層番号識別を自動的に読み取り、リードフレームが正しい順序で積層されているか否かを容易に判定することができるので、パッケージの製造歩留り・スループットを向上させることができる。

【０２８６】
(7).本発明によれば、リードフレームのそれぞれにハーフエッチラインを設けることにより、モールド後、パッケージの外部に露出しているリードフレームの不要箇所の切断、除去が容易になり、パッケージの製造歩留り・スループットを向上させることができる。

【０２８７】
(8).本発明によれば、リードフレームにコンデンサを搭載することにより、半導体チップに給電する際の電源インピーダンスを低減することができるので、大電流の給電が可能となる。

【０２８８】
(9).本発明によれば、パッケージの内部にダミーのリードフレームを収容することにより、リードとアウターリードの接合強度を向上させることができる。また、パッケージの放熱経路が増えるので、その熱抵抗を小さくすることもできる。さらに、ダミーのリードフレームをパッケージ内の配線接続として利用することができる。

【０２８９】
(10). 本発明によれば、ソケットのリードをパッケージの熱膨張係数と略等しい熱膨張係数の導電材料で構成することにより、パッケージの垂直方向と水平方向との間に生じる異方的な熱膨張に起因する熱応力ストレスを低減することができるので、マルチチップ・モジュールの信頼性が向上する。

【０２９０】
(11). 本発明によれば、ソケットのリードを前記ソケットの対向する２辺に沿って２列ずつ配置することにより、多ビットモジュールに対応したソケットが得られる。

【０２９１】
(12). 本発明によれば、パッケージに放熱フィンを装着することにより、冷却効率の高いマルチチップ・モジュールが得られる。

【０２９２】
(13). 本発明によれば、リードフレームにリード・オン・チップ方式で半導体チップを搭載することにより、リードフレームの層間を薄くすることができ、パッケージの小型化、低熱抵抗化を実現することができる。

【０２９３】
(14). 本発明によれば、リードフレームのそれぞれに搭載された半導体チップの中心を樹脂パッケージの中心よりもリードフレームのデータピン側に配置することにより、データピンの引き回しを低減することができるので、パッケージの小型化を実現することができる。

【０２９４】
(15). 本発明によれば、パッケージの内部にダミーチップを収容することにより、パッケージのモールド時の樹脂の流れを均一にすることができるので、マルチチップ・モジュールの信頼性が向上する。

【０２９５】
(16). 本発明によれば、リードフレームの一部を、他のリードフレームに対して水平面内で１８０度反転して配置することにより、リードフレームのデータピンが一方向に集中するのを防止することができるので、リードの引き回しが容易となり、リードフレームを小型化することができる。

【０２９６】
(17). 本発明によれば、所定数のリードフレームのうち、反転して配置されるリードフレ

ームと他のリードフレームとが、反転軸に対して対称のリードパターンを有していることにより、リードフレームの品種が半減でき、その製造コストを低減することができる。また、エージングの品種を少なくすることができる。

【０２９７】

(18). 本発明によれば、ソケット内に種々の機能を持たせた半導体チップを内蔵しておくことにより、マルチチップ・モジュールの機能拡張、入出力特性の改善、メモリの欠陥救済などを容易に実現することができる。

【０２９８】

(19). 本発明によれば、上型および下型と、所定数のリードフレームのそれぞれの隙間に挿入され、それぞれが２分割可能な所定数の可動金型とで構成される金型とを用いて所定数のリードフレームを一括封止することにより、パッケージを簡単に金型から離型することができるので、パッケージの製造歩留り・スループットを向上させることができる。

【図面の簡単な説明】

【図１】本発明の一実施例であるＤＲＡＭモジュールの前方斜視図である。

【図２】本発明の一実施例であるＤＲＡＭモジュールの後方斜視図である。

【図３】本発明の一実施例であるＤＲＡＭモジュールのパッケージの前方斜視図である。

【図４】本発明の一実施例であるＤＲＡＭモジュールのマザーソケットの前方斜視図である。

【図５】本発明の一実施例であるＤＲＡＭモジュールの等価回路図である。

【図６】半導体チップのパッドレイアウトを示す平面図である。

【図７】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。

【図８】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。

【図９】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。

【図１０】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。

【図１１】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。

【図１２】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。

【図１３】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。

【図１４】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。

【図１５】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。

【図１６】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームのピン配列を示す平面図である。

【図１７】本発明の一実施例であるＤＲＡＭモジュールの製造に用いる入れ子金型の斜視図である。

【図１８】本発明の一実施例であるＤＲＡＭモジュールの製造に用いる入れ子金型の斜視図である。

【図１９】本発明の一実施例であるＤＲＡＭモジュールの製造に用いる入れ子金型の分解斜視図である。

【図２０】本発明の一実施例であるＤＲＡＭモジュールの製造に用いる入れ子金型の分解斜視図である。

【図２１】本発明の一実施例であるＤＲＡＭモジュールの製造に用いる可動金型の平面図(a) および側面図(b) である。

【図２２】本発明の他の実施例であるＤＲＡＭモジュールの前方斜視図である。
【図２３】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図２４】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図２５】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図２６】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図２７】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図２８】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図２９】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図３０】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図３１】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図３２】金型内部の樹脂の流動を模式的に示す斜視図である。
【図３３】マザーソケットの製造に用いる金型の一対の可動金型を示す斜視図である。
【図３４】マザーソケットの製造に用いる金型の一対の中央金型を示す斜視図である。
【図３５】マザーソケットの製造に用いるリードフレームの平面図である。
【図３６】マザーソケットの製造に用いるリードフレームの平面図である。
【図３７】マザーソケットの製造に用いるリードフレームの平面図である。
【図３８】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図３９】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図４０】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図４１】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図４２】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図４３】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図４４】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図４５】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図４６】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図４７】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図４８】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの全体平面図である。
【図４９】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図５０】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの

平面図である。
【図５１】本発明の一実施例であるＤＲＡＭモジュールの等価回路図である。
【図５２】本発明の一実施例であるＤＲＡＭモジュールのピン配列を示す平面図である。
【図５３】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図５４】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図５５】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図５６】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図５７】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図５８】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図５９】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図６０】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図６１】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図６２】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図６３】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図６４】本発明の一実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図６５】本発明の一実施例であるＤＲＡＭモジュールのマザーソケットの斜視図である。
【図６６】マザーソケットの上面のピン配列を示す平面図である。
【図６７】マザーソケット用リードフレームの平面図である。
【図６８】マザーソケット用リードフレームの平面図である。
【図６９】本発明の一実施例であるＤＲＡＭモジュールの斜視図である。
【図７０】本発明の一実施例であるＤＲＡＭモジュールの斜視図である。
【図７１】本発明の一実施例であるＤＲＡＭモジュールの斜視図である。
【図７２】本発明の一実施例であるＤＲＡＭモジュールの斜視図である。
【図７３】本発明の一実施例であるＤＲＡＭモジュールに装着される放熱フィンの側面図である。
【図７４】本発明の一実施例であるＤＲＡＭモジュールに装着される放熱フィンの斜視図である。
【図７５】本発明の一実施例であるＤＲＡＭモジュールに装着される放熱フィンの斜視図である。
【図７６】本発明の一実施例であるＤＲＡＭモジュールの等価回路図である。
【図７７】本発明の他の実施例であるＤＲＡＭモジュールの前方斜視図である。
【図７８】リードとパッケージのアウターリードの接続方法を示す斜視図である。
【図７９】下端部をＪ型に成形したリードを示す斜視図である。
【図８０】本発明の他の実施例であるＤＲＡＭモジュールの下方斜視図である。
【図８１】パッケージの底部に窪みを形成する従来方法を示す断面図(a) および下面図(b) である。
【図８２】パッケージの底部に窪みを形成する本発明方法を示す断面図(a) および下面図

(b) である。
【図８３】可動金型の側面図(a),(b),(c) 、(b) に示す可動金型の平面図(d),(e) および可動金型に設けたゲート孔の平面図(f) である。
【図８４】可動金型に設けたゲート孔の平面図(a) および断面図(b) である。
【図８５】　(a),(b) は可動金型の製造方法を示す斜視図である。
【図８６】積層モジュール型のパッケージを積層方向に２個取りする金型システムの構成図である。
【図８７】金型のゲート孔およびダミーキャビティの平面図(a) 、斜視図(b) および(b) のＹ－Ｙ’方向の断面図(c) である。
【図８８】可動金型のゲート孔と金型のゲート孔の位置関係を示す平面図(a) および拡大平面図(b),(c) である。
【図８９】スリットゲートの拡大斜視図(a) およびピンゲートの拡大斜視図(b) である。
【図９０】垂直方向にゲートを持つモールド装置の概略構成図である。
【図９１】図９０に示すモールド装置の離型方法を説明する斜視図である。
【図９２】アウターリードに接続されたリードの半田フィレットを示す側面図(a) および斜視図(b) である。
【図９３】　(a),(b),(c) はアウターリードの変形例を示す拡大平面図である。
【図９４】リードをアウターリードに圧入する方法を示す説明図である。
【図９５】リードの変形例を示す拡大斜視図である。
【図９６】リードの変形例を示す拡大斜視図である。
【図９７】本発明の他の実施例であるＤＲＡＭモジュールの下方斜視図である。
【図９８】本発明の他の実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図９９】本発明の他の実施例であるＤＲＡＭモジュールの製造に用いるリードフレームの平面図である。
【図１００】本発明の他の実施例であるＤＲＡＭモジュールの等価回路図である。
【図１０１】マザーソケットのリードとパッケージのアウターリードの接続方法を示す平面図(a) および側面図(b) である。
【図１０２】マザーソケットのリードとパッケージのアウターリードの接続方法を示す平面図(a) および側面図(b) である。
【図１０３】マザーソケットのリードとパッケージのアウターリードの接続方法を示す斜視図である。
【図１０４】本発明の他の実施例であるＤＲＡＭモジュールのマザーソケットの前方斜視図である。
【図１０５】本発明の他の実施例であるＤＲＡＭモジュールの前方斜視図である。
【符号の説明】
１　ＤＲＡＭモジュール
２　パッケージ
３　マザーソケット
４　絶縁テープ
５　ワイヤ
６　アウターリード
７　リード
８　開孔
１０　入れ子金型
１１　上型
１２　下型
１３　可動金型
１４　モールド用ゲート孔
１５　ゲート

１６　ゲート
１７　インデックス孔
１８　インデックス孔
１９　ハーフエッチライン
２０　マザーソケット用リードフレーム
２１Ｌ　可動金型
２１Ｒ　可動金型
２２　中央金型
２３Ｌ　マザーソケット用リードフレーム
２３Ｒ　マザーソケット用リードフレーム
２４　絶縁テープ
２６　センタ孔
３０　ボンディングパッド
３１　デカップリングコンデンサ
４０　ＤＲＡＭモジュール
４１　放熱フィン
４４　開孔
４５　ゲートライン
４６　ゲートライン
４７　ガイドピン
４８　開孔
４９　マザーソケット
５０　偏平部
５１　偏平部
５２　偏平部
５３　パッケージ
５４　窪み
５５　溝
５６　可動金型
５６ａ　可動金型
５６ｂ　可動金型
５６ｃ　可動金型
５７　キャビティ
５８　キャビティ
５９　ガイドピン孔
５９ａ　ガイドピン
６０　ガイドピン孔
６０ａ　ガイドピン
６１　ゲート孔
６２　ゲート孔
６７　接続部
６８　ブロック
６９　可動金型
７０　カットライン
７１　金型
７２　金型
７３　金型
７４　金型
７５　金型
７６　ゲート孔

７７　ダミーキャビティ
７８　リードフレーム
７９　半導体チップ
８０　キイ溝
８０Ａ　キャビティ
８０Ｂ　キャビティ
８１　キャビティ
８２　スリットゲート
８３　ピンゲート
８４　領域
８５ａ　ポット
８５ｂ　プランジャ
８７　カル部
８７ａ　樹脂
８８　金型
８９　可動金型
９０　Ｏリング
９１　孔
９３　半田フィレット
９４　厚み部
９５　金属ワイヤ径
９６　溝
９７　案内部
９８　スリット
９９　圧入治具
９９ａ　断面
１０１　矢印
１０１ａ　角柱
１０１ｂ　押さえ治具
１０１ｃ　押さえ治具
１０２　矢印
１０３　リードフレーム
１０５　最下端
１０７　フラットリード
１０８　積層プリント基板
１０９　貫通端子孔
１１０　ピン
１１１ａ～１１１ｉ　端子
１１２　溝
１１３　タイバー
１１４　タイバー
１１５　ハーフエッチング溝
Ｍ，M_0～M_{11}　半導体チップ
Ｓ，S_0～S_9　リードフレーム
Ｔ，T_0～T_9　リードフレーム
L_1～L_{12}　リードフレーム
ＰＬ　パーティングライン

【図１】

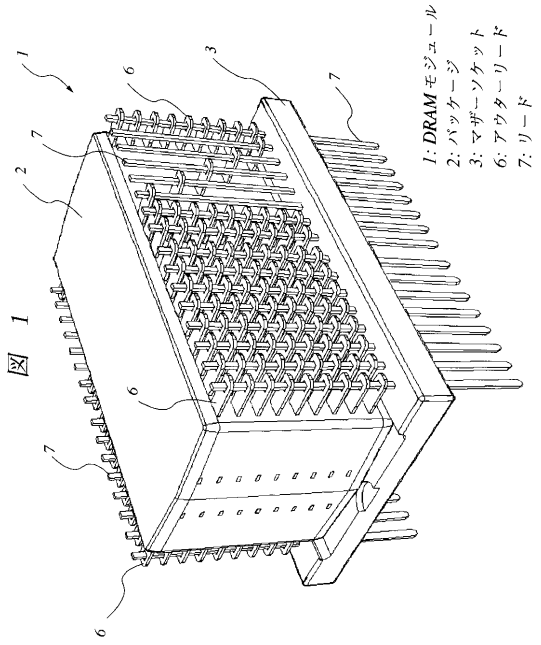


図 1

【図２】

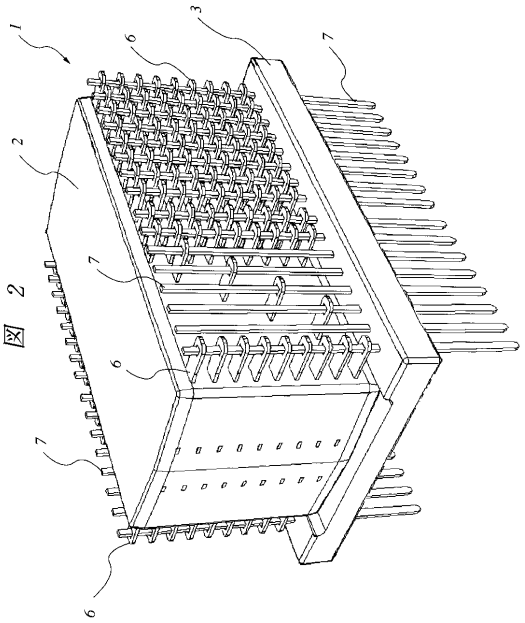


図 2

【図３】

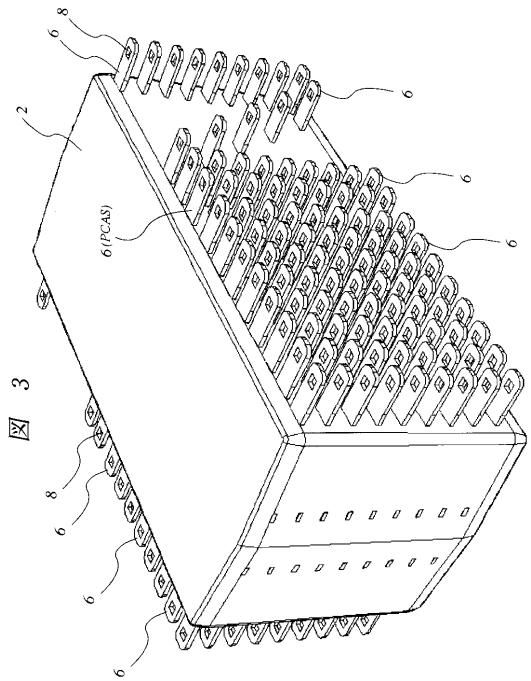
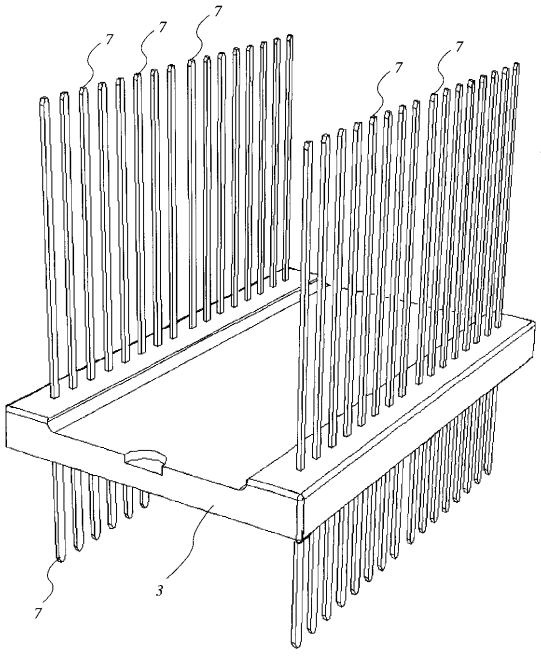


図 3

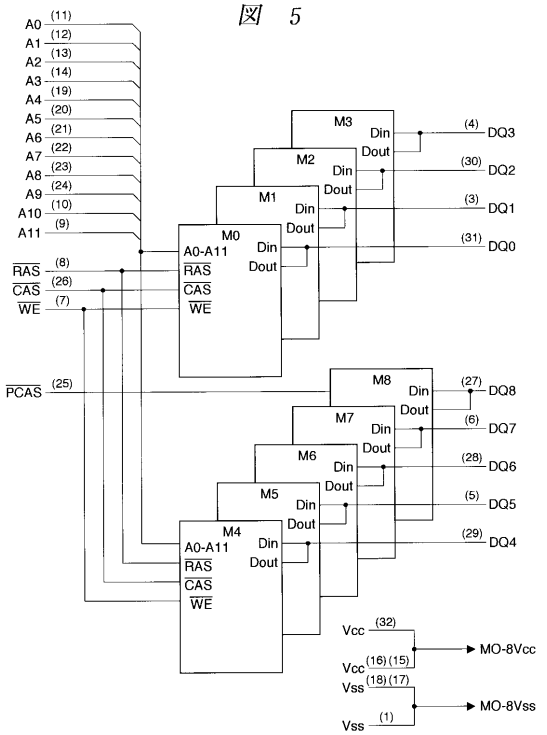
【図４】

図 4



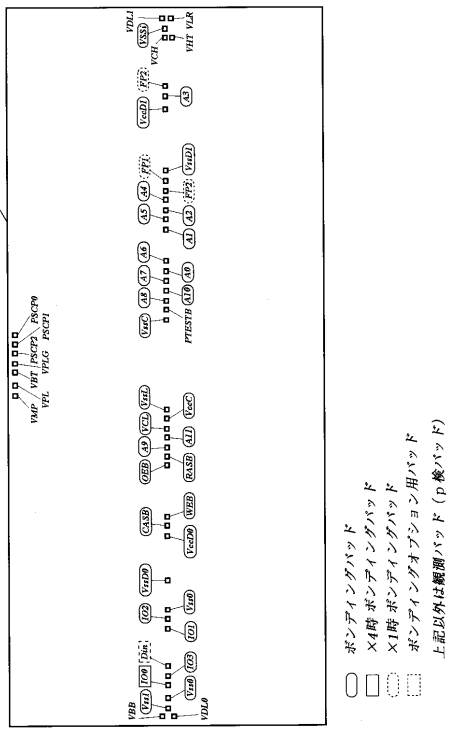
【図５】

図 5



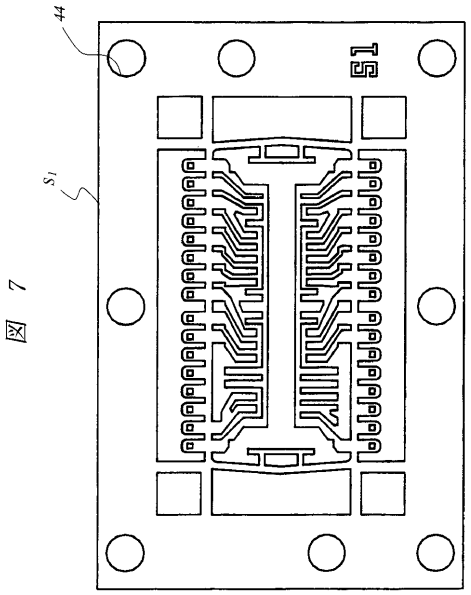
【図６】

図 6



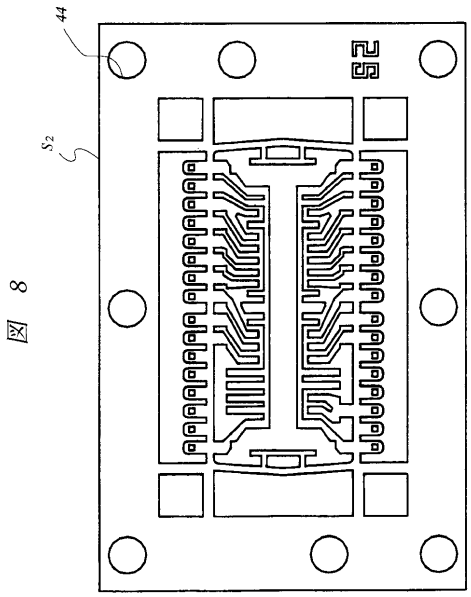
【図７】

図 7



【図８】

図 8



【図９】

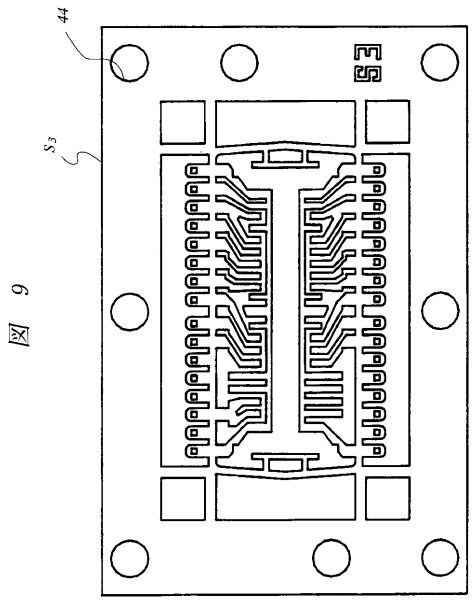


図 9

【図１０】

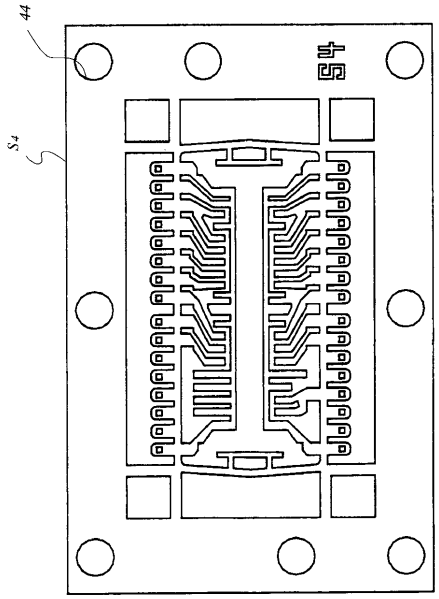


図 10

【図１１】

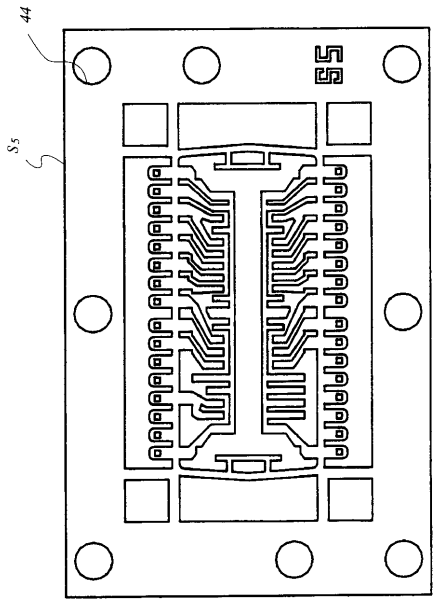


図 11

【図１２】

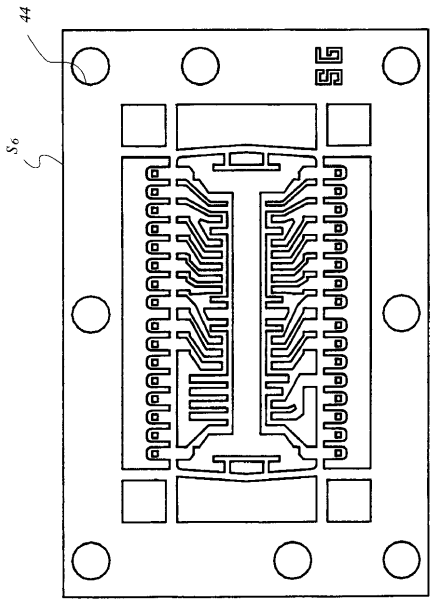


図 12

【図１３】

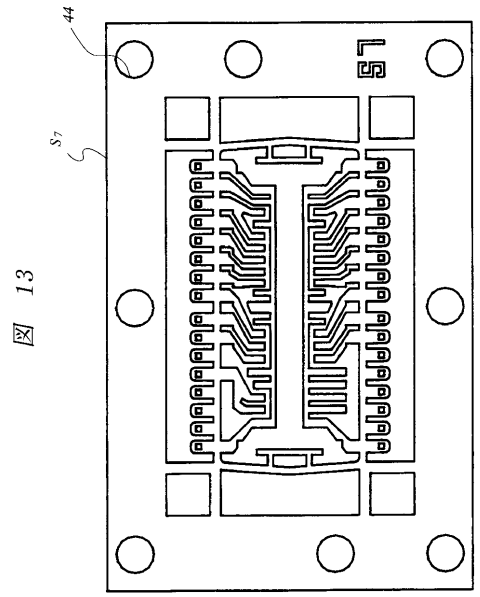


図 13

【図１４】

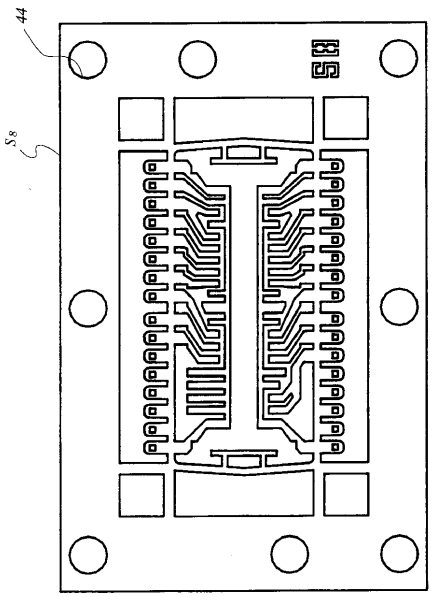


図 14

【図１５】

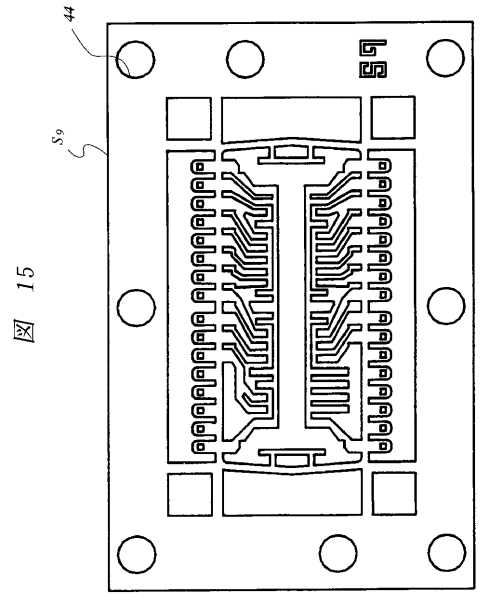


図 15

【図１６】

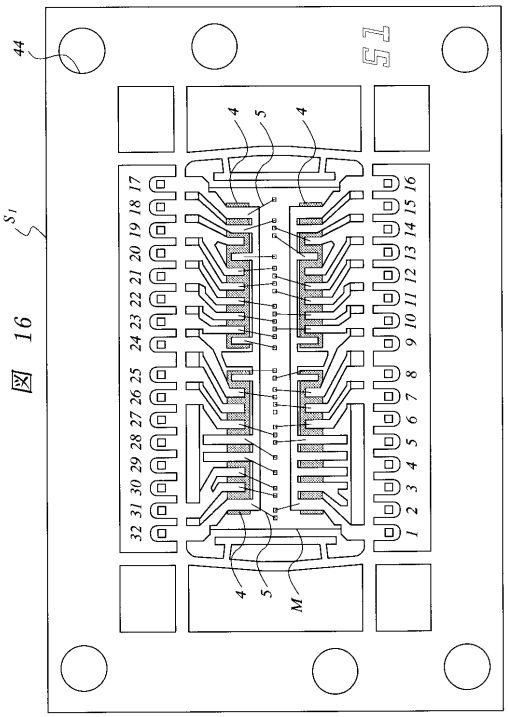
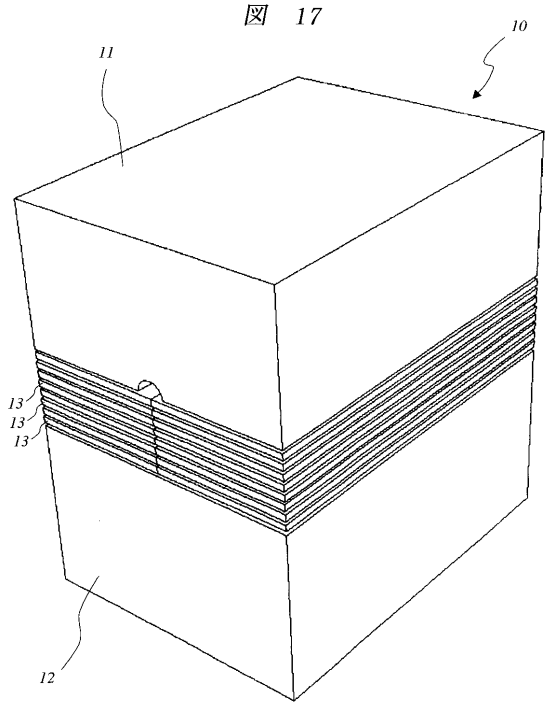


図 16

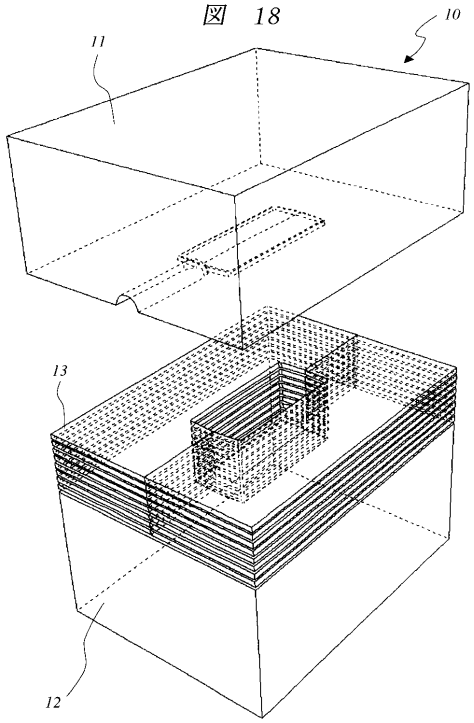
【図１７】

図 17



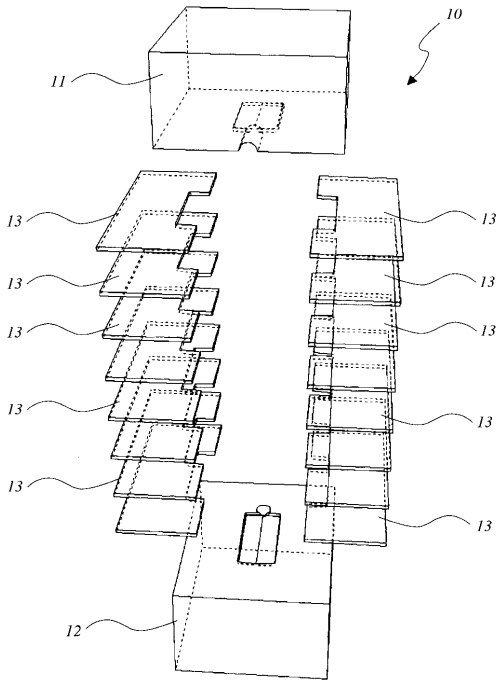
【図１８】

図 18



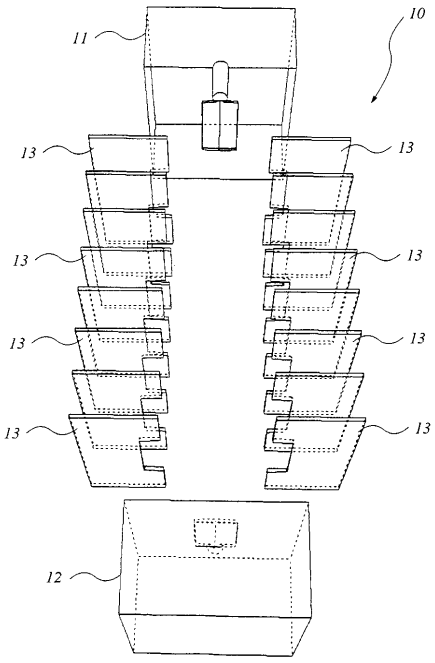
【図１９】

図 19



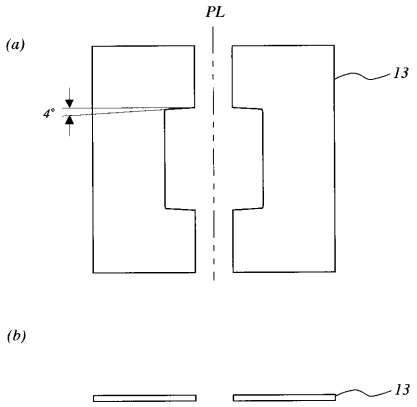
【図２０】

図 20



【図２１】

図 21



【図２２】

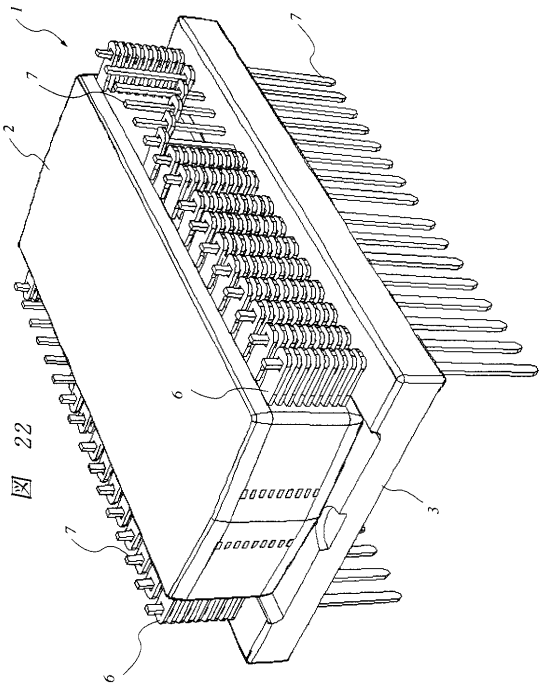


図 22

【図２３】

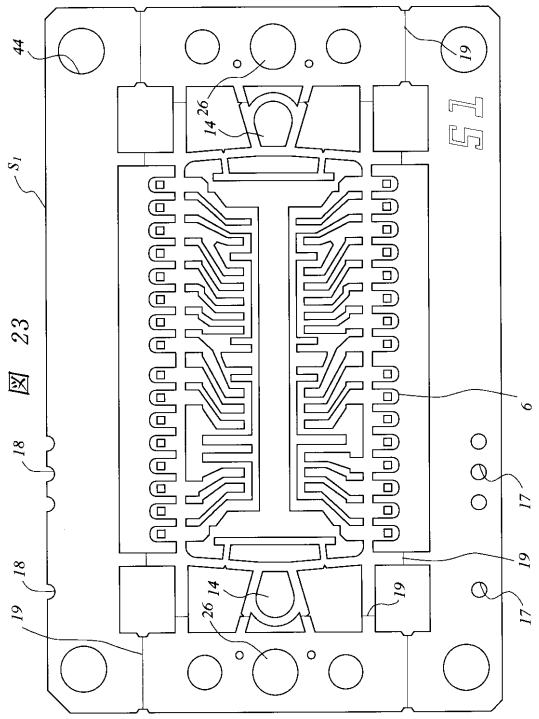


図 23

【図２４】

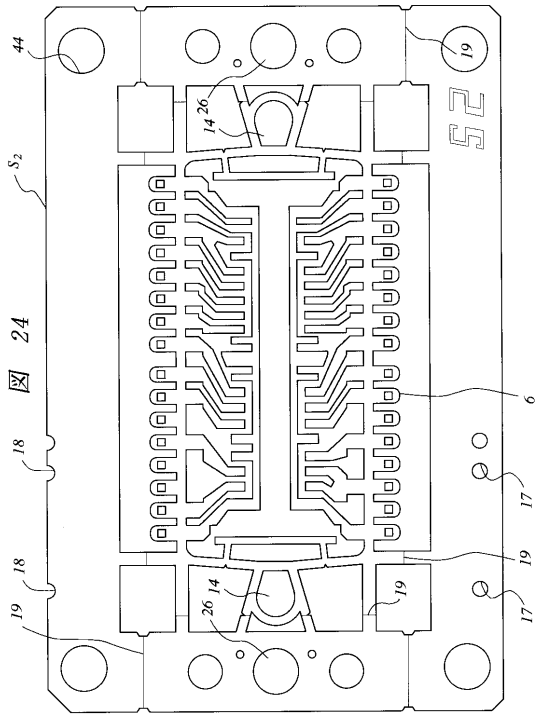


図 24

【図２５】

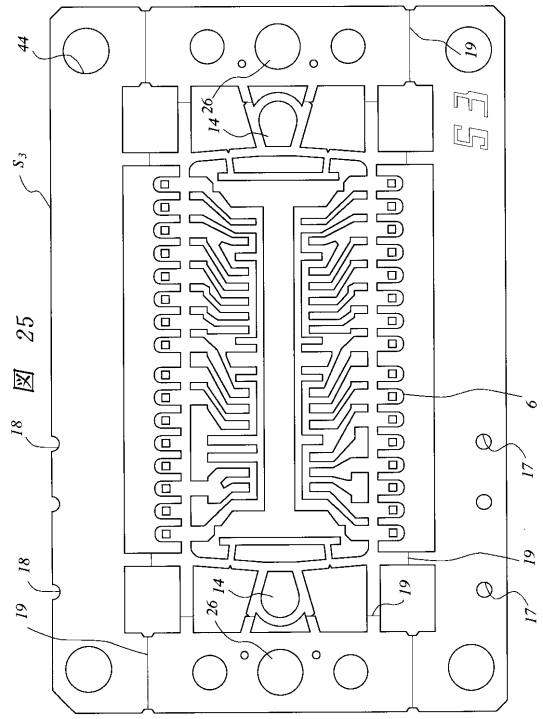


図 25

【図２６】

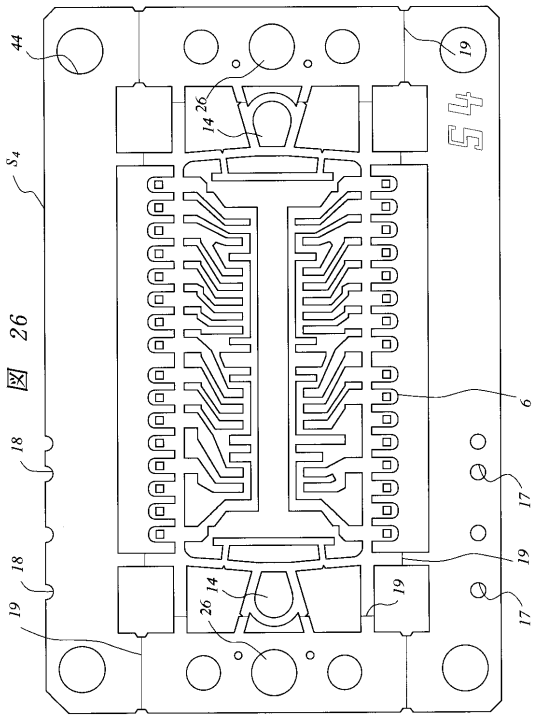


図 26

【図２７】

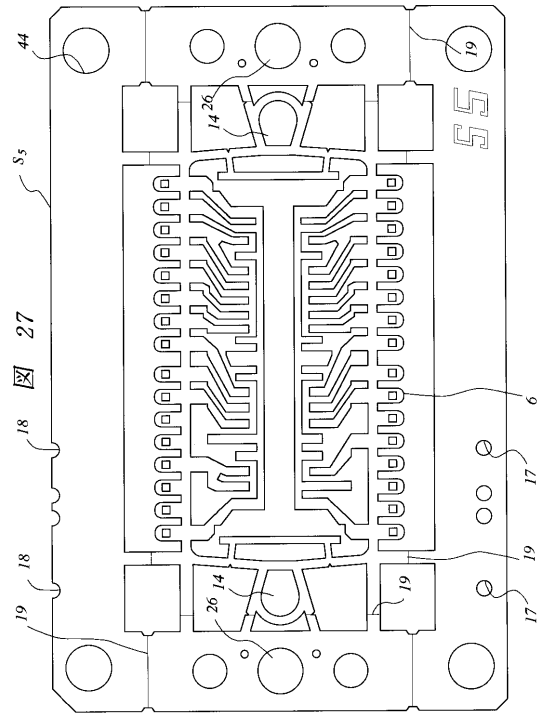


図 27

【図２８】

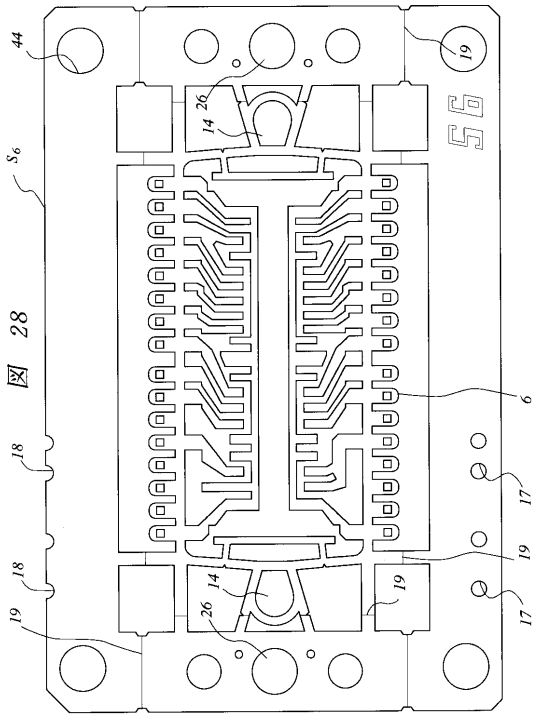


図 28

【図２９】

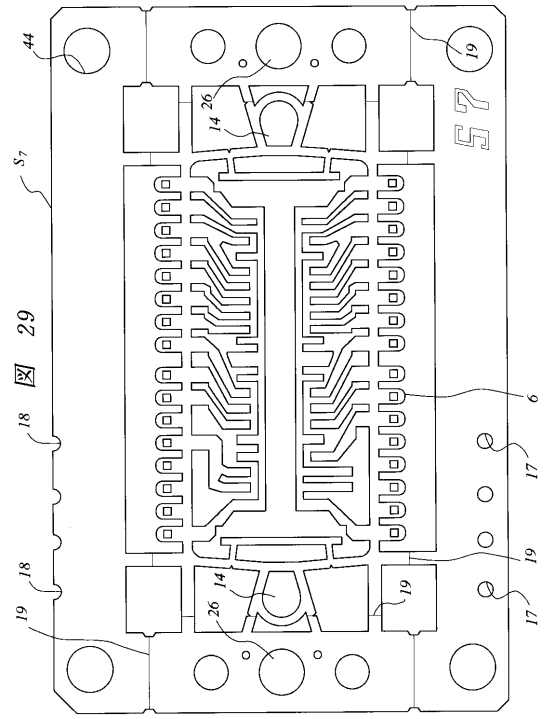


図 29

【図３０】

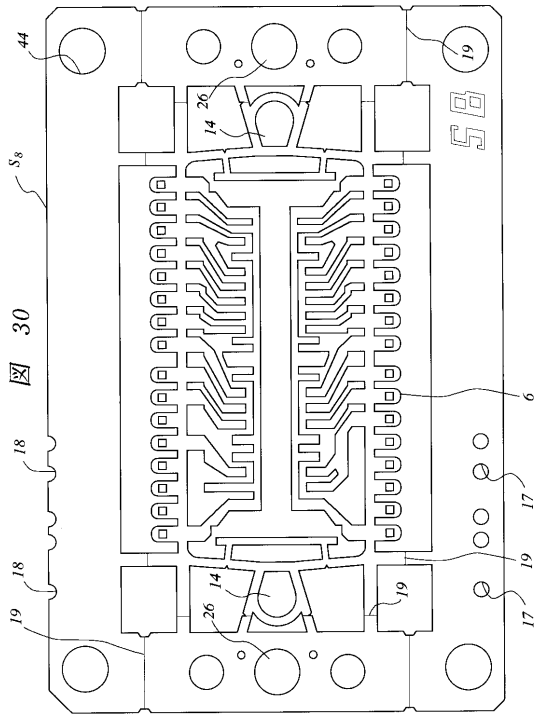


図 30

【図３１】

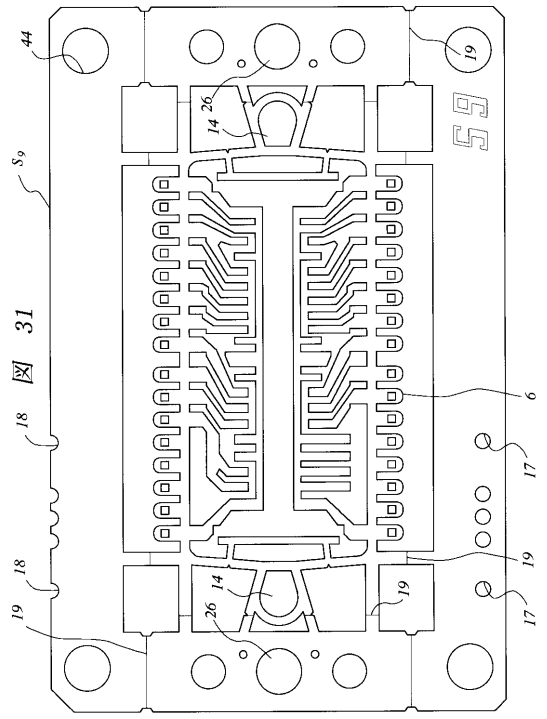


図 31

【図３２】

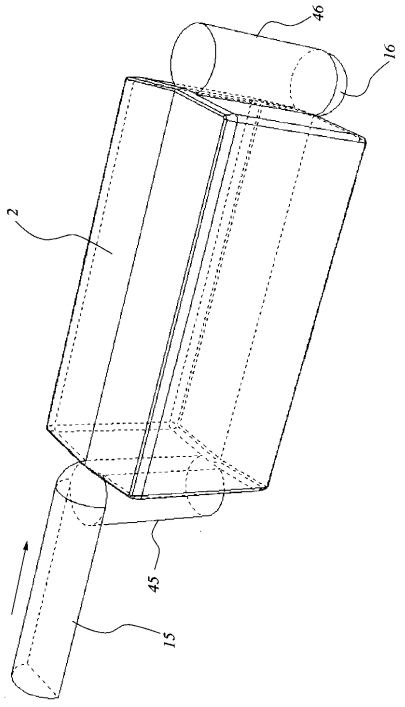


図 32

【図３３】

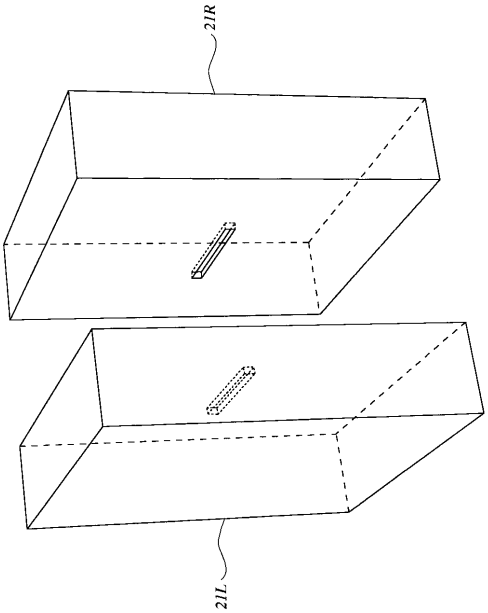
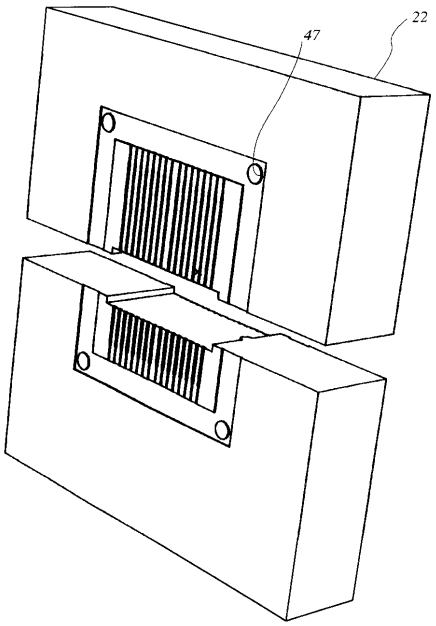


図 33

【図３４】

図 34



【図３５】

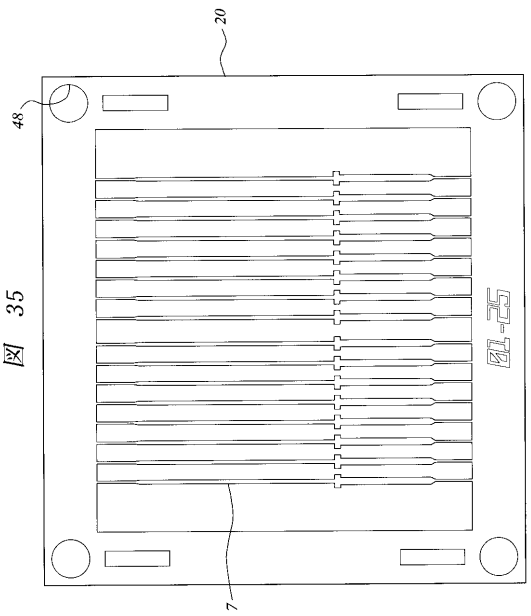


図 35

【図３６】

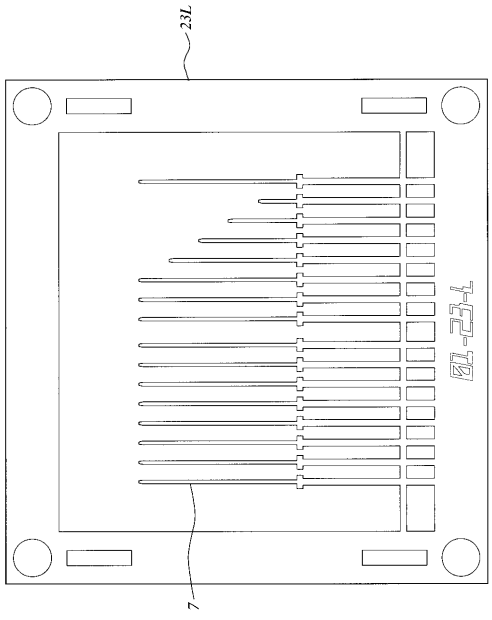


図 36

【図３７】

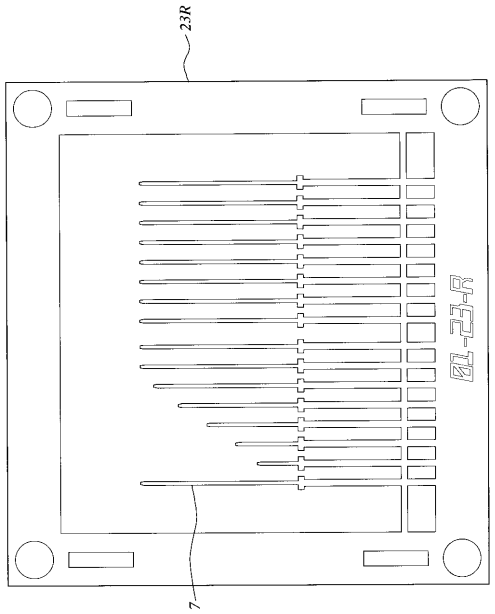


図 37

【図３８】

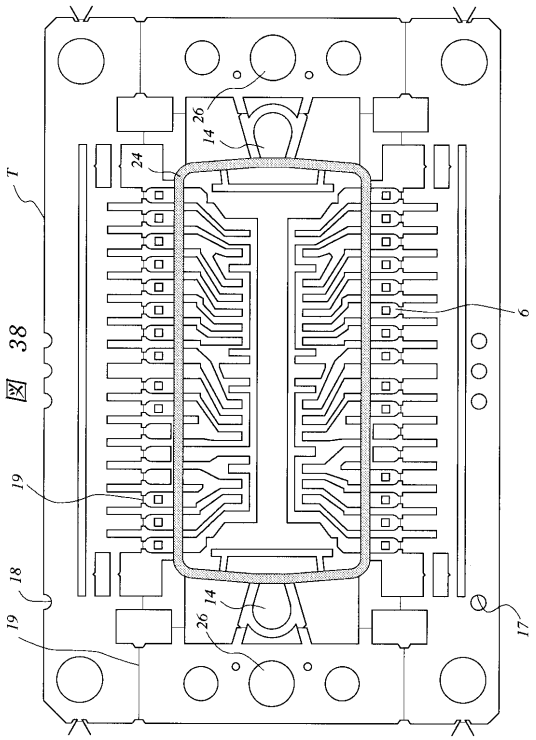


図 38

【図３９】

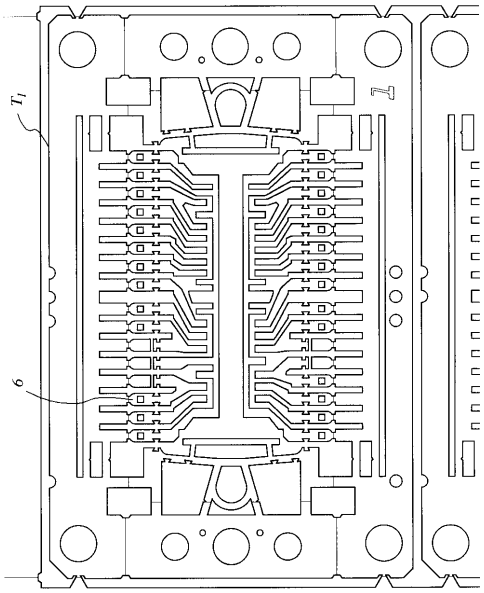


図 39

【図４０】

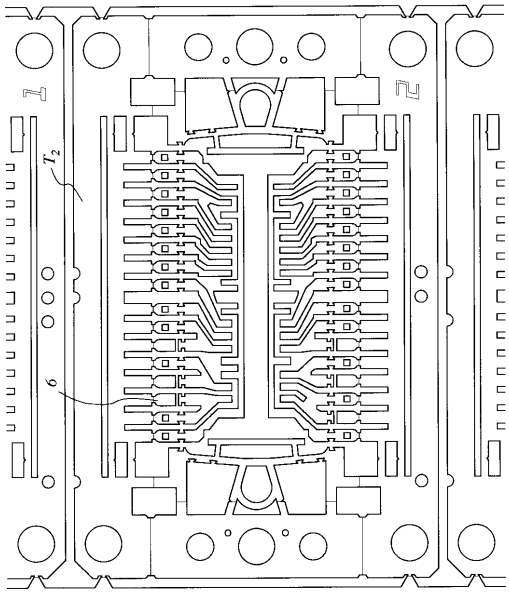


図 40

【図４１】

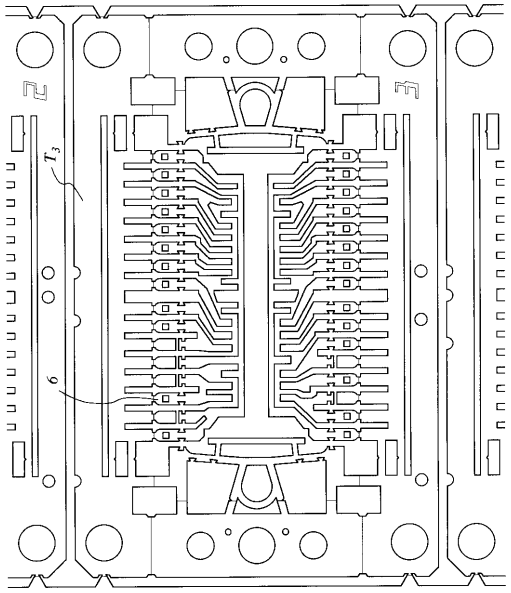


図 41

【図４２】

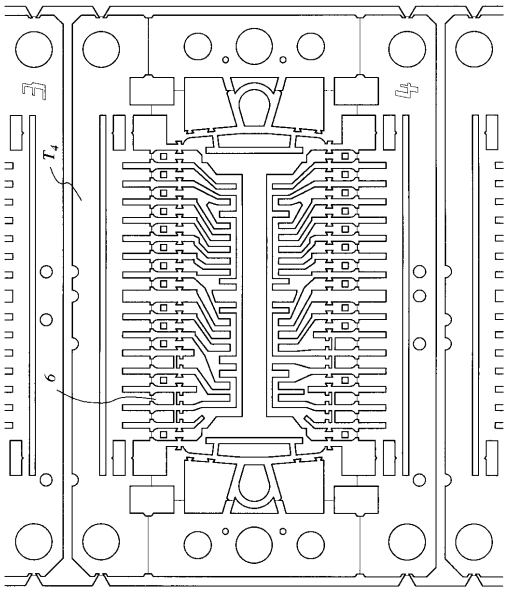


図 42

【図４３】

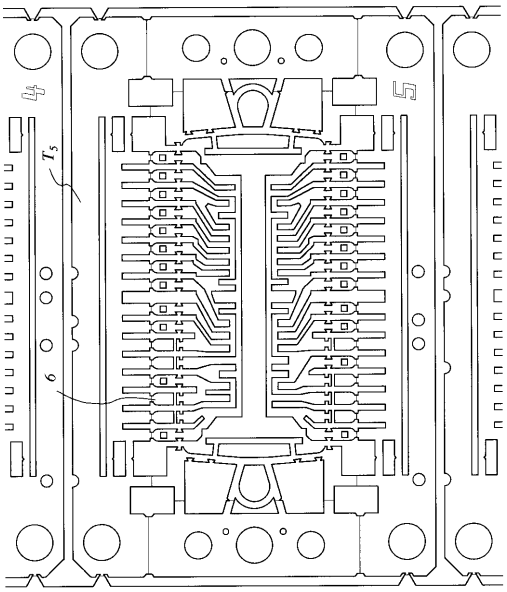


図 43

【図４４】

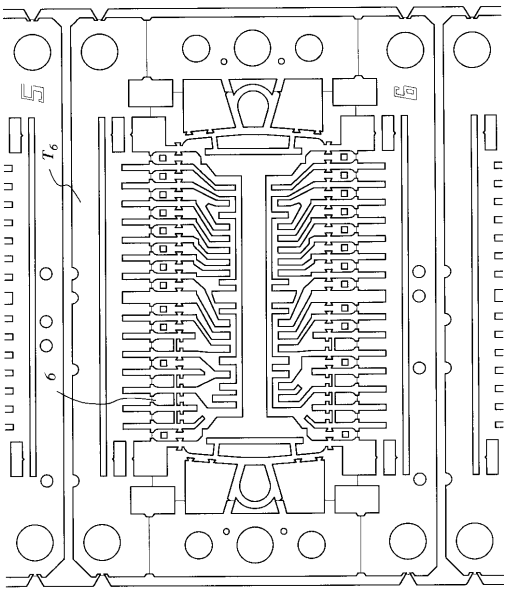


図 44

【図４５】

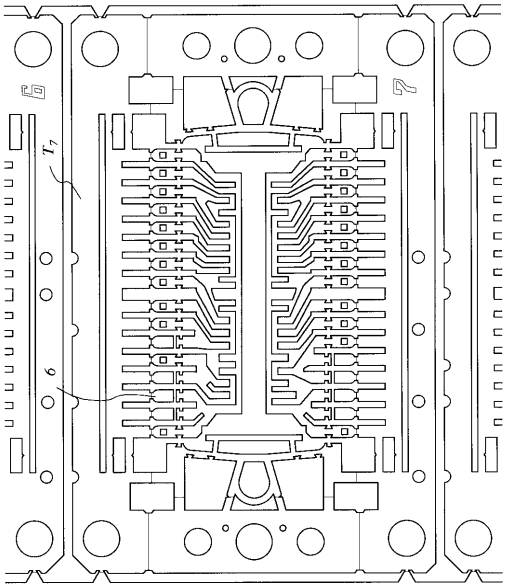


図 45

【図４６】

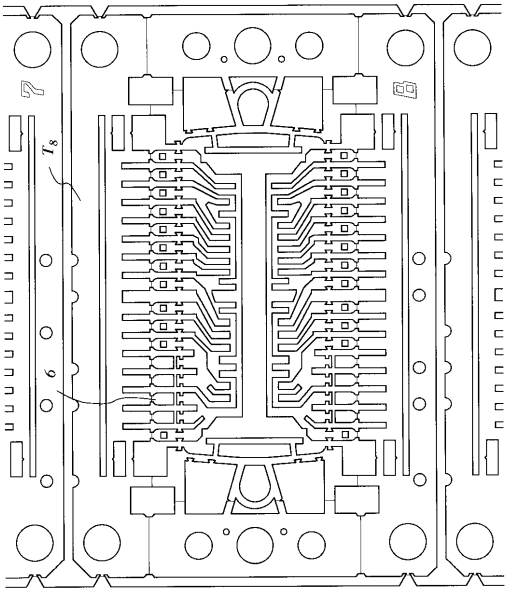


図 46

【図４７】

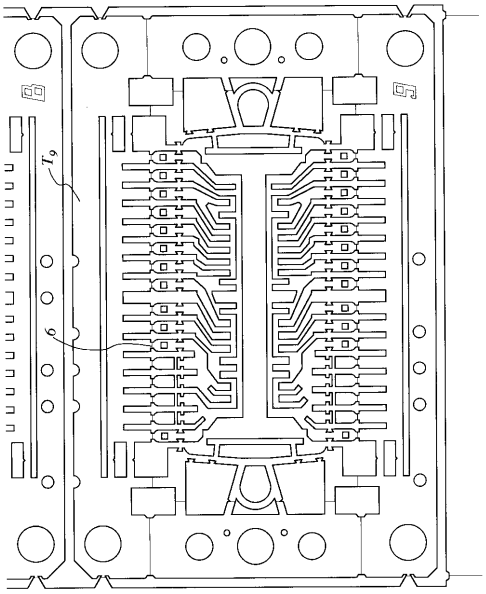


図 47

【図４８】

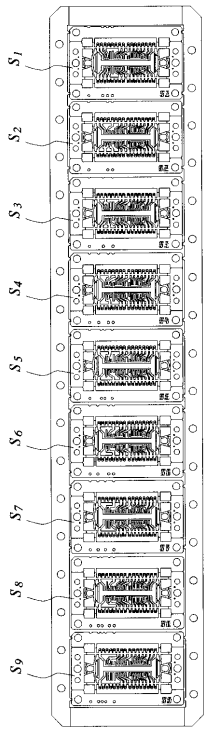
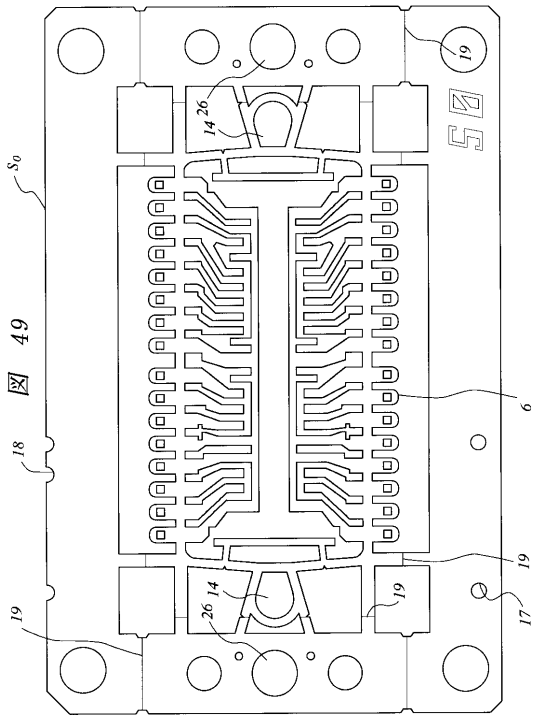
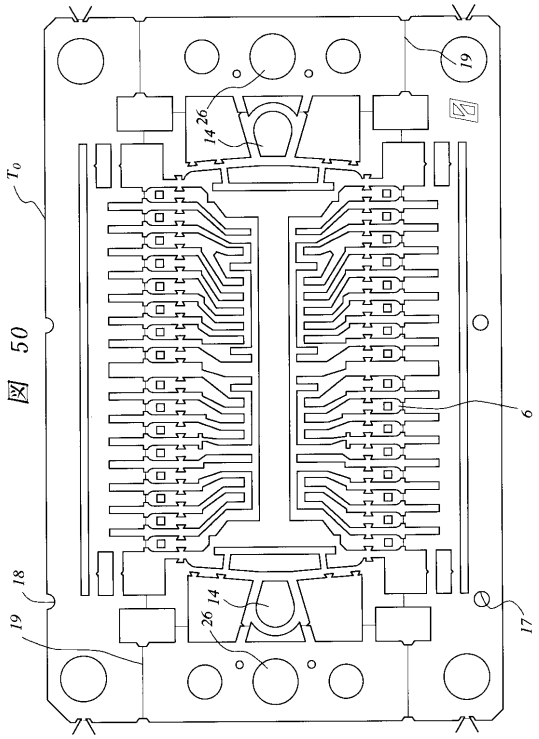


図 48

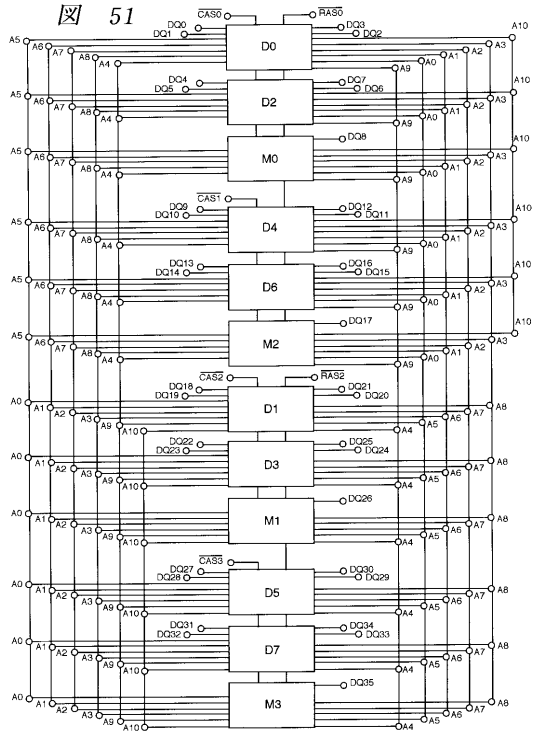
【図４９】



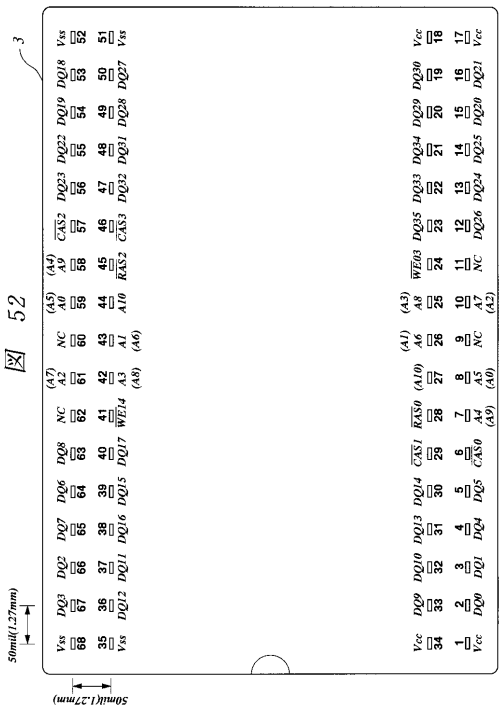
【図５０】



【図５１】



【図５２】



【図５３】

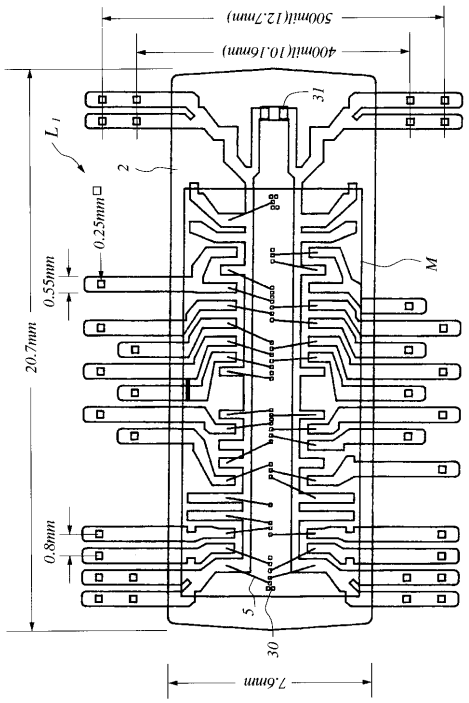


図 53

【図５４】

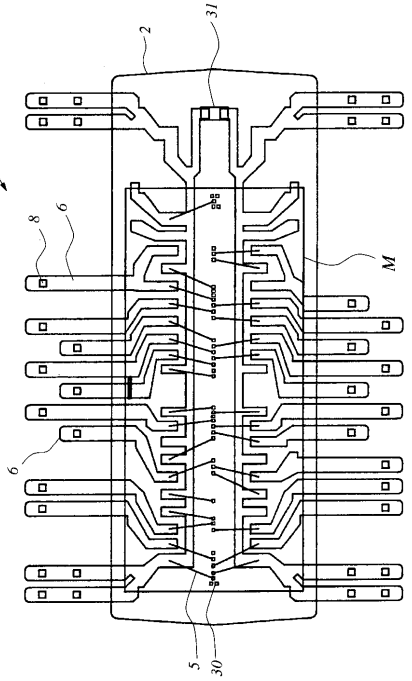


図 54

【図５５】

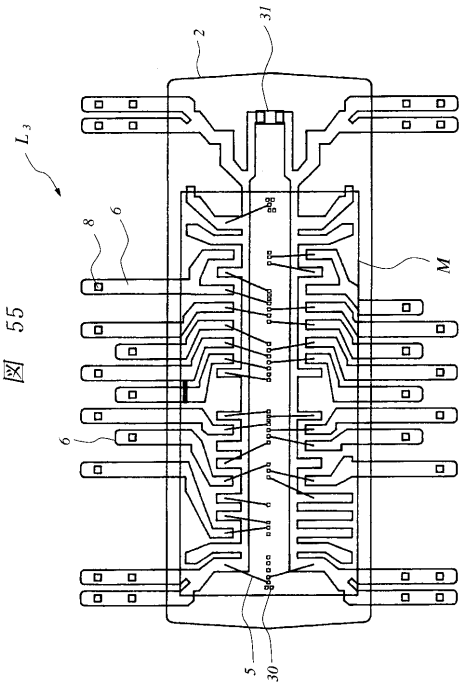


図 55

【図５６】

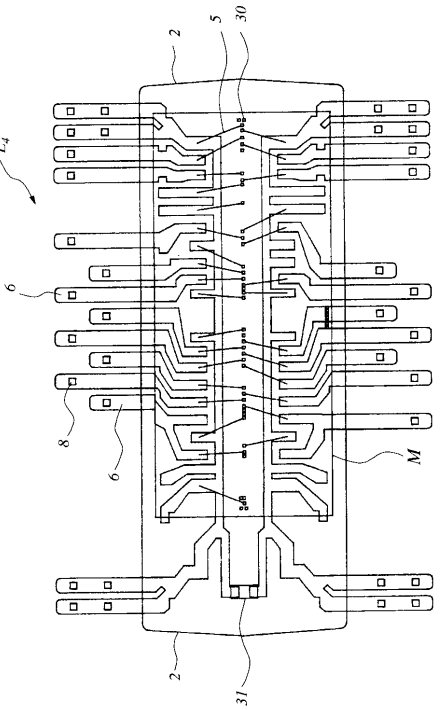


図 56

【図５７】

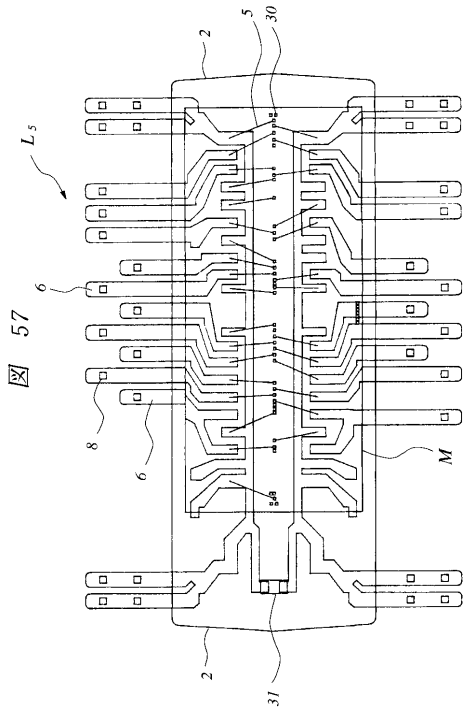


図 57

【図５８】

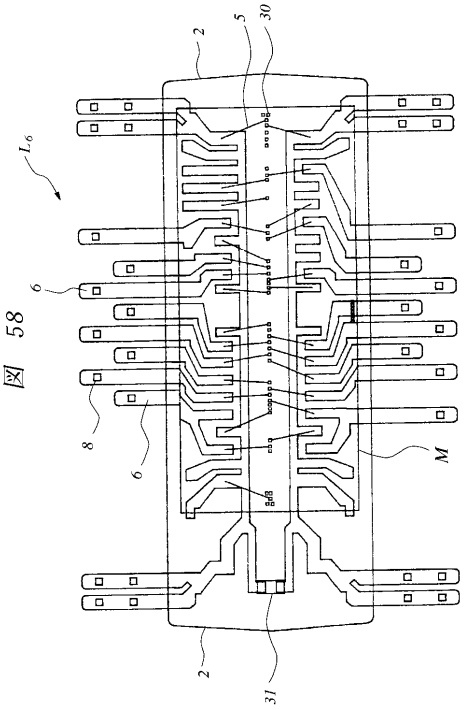


図 58

【図５９】

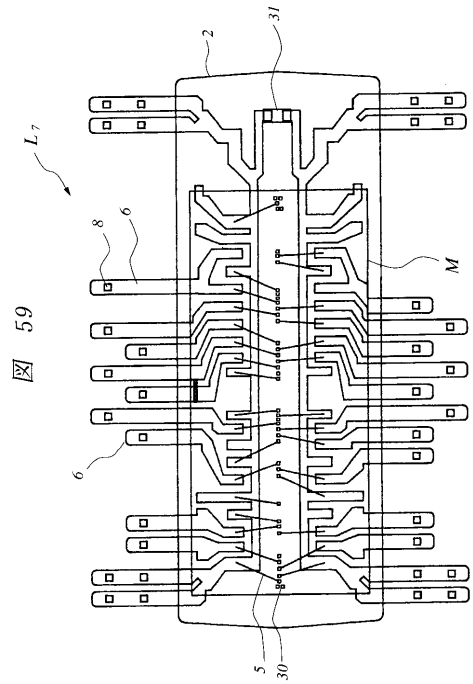


図 59

【図６０】

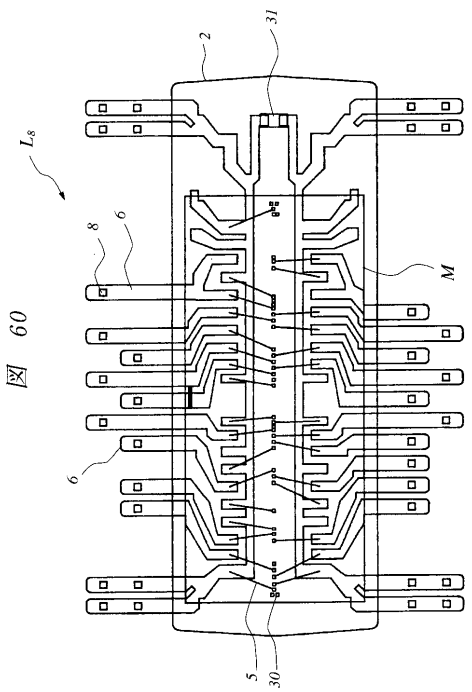


図 60

【図６１】

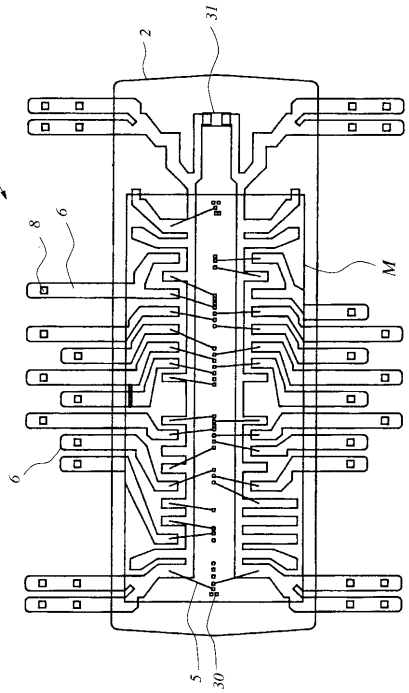


図 61

【図６２】

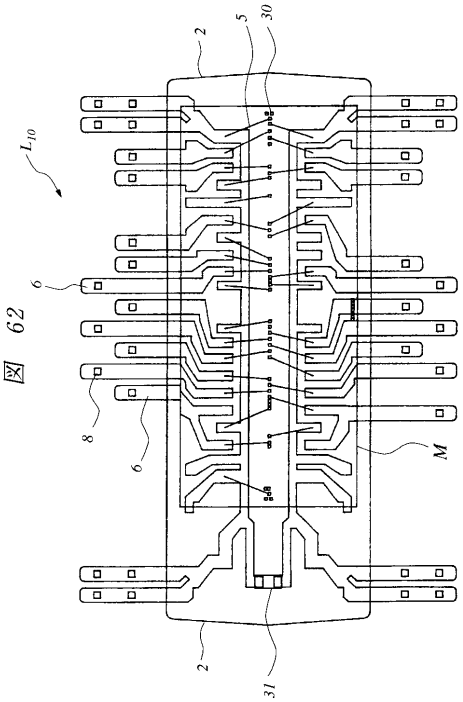


図 62

【図６３】

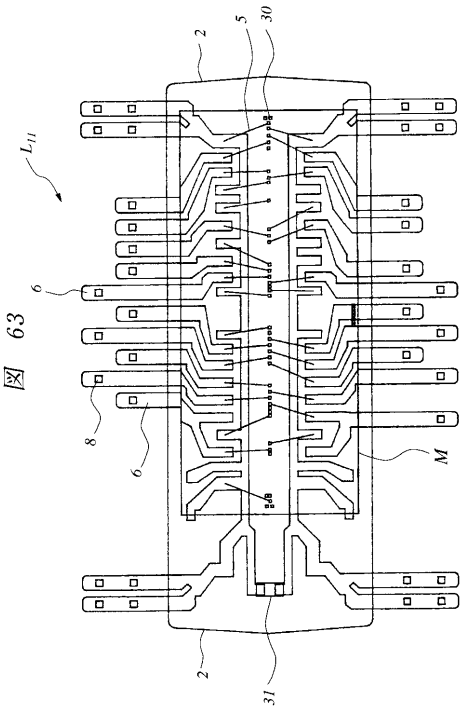


図 63

【図６４】

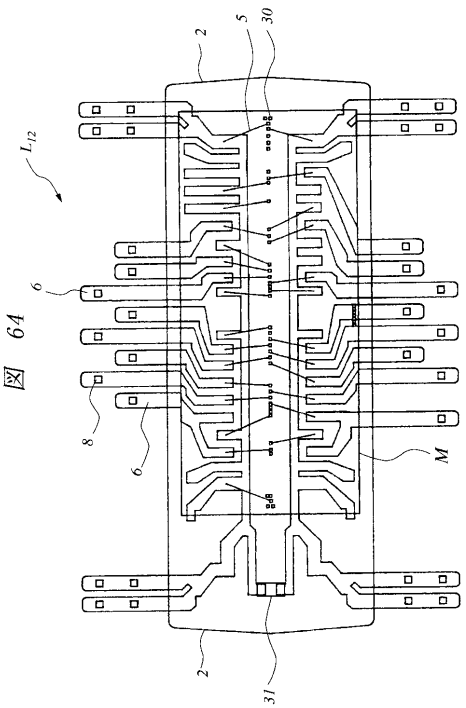
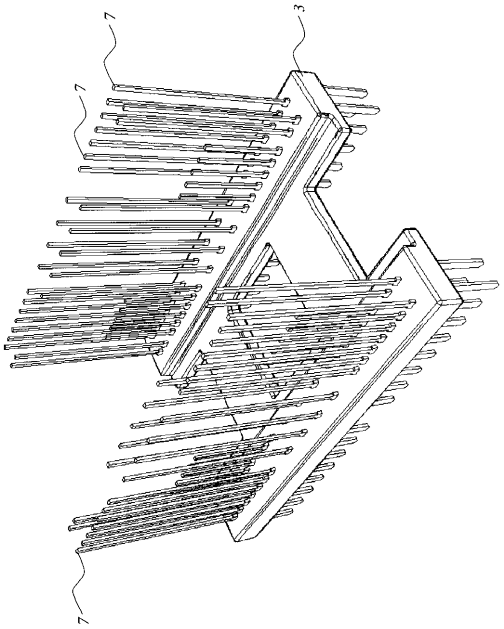


図 64

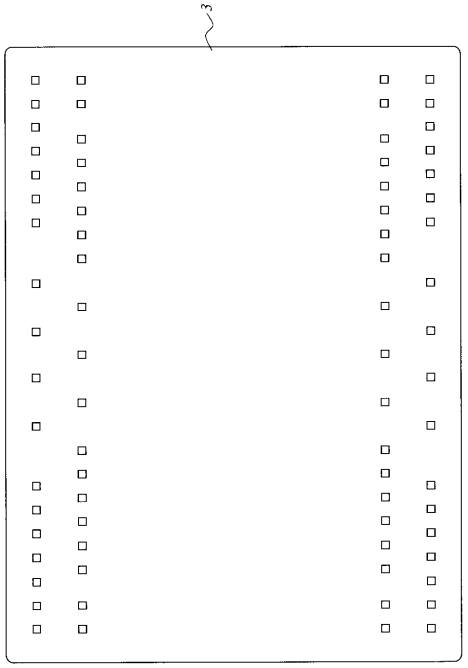
【図６５】

図 65



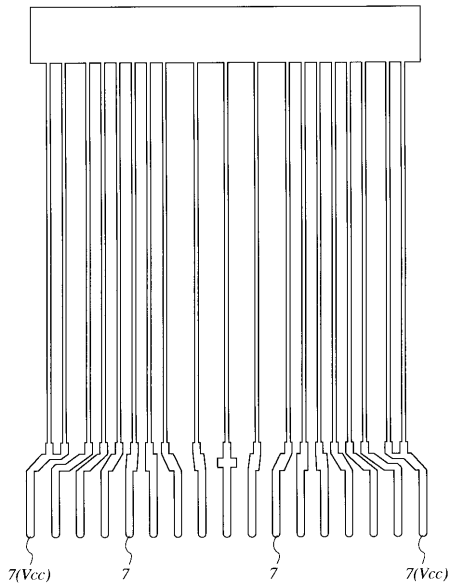
【図６６】

図 66



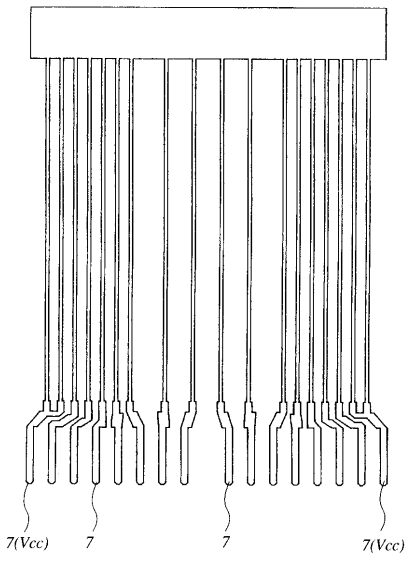
【図６７】

図 67



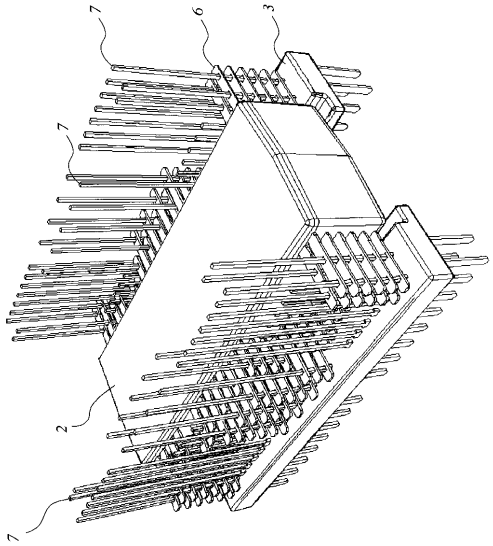
【図６８】

図 68



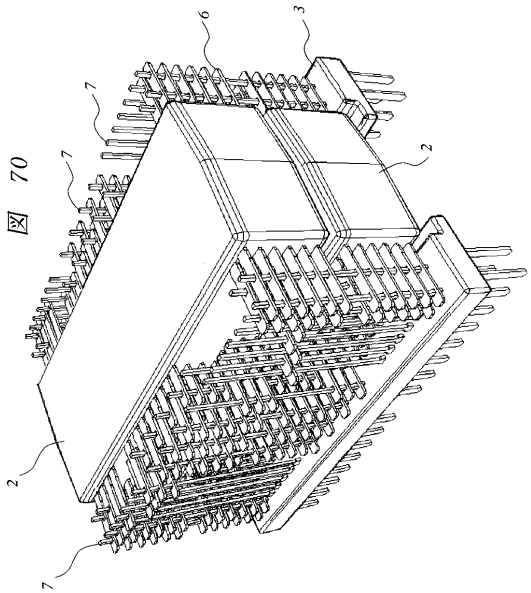
【図６９】

図 69



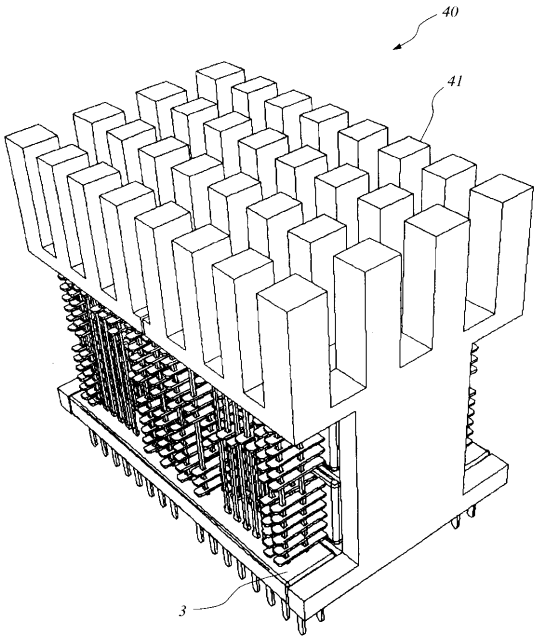
【図７０】

図 70



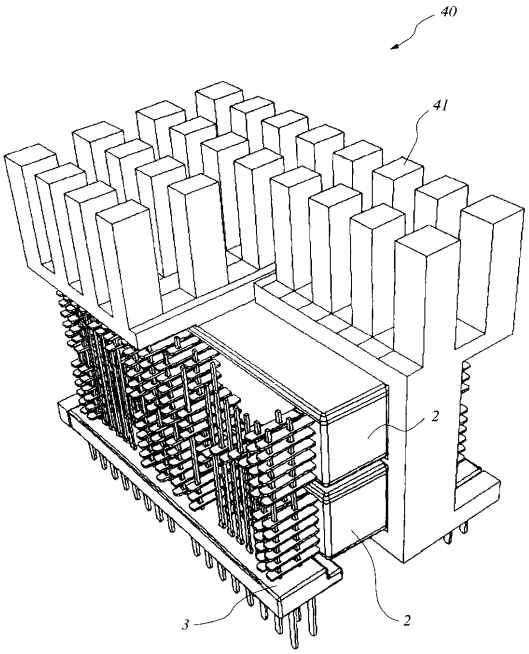
【図７１】

図 71



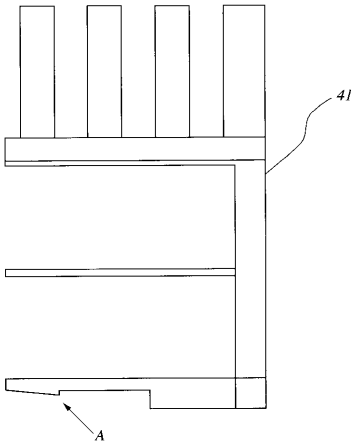
【図７２】

図 72



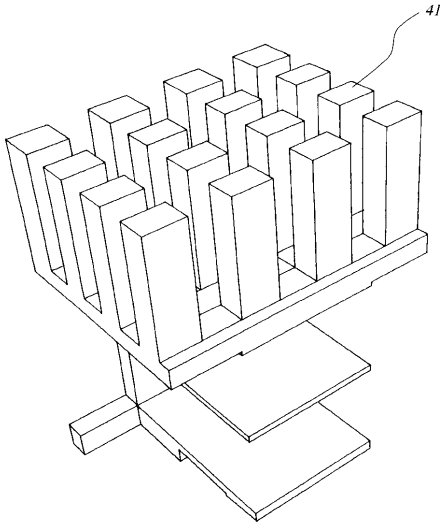
【図７３】

図 73



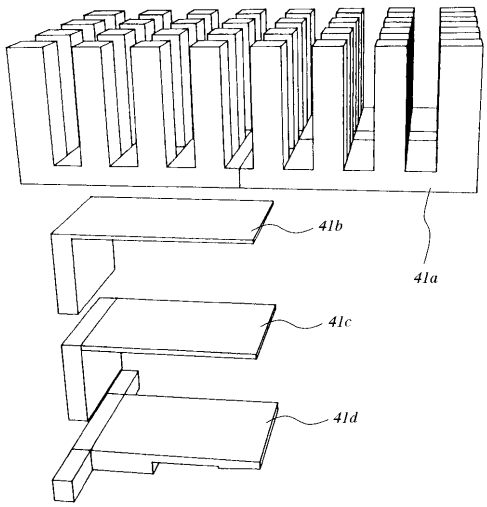
【図７４】

図 74



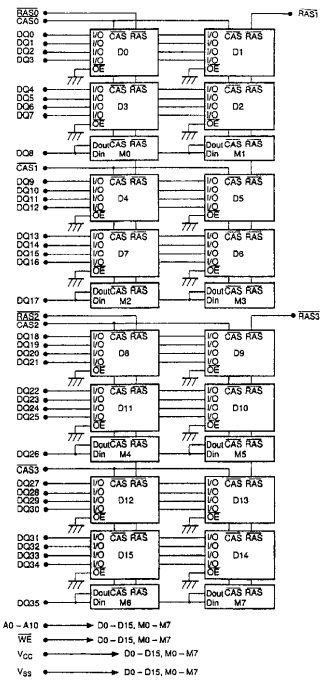
【図７５】

図 75



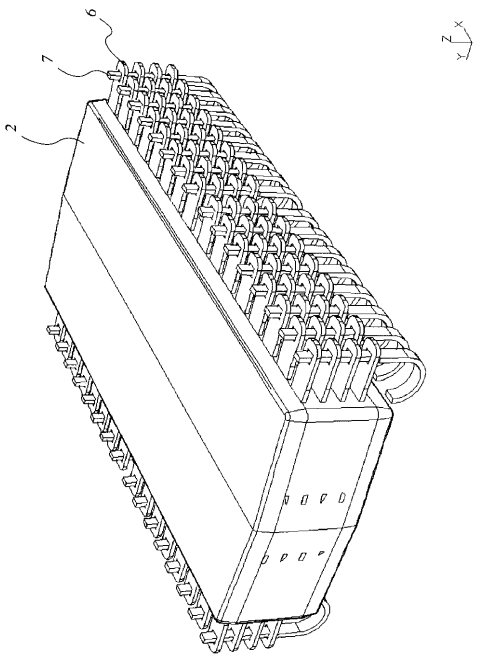
【図７６】

図 76



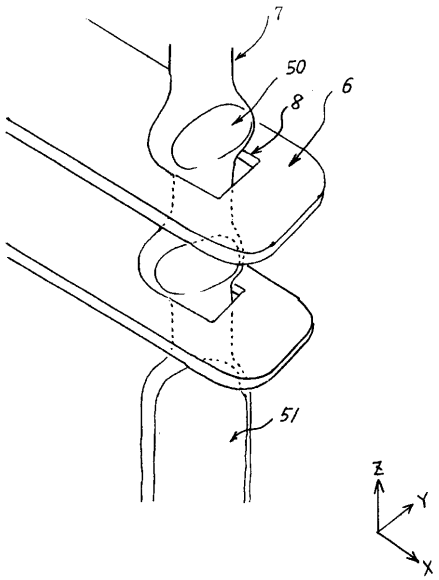
【図７７】

図 77



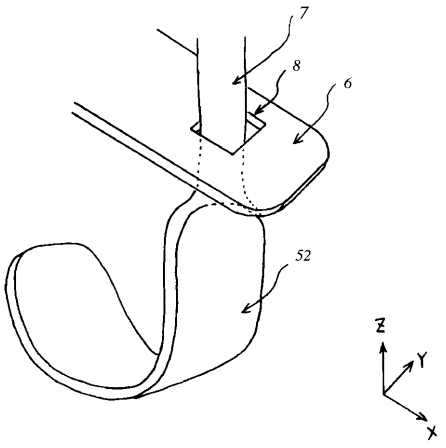
【図７８】

図 78



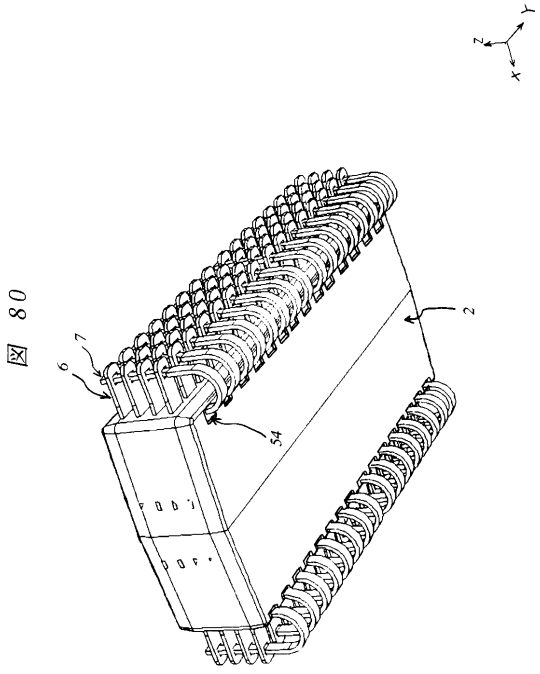
【図７９】

図 79



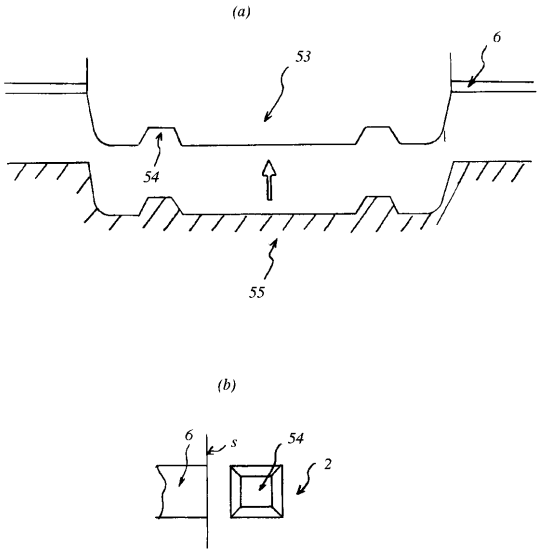
【図８０】

図 80



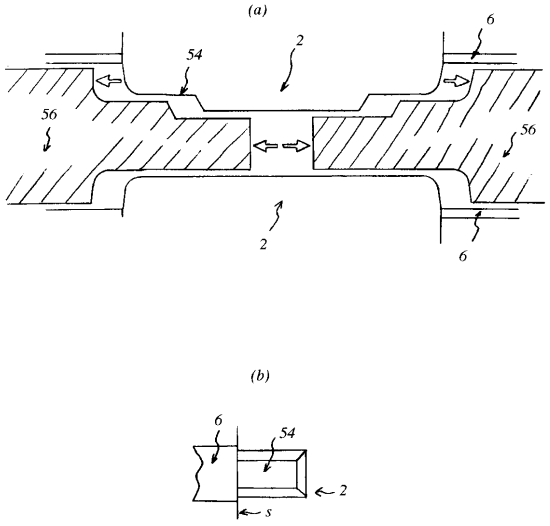
【図８１】

図 81



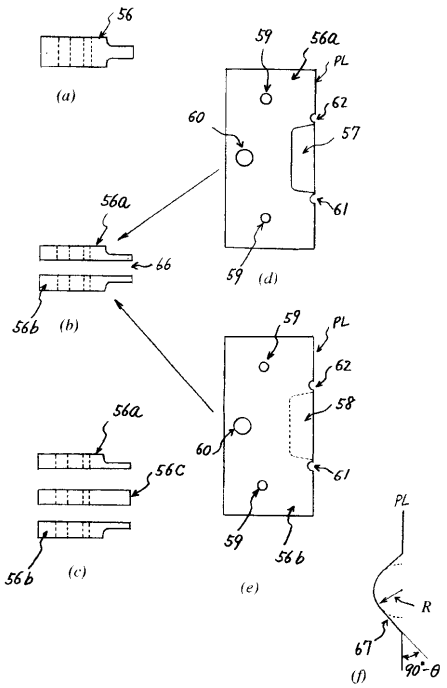
【図８２】

図 82



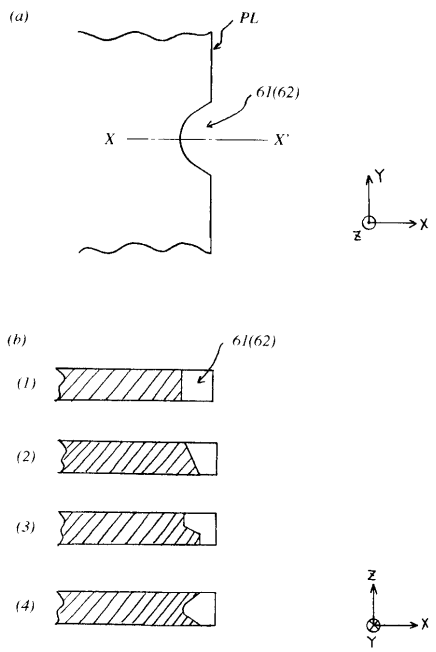
【図８３】

図 83



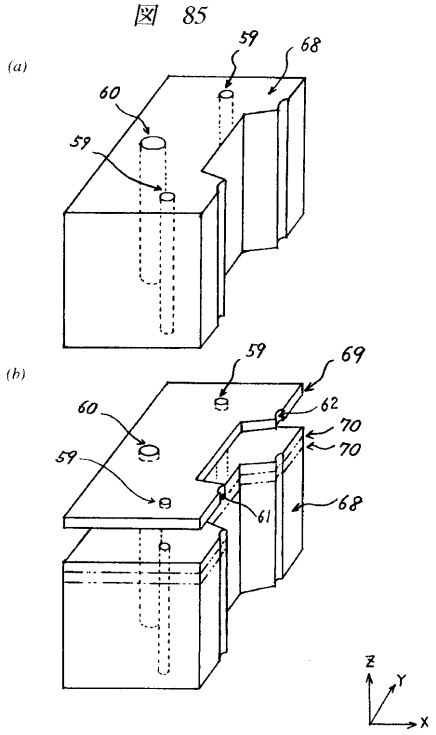
【図８４】

図 84



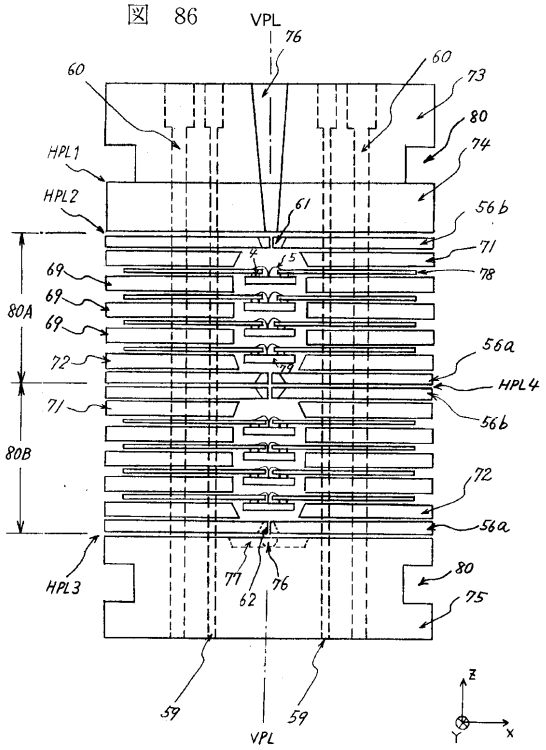
【図８５】

図 85



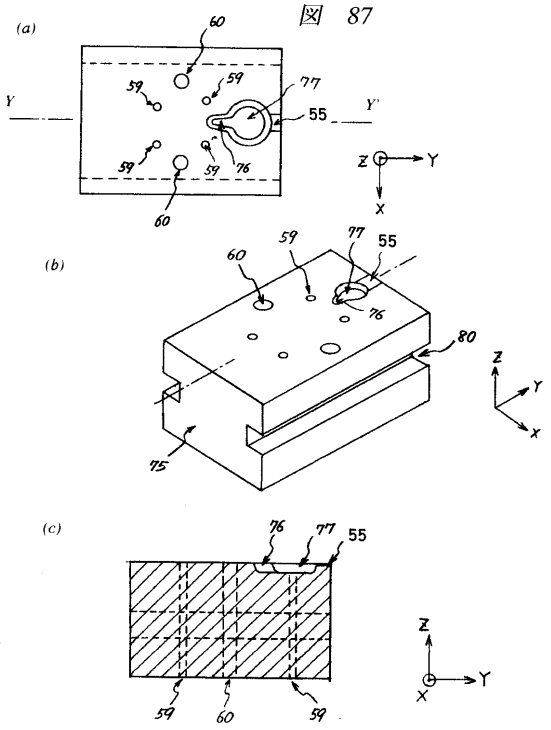
【図８６】

図 86



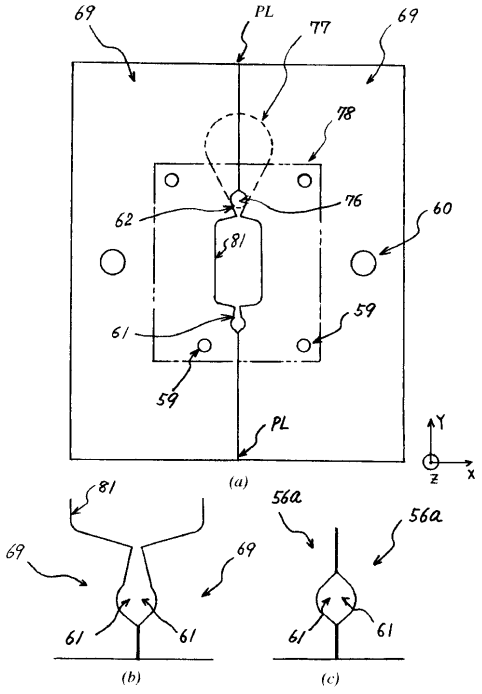
【図８７】

図 87



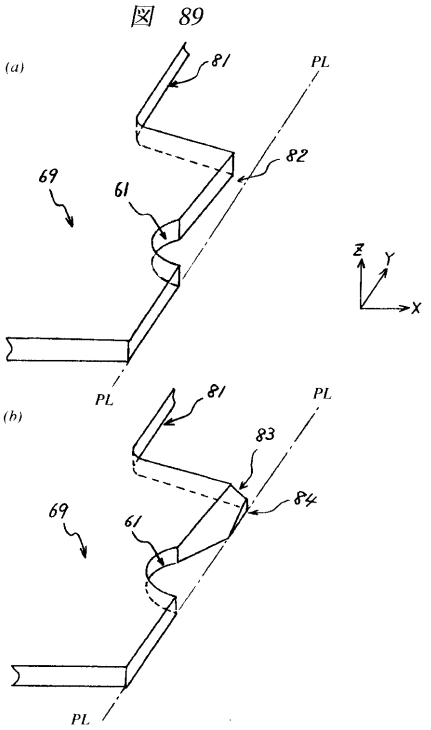
【図８８】

図 88



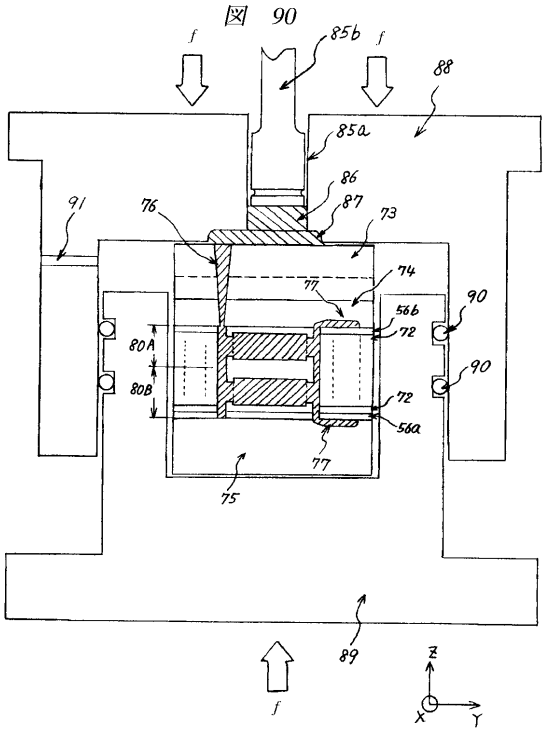
【図８９】

図 89



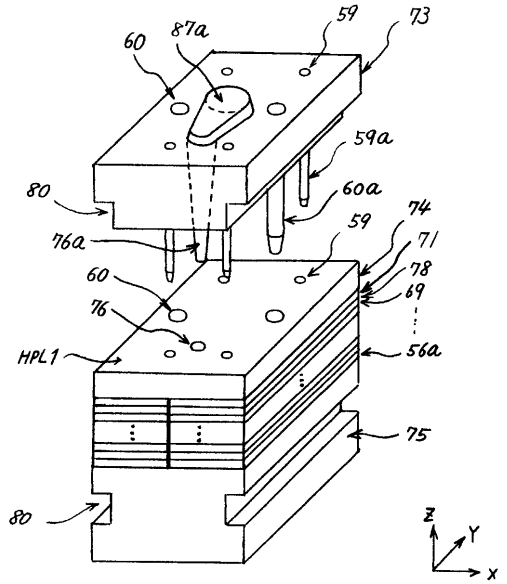
【図９０】

図 90



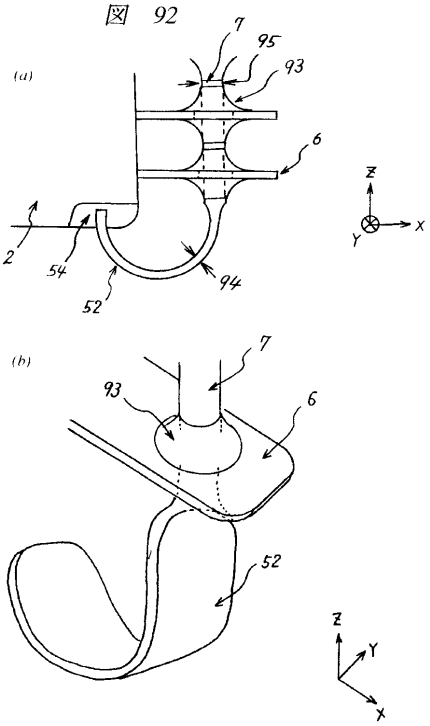
【図９１】

図 91



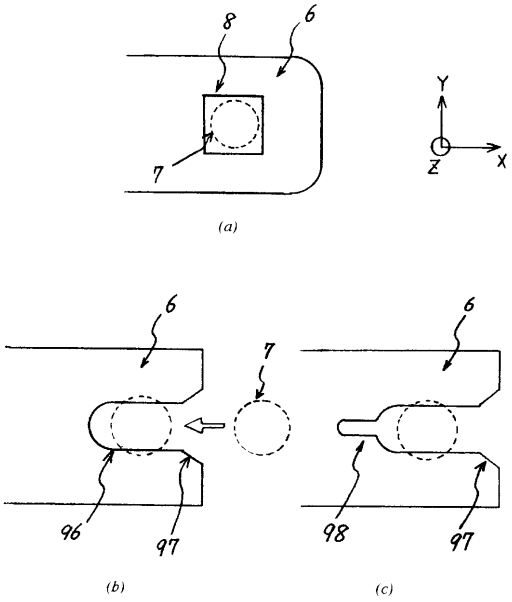
【図９２】

図 92



【図９３】

図 93



【図９４】

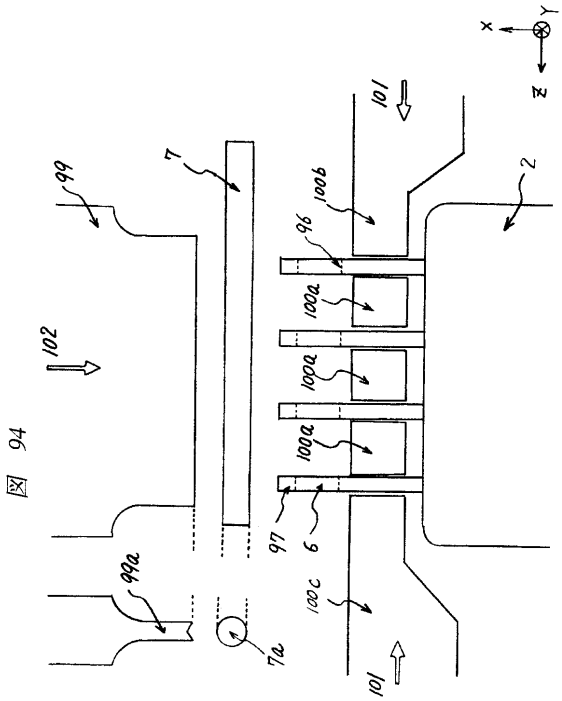
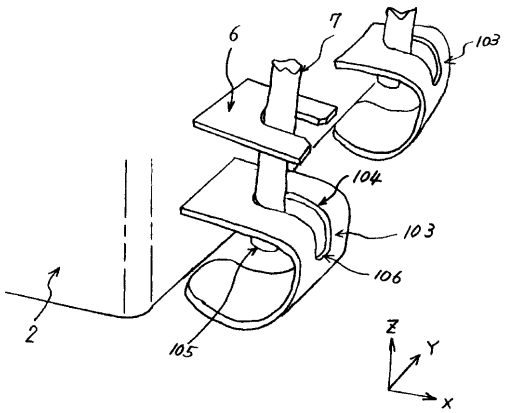


図 94

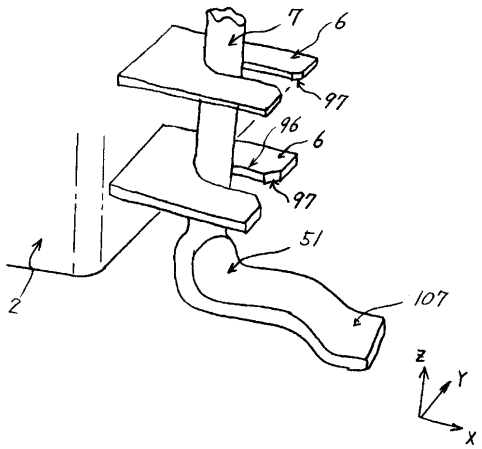
【図９５】

図 95



【図９６】

図 96



【図９７】

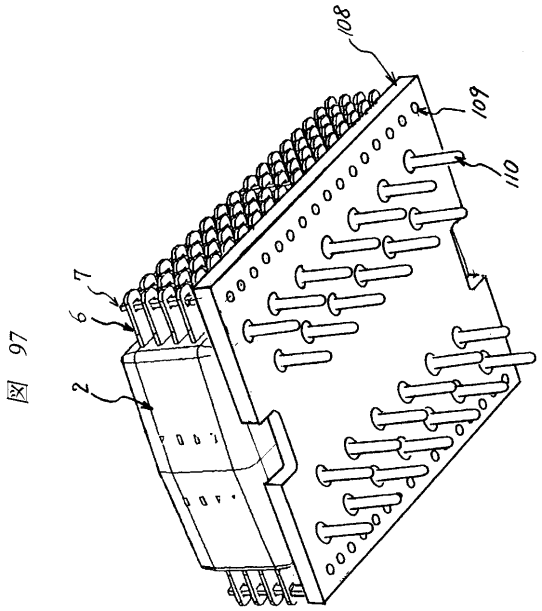


図 97

【図９８】

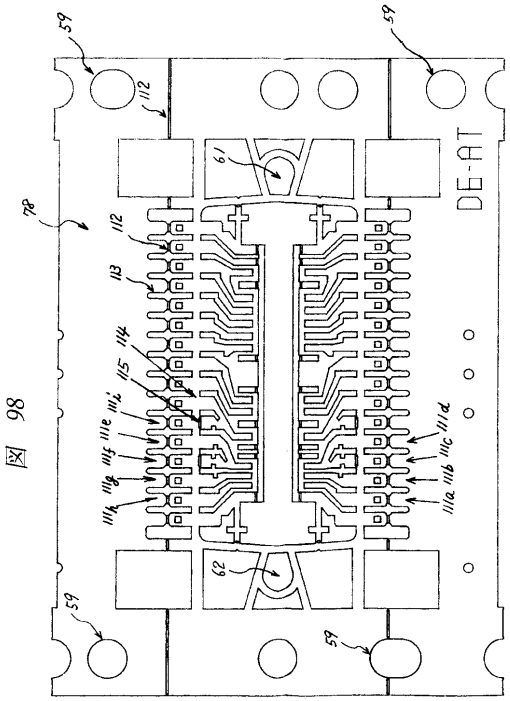


図 98

【図９９】

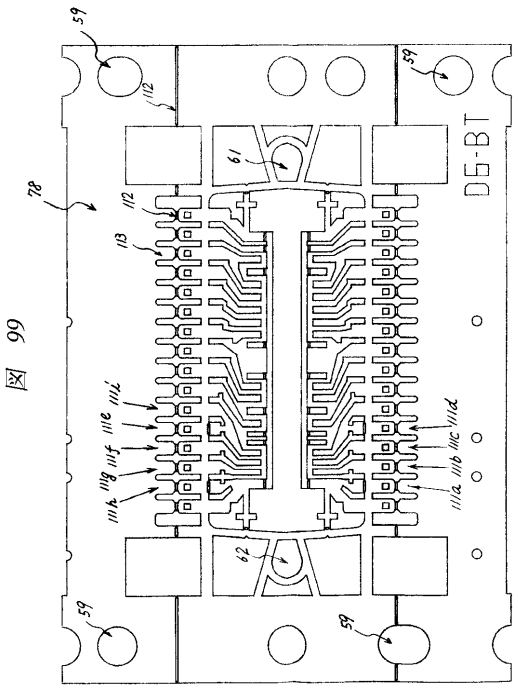
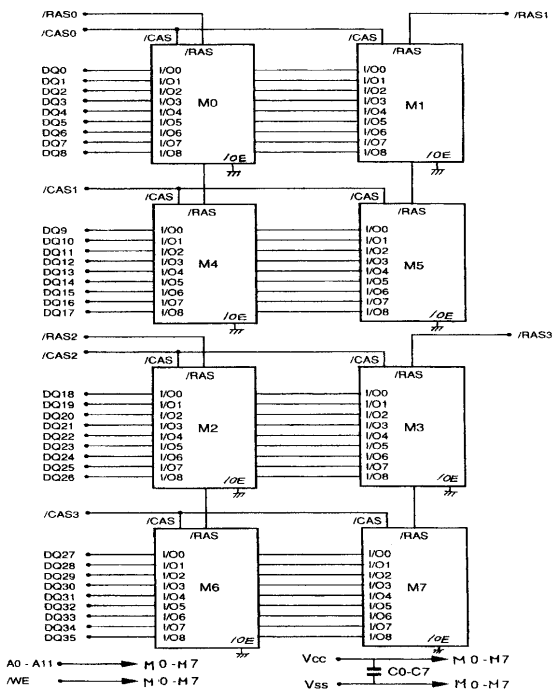


図 99

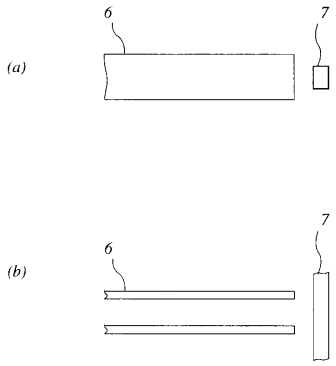
【図１００】

図 100



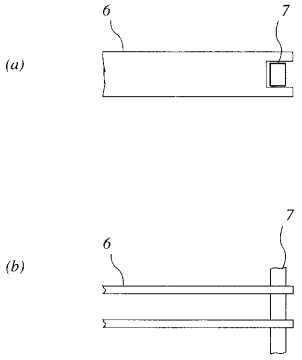
【図１０１】

図 101



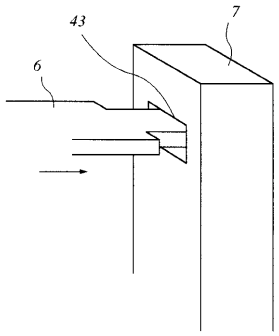
【図１０２】

図 102



【図１０３】

図 103



【図１０４】

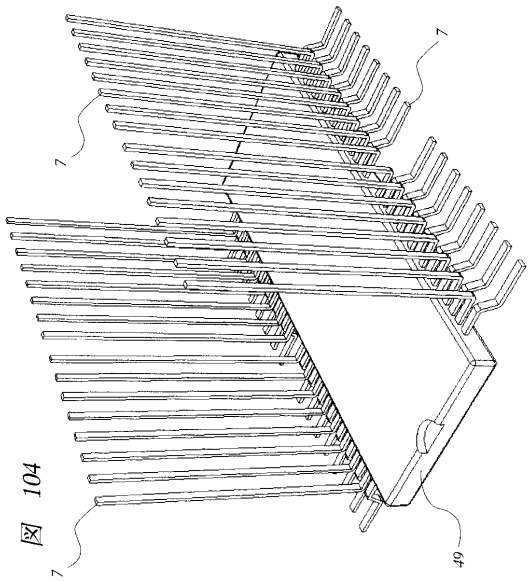


図 104

【図１０５】

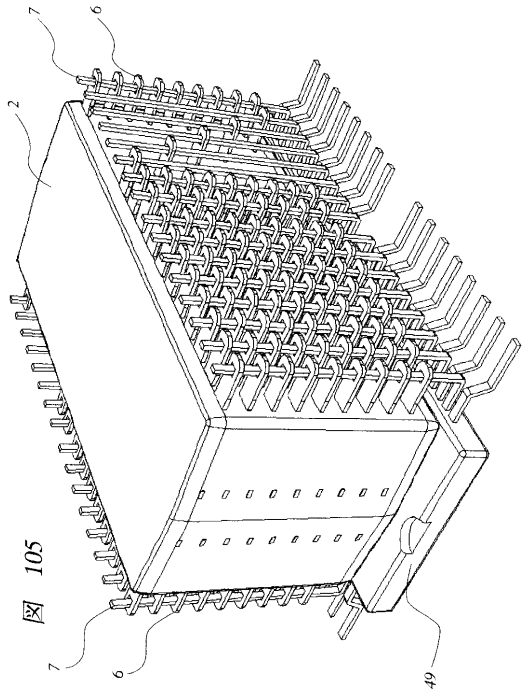


図 105

フロントページの続き

(72)発明者　三浦　与佳
東京都小平市上水本町５丁目２０番１号　日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者　安生　一郎
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　山田　利夫
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　関根　康
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　小原　哲治
東京都小平市上水本町５丁目２０番１号　日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者　英　善明
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　菅野　利夫
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　山口　泰紀
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　澤田　二郎
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　山村　雅宏
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　石原　政道
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　森田　貞雄
北海道亀田郡七飯町字中島１４５番地　日立北海セミコンダクタ株式会社内
(72)発明者　荒木　隆
北海道亀田郡七飯町字中島１４５番地　日立北海セミコンダクタ株式会社内
(72)発明者　竹浦　忍
北海道亀田郡七飯町字中島１４５番地　日立北海セミコンダクタ株式会社内
(72)発明者　附田　睦雄
北海道亀田郡七飯町字中島１４５番地　日立北海セミコンダクタ株式会社内
(72)発明者　葛西　紀彦
北海道亀田郡七飯町字中島１４５番地　日立北海セミコンダクタ株式会社内
(72)発明者　後藤　正克
北海道亀田郡七飯町字中島１４５番地　日立北海セミコンダクタ株式会社内

審査官　酒井　英夫

(56)参考文献　特開昭５９－１３８３５５（ＪＰ，Ａ）
特開平０４－１６２６５６（ＪＰ，Ａ）
特開平０３－０７９０６８（ＪＰ，Ａ）
特開昭６１－１１５３４１（ＪＰ，Ａ）
特開昭６１－０３２５６０（ＪＰ，Ａ）
特開平０２－２７１６５５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 25/00-25/18,23/28,21/56