

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 08.07.04.

30 Priorité : 10.07.03 KR 00346879.

43 Date de mise à la disposition du public de la
demande : 14.01.05 Bulletin 05/02.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Ce dernier n'a pas été
établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : SAMSUNG ELECTRONICS CO LTD
— KR.

72 Inventeur(s) : LEE BYEONG HOON et KIM SUN
KWON.

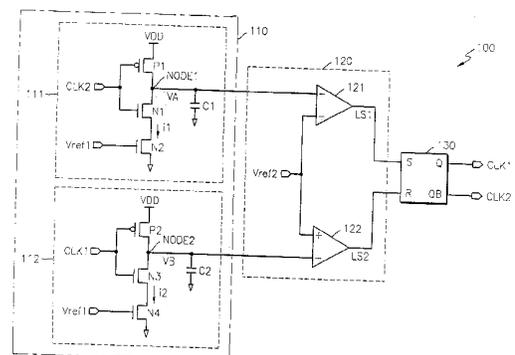
73 Titulaire(s) :

74 Mandataire(s) : SANTARELLI.

54 OSCILLATEUR ET PROCEDE DE GENERATION D'UN SIGNAL OSCILLANT.

57 L'invention concerne un oscillateur (100) comportant un circuit (110) de génération de tension de comparaison, un circuit (120) de comparaison et un circuit (130) de commutation d'horloge. Le circuit (110) génère des tensions de comparaison (VB) qui changent en réponse à des signaux d'horloge (CLK2, CLK1) et à une première tension de référence (Vref1). Le circuit (120) de comparaison compare les niveaux des tensions de comparaison à une seconde tension de référence (Vref2) et délivre en sortie des signaux logiques (LS1, LS2) dont les niveaux correspondent au résultat de la comparaison. Le circuit de commutation délivre en sortie les signaux d'horloge (CLK1, CLK2) dont la fréquence varie en proportion inverse de la tension (VDD) de la source d'énergie, en réponse aux signaux logiques.

Domaine d'application: Dispositifs numériques portables tels que caméscope, caméra numérique, assistant numérique personnel, lecteur MP3, etc.



L'invention concerne des circuits intégrés et des procédés pour les faire fonctionner, et elle a trait plus particulièrement à des oscillateurs et à des procédés d'oscillation.

5 Des oscillateurs sont utilisés dans divers types de dispositifs à semiconducteurs. Un dispositif de mémoire à semiconducteurs sera utilisé ici à titre d'exemple d'un dispositif à semiconducteurs pouvant utiliser un oscillateur. Le dispositif de mémoire à semiconducteurs
10 peut comprendre un circuit de génération d'une surtension. Le circuit générateur d'une surtension génère une surtension supérieure à une tension d'une source d'énergie extérieure. le circuit générateur de surtension peut être utilisé pour un circuit d'attaque de ligne de mots, un
15 circuit d'isolement de ligne de bits et/ou un tampon de sortie de données dans le dispositif de mémoire à semiconducteurs.

De plus, un dispositif de mémoire flash peut être utilisé dans des dispositifs numériques portables tels
20 qu'un caméscope, une caméra numérique, un assistant numérique personnel (PDA pour "personal digital assistant"), et/ou un lecteur de couche 3 MPEG-1 (MP3). Une cellule de mémoire du dispositif de mémoire flash peut être programmée par l'injection d'électrons chauds et peut être
25 restaurée par un effet de tunnel Fowler-Norheim (FN) apparaissant dans une couche isolante entre une électrode de source de la cellule de mémoire et une grille flottante de la cellule de mémoire. En tant que tel, le dispositif de mémoire flash peut utiliser une haute tension lors d'une
30 programmation et d'une restauration. Un dispositif de mémoire flash peut donc comprendre un circuit générateur de haute tension.

Un circuit générateur de surtension d'un dispositif de mémoire à semiconducteur et/ou un circuit générateur de
35 haute tension d'un dispositif de mémoire flash peuvent comprendre généralement un circuit de pompage et un

oscillateur. Le circuit de pompage peut générer une surtension ou une haute tension en réponse à un signal de commande d'impulsions, et l'oscillateur génère un signal de commande d'impulsions.

5 Avec la demande croissante de produits numériques portables capables de fonctionner pendant une longue durée à l'aide d'une batterie, on a essayé de réduire la dissipation de puissance dans des produits numériques portables. Une cause de la dissipation de puissance de
10 produits numériques portables est le circuit de génération d'une haute tension du dispositif de mémoire flash. En particulier, dans le circuit générateur de haute tension, une variation d'une fréquence d'un signal de sortie d'un oscillateur qui commande le fonctionnement du circuit de
15 pompage peut avoir une influence sur l'intensité du courant consommé par le dispositif numérique portable. Il peut donc être souhaitable de réguler la fréquence du signal de sortie de l'oscillateur, afin que le courant consommé par le dispositif numérique portable puisse être réduit.

20 La figure 1A des dessins annexés et décrits ci-après illustre un oscillateur en anneau classique et la figure 1B des mêmes dessins est un schéma détaillé du circuit d'un inverseur de la figure 1A.

En référence à la figure 1A, un oscillateur 10 en
25 anneau comprend plusieurs inverseurs, par exemple cinq inverseurs 11 à 15, qui sont connectés en série. Un signal d'horloge CLK-IN est appliqué en entrée au premier inverseur 11. Un signal d'horloge CLK-OUT sortant du cinquième inverseur 15 est renvoyé au premier inverseur 11.
30 Le signal d'horloge CLK-OUT est retardé d'un intervalle de temps prédéterminé par chacun des premier à cinquième inverseurs 11 à 15. Etant donné que le signal d'horloge CLK-OUT délivré en sortie du cinquième inverseur 15 est renvoyé au premier inverseur 11, l'oscillateur 10 en anneau
35 délivre en sortie le signal d'horloge CLK-OUT de façon répétée.

Chacun des premier à cinquième inverseurs 11 à 15 peut être réalisé sous la forme d'un inverseur de type CMOS. Par exemple, en référence à la figure 1B, le premier inverseur 11 comprend un transistor PM de type PMOS et un transistor NM de type NMOS. La source du transistor PMOS PM est connectée à une tension de source d'énergie VDD, et le drain du transistor PMOS PM est connecté au drain du transistor NMOS NM. La source du transistor NMOS NM est connectée à une tension de masse VSS. Un signal d'entrée IN est appliqué en entrée aux grilles du transistor PMOS PM et du transistor NMOS NM. Un signal de sortie OUT est délivré en sortie des drains du transistor PMOS PM et du transistor NMOS NM. Le premier inverseur 11 retarde le signal d'entrée IN d'une durée prédéterminée et délivre en sortie le signal retardé en tant que signal de sortie OUT.

Lorsque la tension VDD de la source d'énergie diminue, le retard prédéterminé du premier inverseur 11 augmente. Il en résulte que, lorsque la tension VDD de la source d'énergie augmente, la fréquence du signal d'horloge CLK-OUT délivré en sortie de l'oscillateur 10 en anneau augmente et lorsque la tension VDD de la source d'énergie diminue, la fréquence du signal d'horloge CLK-OUT délivré en sortie de l'oscillateur 10 en anneau diminue.

La figure 2 des dessins annexés et décrits ci-après est un graphique illustrant une relation entre la fréquence d'un signal de sortie, le courant et la tension d'une source d'énergie dans un oscillateur classique incorporé dans un système. En référence à la figure 2, la courbe A représente la fréquence du signal de sortie de l'oscillateur en fonction de la tension de la source d'énergie, la courbe B représente le courant consommé par le système comprenant l'oscillateur en fonction de la tension de la source d'énergie et la fréquence du signal de sortie de l'oscillateur, et la courbe C représente le courant généré par un bloc générateur de courant comprenant l'oscillateur dans le système en fonction de la tension de

la source d'énergie et la fréquence du signal de sortie de l'oscillateur.

Le bloc générateur de courant peut être, par exemple, le circuit générateur de haute tension du dispositif à
5 mémoire flash.

Lorsque la tension de la source d'énergie s'élève de V_1 à V_2 , on peut voir d'après la courbe A que la fréquence du signal de sortie de l'oscillateur s'élève de F_1 à F_2 . Lorsque la tension de la source d'énergie augmente de V_1 à
10 V_2 et que la fréquence du signal de sortie de l'oscillateur augmente de F_1 à F_2 , on peut voir d'après la courbe B que le courant consommé augmente de I_3 à I_4 et on peut voir d'après la courbe C que le courant généré augmente de I_1 à I_2 . Ici, I_1 est l'intensité minimale du courant pour le
15 fonctionnement de l'ensemble du système et I_3 est l'intensité minimale du courant consommé pendant le fonctionnement de l'ensemble du système. On peut voir d'après les courbes de la figure 2 que, lorsque la
20 fréquence du signal de sortie de l'oscillateur augmente, le courant généré et consommé par le système peut également augmenter.

Le Brevet des Etats-Unis d'Amérique N° 6 295 217 de Yang et al., intitulé "*Low Power Dissipation Power Supply and Controller*", décrit une alimentation en énergie qui
25 comprend un oscillateur commandé en tension (VCO) qui réagit à une tension de ligne continue redressée assurant un fonctionnement en fréquence variable dans un mode d'attente. La fréquence de sortie de l'oscillateur VCO est
inversement proportionnelle à la tension de la ligne -
30 lorsque la tension de la ligne croît, la fréquence de commutation diminue, ce qui diminue la puissance de sortie. Voir l'abrégé du brevet précité.

Conformément à certaines formes de réalisation de l'invention, un oscillateur comporte un circuit de
35 génération d'une tension de comparaison, un circuit de comparaison et un circuit de commutation d'horloge. Le

circuit de génération de tension de comparaison est attaqué par la tension d'une source d'énergie et génère des tensions de comparaison qui changent en réponse à des signaux d'horloge ayant une fréquence qui varie en proportion inverse de la tension de la source d'énergie et d'une première fréquence de référence. Le circuit de comparaison compare les niveaux des tensions de comparaison à une seconde tension de référence et délivre en sortie des signaux logiques ayant des niveaux logiques en résultat de la comparaison. Le circuit de commutation d'horloge délivre en sortie des signaux d'horloge qui ont une fréquence qui varie en proportion inverse de la tension de la source d'énergie, en réponse aux signaux logiques.

L'invention sera décrite plus en détail en regard des dessins annexés à titre d'exemples nullement limitatifs et sur lesquels :

la figure 1A est un schéma illustrant un oscillateur en anneau classique ;

la figure 1B est un schéma détaillé d'un circuit d'un inverseur dans l'oscillateur en anneau classique de la figure 1 ;

la figure 2 est un graphique illustrant la relation entre la fréquence d'un signal de sortie, le courant et la tension d'une source d'énergie dans l'oscillateur classique ;

la figure 3 est un schéma d'un oscillateur qui fait varier la fréquence en proportion inverse de la tension d'une source d'énergie selon des formes de réalisation de l'invention ;

la figure 4 est un graphique illustrant la relation entre une première tension de comparaison et une période d'un premier signal d'horloge dans un oscillateur de la figure 3 ;

la figure 5 est un graphique illustrant la relation entre la fréquence d'un signal de sortie, le courant et la

tension d'une source d'énergie dans l'oscillateur de la figure 3 ;

La figure 6 est un schéma d'un circuit de génération de tension de référence d'un oscillateur qui modifie la fréquence en proportion inverse de la tension d'une source d'énergie selon des formes de réalisation de l'invention.

L'invention sera maintenant décrite plus complètement ci-après en référence aux dessins annexés qui montrent des formes de réalisation de l'invention. Cependant, celle-ci peut être matérialisée sous différentes formes et n'entend pas être limitée aux formes de réalisation présentées ici. Chaque forme de réalisation décrite et illustrée ici inclut une forme de réalisation équivalente mais dont le type de conductivité est complémentaire. Les mêmes références numériques désignent les mêmes éléments sur tous les dessins.

On comprendra que lorsqu'un élément est indiqué comme étant "connecté" ou "couplé" à un autre élément, il peut être connecté ou couplé directement à l'autre élément ou bien par l'intermédiaire d'autres éléments. Par contre, lorsque un élément est indiqué comme étant "connecté directement" ou "couplé directement" à un autre élément, aucun élément intermédiaire n'est présent.

La figure 3 illustre un oscillateur dont la fréquence varie en proportion inverse de la tension d'une source d'énergie selon des formes de réalisation de l'invention. En référence à la figure 3, un oscillateur 100 comprend un circuit 110 de génération d'une tension de comparaison, un circuit 120 de comparaison et un circuit 130 de commutation d'horloge. Le circuit 110 de génération de tension de comparaison comprend un premier circuit 111 de génération d'une tension de comparaison et un second circuit 112 de génération d'une tension de comparaison. Le premier circuit 111 de génération de tension de comparaison génère une première tension de comparaison VA en réponse à un second signal d'horloge CLK2 et à une première tension de

référence V_{ref1} . Le second circuit 112 de génération de tension de comparaison génère une seconde tension de comparaison V_B en réponse à un premier signal d'horloge $CLK1$ et à la première tension de référence V_{ref1} .

5 Le premier circuit 111 de génération de tension de comparaison comprend un transistor $P1$ de type PMOS, les transistors $N1$ et $N2$ de type NMOS et un condensateur $C1$. La source du transistor PMOS $P1$ est connectée à une tension V_{DD} de source d'énergie, et le drain du transistor PMOS $P1$
10 est connecté à un premier nœud $NODE1$. Le drain du transistor NMOS $N1$ est connecté au premier nœud $NODE1$ et la source du transistor NMOS $N1$ est connectée au drain du transistor NMOS $N2$. Le second signal d'horloge $CLK2$ est appliqué en entrée aux grilles du transistor PMOS $P1$ et du
15 transistor NMOS $N1$.

La source du transistor NMOS $N2$ est connectée à une tension de masse et la grille du transistor NMOS $N2$ est connectée à la première tension de référence V_{ref1} . Le condensateur $C1$ est monté entre le premier nœud $NODE1$ et la
20 tension de masse. La première tension de comparaison V_A est délivrée en sortie du premier nœud $NODE1$.

Le second circuit 112 de génération de tension de comparaison comprend un transistor $P2$ de type PMOS, des transistors $N3$ et $N4$ de type NMOS et un condensateur $C2$. La
25 source du transistor PMOS $P2$ est connectée à la tension V_{DD} de la source d'énergie et le drain du transistor PMOS $P2$ est connecté à un second nœud $NODE2$. Le drain du transistor NMOS $N3$ est connecté au second nœud $NODE2$ et la source du transistor NMOS $N3$ est connectée au drain du transistor
30 NMOS $N4$. Le premier signal d'horloge $CLK1$ est appliqué en entier aux grilles du transistor PMOS $P2$ et du transistor NMOS $N3$.

La source du transistor NMOS $N4$ est connectée à la tension de masse et la grille du transistor NMOS $N4$ est connectée à la première tension de référence V_{ref1} . Le
35 condensateur $C2$ est monté entre le second nœud $NODE2$ et la

tension de masse. La seconde tension de comparaison VB est délivrée en sortie du second nœud NODE2.

Le circuit de comparaison 120 comprend un premier comparateur 121 et un second comparateur 122. Le premier comparateur 121 compare la première tension de comparaison VA à une seconde tension de référence Vref2 et délivre en sortie un premier signal logique LS1. Le second comparateur 122 compare la seconde tension de comparaison VB à la seconde tension de référence Vref2 et délivre en sortie un second signal logique LS2.

La première tension de comparaison VA est appliquée à une borne d'entrée négative (-) du premier comparateur 121 et la seconde tension de référence Vref2 est appliquée en entrée à une borne d'entrée positive (+) du premier comparateur 121. Similairement, la seconde tension de comparaison VB est appliquée en entrée à une borne d'entrée négative (-) du second comparateur 122 et la seconde tension de référence Vref2 est appliquée en entrée à une borne d'entrée positive (+) du second comparateur 122.

Le circuit 130 de commutation d'horloge peut être exécuté sous la forme d'un circuit à bascule RS. On fera référence ci-après, pour le circuit 130 de commutation d'horloge, au circuit de bascule RS 130. Le circuit de bascule RS 130 reçoit le premier signal logique LS1 par sa borne S d'instauration et reçoit le second signal logique LS2 par sa borne R de restauration. Le circuit de bascule RS 130 délivre en sortie le premier signal d'horloge CLK1 par une première borne de sortie Q et le second signal d'horloge CLK2 par une seconde borne de sortie QB en fonction des valeurs du premier signal logique LS1 et du second signal logique LS2. Le premier signal d'horloge CLK1 et le second signal d'horloge CLK2 en sortie du circuit de bascule RS 130 sont renvoyés au second circuit 112 de génération de tension de comparaison et au premier circuit 111 de génération de tension de comparaison, respectivement.

La première tension de référence V_{ref1} et la seconde tension de référence V_{ref2} peuvent être différentes ou identiques.

5 Sans souhaiter être limité à une théorie de fonctionnement quelconque, on décrira le fonctionnement de l'oscillateur 100 dans le cas où la première tension de référence V_{ref1} et la seconde tension de référence V_{ref2} sont différentes.

10 Premièrement, le premier circuit 111 de génération de tension de comparaison délivre en sortie la première tension de comparaison VA en réponse au second signal d'horloge CLK2 et à la première tension de référence V_{ref1} , et le second circuit 112 de génération de tension de comparaison délivre en sortie la seconde tension de
15 comparaison VB en réponse au premier signal d'horloge CLK1 et à la première tension de référence V_{ref1} .

Plus particulièrement, on suppose que, dans l'état initial, le condensateur C2 est en cours de charge, le second signal d'horloge CLK2 est à un niveau logique bas et
20 le premier signal d'horloge CLK1 est à un niveau logique haut.

A ce moment, dans le premier circuit 111 de génération de tension de comparaison, le transistor PMOS P1 est débloqué et le transistor NMOS N1 est bloqué en réponse au
25 second signal d'horloge CLK2. En conséquence, le condensateur C1 est chargé à la tension VDD de la source d'énergie par l'intermédiaire du transistor PMOS P1. Pendant la charge du condensateur C1, la première tension de comparaison VA délivrée en sortie du premier nœud NODE1
30 croît progressivement.

Dans le second circuit 112 de génération de tension de comparaison, aussi, le transistor PMOS P2 est bloqué et le transistor NMOS N3 est débloqué, en réponse au premier signal d'horloge CLK1. Il en résulte que le condensateur C2
35 est déchargé à la masse à travers le transistor NMOS N3 et le transistor NMOS N4. Pendant la décharge du condensateur

C2, la seconde tension de comparaison VB délivrée en sortie du second nœud NODE2 décroît progressivement. La seconde tension de comparaison VB décroît avec le temps et est donnée par

$$5 \quad VB = VDD - \{(i2/C) \times t\} \quad (1),$$

où $i2$ représente le courant circulant lorsque le condensateur C2 se décharge à la masse à travers le transistor NMOS N3 et le transistor NMOS N4, C représente la quantité de charge dans le condensateur C2 et t

10 représente le temps.

Le transistor NMOS N2 du premier circuit 111 de génération de tension de comparaison et le transistor NMOS N4 du second circuit 112 de génération de tension de comparaison produisent des courants $i1$ et $i2$,

15 respectivement, en réponse à la première tension de référence Vref1. Etant donné que la première tension de référence Vref1 est maintenue à un niveau spécifique, les courants $i1$ et $i2$ sont également maintenus à des niveaux spécifiques, indépendamment d'une variation de la tension

20 VDD de la source d'énergie.

Ensuite, le premier comparateur 121 du circuit de comparaison 120 compare la première tension de comparaison VA à la seconde tension de référence Vref2 et délivre en sortie le premier signal logique LS1. Le second comparateur

25 122 du circuit 120 de comparaison compare la seconde tension de comparaison VB à la seconde tension de référence Vref2 et délivre en sortie le second signal logique LS2. En particulier, lorsque la première tension de comparaison VA est supérieure à la seconde tension de référence Vref2, le

30 premier comparateur 121 délivre en sortie le premier signal logique LS1 à un niveau bas. En outre, lorsque la première tension de comparaison VA est inférieure à la seconde tension de référence Vref2, le premier comparateur 121 délivre en sortie le premier signal logique LS1 à un niveau

35 haut. Le second comparateur 122 fonctionne similairement au

premier comparateur 121, délivrant ainsi en sortie le second signal logique LS2 à un niveau haut ou bas.

On suppose que la première tension de comparaison VA est supérieure à la seconde tension de référence Vref2 et que la seconde tension de comparaison VB est inférieure à la seconde tension de référence Vref2. Dans ce cas, le premier comparateur 121 délivre en sortie le premier signal logique LS1 à un niveau bas et le second comparateur 122 délivre en sortie le second signal logique LS2 à un niveau haut.

Ensuite, le circuit de bascule RS 130 délivre en sortie le premier signal d'horloge CLK1 à un niveau bas par l'intermédiaire de la première borne de sortie Q et délivre en sortie le second signal d'horloge CLK2 à un niveau haut par l'intermédiaire de la seconde borne de sortie QB en réponse au premier signal logique LS1 et au second signal logique LS2.

Lorsque le second signal d'horloge CLK2 passe du niveau bas au niveau haut, le transistor PMOS P1 du premier circuit 111 de génération de tension de comparaison est bloqué et le transistor NMOS N1 du premier circuit 111 de génération de tension de comparaison est débloqué. Il en résulte que le condensateur C1 est déchargé à la masse à travers les transistors NMOS N1 et N2. Pendant la décharge du condensateur C1, la première tension de comparaison VA en sortie du premier nœud NODE1 baisse progressivement. A ce moment, la première tension de comparaison VA diminue avec le temps à une vitesse similaire à celle donnée par l'équation (1), c'est-à-dire que la première tension VA est donnée par $V_B = V_{DD} - \{(i_2/C') \times t\}$. Ici, i_2 représente le courant circulant pendant la décharge du condensateur C1 jusqu'à la tension de la masse à travers le transistor NMOS N1 et le transistor NMOS N2, C' représente la quantité de charge dans le condensateur C1 et t représente le temps.

Au passage du premier signal d'horloge CLK1 du niveau haut au niveau bas, le transistor PMOS P2 du second circuit

112 de génération de tension de comparaison est débloqué et le transistor NMOS N3 est bloqué. Il en résulte que le condensateur C2 est chargé à la tension VDD de la source d'énergie par l'intermédiaire du transistor PMOS P2.

5 Pendant la charge du condensateur C2, la seconde tension de comparaison VB croît progressivement.

Etant donné que la première tension de comparaison VA est inférieure à la seconde tension de référence Vref2, le premier comparateur 121 délivre en sortie le premier signal
10 logique LS1 à un niveau haut. Lorsque la seconde tension de comparaison VB est supérieure à la seconde tension de référence Vref2, le second comparateur 122 délivre en sortie le second signal logique LS2 à un niveau bas.

Il en résulte que le circuit de bascule RS 130 délivre
15 en sortie le premier signal d'horloge CLK1 à un niveau haut par l'intermédiaire de la première borne de sortie Q et délivre en sortie le second signal d'horloge CLK2 à un niveau bas par l'intermédiaire de la seconde borne de sortie QB en réponse au premier signal logique LS1 et au
20 second signal logique LS2.

En répétant l'opération décrite ci-dessus, l'oscillateur 100 délivre en sortie le premier signal d'horloge CLK1 qui passe alternativement au niveau haut et au niveau bas et le second signal d'horloge CLK2 qui prend
25 un état inverse de celui du premier signal d'horloge CLK1.

Lorsque la tension VDD de la source d'énergie change, des variations de la fréquence et du courant du premier signal d'horloge CLK1 ou du second signal d'horloge CLK2 sortant de l'oscillateur 100 seront décrites en référence
30 aux figures 4 et 5.

La figure 4 est un graphique illustrant une relation entre la première tension de comparaison VA et la période du premier signal d'horloge CLK1 dans l'oscillateur 100, et la figure 5 est un graphique montrant une relation entre la
35 fréquence du signal de sortie, le courant et la tension de

la source d'énergie dans l'oscillateur 100, selon certaines formes de réalisation de l'invention.

Lorsque la tension VDD de la source d'énergie croît, la grandeur de la charge dans le condensateur C1 croît. Par
5 conséquent, la première tension de comparaison VA délivrée en sortie du premier nœud NODE1 croît. En référence à la figure 4, lorsque la première tension de comparaison VA croît de VA1 à VA2, la période du premier signal d'horloge CLK1 croît, donnant une diminution de la fréquence du
10 premier signal d'horloge CLK1.

Sans souhaiter être limité à une théorie quelconque de fonctionnement, lorsque le niveau de la première tension de comparaison VA s'élève, la période du premier signal d'horloge CLK1 peut augmenter pour la raison suivante :
15 pendant la décharge du condensateur C1, la première tension de comparaison VA délivrée en sortie du premier nœud NODE1 baisse progressivement comme indiqué par les courbes D et E de la figure 4. A ce moment, la première tension de comparaison VA diminue à raison de $(i_2/C) \times t$, comme
20 indiqué dans l'équation (1). Le courant i_2 est maintenu à une valeur spécifique par la première tension de référence V_{ref1} , indépendamment d'une variation de la tension VDD de la source d'énergie.

Par conséquent, étant donné que le courant i_2 est
25 constant même lorsque la première tension de comparaison VA croît de VA1 à VA2, les courbes D et E ont la même pente. Il en résulte que, comme on peut le voir sur la figure 4, la période du premier signal d'horloge CLK1 sortant de l'oscillateur 100 est plus grande lorsque la première
30 tension de comparaison VA est VA2 que lorsque la première tension de comparaison VA est VA1. Enfin, lorsque la tension VDD de la source d'énergie croît, la fréquence du premier signal d'horloge CLK1 en sortie de l'oscillateur 100 diminue.

35 Sur la figure 4, lorsque la première tension de comparaison VA est inférieure à la seconde tension de

référence V_{ref2} , le second signal d'horloge CLK2 est inversé au niveau haut ou au niveau bas par le premier comparateur 121 et le circuit de bascule RS 130, et le condensateur C1 est chargé ou déchargé suivant l'état du
5 second signal d'horloge CLK2. Par conséquent, la période du premier signal d'horloge CLK1 est égale au temps mis par la première tension de comparaison VA pour être au même niveau que la seconde tension de référence V_{ref2} .

En référence à la figure 5, la courbe A' représente la
10 fréquence du signal de sortie de l'oscillateur (c'est-à-dire CLK1 ou CLK2) en fonction de la tension de la source d'énergie, la courbe B' représente le courant consommé par le système comprenant l'oscillateur en fonction de la tension de la source d'énergie et la fréquence du signal de
15 sortie de l'oscillateur, et la courbe C' représente le courant généré par un bloc de génération de courant comprenant l'oscillateur du système en fonction de la tension de la source d'énergie et de la fréquence de sortie de l'oscillateur. Ici, le bloc générateur de courant peut
20 être, par exemple, un circuit générateur de haute tension d'un dispositif de mémoire flash.

Lorsque la tension de la source d'énergie croît de V_1 à V_2 , on peut voir d'après la courbe A' que la fréquence du signal de sortie de l'oscillateur baisse de OF1 à OF2.
25 Lorsque la tension de la source d'énergie croît de V_1 à V_2 et que la fréquence du signal de sortie de l'oscillateur baisse de OF1 à OF2, on peut voir d'après la courbe B' que le courant consommé est maintenu à I_3' , et on peut voir d'après la courbe C' que le courant généré est maintenu à
30 I_2' .

Ici, I_2' est le courant minimal utilisé pour le fonctionnement de l'ensemble du système et I_3' est le courant minimal consommé pendant le fonctionnement de l'ensemble du système. On peut voir d'après les courbes de
35 la figure 5 que, lorsque la tension de la source d'énergie croît, la fréquence du signal de sortie de l'oscillateur

décroît. Il en résulte que le courant consommé et le courant généré par le système peuvent ne pas augmenter, mais peuvent être maintenus sensiblement constants.

La figure 6 illustre un circuit de génération de tension de référence pour un oscillateur qui fait varier la
5 fréquence en proportion inverse de la tension d'une source d'énergie selon des formes de réalisation de l'invention.

En référence à la figure 6, un circuit 140 de génération de tension de référence comprend un circuit 150
10 de génération de courant constant et un circuit 160 de miroir de courant. Le circuit 150 de génération de courant constant génère un courant constant I_r en réponse à un signal de commande EN. Le circuit 150 de génération de courant constant comprend un inverseur 141, des transistors
15 P11 à P13 de type PMOS, des transistors N11 à N13 de type NMOS et une résistance R. L'inverseur 141 inverse le signal de commande EN et délivre en sortie un signal de commande inversée/EN. Les sources des transistors PMOS P11 et P12 sont connectés à la tension VDD d'une source d'énergie, et
20 les grilles de transistor PMOS P11 et P12 sont connectées au drain du transistor NMOS N13. La source du transistor POMS P13 est connectée au drain du transistor PMOS P12, et le signal de commande inversée/EN est appliqué en entrée à la grille du transistor PMOS P13.

25 Le drain du transistor NMOS N11 est connecté au drain du transistor PMOS P11, et la source du transistor NMOS N11 est connectée au drain du transistor NMOS N12. Le signal de commande EN est appliqué en entrée à la grille du transistor NMOS N11. La source du transistor NMOS N12 est
30 connectée à la masse. Le drain du transistor NMOS N13 est connecté au drain du transistor PMOS P13, et la source du transistor NMOS N13 est connectée à la masse à travers la résistance R. Les grilles des transistors NMOS N12 et N13 sont connectées au drain du transistor NMOS N11.

35 Le circuit 160 de miroir de courant comprend un premier circuit 170 de miroir de courant et un second

circuit de miroir 180. Le premier circuit 170 de miroir de courant délivre en sortie une première tension de référence Vref1 en réponse au signe de commande inversé/EN. Le second circuit de miroir de courant 180 délivre en sortie une
5 seconde tension de référence Vref2 en réponse au signal de commande EN.

Le premier circuit de miroir de courant 170 comprend des transistors P21 et P22 de type PMOS et des transistors N21 et N22 de type NMOS. Le second circuit de miroir de
10 courant 180 comprend des transistors P31 et P32 de type PMOS et des transistors N31 et N32 de type NMOS.

Les sources des transistors PMOS P21 et P31 sont connectées à la tension VDD de la source d'énergie, et les drains des transistors PMOS P21 et P31 sont connectés aux
15 sources des transistors PMOS P22 et P32, respectivement. La grille du transistor PMOS P21 est connectée à la grille du transistor PMOS P12. La grille du transistor PMOS P31 est également connectée à la grille du transistor PMOS P12. Le signal de commande inversée/EN est appliqué en entrée aux
20 grilles des transistors PMOS P22 et P32. Les drains des transistors PMOS P22 et P32 sont connectés à un premier nœud de sortie OUTN1 et un second nœud de sortie OUTN2, respectivement.

Les drains des transistors NMOS N21, N22, N31 et N32
25 sont connectés au premier nœud de sortie OUTN1 et au second nœud de sortie OUTN2, respectivement. Les sources des transistors NMOS N21, N22, N31 et N32 sont connectées à la masse. Le signal de commande inversé/EN est appliqué en entrée aux grilles des transistors NMOS N22 et N32.

30 Les grilles des transistors NMOS N21 et N31 sont connectées au premier nœud de sortie OUTN1 et au second nœud de sortie OUTN2, respectivement. La première tension de référence Vref1 est délivrée en sortie du premier nœud de sortie OUTN1, et la seconde tension de référence Vref2
35 est délivrée en sortie du second nœud de sortie OUTN2.

Sans souhaiter être limité à une théorie de fonctionnement quelconque, on décrira le fonctionnement du circuit 140 de génération de tension de référence en se référant à la figure 6. Lorsque le signal de commande EN est activé à un niveau haut, l'inverseur 141 inverse le signal de commande EN et délivre en sortie le signal de commande inversée/EN à un niveau bas.

Dans le circuit 150 de génération de courant constant, le transistor PMOS P 13 est débloquenté en réponse au signal de commande inversée/EN et le transistor NMOS N11 est débloquenté en réponse au signal de commande EN. Lorsque le transistor NMOS N11 est débloquenté, les transistors NMOS N12 et N13 sont débloquentés. Le circuit 150 de génération de courant constant génère alors le courant constant I_r .

Dans le premier circuit 170 de miroir de courant et le second circuit 180 de miroir de courant, les transistors PMOS P22 et P23 sont débloquentés et les transistors NMOS N22 et N32 sont bloqués en réponse au signal de commande inversée/EN. Lorsque les transistors PMOS P22 et P32 sont débloquentés, les transistors NMOS N21 et N31 sont débloquentés. Il en résulte que le premier circuit 170 de miroir de courant et le second circuit 180 de miroir de courant génèrent des courants de références I_{m1} et I_{m2} , respectivement, proportionnels au courant constant I_r et délivrent en sortie la première tension de référence V_{ref1} et la seconde tension de référence V_{ref2} , qui sont déterminées par les courants de référence I_{m1} et I_{m2} , au premier nœud de sortie OUTN1 et au second nœud de sortie OUTN2, respectivement.

Ici, la première tension de référence V_{ref1} et la seconde tension de référence V_{ref2} peuvent varier avec les capacités d'attaque de courant du premier circuit 170 de miroir de courant et du second circuit 180 de miroir de courant.

Une fois que le signal de commande EN est désactivé, les transistors PMOS P13, P22 et P32 et les transistors

NMOS N11, N21 et N31 sont bloqués. De plus, les transistors NMOS N22 et N32 sont débloqués et, par conséquent, la première tension de référence Vref1 délivrée en sortie du premier nœud de sortie OUTN1 et la seconde tension de référence Vref2 délivrée en sortie du second nœud de sortie OUTN2 sont à la tension de la masse.

Si les niveaux de la première tension de référence Vref1 et de la seconde tension de référence Vref2, appliquées en entrée à l'oscillateur 100 de la figure 3, sont identiques, le circuit 140 de génération de tension de référence peut ne comprendre qu'un circuit de miroir de courant qui génère une tension de référence unique.

Il va de soi que de nombreuses modifications peuvent être apportées à l'oscillateur et au procédé décrit et représenté sans sortir du cadre de l'invention.

REVENDEICATIONS

1. Oscillateur caractérisé en ce qu'il comporte
un circuit (110) de génération de tension de
comparaison, qui est attaqué par la tension (VDD) d'une
5 source d'énergie et génère des tensions de comparaison (VA,
VB) qui varient en réponse à des signaux d'horloge (CLK1,
CLK2) ayant une fréquence qui varie en proportion inverse
de la tension de la source d'énergie, et a une première
tension de référence (Vref1) ; un circuit de comparaison
10 (120) qui compare les niveaux des tensions de comparaison à
une seconde tension de référence (Vref2) et délivre en
sortie des signaux logiques (LS1, LS2) ayant des niveaux
logiques en tant que résultats de la comparaison ; et un
circuit (130) de commutation d'horloge qui délivre en
15 sortie des signaux d'horloge ayant une fréquence qui varie
en proportion inverse de la tension de la source d'énergie,
en réponse aux signaux logiques.

2. Oscillateur selon la revendication 1, caractérisé
en ce que le circuit de génération de tension de
20 comparaison comporte

un premier circuit (111) de génération de tension de
comparaison qui délivre en sortie une première tension de
comparaison (VA) des tensions de comparaison en réponse à
un second signal d'horloge (CLK2) des signaux d'horloge et
25 à la première tension de référence (Vref1) ; et

un second circuit (112) de génération de tension de
comparaison qui délivre en sortie une seconde tension de
comparaison (VB) des tensions de comparaison en réponse à
un premier signal d'horloge (CLK1) des signaux d'horloge et
30 à la première tension de référence (Vref1).

3. Oscillateur selon la revendication 2, caractérisé
en ce que le premier circuit de génération de tension
de comparaison comprend un premier circuit de charge qui
exécute une charge ou une décharge d'un premier
35 condensateur (C1) conformément à un niveau du second signal

d'horloge pour modifier le niveau de la première tension de comparaison ;

5 en ce que le second circuit de génération de tension de comparaison comprend un second circuit de charge qui effectue une charge ou une décharge d'un second condensateur (C2) en fonction d'un niveau du premier signal d'horloge pour modifier le niveau de la seconde tension de comparaison ; et

10 en ce que, lorsque le premier circuit de charge effectue une charge, le second circuit de charge effectue une décharge.

4. Oscillateur selon la revendication 3, caractérisé en ce que

15 le circuit de comparaison comporte un premier comparateur (121) qui compare la première tension de comparaison à la seconde tension de référence et délivre en sortie un premier signal logique (LS1) des signaux logiques ; et

20 un second comparateur (122) qui compare la seconde tension de comparaison à la seconde tension de référence et délivre en sortie un second signal logique (LS2) des signaux logiques.

25 5. Oscillateur selon la revendication 4, caractérisé en ce que le premier comparateur délivre en sortie le premier signal logique à un niveau bas lorsque la première tension de comparaison est supérieure à la seconde tension de référence et délivre en sortie le premier signal logique à un niveau haut lorsque la première tension de comparaison est inférieure à la seconde tension de référence ; et

30 en ce que le second comparateur délivre en sortie le second signal logique à un niveau bas lorsque la seconde tension de comparaison est supérieure à la seconde tension de référence et délivre en sortie le second signal logique à un niveau haut lorsque la seconde tension de comparaison est inférieure à la seconde tension de référence.
35

6. Oscillateur selon la revendication 5, caractérisé en ce que le circuit de commutation d'horloge comprend un circuit de bascule RS (130), et le circuit de bascule RS délivre en sortie le premier signal d'horloge par l'intermédiaire d'une première borne de sortie (Q) en réponse au premier signal logique reçu par l'intermédiaire d'une première borne d'entrée S, et délivre en sortie le second signal d'horloge par l'intermédiaire d'une seconde borne de sortie (QB) en réponse au second signal logique reçu par l'intermédiaire d'une seconde borne d'entrée (R).

7. Oscillateur selon la revendication 1, caractérisé en ce que la seconde tension de référence est différente de la première tension de référence.

8. Oscillateur selon la revendication 7, caractérisé en ce qu'il comporte en outre un circuit (140) de génération de tension de référence qui génère la première tension de référence et la seconde tension de référence en réponse à un signal de commande (EN).

9. Oscillateur selon la revendication 8, caractérisé en ce que le circuit de génération de tension de référence comporte :

un circuit (150) de génération de courant constant qui génère un courant constant (I_a) en réponse au signal de commande ;

un premier circuit (170) de miroir de courant qui génère un premier courant de référence (I_{m1}) proportionnel au courant constant en réponse au signal de commande et délivre en sortie la première tension de référence, qui est déterminée par le premier courant de référence ; et

un second circuit de miroir de courant (180) qui génère un second courant de référence (I_{m2}) proportionnel au courant constant en réponse au signal de commande et délivre en sortie la seconde tension de référence, laquelle est déterminée par le second courant de référence.

10. Oscillateur selon la revendication 1, caractérisé en ce que le niveau de la seconde tension de référence est

identique au niveau de la première tension de référence, de façon à définir une tension de référence unique.

11. Oscillateur selon la revendication 10, caractérisé en ce qu'il comporte en outre un circuit de
5 génération de tension de référence qui génère la tension de référence unique en réponse à un signal de commande (EN).

12. Oscillateur selon la revendication 11, caractérisé en ce que le circuit de génération de tension de référence comporte :

10 un circuit (150) de génération de courant constant qui génère un courant constant (I_r) en réponse au signal de commande ; et

un circuit de miroir de courant qui génère un courant de référence proportionnel au courant constant en réponse
15 au signal de commande et délivre en sortie la tension de référence unique, laquelle est déterminée par le courant de référence.

13. Oscillateur selon la revendication 1 en association avec un dispositif de mémoire flash, caractérisé en ce qu'un circuit de génération de haute
20 tension du dispositif de la mémoire flash comprend l'oscillateur (100).

14. Procédé de génération d'un signal oscillant, caractérisé en ce qu'il comprend :

25 la génération de tensions de comparaison (V_R , V_B) qui changent en réponse à des signaux d'horloge (CLK_1 , CLK_2) qui ont une fréquence qui varie en proportion inverse de la tension (V_{DD}) d'une source d'énergie, et à une première tension de référence (V_{ref1}) ;

30 la comparaison de niveaux des tensions de comparaison à une seconde tension de référence (V_{ref2}) pour produire des signaux logiques (LS_1 , LS_2) ayant des niveaux prédéterminés en tant que résultats de la comparaison ; et

35 la génération des signaux d'horloge qui ont une fréquence qui varie en proportion inverse de la tension de la source d'énergie, en réponse aux signaux logiques.

15. Procédé selon la revendication 14, caractérisé en ce que :

la génération de tensions de comparaison comprend la génération d'une première tension de comparaison parmi les tensions de comparaison en réponse à un second signal d'horloge parmi les signaux d'horloge et à la première tension de référence ; et

la génération d'une seconde tension de comparaison parmi les tensions de comparaison en réponse à un premier signal d'horloge parmi les signaux d'horloge et à la première tension de référence.

16. Procédé selon la revendication 15, caractérisé en ce que :

la génération d'une première tension de référence comprend la charge ou la décharge d'un premier condensateur (C1) en fonction du niveau du second signal d'horloge pour modifier le niveau de la première tension de comparaison ; et

la génération de la seconde tension de comparaison comprend la charge ou la décharge d'un second condensateur (C2) en fonction du niveau du premier signal d'horloge pour modifier le niveau de la seconde tension de comparaison.

17. Procédé selon la revendication 16, caractérisé en ce que :

la comparaison comprend la comparaison de la première tension de comparaison à la seconde tension de référence pour produire un premier signal logique (LS1) parmi les signaux logiques ; et

la comparaison de la seconde tension de comparaison à la seconde tension de référence pour produire un second signal logique (LS2) parmi les signaux logiques.

18. Procédé selon la revendication 17, caractérisé en ce que :

la comparaison de la première tension de comparaison à la seconde tension de référence comprend la production du premier signal logique à un niveau bas lorsque la première

tension de comparaison est supérieure à la seconde tension de référence et la production du premier signal logique à un niveau haut lorsque la première tension de comparaison est inférieure à la seconde tension de référence ; et

5 la comparaison de la seconde tension de comparaison à la seconde tension de référence comprend la production du second signal logique à un niveau bas lorsque la seconde tension de comparaison est supérieure à la seconde tension de référence et la production du second signal logique à un
10 niveau haut lorsque la seconde tension de comparaison est inférieure à la seconde tension de référence.

19. Procédé selon la revendication 14, caractérisé en ce que la seconde tension de référence est différente de la première tension de référence.

15 20. Procédé selon la revendication 19, caractérisé en ce qu'il comprend en outre la génération de la première tension de référence et de la seconde tension de référence en réponse à un signal de commande (EN).

21. Procédé selon la revendication 20, caractérisé en
20 ce que la génération de la première tension de référence et de la seconde tension de référence en réponse à un signal de commande (EN) comprend :

la génération d'un courant constant (I_r) en réponse au signal de commande ;

25 la génération d'un premier courant de référence (I_{m1}) proportionnel au courant constant en réponse au signal de commande pour produire la première tension de référence, laquelle est déterminée par le premier courant de référence ; et

30 la génération d'un second courant de référence (I_{m2}) proportionnel au courant constant en réponse au signal de commande pour produire la seconde tension de référence, laquelle est déterminée par le second courant de référence.

22. Procédé selon la revendication 14, caractérisé en
35 ce que le niveau de la seconde tension de référence est

identique au niveau de la première tension de référence, afin de définir une tension de référence unique.

23. Procédé selon la revendication 22, caractérisé en ce qu'il comprend en outre la génération de la tension de
5 référence unique en réponse à un signal de commande (EN).

24. Procédé selon la revendication 23, caractérisé en ce que la génération de la tension de référence unique en réponse à un signal de commande (EN) comprend :

la génération d'un courant constant (I_r) en réponse au
10 signal de commande ; et

la génération d'un courant de référence proportionnel au courant constant en réponse au signal de commande, pour produire la tension de référence unique, laquelle est déterminée par le courant de référence.

FIG. 1A

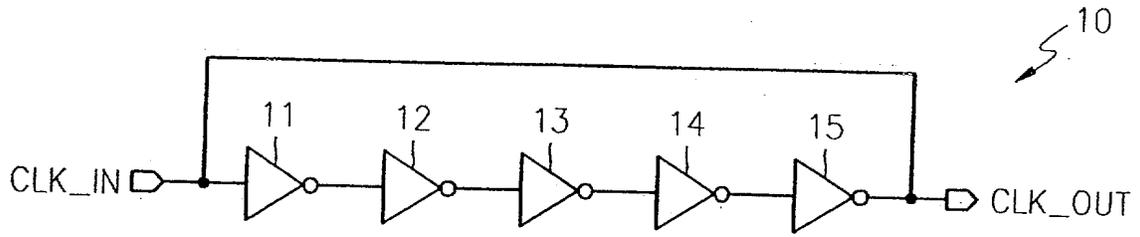


FIG. 1B

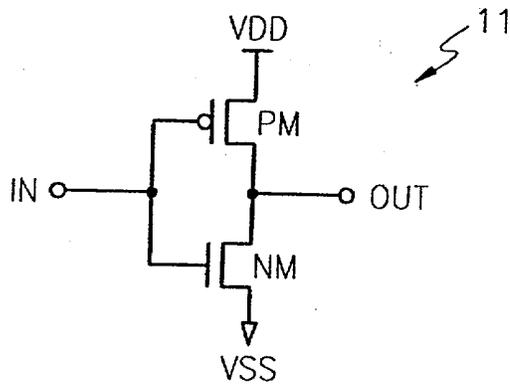


FIG. 2

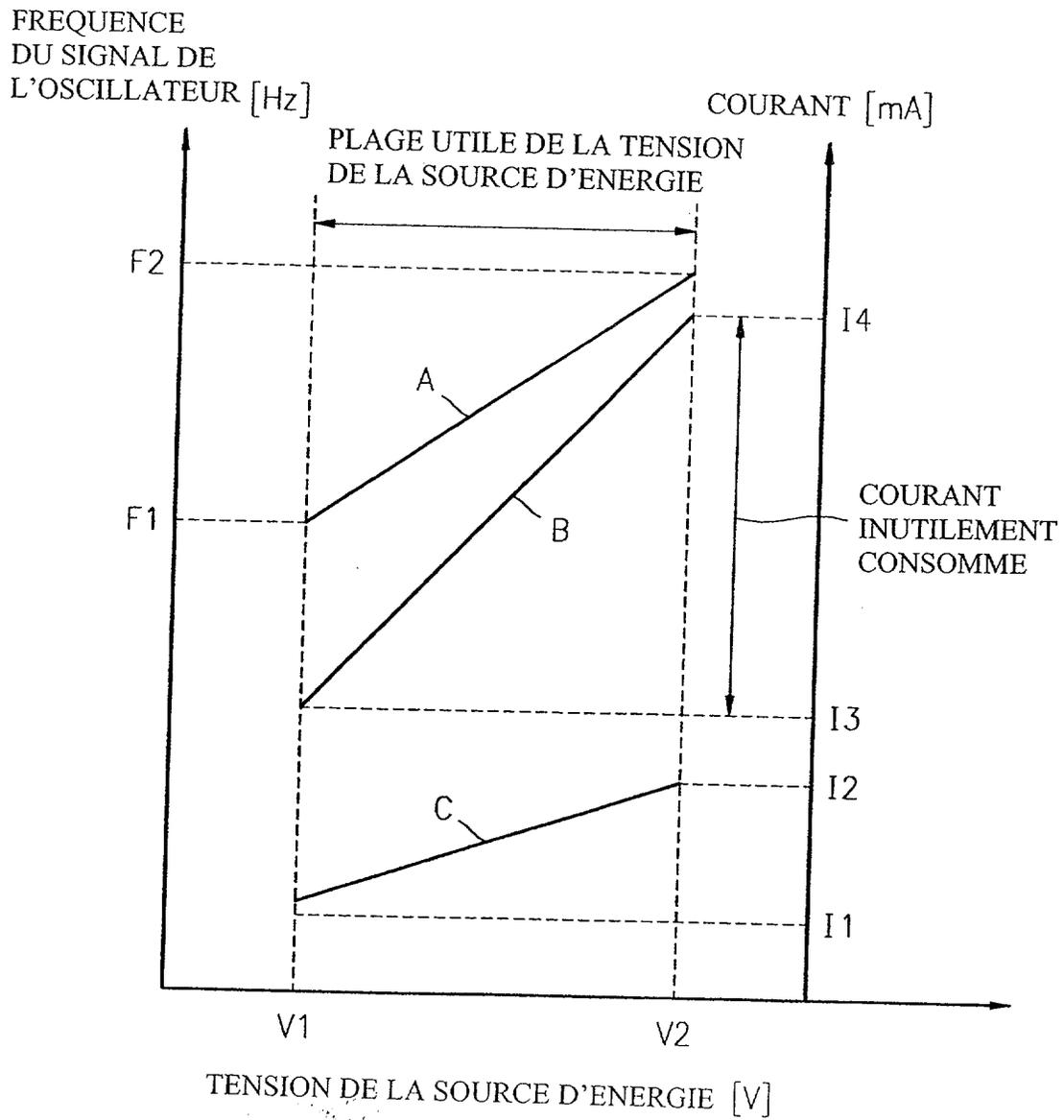
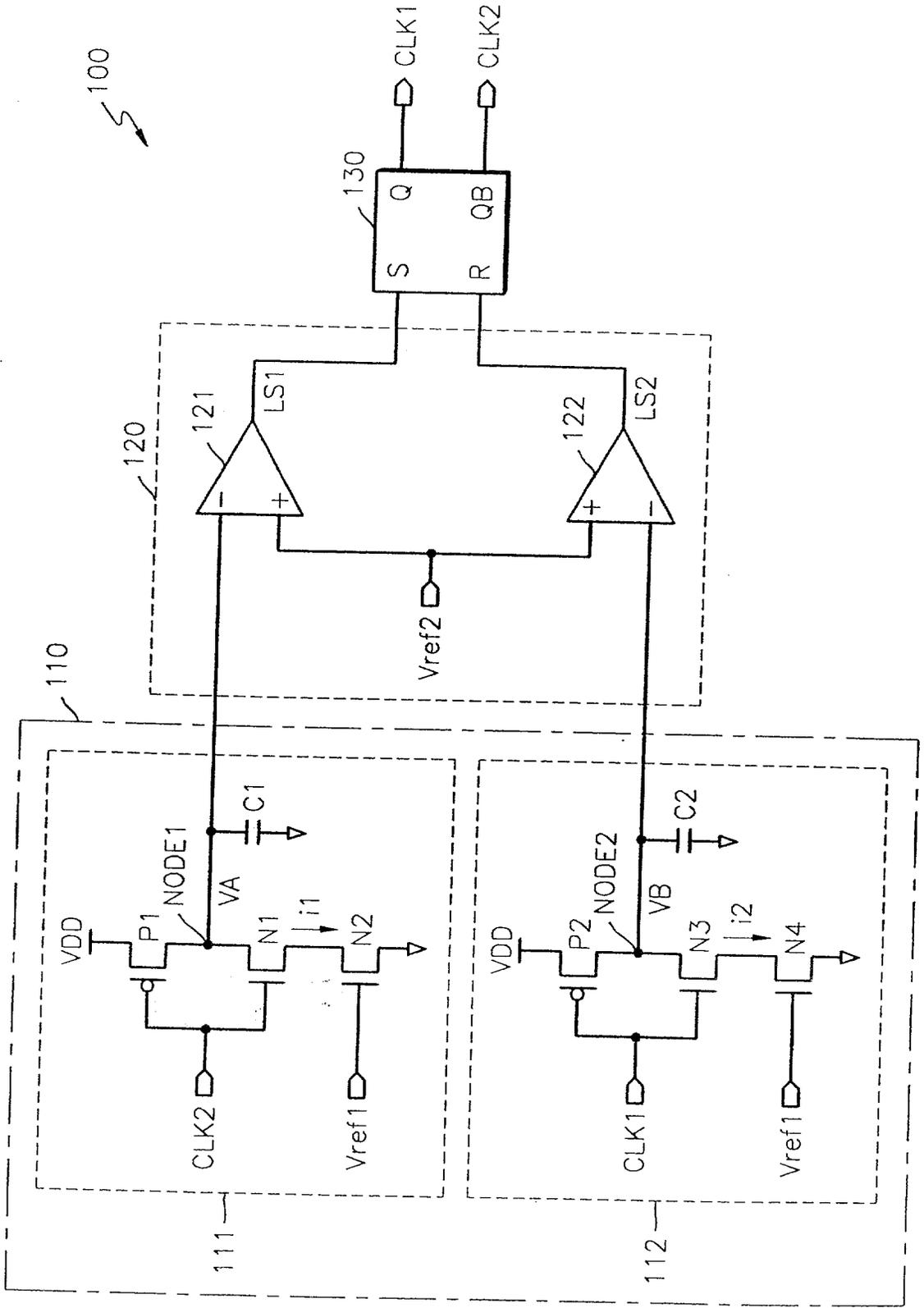


FIG. 3



4/6
FIG. 4

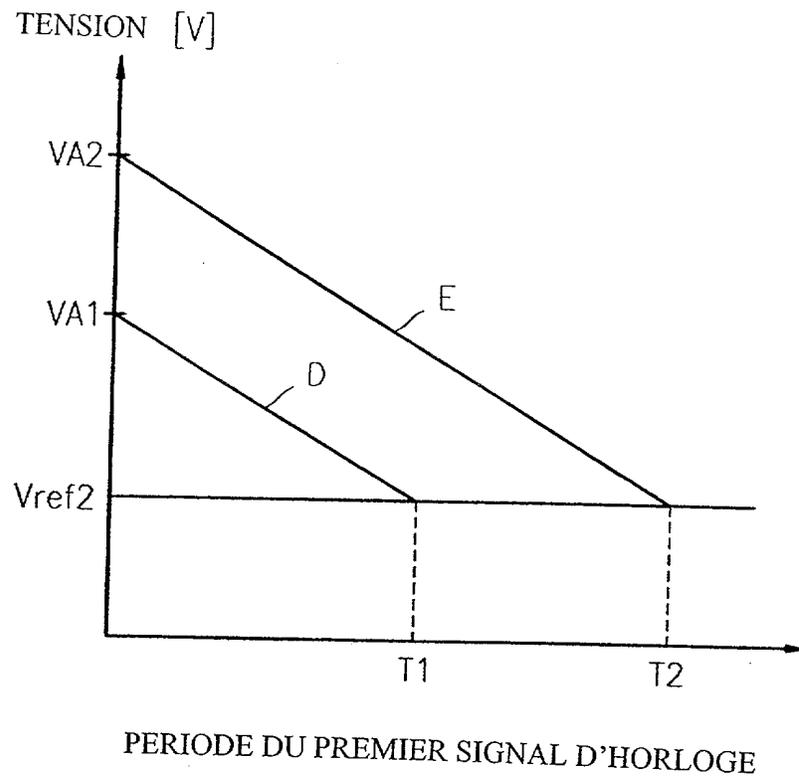


FIG. 5

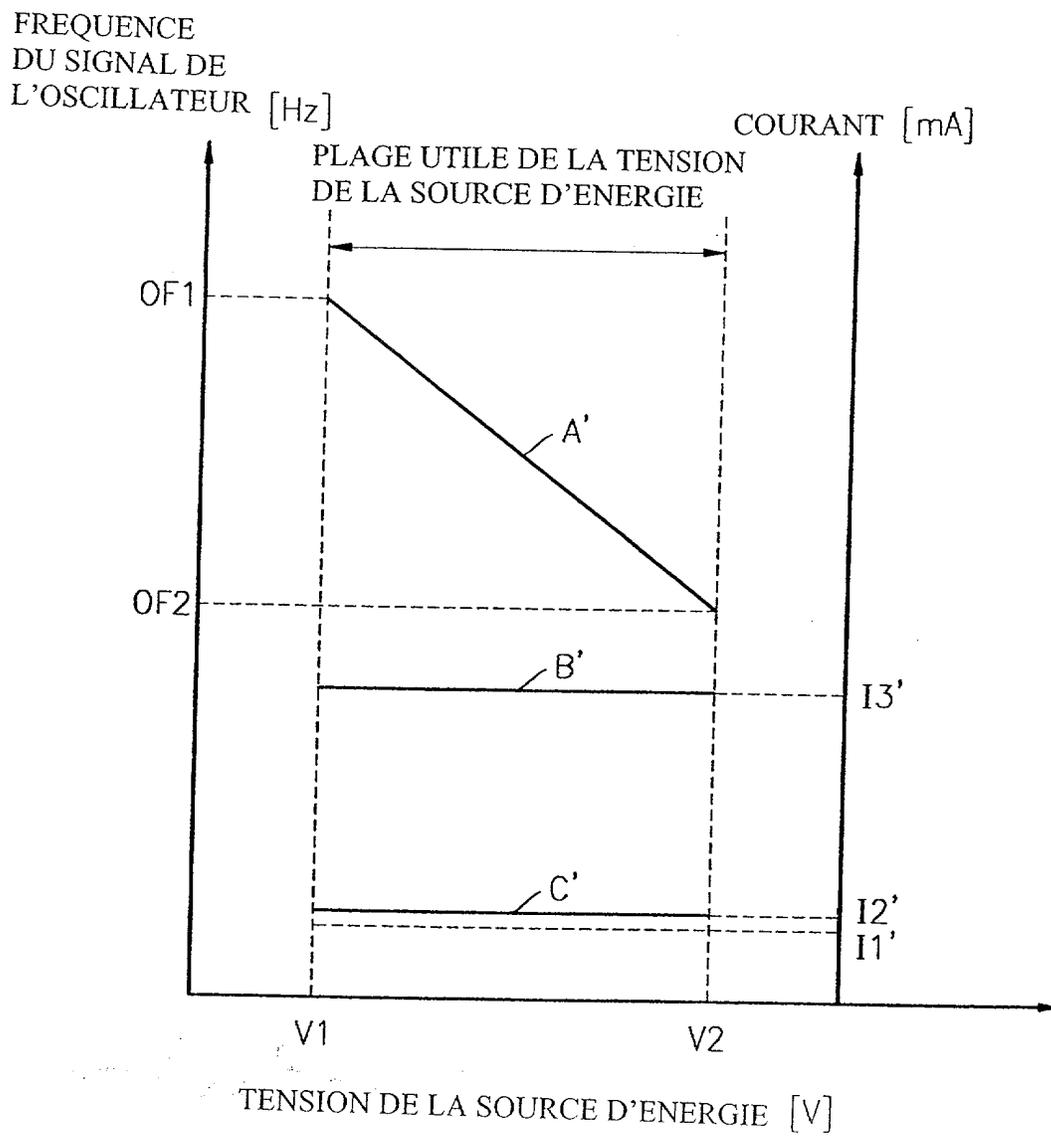


FIG. 6

140 ↗

