

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5121124号  
(P5121124)

(45) 発行日 平成25年1月16日(2013.1.16)

(24) 登録日 平成24年11月2日(2012.11.2)

(51) Int. Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 K
<b>HO1L 29/786 (2006.01)</b>	G09G 3/20 611H
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 621A
	G09G 3/20 624B
請求項の数 2 (全 10 頁) 最終頁に続く	

(21) 出願番号	特願2005-92566 (P2005-92566)	(73) 特許権者	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成17年3月28日(2005.3.28)	(74) 代理人	100075258 弁理士 吉田 研二
(65) 公開番号	特開2006-276250 (P2006-276250A)	(74) 代理人	100096976 弁理士 石田 純
(43) 公開日	平成18年10月12日(2006.10.12)	(72) 発明者	池田 恭二 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
審査請求日	平成20年2月18日(2008.2.18)	審査官	佐野 潤一
最終頁に続く			

(54) 【発明の名称】 有機EL画素回路

(57) 【特許請求の範囲】

【請求項1】

電源と有機EL素子の間に直列に接続され、制御端の電位に応じた駆動電流を前記電源から前記有機EL素子に流す駆動トランジスタと、

この駆動トランジスタと前記電源との間に直列に配置され、前記駆動電流をオンオフする駆動制御トランジスタと、

前記駆動トランジスタと前記駆動制御トランジスタの間に一端が接続され、前記駆動トランジスタの制御端に他端が接続され、前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、

データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、

この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、

この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、を有し、

前記駆動トランジスタは、nチャネルトランジスタであり、

前記選択トランジスタと前記短絡トランジスタをオンすることにより、前記データ信号を前記駆動トランジスタの制御端へ供給し、

前記短絡トランジスタがオンされている期間に、前記駆動制御トランジスタをオンした後、一旦前記駆動制御トランジスタをオフし、更にその後、前記短絡トランジスタおよび

前記選択トランジスタをオフしてから、前記電位制御トランジスタおよび前記駆動制御トランジスタをオンすることを特徴とする有機EL画素回路。

【請求項2】

請求項1に記載の回路において、

前記駆動制御トランジスタ、短絡トランジスタ、選択トランジスタおよび電位制御トランジスタをnチャネルトランジスタとすることを特徴とする有機EL画素回路。

【発明の詳細な説明】

【技術分野】

【0001】

有機EL素子へ供給する駆動電流を制御する駆動トランジスタのしきい値補償が行える有機EL画素回路に関する。 10

【背景技術】

【0002】

自発光素子であるエレクトロルミネッセンス(Electroluminescence:以下EL)素子を各画素に発光素子として用いたEL表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置(LCD)やCRTなどの表示装置に代わる表示装置として注目されている。

【0003】

特に、EL素子を個別に制御する薄膜トランジスタ(TFT)などのスイッチ素子を各画素に設け、画素毎にEL素子を制御するアクティブマトリクス型EL表示装置では、高精細な表示が可能である。 20

【0004】

このアクティブマトリクス型EL表示装置では、基板上に複数本のゲートラインが行(水平)方向に延び、複数本のデータライン及び電源ラインが列(垂直)方向に延びており、各画素は有機EL素子と、選択TFT、駆動用TFT及び保持容量を備えている。ゲートラインを選択することで選択TFTをオンし、データライン上のデータ電圧(電圧ビデオ信号)を保持容量に充電し、この電圧で駆動TFTをオンして電源ラインからの電力を有機EL素子に流している。

【0005】

【特許文献1】特表2002-514320公報 30

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動TFTのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するTFTについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

【0007】

そこで、駆動TFTにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。 40

【0008】

ここで、TFTのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある(例えば、上記特許文献1)。

【0009】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいう問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【0010】

本発明は、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【課題を解決するための手段】

【0011】

本発明は、制御端の電位に応じた駆動電流を電源から有機EL素子に流す駆動トランジスタと、この駆動トランジスタと前記有機EL素子に直列に配置され、前記駆動電流をオンオフする駆動制御トランジスタと、前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、この容量の前記選択トランジスタ側と、前記電源との間の接続をオンオフする電位制御トランジスタと、を有し、前記駆動トランジスタは、 $n$ チャネルトランジスタとすることを特徴とする。

10

また、前記駆動制御トランジスタ、短絡トランジスタ、選択トランジスタおよび電位制御トランジスタを $n$ チャネルトランジスタとすることが好適である。

また、前記駆動制御トランジスタは、前記駆動トランジスタと、電源の間に挿入配置されることが好適である。

【発明の効果】

【0012】

以上のように、本発明によれば、選択トランジスタをオンした状態で、短絡トランジスタをオンすることによって、駆動トランジスタの制御端電圧をデータ電圧および駆動トランジスタのしきい値電圧に応じたものにセットすることができる。従って、駆動トランジスタのしきい値電圧の変動によらず、データ電圧に応じた駆動電流を有機EL素子に供給することができる。また、駆動トランジスタを $n$ チャネルトランジスタとしたため、トランジスタの特性が優れており、その能動層をアモルファスシリコンで形成することも可能になる。さらに、選択トランジスタと駆動トランジスタの制御端の間にコンデンサを挿入しても、従来の選択トランジスタを直接 $p$ チャネルの駆動トランジスタの制御端に接続した場合と同じ極性のデータ信号を利用することができる。

20

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施形態について、図面に基づいて説明する。

30

【0014】

図1は、実施形態に係る画素回路の構成を示している。データラインDLは、垂直方向に伸び、画素の表示輝度についてのデータ信号(データ電圧 $V_{sig}$ )を画素回路に供給する。データラインDLは、1列の画素に対し1本設けられており、垂直方向の画素に対し、その画素のデータ電圧 $V_{sig}$ を順次供給する。

【0015】

このデータラインDLには、 $n$ チャネルの選択トランジスタT1のドレインが接続されており、この選択トランジスタT1のソースは、コンデンサCsの一端に接続されている。選択トランジスタT1のゲートは、水平方向に伸びるゲートラインGLに接続されている。このゲートラインGLには、水平方向の各画素回路の選択トランジスタT1のゲートが接続されている。

40

【0016】

また、ゲートラインGLと同様に水平方向に伸びる容量セットラインCSが設けられており、この容量セットラインCSには、 $n$ チャネルの電位制御トランジスタT2のゲートが接続されている。電位制御トランジスタT2のソースは電源ラインPVDdに接続され、ドレインはコンデンサCsと選択トランジスタT1のソースに接続されている。なお、電源ラインPVDdは垂直方向に伸びており、垂直方向の各画素に電源電圧PVDdを供給する。

【0017】

コンデンサCsの他端は、 $n$ チャネルの駆動トランジスタT4のゲートに接続されて

50

いる。駆動トランジスタT4のドレインは、nチャネルの駆動制御トランジスタT5のソースに接続され、ドレインは有機EL素子ELのアノードに接続されている。駆動制御トランジスタT5のドレインは、電源ラインP V d dに接続されており、ゲートは、水平方向に伸びる発光セットラインE Sに接続されている。また、有機EL素子ELのカソードは、低電圧のカソード電源C Vに接続されている。

【0018】

さらに、駆動トランジスタT4のゲートには、nチャネルの短絡トランジスタT3のドレインが接続されており、この短絡トランジスタT3のソースは、駆動トランジスタT4のドレインに、またゲートはゲートラインG Lに接続されている。

【0019】

このように、本実施形態では、垂直方向にデータラインD Lと、電源ラインP V d dが配置され、水平方向にゲートラインG Lと、発光セットラインE Sが配置されている。

【0020】

次に、この画素回路の動作について、説明する。

【0021】

図2に示すように、この画素回路(データラインD Lを含む)は、1水平期間において、ゲートラインG L、発光セットラインE S、容量セットラインC Sの状態(Hレベル、Lレベル)に応じて、(i)データセット(G L = Hレベル、E S = Lレベル)、(i i)プリチャージ(G L = Hレベル、E S = Hレベル)、(i i i)リセット(G L = Hレベル、E S = Lレベル)、(i v)電位固定(G L = Lレベル、E S = Lレベル)、(v)発光(G L = Lレベル、E S = Hレベル)の4つの状態があり、これを繰り返す。なお、この書き込み期間において容量セットラインC Sは、Lレベルである。

【0022】

また、データラインD Lにおけるデータは、図に示すように、書き込み対象のラインが選択された段階でその水平ラインの各列のデータラインD Lに順次データがセットされる。すなわち、データラインD Lに対しては、データが画素毎のデータが点順次出力される。そして、すべてのデータラインD Lにデータがセットされた後、各画素回路にそのデータ(データ電圧)が取り込まれる。

【0023】

なお、各種の電圧は次のように設定することが好適である。電源ラインP V d dはP V d d、発光セットラインE SはHレベル = P V d d、Lレベル = V V B B、ゲートラインG LはHレベル = V V D D、Lレベル = V V B B、容量セットラインC SはHレベル = V V D D、Lレベル = V V B B、カソード電源C V = C Vにし、P V d d = 8 V、V V D D = 10 V、V V B B = - 2 V、C V = - 2 V程度に設定するとよい。

【0024】

以下、書き込みの動作について、説明する。

【0025】

(i) データセット(G L = Hレベル、E S = Lレベル、C S = Lレベル)

まず、発光セットラインE S = Lレベルとして、電源ラインP V d dからの電流を遮断すると共に、容量セットラインC S = Lレベルとして、選択トランジスタT1と容量C Sの接続点の電圧を下げる。そして、この状態でゲートラインG LをHレベルとし、データラインD Lに対応する各画素のデータ電圧を順次セットする。従って、データラインD Lにデータにセットされた電圧が容量C Sに印加される。なお、データラインD Lには、データ電圧が点順次でセットされるが、各データラインD Lは容量が接続されており、一旦印加されたデータ電圧が保持される。

【0026】

(i i) プリチャージ

各データラインD Lへのデータセットが終了した後、発光セットラインE SをHレベルとする。これによって、駆動トランジスタT4のドレインが電源ラインP V d dに接続され、また短絡トランジスタT3がオンになっているため、駆動トランジスタT4のゲート

10

20

30

40

50

が電源電位  $PV_{dd}$  近くにまでチャージされる。

【0027】

(iii) リセット

その後、発光セットライン  $ES$  を  $L$  レベルに戻し、駆動トランジスタ  $T_4$  を電源  $PV_{dd}$  から切り離す。これによって、図3に示すように、駆動トランジスタ  $T_4$  のゲート電位は、そのソース電位からしきい値電圧  $V_{tn}$  だけオフセットのかかった電位まで下がる。一方、トランジスタ  $T_4$  のドレイン電位は有機  $EL$  素子  $EL$  のしきい値電圧  $V_e$  となるため、駆動トランジスタ  $T_4$  のゲート電圧  $V_g = V_e + V_{tn}$  となる。また、このときのコンデンサ  $C_s$  のデータライン  $DL$  側はデータライン  $DL$  のデータ電圧  $V_{sig}$  になっている。

10

【0028】

(iv) 電位固定

次に、ゲートライン  $GL$  を  $L$  レベルにセットして、選択トランジスタ  $T_1$ 、短絡トランジスタ  $T_3$  をオフする。これによって、駆動トランジスタ  $T_4$  のゲート電圧  $V_g = V_e + V_{tn}$  に固定される。このとき、コンデンサ  $C_s$  の反対側の電圧は  $V_{sig}$  であり、コンデンサ  $C_s$  には、 $V_{sig} - V_g = V_{sig} - (V_e + V_{tn})$  の電圧が充電される。

【0029】

(v) 発光

電位が固定された後、発光セットライン  $ES$  および容量セットライン  $CS$  を  $H$  レベルにする。これによって、図4に示すように、コンデンサ  $C_s$  の選択トランジスタ  $T_1$  側の電圧は  $PV_{dd}$  になり、従って駆動トランジスタ  $T_4$  のゲート電圧  $V_g = PV_{dd} - V_{sig} + V_e + V_{tn}$  となる。そして、駆動制御トランジスタ  $T_5$  もオンになるため、駆動トランジスタ  $T_4$  がそのゲートソース間電圧  $V_{gs}$  に応じた電流を流し、これが有機  $EL$  素子  $EL$  に供給される。ここで、駆動トランジスタ  $T_4$  のソース電位  $V_s = V_e + I \cdot R$  となる。ここで、 $I$  は有機  $EL$  素子  $EL$  に流れる電流値、 $R$  は有機  $EL$  素子  $EL$  のオン抵抗である。従って、駆動トランジスタ  $T_4$  のゲートソース間電圧  $V_{gs} = V_g - V_s = PV_{dd} - V_{sig} + V_{tn} - I \cdot R$  となる。

20

【0030】

有機  $EL$  素子  $EL$  のオン抵抗  $R$  は、有機  $EL$  素子の面積を大きくし、有機  $EL$  素子の有機層を薄くすることで、かなり小さくすることができる。そして、駆動トランジスタ  $T_4$  におけるドレイン電流  $I$  は、 $I = (1/2) (V_{gs} - V_{tn})^2$  によって決定されるため、駆動トランジスタ  $T_4$  のしきい値電圧によらずに、データ電圧  $V_{sig}$  に応じた電流を駆動トランジスタ  $T_4$  に流すことができる。なお、 $\mu$  は駆動トランジスタ  $T_4$  増幅率であり、 $\mu = \mu_{GW} / GL$  で表され、 $\mu$  はキャリアの移動度、 $\mu$  は誘電率、 $GW$  はゲート幅、 $GL$  はゲート長である。

30

【0031】

特に、駆動トランジスタ  $T_4$  のゲートソース間電圧  $V_{gs}$  は、 $PV_{dd}$  からデータ電圧  $V_{sig}$  を減算した電圧に基づいて決定される。従って、データ電圧  $V_{sig}$  は、 $p$  チャネルの駆動トランジスタのゲートに直接供給するデータ電圧  $V_{sig}$  と同一のものを利用することができる。従って、データライン  $DL$  を駆動する回路を従来と同様の構成にすることができる。

40

【0032】

上述の説明では、基本的に1画素についての動作についてのみ説明した。実際には、表示パネルは、マトリクス状に画素が配置されており、これらのそれぞれについて対応する輝度信号に応じたデータ電圧  $V_{sig}$  を供給して各有機  $EL$  素子を発光させる。すなわち、図5に示すように、表示パネルには、水平スイッチ回路  $HSR$  と、垂直スイッチ  $VSR$  が設けられており、これらの出力によってデータライン  $DL$ 、ゲートライン  $GL$ 、その他発光セットライン  $ES$ 、容量セットライン  $CS$  などの状態が制御される。特に、水平方向の各画素には、1つのゲートライン  $GL$  が対応づけられており、このゲートライン  $GL$  は垂直スイッチ  $VSR$  によって、1つずつ順に活性化される。次に、1つのゲートライン  $GL$

50

が活性化される 1 水平期間の途中までの期間に、水平スイッチ H S R によってすべてのデータライン D L にデータ電圧が点順次で供給され、すべてのデータライン D L にセットされる。そして、各データライン D L のデータ電圧が対応する 1 水平ライン分の各画素回路にデータが同時に書き込まれる（各画素に取り込まれたデータ電圧が確定する）。そして、各画素回路において、1 垂直期間後まで書き込まれたデータ電圧に応じた発光がされる。

【 0 0 3 3 】

次に、1 水平ライン内の各画素に対するデータの書き込み手順について、図 6 に基づいて説明する。

【 0 0 3 4 】

まず、1 水平期間の開始を示すイネーブル信号 E N B の L レベルの後に、すべてのデータライン D L に点順次データ電圧 V s i g を書き込む。すなわち、データライン D L には、容量などが接続されており、電圧信号をセットすることで、データライン D L にそのデータ電圧 V s i g が保持される。そこで、各列の画素についてのデータ電圧 V s i g を順次対応するデータライン D L にセットすることで、すべてのデータライン D L にデータ電圧 V s i g をセットする。

【 0 0 3 5 】

そして、このデータのセットが終了した段階で、発光セットライン E S を H レベルとしてプリチャージし、その後発光セットライン E S を L レベルに戻してリセットを行う。そして、ゲートライン G L を L レベルに戻すことで、画素回路内のコンデンサ C s の充電電圧が固定され、その後容量セットライン C S を H レベルとすることで駆動トランジスタ T 4 のゲートがシフトして、当該水平ラインの全画素において、発光が行われる。

【 0 0 3 6 】

このようにして、通常のビデオ信号（データ電圧 V s i g ）を順次データライン D L に書き込み、これを画素回路にセットして、発光させることができる。

【 0 0 3 7 】

「実施形態の効果」

図 1 の示すように、画素回路に使用するトランジスタ（薄膜トランジスタ：T F T ）をすべて n チャネルトランジスタとすることが好適である。n チャネルトランジスタは、その特性が p チャネルトランジスタに比べ優れている。このため、トランジスタの能動層をアモルファスシリコンとしても、十分動作が可能になる。そこで、能動層について、ポリシリコン化する処理を不要として歩留まりを改善することができる。

また、選択トランジスタ T 1 と駆動トランジスタ T 4 のゲートの間にコンデンサ C s を挿入しても、従来の選択トランジスタを直接 p チャネルの駆動トランジスタの制御端に接続した場合と同じ極性のデータ信号を利用することができる。

【 0 0 3 8 】

「変形例」

図 7 には、変形例の画素回路の構成を示す。この例では、電位制御トランジスタ T 2 の一端（ドレイン）が電源ライン P V d d ではなく、発光セットライン E S に接続されている。この構成によっても、図 1 の例と同様の作用が得られる。また、電源としては同一の P V d d に接続されるが、発光セットライン E S は、電源ライン P V d d とは別のラインであり、有機 E L 素子 E L へ駆動供給する電源ライン P V d d に比べその電圧変動がなく、安定した動作が得られる。すなわち、電位制御トランジスタ T 2 による電圧 V n を設定する際に、電源ライン P V d d の電圧降下の影響を受けない。

【図面の簡単な説明】

【 0 0 3 9 】

【図 1】実施形態に係る画素回路の構成を示す図である。

【図 2】動作を説明するチャート図である。

【図 3】データの書き込みを説明する図である。

【図 4】発光時を説明する図である。

10

20

30

40

50

【図5】パネルの全体構成を示す図である。

【図6】データセットのタイミング例を示す図である。

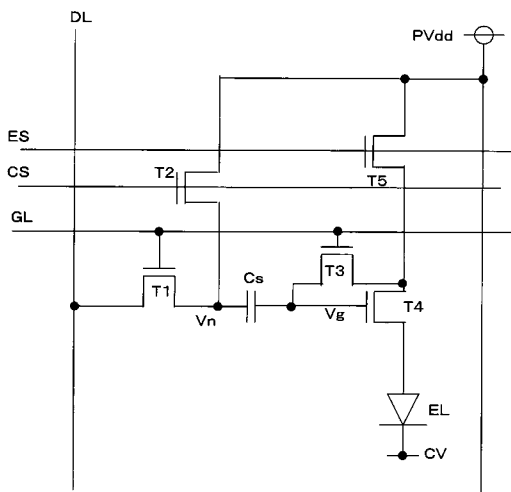
【図7】変形例の画素回路の構成を示す図である。

【符号の説明】

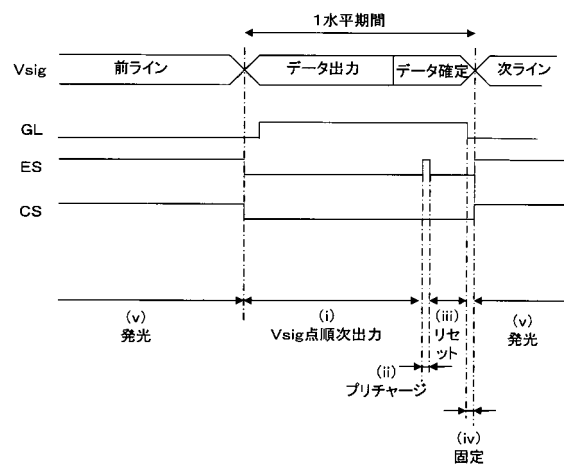
【0040】

Cs コンデンサ、CS 容量セットライン、CV カソード電源、DL データライン、EL 有機EL素子、ENB イネーブル信号、ES 発光セットライン、GL ゲートライン、HSR 水平スイッチ、PVdd 電源電圧、T1 選択トランジスタ、T2 電位制御トランジスタ、T3 短絡トランジスタ、T4 駆動トランジスタ、T5 駆動制御トランジスタ、VSR 垂直スイッチ、Vg 駆動トランジスタのゲート電圧、Vsig データ電圧。

【図1】

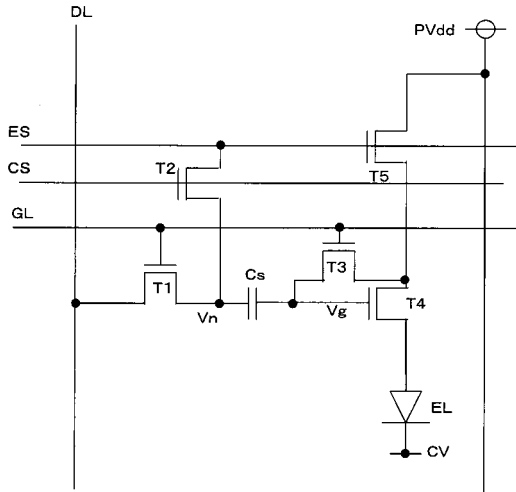


【図2】





【 7 】



## フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 4 1 D  
G 0 9 G 3/20 6 4 2 A  
H 0 1 L 29/78 6 1 4  
H 0 5 B 33/14 A

(56)参考文献 特開2003 - 223138 (JP, A)  
特開2005 - 157308 (JP, A)  
特開2002 - 202749 (JP, A)  
特開2003 - 099000 (JP, A)  
特開2004 - 133240 (JP, A)  
特開2004 - 226960 (JP, A)  
特開2004 - 286816 (JP, A)  
特開2005 - 004173 (JP, A)

(58)調査した分野(Int.Cl. , DB名)  
G 0 9 G 3 / 3 0  
G 0 9 G 3 / 2 0