



(12) 发明专利

(10) 授权公告号 CN 102035484 B

(45) 授权公告日 2015. 05. 06

(21) 申请号 201010507950. 5

US 7330074 B2, 2008. 02. 12,

(22) 申请日 2010. 09. 29

US 7116171 B2, 2006. 10. 03,

(30) 优先权数据

审查员 唐娜

2009-225464 2009. 09. 29 JP

(73) 专利权人 精工电子有限公司

地址 日本千叶县

(72) 发明人 津崎敏之

(74) 专利代理机构 北京三友知识产权代理有限公司

公司 11127

代理人 李辉 黄纶伟

(51) Int. Cl.

H03F 3/45(2006. 01)

(56) 对比文件

CN 101047362 A, 2007. 10. 03,

CN 1719723 A, 2006. 01. 11,

JP 平 1 - 280911 A, 1989. 11. 13,

US 5311145 A, 1994. 05. 10,

JP 特开 2003 - 223970 A, 2003. 08. 08,

US 7253685 B2, 2007. 08. 07,

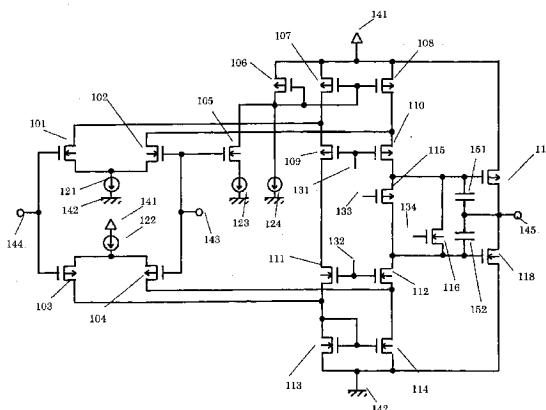
权利要求书1页 说明书3页 附图5页

(54) 发明名称

差动放大器

(57) 摘要

本发明提供差动放大器, 该差动放大器即使
在同相输入端子的电压变化的情况下, 也能够使
流过输出晶体管的电流恒定。其构成为: 通过电
流值随同相输入端子的电压而变化的电流源, 来
控制流过差动放大电路的电流。



1. 一种差动放大器,该差动放大器具有:

同相输入端子;

反相输入端子;

输出端子;

第 1 差动放大电路,其具有与所述同相输入端子和所述反相输入端子连接的、N 型 MOS 晶体管的差动输入电路;

第 2 差动放大电路,其具有与所述同相输入端子和所述反相输入端子连接的、P 型 MOS 晶体管的差动输入电路;

作为所述第 1 差动放大电路的电流源的晶体管;

第 1 恒流源,其在作为所述第 1 差动放大电路的电流源的晶体管中流过电流;以及输出电路,其与所述第 1 差动放大电路和所述第 2 差动放大电路连接,

该差动放大器的特征在于,

在作为所述第 1 差动放大电路的电流源的晶体管上,设置了电流值随所述同相输入端子的电压而变化的电流控制电路,在所述同相输入端子的电压发生变化时,将流过输出晶体管的电流量保持为恒定值,

所述电流控制电路具有:

第 2 恒流源;以及

N 型 MOS 晶体管,其栅极与所述同相输入端子连接,源极与所述第 2 恒流源连接,漏极与作为所述第 1 差动放大电路的电流源的晶体管以及所述第 1 恒流源连接。

2. 一种差动放大器,该差动放大器具有:

同相输入端子;

反相输入端子;

输出端子;

第 1 差动放大电路,其具有与所述同相输入端子和所述反相输入端子连接的、N 型 MOS 晶体管的差动输入电路;

第 2 差动放大电路,其具有与所述同相输入端子和所述反相输入端子连接的、P 型 MOS 晶体管的差动输入电路;

作为所述第 2 差动放大电路的电流源的晶体管;

第 1 恒流源,其在作为所述第 2 差动放大电路的电流源的晶体管中流过电流;以及输出电路,其与所述第 1 差动放大电路和所述第 2 差动放大电路连接,

该差动放大器的特征在于,

在作为所述第 2 差动放大电路的电流源的晶体管上,设置了电流值随所述同相输入端子的电压而变化的电流控制电路,在所述同相输入端子的电压发生变化时,将流过输出晶体管的电流量保持为恒定值,

所述电流控制电路具有:

第 2 恒流源;以及

P 型 MOS 晶体管,其栅极与所述同相输入端子连接,源极与所述第 2 恒流源连接,漏极与作为所述第 2 差动放大电路的电流源的晶体管以及所述第 1 恒流源连接。

差动放大器

技术领域

[0001] 本发明涉及由 CMOS 电路构成的差动放大器。

背景技术

[0002] 在差动放大器中,作为增大输入电压范围的技术,公知有设置 N 型 MOS 晶体管的差动输入电路和 P 型 MOS 晶体管的差动输入电路的技术。

[0003] 图 4 是现有的输入轨对轨 (Rail to Rail) 的差动放大器。

[0004] 现有的输入轨对轨的差动放大器具有:同相输入端子 143;反相输入端子 144;由 P 型 MOS 晶体管 107 和 108、N 型 MOS 晶体管 101 和 102 以及恒流源 121 构成的差动放大电路;由 P 型 MOS 晶体管 103 和 104、N 型 MOS 晶体管 113 和 114 以及恒流源 122 构成的差动放大电路;在 P 型 MOS 晶体管 107 和 108 中流过电流的恒流源 124;以及设于差动放大电路与输出端子 145 之间的输出电路。输出电路具有:由 P 型 MOS 晶体管 117 和 N 型 MOS 晶体管 118 构成的输出驱动器;以及相位补偿电容 151 和 152。

[0005] 在对同相输入端子 143 和反相输入端子 144 输入了电源电压附近的电压时,P 型 MOS 晶体管 103 和 104 截止,而由 N 型 MOS 晶体管 101 和 102 构成的差动输入电路工作。另外,在对同相输入端子 143 和反相输入端子 144 输入了 GND 电压附近的电压时,N 型 MOS 晶体管 101 和 102 截止,而由 P 型 MOS 晶体管 103 和 104 构成的差动输入电路工作。因此,实现了输入轨对轨的动作。这里,端子 131、132、133、134 被施加了共源共栅 (cascode) 电压。

[0006] 另外,与输出端子 145 连接的输出驱动器的 P 型 MOS 晶体管 117 和 N 型 MOS 晶体管 118 的栅电压被 P 型 MOS 晶体管 115 和 N 型 MOS 晶体管 116 控制为恰当的电压。而且,通过在 P 型 MOS 晶体管 110 和 N 型 MOS 晶体管 112 中流有一定电流,由此,即使在输出端子 145 上不存在负载电流的情况下,在输出驱动晶体管中也有电流流过,实现了 AB 级输出动作(例如参照非专利文献 1)。

[0007] 如上所述,即使同相输入端子 143 的电压从 GND 电压变化到电源电压,P 型 MOS 晶体管的差动输入电路或 N 型 MOS 晶体管的差动输入电路中的某一方也会进行工作,由此,能够实现输入轨对轨的动作。

[0008] 【非专利文献 1】アナログ CMOS 集積回路の設計下巻 P396

[0009] 但是,上述差动放大器存在如下课题:在输出驱动晶体管中流过的电流的值随输入到同相输入端子 143 和反相输入端子 144 的电压电平而变化。

[0010] 图 5 示出了在图 4 的电路中使同相输入端子 143 的电压变化时各节点的电流值。

[0011] 为了进行 AB 级输出动作,要求即使在输出端子 145 中未流过负载电流的情况下,也要有电流流过 P 型 MOS 晶体管 117 和 N 型 MOS 晶体管 118。

[0012] 为了在 P 型 MOS 晶体管 117 中始终有电流流过而由 P 型 MOS 晶体管 115 对其栅-源间电压进行调节。由此,P 型 MOS 晶体管 117 的电流值是由 P 型 MOS 晶体管 115 的阈值和流过的电流的值决定的。为了在 N 型 MOS 晶体管 118 中始终有电流流过而由 N 型 MOS 晶体管 116 对其栅-源间电压进行调节。由此,N 型 MOS 晶体管 118 的电流值是由 N 型 MOS 晶

晶体管 116 的阈值和流过的电流的值决定的。从 P 型 MOS 晶体管 110 流出的电流被 P 型 MOS 晶体管 115 和 N 型 MOS 晶体管 116 二等分。流过 P 型 MOS 晶体管 110 的电流是从对恒流源 124 进行了电流镜像的 P 型 MOS 晶体管 108 的电流值中减去 N 型 MOS 晶体管 102 的电流值后的量。

[0013] 如上所述,当同相输入端子 143 的电压成为电源电压附近时, N 型 MOS 晶体管 102 的电流值减小。因此,流过 P 型 MOS 晶体管 110 的电流增加,其结果,流过 P 型 MOS 晶体管 117 和 N 型 MOS 晶体管 118 的电流值大幅变化。由此,与输出端子 145 连接且能够进行驱动的输出电容值不同,所以,难以进行相位补偿。即,相位补偿电容 151 和 152 需要采用具有余量的大的电容。

发明内容

[0014] 本发明是为了解决以上这种课题而完成的,其实现了输出电流不随输入电压变化的差动放大器。

[0015] 本发明在差动放大器中,使恒定电流值随同相输入端子的电压而变化,由此解决了上述课题。

[0016] 根据本发明,即使在同相输入端子的电压发生变化的情况下,也能够使流过输出晶体管的电流保持恒定。

附图说明

[0017] 图 1 是示出本发明的差动放大器的电路图。

[0018] 图 2 是示出图 1 的差动放大器的输入电压 - 电流特性的图。

[0019] 图 3 是示出本发明的差动放大器的其他例子的电路图。

[0020] 图 4 是示出现有的差动放大器的电路图。

[0021] 图 5 是示出现有的差动放大器的输入电压 - 电流特性的图。

[0022] 标号说明

[0023] 121、122、123、124 : 恒流源 ; 143 : 同相输入端子 ; 144 : 反相输入端子 ; 145 : 输出端子。

具体实施方式

[0024] 下面,参照附图来说明本发明的差动放大器。

[0025] 图 1 是示出本发明的差动放大器的电路图。

[0026] 本发明的差动放大器具有 : 同相输入端子 143 ; 反相输入端子 144 ; 由 P 型 MOS 晶体管 107 和 108、N 型 MOS 晶体管 101 和 102 以及恒流源 121 构成的差动放大电路 ; 由 P 型 MOS 晶体管 103 和 104、N 型 MOS 晶体管 113 和 114 以及恒流源 122 构成的差动放大电路 ; 在 P 型 MOS 晶体管 107 和 108 中流过电流的恒流源 124 ; 以及设于差动放大电路与输出端子 145 之间的输出电路。

[0027] N 型 MOS 晶体管 101 和 102 构成 N 型 MOS 晶体管的差动输入电路。P 型 MOS 晶体管 103 和 104 构成 P 型 MOS 晶体管的差动输入电路。在 N 型 MOS 晶体管的差动输入电路中,P 型 MOS 晶体管 107 和 108 是电流源,N 型 MOS 晶体管 113 和 114 为电流镜。

[0028] 输出电路具有：由 P 型 MOS 晶体管 117 和 N 型 MOS 晶体管 118 构成的输出驱动器；以及相位补偿电容 151 和 152。本发明的差动放大器还具有：作为在 P 型 MOS 晶体管 107 和 108 中流过电流的电流控制电路的恒流源 123；以及 N 型 MOS 晶体管 105。

[0029] 在对同相输入端子 143 和反相输入端子 144 输入了电源电压附近的电压时，P 型 MOS 晶体管 103 和 104 截止，而由 N 型 MOS 晶体管 101 和 102 构成的差动输入电路工作。并且，在对同相输入端子 143 和反相输入端子 144 输入了 GND 电压附近的电压时，N 型 MOS 晶体管 101 和 102 截止，而由 P 型 MOS 晶体管 103 和 104 构成的差动输入电路工作。这里，端子 131、132、133、134 被施加了共源共栅电压。

[0030] 并且，与输出端子 145 连接的输出驱动器的 P 型 MOS 晶体管 117 和 N 型 MOS 晶体管 118 的栅电压被 P 型 MOS 晶体管 115 和 N 型 MOS 晶体管 116 控制为恰当的电压。而且，由于在 P 型 MOS 晶体管 110 和 N 型 MOS 晶体管 112 中流有一定电流，由此，即使在输出端子 145 中不存在负载电流的情况下，也有电流流过输出驱动器的晶体管，实现了 AB 级输出动作。

[0031] 根据图 1，流过 P 型 MOS 晶体管 110 的电流 $I(110)$ 由式 (1) 表示。

[0032] $I(110) = I(124) + I(123) - I(102)$ (1)

[0033] 这里， $I(124)$ 是恒流源 124 的电流， $I(123)$ 是恒流源 123 的电流， $I(102)$ 是 N 型 MOS 晶体管 102 的电流。同相输入端子 143 连接到 N 型 MOS 晶体管 105 的栅极。因此，在对同相输入端子 143 输入了电源电压附近的电压时，电流 $I(123)$ 与电流 $I(102)$ 同步地减少。因此，能够将流过 P 型 MOS 晶体管 110 的电流 $I(110)$ 控制为恒定值。

[0034] 图 2 示出了在图 1 的电路中使同相输入端子 143 的电压变化时各节点的电流值。

[0035] 由此看出，能够将流过 P 型 MOS 晶体管 117 和 N 型 MOS 晶体管 118 的电流保持为恒定值。因此，能够减小相位补偿电容 151 和 152。

[0036] 图 3 是示出本发明的差动放大器的其他例子的电路图。在图 1 的差动放大器中，P 型 MOS 晶体管 107 和 108 是电流源，N 型 MOS 晶体管 113 和 114 为电流镜。与此相反，在图 3 的差动放大器中，P 型 MOS 晶体管 213 和 214 是电流镜，N 型 MOS 晶体管 207 和 208 为电流源。而且，追加了作为电流控制电路的恒流源 123 和 P 型 MOS 晶体管 205。同相输入端子 143 连接到 P 型 MOS 晶体管 205 的栅极。

[0037] 这样构成的差动放大器与图 1 的差动放大器同样，能够将流过 P 型 MOS 晶体管 117 和 N 型 MOS 晶体管 118 的电流保持为恒定值，能够减小相位补偿电容 151 和 152。

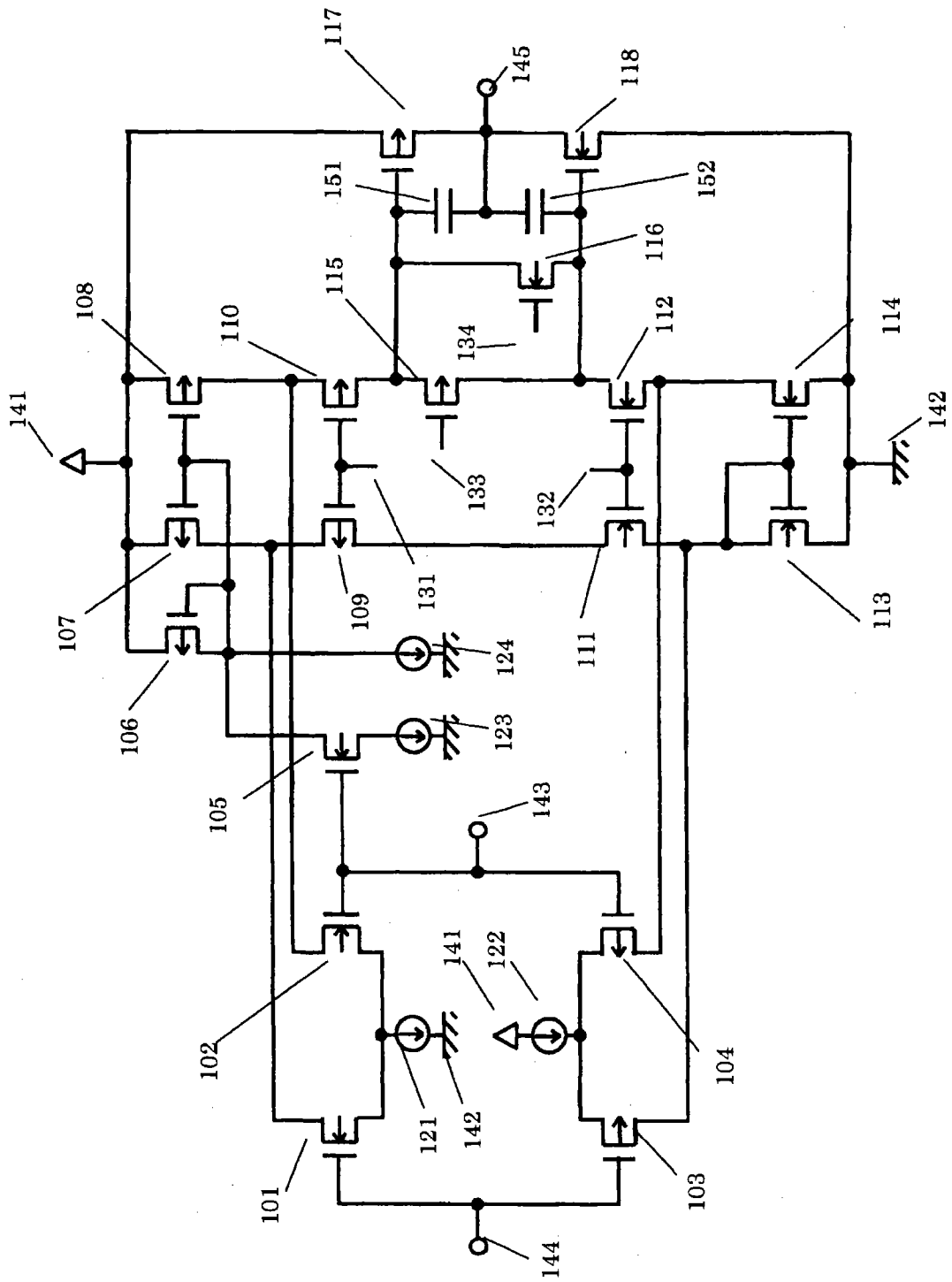


图 1

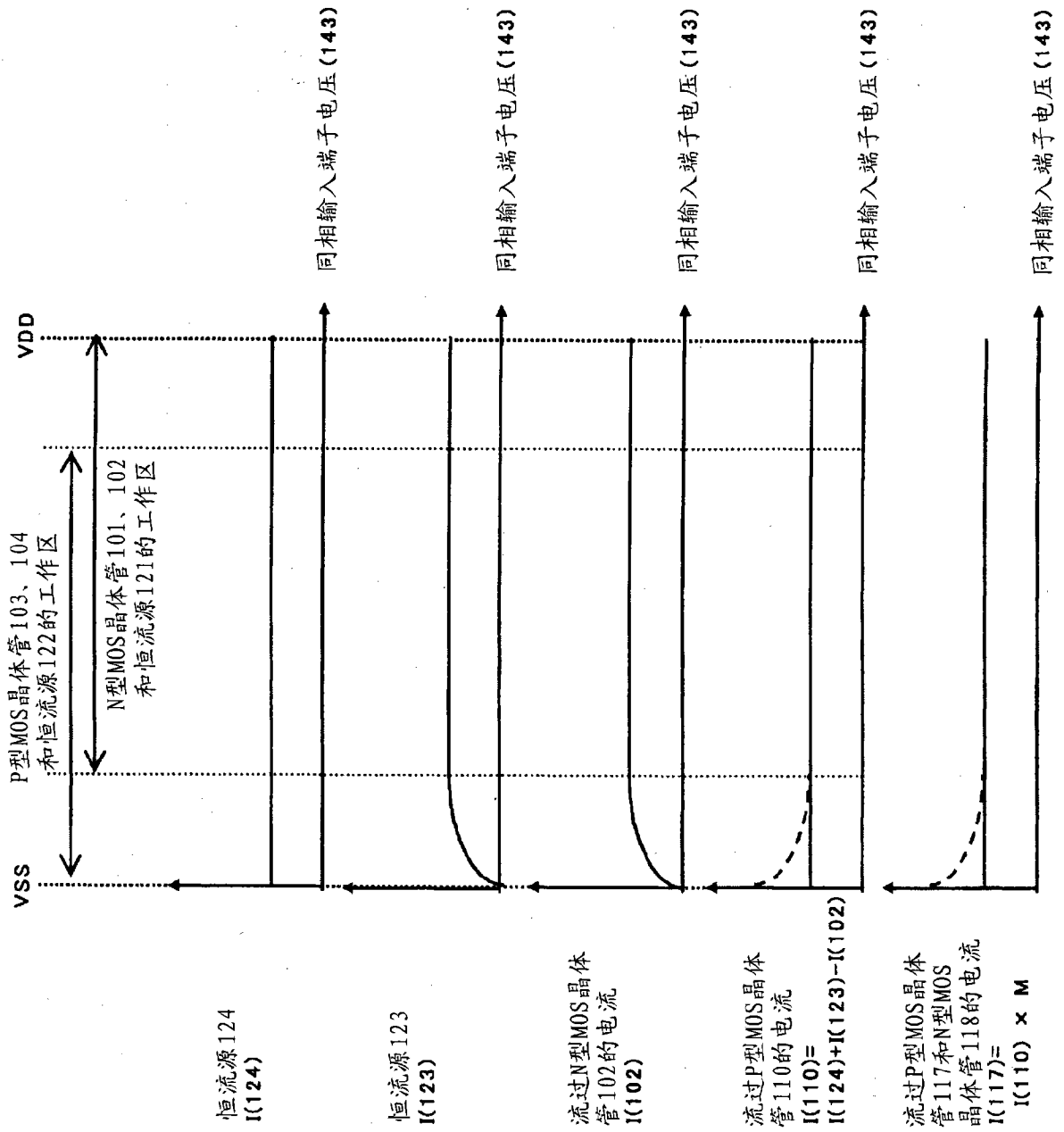


图 2

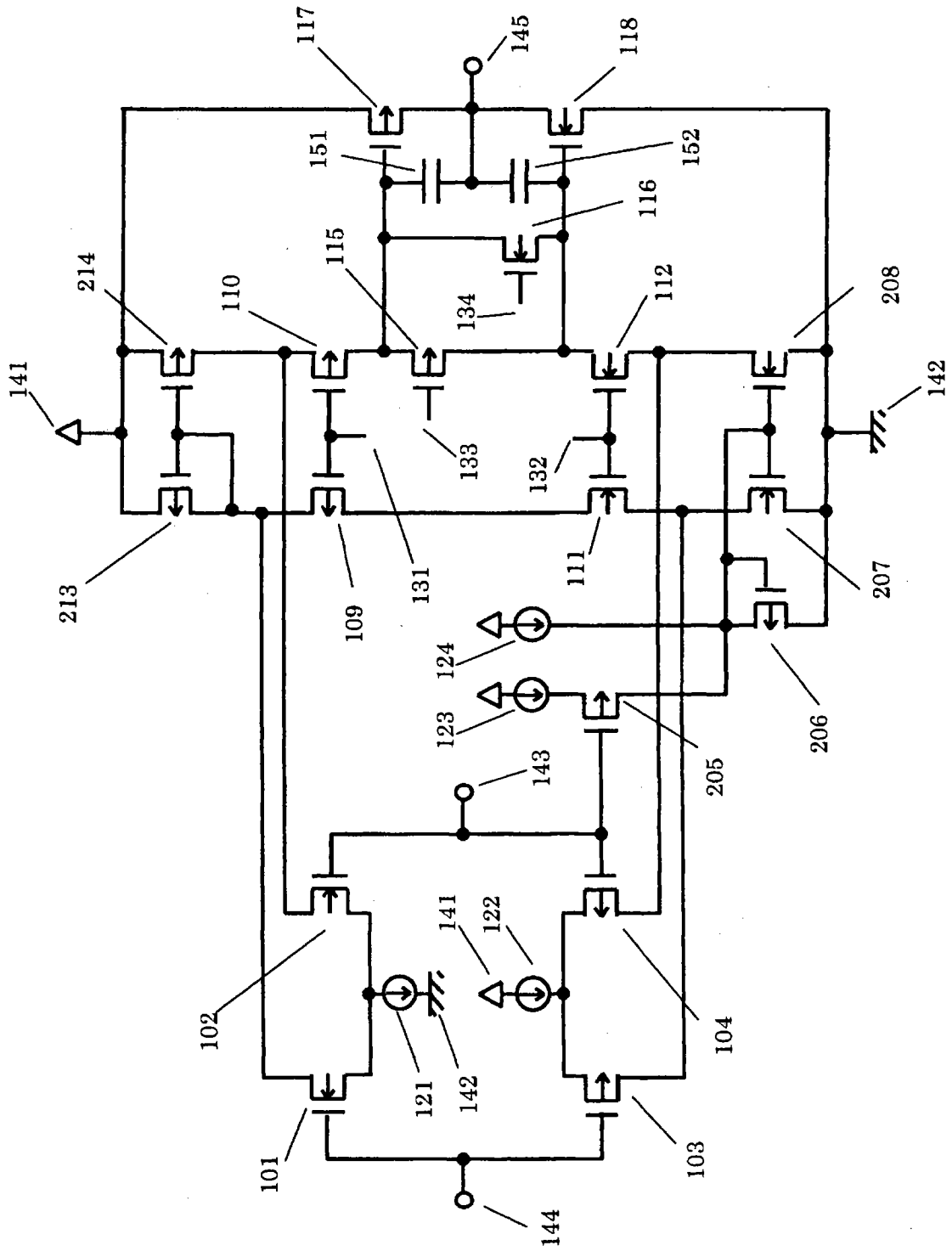


图 3

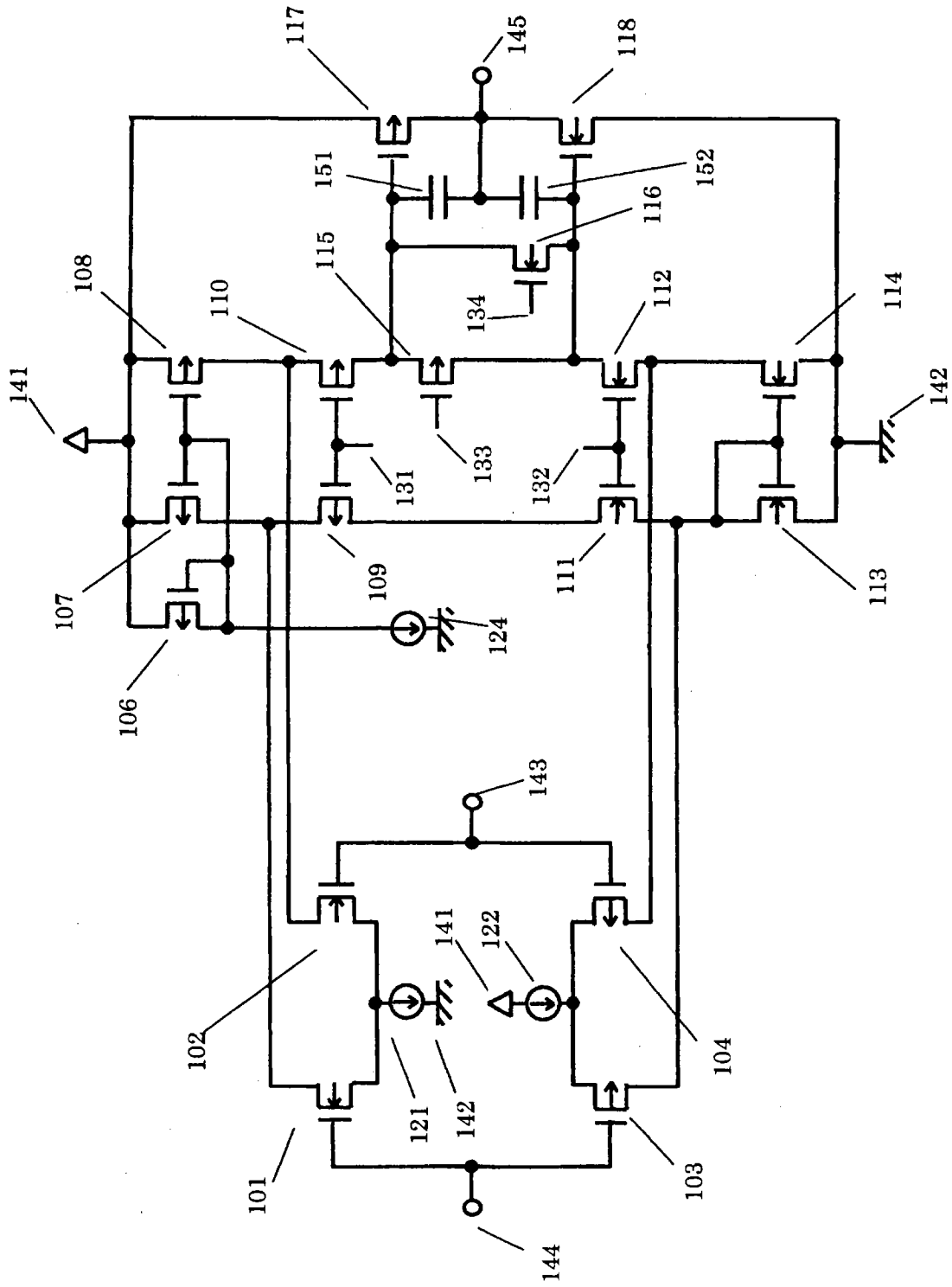


图 4

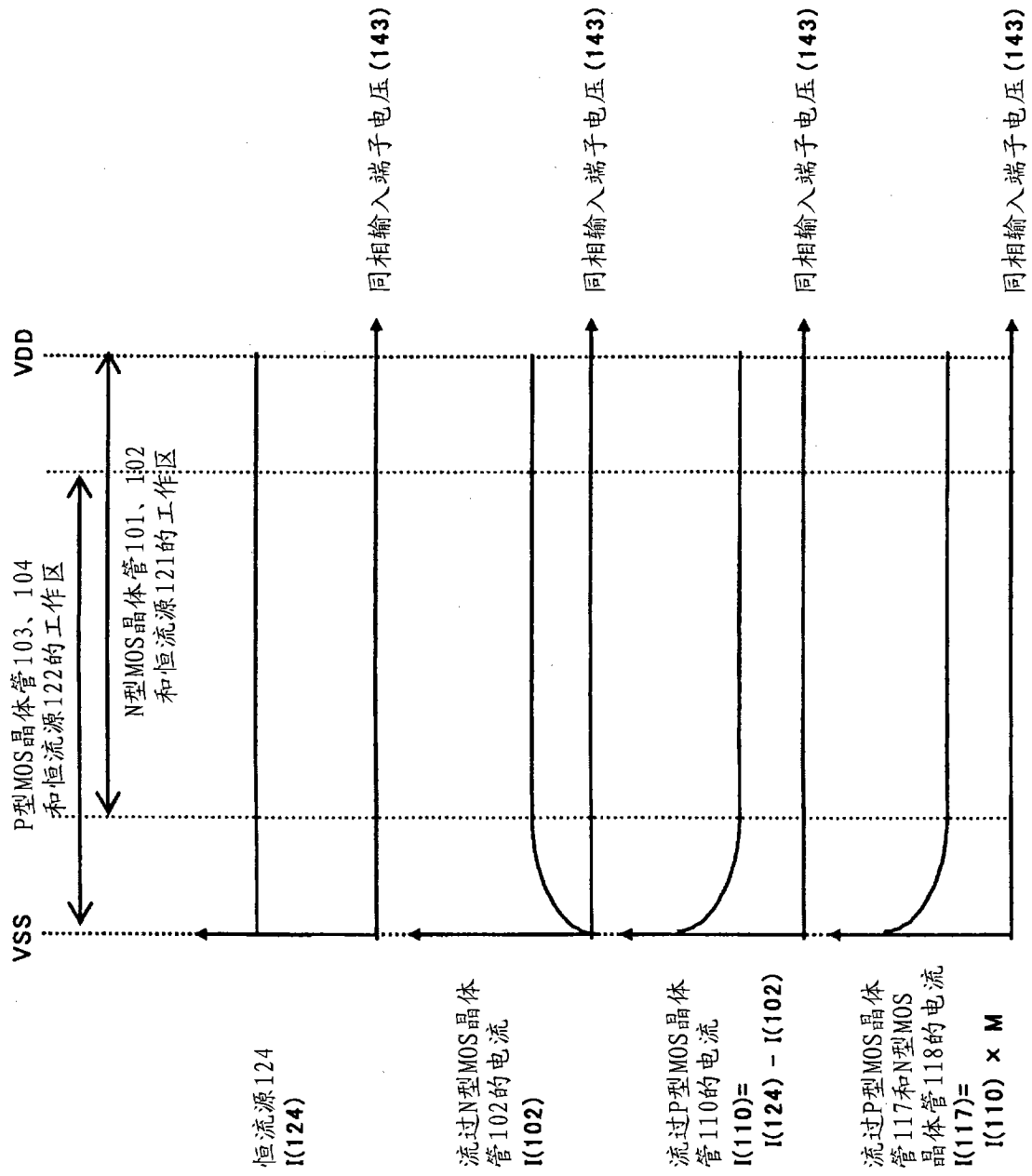


图 5