

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4211014号
(P4211014)

(45) 発行日 平成21年1月21日 (2009. 1. 21)

(24) 登録日 平成20年11月7日 (2008. 11. 7)

(51) Int. Cl.

F I

H O 1 L 29/423 (2006. 01)

H O 1 L 29/58 G

H O 1 L 29/49 (2006. 01)

H O 1 L 21/88 N

H O 1 L 21/3205 (2006. 01)

H O 1 L 21/90 A

H O 1 L 23/52 (2006. 01)

H O 1 L 21/90 C

H O 1 L 21/768 (2006. 01)

H O 1 L 29/78 3 O 1 G

請求項の数 1 (全 12 頁) 最終頁に続く

(21) 出願番号 特願平9-259648
 (22) 出願日 平成9年9月25日 (1997. 9. 25)
 (65) 公開番号 特開平11-97535
 (43) 公開日 平成11年4月9日 (1999. 4. 9)
 審査請求日 平成15年11月13日 (2003. 11. 13)

前置審査

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100105337
 弁理士 眞鍋 潔
 (74) 代理人 100072833
 弁理士 柏谷 昭司
 (74) 代理人 100075890
 弁理士 渡邊 弘一
 (74) 代理人 100110238
 弁理士 伊藤 壽郎
 (72) 発明者 中村 俊二
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極を上層側からシリコン層、置換用金属であるアルミニウムに対するストップパとなる導電体層、及び、不純物をドーブしたシリコン層からなる多層構造で構成する工程と、前記上層側のシリコン層に接するシリコンプラグを形成する工程と、前記シリコンプラグに接するようにアルミニウム層を設ける工程と、窒素雰囲気中で熱処理を行うことによって前記シリコンプラグを前記アルミニウム層のアルミニウムと置換して金属置換プラグにするとともに、前記ゲート電極の内の上層のシリコン層のみをアルミニウムで置換する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に関するものであり、特に、高温熱処理工程を伴うプロセスの終了後に、多結晶シリコン配線層の任意の部分をアルミニウム等の低比抵抗の金属に置換する方法及び結果として構造に特徴のある半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

近年、半導体装置の高集積化、大容量化に伴い設計ルール（ライン／スペース）が厳しくなっており、それに伴って半導体装置、例えば、DRAM（ダイナミック・ランダ

ム・アクセス・メモリ)の配線層の幅が細くなり、且つ、上下の配線層間を接続するプラグを形成するためのビアホール径が小さくなってきている。

【0003】

この様に、配線層の幅が細くなると抵抗も高くなり、動作速度の遅延を招くという問題があり、また、ビアホール径が小さくなるにしたがって、アスペクト比(深さ/径)が非常に大きくなり、スパッタリング法に比べてステップカヴァレッジの良好なCVD法を用いてもこの様なビアホールにAlを完全に埋め込むことはできず、ビアホールの内部に鬆(void)が形成され、鬆の形成された部分の断面積が小さくなる結果、抵抗が高くなったり、場合によっては断線してしまうという問題がある。

【0004】

この様な、微細ビアホールの問題を解決するために、ポリシリコン-アルミニウム置換法(Polysilicon-Aluminium Substitute: PAS)が提案されているので(必要ならば、International Electron Devices Meeting 96, p. 946-948参照)、図3を参照して説明する。

【0005】

図3(a)参照

まず、シリコン基板201上にCVD法により厚さ2.4 μ mのSiO₂膜202を堆積させたのち、RIE(反応性イオンエッチング)によって、底部の直径が0.25 μ mとなるビアホール、即ち、コンタクトホール203を形成し、次いで、減圧化学気相成長法(LPCVD法)によって、Alより回り込みの非常に良好な多結晶Si層204を堆積させ、コンタクトホール203の内部を埋め込む。

【0006】

図3(b)参照

次いで、CMP法(化学機械研磨法)を用いて、SiO₂膜202の表面が露出するまで研磨してコンタクトホール203の内部に埋め込まれた多結晶Si層により多結晶Siプラグ205を形成したのち、スパッタリング法によって厚さ0.5 μ mのAl層206を堆積させる。

【0007】

図3(c)参照

次いで、窒素雰囲気中で500℃でアニール処理を施すことによって、SiとAlとの相互拡散により、多結晶Siプラグ205はAlに置換され、次いで、図示しないものの、SiO₂膜202の表面が露出するまで研磨することによってAl置換プラグ207からなるコンタクト電極が形成される。

なお、この場合のAl置換プラグ207におけるSi含有量は底の部分でも約0.4%で、殆どAlに置換されている。

【0008】

なお、アニール工程において、Al層206の上に、厚さ0.2 μ mのTi層を堆積させておくことによって、このTi層がSi吸収層として機能し、Al置換のためのAl層206をより薄く、また、アニール処理温度をより低く、且つ、アニール処理時間をより短くすることができる。

【0009】

この様なポリシリコン-アルミニウム置換法(PAS法)を用いることにより、最大アスペクト比が10程度で、直径が0.1 μ m以下のビアホールを低抵抗のAlで埋め込むことができ、将来のMPU(Microprocessor Unit)やDRAMのプラグ(コンタクト電極)として期待されているものである。

【0010】

しかし、この様なポリシリコン-アルミニウム置換法を実際のLSIの製造プロセスに適用する場合には、他のプロセスとの関係が生じ、上記の単体プロセスの単純な導入により種々の問題が発生することが予想される。

10

20

30

40

50

【0011】

例えば、IGFET（絶縁ゲート型電界効果トランジスタ）のソース・ドレインコンタクト電極に適用した場合には、ソース・ドレイン領域が多結晶Si層と同じSiで構成されているため、多結晶SiプラグがAlに置換されたのち、ソース・ドレイン領域もAlに置換されることになる。

【0012】

そうすると、シリコン基板中に形成されているpn接合にAlが入り込めば、pn接合間にAlスパイクが延びるなどしてpn接合が破壊されることになるが、これはLSIにとって致命的な損傷となる。

【0013】

そこで、本発明者は、このようなポリシリコン - アルミニウム置換法を実際のデバイスに適用する際に、ソース・ドレイン領域と多結晶Siプラグとの間にAlのストッパとなるストッパ膜或いはバリア膜を設けることを試みたので、この応用例を図4を参照して説明する。

【0014】

なお、一般論としては、拡散を防ぐためにストッパ膜或いはバリア膜を設けること自体は常套手段であるが、ポリシリコン - アルミニウム置換法の場合には、高温でもAlと反応しないか、或いは、反応しにくい物質を選択する必要があるが、このような物質としてはTiN、WN、或いは、SiCが適当であると判断した。

【0015】

しかし、TiN、WN、或いは、SiCはSiとの反応性が乏しく、電氣的にコンタクトが取りにくいので、ソース・ドレイン領域とのコンタクト抵抗が非常に高くなるという問題があるので、この場合には、ストッパ膜或いはバリア膜とソース・ドレイン領域との界面にSiと反応しやすい膜、即ち、コンタクトメタルを薄く形成するようにした。

【0016】

図4(a)参照

まず、p型シリコン基板211の所定領域に選択酸化によって素子分離酸化膜212を形成したのち、素子分離酸化膜212で囲まれたp型シリコン基板211の露出表面を熱酸化してゲート酸化膜213を形成し、次いで、ノン・ドープ多結晶Si層を堆積させたのち、P（リン）等の不純物をイオン注入し、次いで、全面に、CVD法により、保護膜215となるSiO₂膜或いはSi₃N₄膜を堆積させたのち、所定パターンにエッチングしてゲート電極214を形成する。

【0017】

次いで、ゲート電極214及び保護膜215をマスクとしてAs或いはP等の不純物をイオン注入してn型ソース・ドレイン領域217を形成し、次いで全面に、CVD法によりSiO₂膜を堆積させ、異方性エッチングを施すことによってサイドウォール216を形成する。

【0018】

次いで、CVD法によって、全面にエッチング時のストッパ膜となるSi₃N₄膜218を堆積させたのち、CVD法によって全面にSi₃N₄膜218とエッチング特性の異なるSiO₂膜を堆積させて層間絶縁膜219とし、次いで、Si₃N₄膜218をエッチングストッパ層として層間絶縁膜219に開口部を形成したのち、開口部に露出するSi₃N₄膜218を選択的に除去する。

【0019】

次いで、コンタクトメタルとなる厚さ20nmのTi膜220及びバリアメタルとなる厚さ10～100nmのTiN膜221をスパッタリング法或いはCVD法により順次堆積させる。

【0020】

次いで、LP CVD法を用いて多結晶Si膜を堆積させたのち、TiN膜221が露出するまでCMP法によって研磨することによって多結晶Siプラグ222を形成し、次い

10

20

30

40

50

で、スパッタリング法を用いて厚さ $2\ \mu\text{m}$ の Al 層 223 と厚さ $200\ \text{nm}$ の Ti 層 224 を堆積させる。

【0021】

図4(b)参照

次いで、窒素雰囲気中で、 $400\sim660$ の温度において1時間程度熱処理を行うことによって多結晶 Si プラグ 222 を Al に置換したのち、再び、CMP法を用いて層間絶縁膜 219 の表面が露出するまで研磨することによって Al 置換プラグ 225 を形成する。

【0022】

このような構成、即ち、コンタクトメタルとバリアメタルからなるストッパ膜を採用することによって、ポリシリコン - アルミニウム置換法を実際のLSIの製造工程に適用し得ることが分かった。

10

【0023】

なお、この場合のコンタクトメタルとしては、 Ti 以外に、 W 、 Co 、 Ni 、 Ta 、或いは、これらのシリサイドを用いることができ、また、 n 型ソース・ドレイン領域 217 の表面にすでにシリサイドが形成されている場合、或いは、コンタクトメタルとして機能する下地が形成されている場合には、コンタクトメタルの堆積工程は省略することができる。

【0024】

【発明が解決しようとする課題】

20

しかし、上述の応用例において、アニール処理温度が $400\sim450$ と比較的低温の場合には問題がないものの、それより高い温度、例えば、 $450\sim850$ で熱処理を行った場合には問題が生ずる。

【0025】

即ち、このような高温で Al 置換のための熱処理を行った場合、コンタクトメタルの Ti 自身がソース・ドレイン領域の Si と反応してしまい、 $p\text{-}n$ 接合中に進入して、 $p\text{-}n$ 接合を破壊するという場合が生ずるためである。

【0026】

したがって、このようなコンタクトプラグの形成工程が最終工程であれば問題がないものの、製造工程の途中でストッパ層を介して多結晶 Si プラグを設け、後の製造工程において高温処理工程を経たのちポリシリコン - アルミニウム置換法を行えば、 Al 置換プラグを形成することはできるが、高温処理工程において Ti が拡散して $p\text{-}n$ 接合を破壊するという問題や、 Ti の拡散によって Ti と Si の共晶合金が形成され、この共晶化領域に不純物が異常偏析してコンタクト不良が発生するという問題もあるので、適用工程が限られてしまうという問題がある。

30

【0027】

また、従来のポリシリコン - アルミニウム置換法は、多結晶 Si プラグの置換しか想定していないので、LSIの導電通路を構成する下層の配線層は Al (比抵抗： $2.8\ \mu\cdot\text{cm}$) より比抵抗の大きなドーブト多結晶 Si (比抵抗： $300\sim800\ \mu\cdot\text{cm}$)、高融点金属 (W の比抵抗： $6\ \mu\cdot\text{cm}$)、或いは、高融点金属シリサイド (W シリサイドの比抵抗： $70\ \mu\cdot\text{cm}$ 、 Ti シリサイドの比抵抗： $15\ \mu\cdot\text{cm}$) 等の耐高温材料のままであるので、ポリシリコン - アルミニウム置換法のメリットを十分に生かせるものではなかった。

40

【0028】

例えば、DRAMのビット線の場合には、ビット線の上部にメモリセルのキャパシタを構成する蓄積電極やキャパシタ絶縁膜が形成されることになるが、現在の技術では、このキャパシタ絶縁膜を 600 程度の低温で形成して、高い信頼性を得ることは非常に難しいので、 $700\sim850$ の高温熱処理が必要となっている。

【0029】

そして、この工程はビット線形成の後であるので、ビット線に融点 660 の Al を

50

用いることができないが、もし、Alをビット線に使用することができれば、単にビット線の抵抗を低くすることができるだけでなく、ビット線を薄く形成することが許されることになるので、隣接するビット線間の寄生容量も小さくすることができ、高速・低消費電力のメモリLSIを製造することが可能になる。

【0030】

また、ビット線の抵抗や寄生容量を低減することができることにより、1本のビット線に接続されるセルの数も増やすことができるので、メモリの集積度を上げることが可能になり、したがって、ビット線のAl化が望まれるところである。

【0031】

また、通常の自己整合型のIGFETの場合には、ゲート電極をマスクとしてイオン注入を行い、活性化のためのアニールを行ってソース・ドレイン領域を形成しているが、このアニール温度は800～1100程度であるので、ゲート電極としてAlは使用されていない。

【0032】

しかし、Alをゲート電極として用いることができるならば、ビット線の場合と同様に、LSIの高速化と低消費電力化に大きく貢献することができ、付加価値の高いLSIを製造することができ、また、メモリのゲート電極、即ち、ワード線としてAlを用いることができるのならば、1本のワード線に接続できるセルの数を増やすことができ、メモリの集積度を上げることが可能になる。

【0033】

また、自己整合バイポーラトランジスタの場合には、ドーパント多結晶Si層からなるベース引出電極及びエミッタ電極から不純物を固相拡散して外部ベース領域やエミッタ領域を形成しているが、この場合の拡散のための熱処理温度は800～1100であるので、拡散源兼電極としてAlを用いることができない。

【0034】

しかし、このベース引出電極及びエミッタ電極をAlに置き換えることができるのならば、著しい高速化と低消費電力化を図ることができ、非常に望ましいものとなる。

【0035】

そこで、このような配線層或いは電極を低抵抗化するために、仮に、ポリシリコン-アルミニウム置換法の適用を考えても、上述のビット線、ゲート電極、或いは、ベース引出電極は、LSIの表面から奥まった部分、即ち、シリコン基板の表面近傍に形成されているため、ビット線、ゲート電極、或いは、ベース引出電極を多結晶Si層で形成しておき、ポリシリコン-アルミニウム置換法でAlに置換しようとしても、ポリシリコン-アルミニウム置換法の単純な適用では置換に必要な厚いAl層を置換すべき多結晶Si層に接続できないという問題が生ずる。

【0036】

また、最先端のLSIでは、ワード線に対してソース・ドレイン電極が、また、ビット線に対してはキャパシタコンタクトが自己整合で形成される構造になっているため、ワード線及びビット線の上部は絶縁膜で覆われることが必須であり、その後の工程においてもこの絶縁膜を除去することは許されない状況にある。

【0037】

したがって、セルの密集する部分では、ワード線或いはビット線の上部を露出させて、厚い置換用Al層と接触させることによってAl置換を行うと言った従来のポリシリコン-アルミニウム置換法を適用ができず、何らかの工夫が必要である。

【0038】

例えば、ビット線をAl置換する場合には、

- a. ビット線自身が容易にAlに置換される構造と、Al置換の導入部の構造、
- b. ビット線をAl置換したのち、Alがさらに下層の多結晶Siプラグやソース・ドレイン領域に進入しないためのストッパ構造、
- c. Al置換が不所望な下部プラグとコンタクトしている上部プラグをAl置換した場合

10

20

30

40

50

のストッパ構造、

等を工夫する必要あり、且つ、これらの対策を別々に講じていたのでは工定数が増えてコストアップにつながるので、製造工程を増やさないための何等かの工夫も合わせて必要である。

【0039】

特に、DRAMにおいては、メーカー間の競争が激しく、コストの低減が非常に重要であるので、ポリシリコン - アルミニウム置換法を導入して高機能化が果たせるとしても、コストを削減することが最重要課題であり、Al置換自体の工程や、これに伴うストッパ形成工程もコストが高くならないようにすることが必要不可欠となる。

【0040】

また、ゲート電極に対してポリシリコン - アルミニウム置換法を適用する場合には、ゲート絶縁膜は非常にデリケートな薄い絶縁膜であり、ささいな金属の拡散により信頼性を損ないやすいので、ゲート電極をAl置換する場合には、ゲート絶縁膜の信頼性を損わない工夫が必要である。

【0041】

また、自己整合型のバイポーラトランジスタのベース引出電極やエミッタ引出電極に対してポリシリコン - アルミニウム置換法を適用する場合には、これらの引出電極は不純物の拡散源にもなっているため、これらの役割を果たせるように電極構造を工夫する必要がある。

【0042】

さらに、LSIの高速化並びに低消費電力化のためには、配線層間の寄生容量の低減は必要であるが、従来のLSIにおいては層間絶縁膜を構成する絶縁膜自体の誘電率を低くする程度の考慮しか払われおらず、寄生容量対策は十分ではなかった。

【0043】

したがって、本発明は、ポリシリコン - アルミニウム置換法を製造工程があまり増大せず、且つ、素子特性に悪影響を与えないように工夫して適用することによって、プラグ及び配線層を低抵抗化し、或いは、配線層間の寄生容量を低減することを目的とする。

【0044】

【課題を解決するための手段】

ここで、図2を参照して本発明における課題を解決するための手段を説明する。

(1) 本発明は、半導体装置の製造方法において、ゲート電極を上層側からシリコン層、置換用金属であるアルミニウムに対するストッパとなる導電体層(38)、及び、不純物をドーブしたシリコン層(36)からなる多層構造で構成する工程と、前記上層側のシリコン層に接するシリコンプラグを形成する工程と、前記シリコンプラグに接するようにアルミニウム層を設ける工程と、窒素雰囲気中で熱処理を行うことによって前記シリコンプラグを前記アルミニウム層のアルミニウムと置換して金属置換プラグ(39)にするとともに、前記ゲート電極の内の上層のシリコン層のみをアルミニウムで置換する工程を有することを特徴とする。

【0045】

この様に、ゲート電極を、シリコン層/ストッパ(38)/ドーブトシリコン層(36)の多層構造で構成することによって、シリコン層のみを金属置換することができるので、 V_{th} を変動させることなく、且つ、ゲート絶縁膜(13)の信頼性を低下させることなく、ゲート電極を低抵抗化することができる。

【発明の実施の形態】

【0046】

ここで、まず、図1を参照して、本発明の前提となる参考例1の工程を説明する。

図1(a)参照

従来と同様に、図3に関して説明したように、まず、p型シリコン基板11の所定領域に選択酸化によって素子分離酸化膜12を形成したのち、素子分離酸化膜12で囲まれたp型シリコン基板11の露出表面を熱酸化してゲート酸化膜13を形成し、次いで、ノン

10

20

30

40

50

・ドーブ多結晶Si層を堆積させたのち、Pをイオン注入してドーブト多結晶Si層とし、次いで、全面に、CVD法によって保護膜15となるSiO₂膜を堆積させたのち、所定パターンにエッチングしてゲート電極14を形成する。

【0047】

次いで、ゲート電極14及び保護膜15をマスクとしてAsをイオン注入してn型ソース・ドレイン領域17を形成し、次いで、CVD法によって全面にSiO₂膜を堆積させ、異方性エッチングを施すことによってサイドウォール16を形成する。

【0048】

次いで、CVD法によって、全面にエッチング時のストッパ膜となる厚さ10～100nmのSi₃N₄膜18を堆積させたのち、CVD法によって全面にSi₃N₄膜18とエッチング特性の異なる厚さ100～500nmのSiO₂膜を堆積させて層間絶縁膜19とし、次いで、Si₃N₄膜18をエッチングストッパ層として層間絶縁膜19に開口部を形成したのち、開口部に露出するSi₃N₄膜18を選択的に除去することによってn型ソース・ドレイン領域17に達するビアホールを形成する。

【0049】

次いで、LPCVD法によって不純物をドーブした多結晶Si層を堆積させたのち、第1層間絶縁膜19が露出するまでCMP法によって研磨することによって導電性を有する多結晶Siプラグ20を形成する。

【0050】

次いで、コンタクトメタルとなる厚さ10～100nm、例えば、20nmのTi膜21、次いで、バリアメタルとなる厚さ10～200nm、例えば、50nmのTiN膜22をスパッタリング法により順次堆積させたのち、多結晶Siプラグ20上に残存するようにエッチングして、Alに対するストッパ用パッドを形成する。

【0051】

次いで、再び、CVD法を用いて全面に厚さ0.05～5.0μm、例えば、0.5μmのSiO₂膜を堆積させて第2層間絶縁膜23としたのち、ストッパ用パッドに達するビアホールを設け、次いで、再び、LPCVD法によってノン・ドーブの多結晶Si層を堆積させたのち、第2層間絶縁膜23が露出するまでCMP法によって研磨することによって多結晶Siプラグ24を形成する。

【0052】

次いで、スパッタリング法を用いて厚さ0.1～10μm、例えば、2μmのAl層25と厚さ50nm～2000nm、例えば、200nmのTi層26を堆積させる。

【0053】

図1(b)参照

次いで、窒素雰囲気中で、400～660℃、例えば、500℃において、1.0～48時間、例えば、6時間熱処理を行うことによって多結晶Siプラグ24をAlに置換したのち、再び、CMP法を用いて第2層間絶縁膜23の表面が露出するまで研磨することによってAl置換プラグ27を形成する。

【0054】

この様に、本発明の前提となる参考例1においては、下部に設けた多結晶Siプラグ20と上部の多結晶Siプラグ24との間にストッパ用パッドを設けているので、上部の多結晶Siプラグ24をAlに置換する際に、Alが下部の多結晶Siプラグ20に拡散することがなく、したがって、n型ソース・ドレイン領域17を構成するpn接合が破壊されることがない。

【0055】

また、ポリシリコン・アルミニウム置換工程に伴う熱処理工程、或いは、他の製造工程において、450℃以上の高温工程が施されたとしても、ストッパ用パッドを構成するコンタクトメタルとしてのTiの拡散は生ずるが、下部の多結晶Siプラグ20の存在によりn型ソース・ドレイン領域17との距離が離れるので、接合破壊に至ることはない。

【0056】

10

20

30

40

50

また、同じ理由によって、Tiとn型ソース・ドレイン領域17のSiとが共晶合金を形成することがなく、共晶合金に伴う不純物の異常偏析が生ずることがないので、コンタクト不良が発生することがなく、それによって、微小ビアホールを低比抵抗化することができると共に、素子の信頼性を高めることができる。

【0057】

以上を前提として、次に、図2を参照して本発明の第1の実施の形態の工程を説明する。

なお、図2(b)は、図2(a)のゲート引出配線層に沿った断面図である。

図2(a)及び(b)参照

まず、p型シリコン基板11の所定領域に選択酸化によって素子分離酸化膜12を形成したのち、素子分離酸化膜12で囲まれたp型シリコン基板11の露出表面を熱酸化してゲート酸化膜13を形成し、次いで、厚さ10～300nm、例えば、50nmのノン・ドープ多結晶Si層を堆積させたのち、Pをイオン注入してドープト多結晶Si層36とする。

なお、始めからドープト多結晶Si膜として成膜しても良い。

【0058】

次いで、コンタクトメタルとなる厚さ10～100nm、例えば、20nmのTi膜37及びバリアメタルとなる厚さ10～200nm、例えば、50nmのTiN膜38をスパッタリング法により順次堆積させたのち、再びLPCVD法を用いて厚さ10～100nm、例えば、150nmのノン・ドープの多結晶Si層を堆積させ、次いで、全面に、CVD法によって保護膜15となるSiO₂膜を100nm堆積させたのち、所定パターンにエッチングしてゲート電極及びゲート引出配線層を形成する。

【0059】

次いで、ゲート電極及び保護膜15をマスクとしてAsをイオン注入してn型ソース・ドレイン領域17を形成し、次いで全面にSiO₂膜を堆積させ、異方性エッチングを施すことによってサイドウォール16を形成する。

【0060】

次いで、CVD法によって、全面にエッチング時のストッパ膜となる厚さ10～100nmのSi₃N₄膜18を堆積させたのち、CVD法によって全面にSi₃N₄膜18とエッチング特性の異なる厚さ100～500nmのSiO₂膜を堆積させて層間絶縁膜19とし、次いで、Si₃N₄膜18をエッチングストッパ層として層間絶縁膜19に開口部を形成したのち、開口部に露出するSi₃N₄膜18を選択的に除去することによってn型ソース・ドレイン領域17に達するビアホールを形成する。

【0061】

次いで、LPCVD法によって不純物をドープした多結晶Si層を堆積させたのち、第1層間絶縁膜19が露出するまでCMP法によって研磨することによって導電性を有する多結晶Siプラグ20を形成する。

【0062】

次いで、再び、CVD法を用いて全面に厚さ0.05～5.0μm、例えば、0.5μmのSiO₂膜を堆積させて第2層間絶縁膜23としたのち、ゲート引出配線層に達するビアホールを設け、次いで、再び、LPCVD法によってノン・ドープの多結晶Si層を堆積させたのち、第2層間絶縁膜23が露出するまでCMP法によって研磨することによって多結晶Siプラグを形成する。

【0063】

次いで、スパッタリング法を用いて厚さ0.1～10μm、例えば、2μmのAl層(図示せず)と厚さ50nm～2000nm、例えば、200nmのTi層(図示せず)を堆積させたのち、窒素雰囲気中で、400～660℃、例えば、500℃において、1～48時間、例えば、6時間熱処理を行うことによって多結晶Siプラグ及びそれに連なるゲート引出電極及びゲート電極を構成する上層のノン・ドープ多結晶Si層をAl置換したのち、再び、CMP法を用いて第2層間絶縁膜23の表面が露出するまで研磨すること

10

20

30

40

50

によってA 1 置換プラグ3 9、A 1 置換配線層4 0及びA 1 置換ゲート電極4 1を形成する。

【0064】

この様に、本発明の第1の実施の形態においては、自己整合工程に伴う高温熱処理のためにA 1を用いることができなかったゲート電極及びゲート引出配線層を、低比抵抗のA 1に置換することができるので、絶縁ゲート型半導体装置の動作速度を高速化することができる。

【0065】

この場合、ゲート電極は、ノン・ドープの多結晶Si層/ストッパ/ドープト多結晶Si層36の多層構造であり、A 1の拡散はストッパで阻止されるので、A 1置換はノン・ドープの多結晶Si層だけであり、ドープト多結晶Si層36はそのままであるので、V_{th}が変動することがなく、且つ、ゲート酸化膜13及びチャネル領域42にダメージを与えることないので信頼性を損なうことがなく、ゲート電極及びゲート引出配線層の低抵抗化が可能になる。

【0066】

以上、本発明の実施の形態を説明してきたが、本発明は各種の変更が可能であり、例えば、置換用のA 1層(25)上に設けるTi層(26)は必ずしも必要なものではない。

【0067】

また、上記の実施の形態においては、説明を簡単にするために、単一構造のソース・ドレイン領域としているが、LDD(Lightly Doped Drain)構造を採用しても良いものであり、その場合には、ゲート電極及び保護膜をマスクとしてイオン注入することによってLDD領域を形成したのち、サイドウォールをマスクとしてイオン注入することによってソース・ドレイン領域を形成すれば良い。

【0068】

また、バリアメタルはTiNに限られるものではなく、A 1の拡散を防止できる導電性膜であれば何でも良く、例えば、Ta₂N₅、WN、或いは、SiC等を用いることができる。

【0069】

また、本発明の実施の形態の説明においては、置換される領域を多結晶シリコンで構成しているが、多結晶シリコンに限られるものではなく、微結晶シリコン、或いは、アモルファスシリコンでも良く、場合によっては、単結晶シリコンでも良い。

【0070】

また、本発明の実施の形態の説明においては、多結晶シリコン以外の導電体膜をスパッタリング法で堆積させているが、スパッタリング法に限られるものではなく、CVD法或いは蒸着法を用いても良いものである。

【0071】

また、本発明の実施の形態の説明においては、nチャネル型IGFETで説明しているが、pチャネル型IGFETにも適用されることは言うまでもない。

【0072】

【発明の効果】

本発明によれば、その後の工程において高温処理工程を伴うため、A 1を使用できなかった部分の配線層及び電極を、高温処理工程を終えたのちにポリシリコン-アルミニウム置換法を用いてA 1置換して低抵抗化しているので、各種半導体装置の動作速度を大幅に高めることができ、且つ、低消費電力化に寄与するところが大きい。

【図面の簡単な説明】

【図1】 本発明の前提となる参考例1の工程の説明図である。

【図2】 本発明の第1の実施の形態の説明図である。

【図3】 従来のPAS工程の説明図である。

【図4】 従来のPAS技術の応用例の説明図である。

【符号の説明】

10

20

30

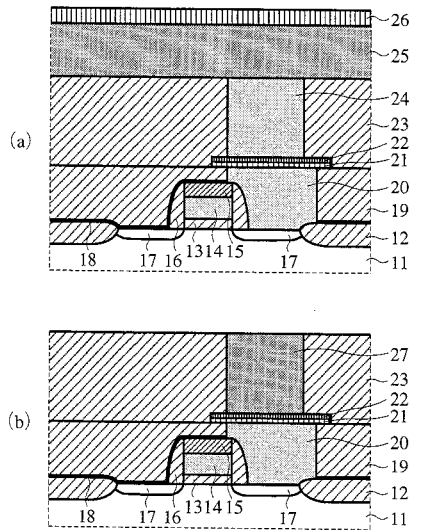
40

50

1 1	p 型シリコン基板	
1 2	素子分離酸化膜	
1 3	ゲート酸化膜	
1 4	ゲート電極	
1 5	保護膜	
1 6	サイドウォール	
1 7	n 型ソース・ドレイン領域	
1 8	Si_3N_4 膜	
1 9	第 1 層間絶縁膜	
2 0	多結晶 Si プラグ	10
2 1	Ti 膜	
2 2	TiN 膜	
2 3	第 2 層間絶縁膜	
2 4	多結晶 Si プラグ	
2 5	Al 層	
2 6	Ti 層	
2 7	Al 置換プラグ	
3 6	ドーフト多結晶 Si 層	
3 7	Ti 膜	
3 8	TiN 膜	20
3 9	Al 置換プラグ	
4 0	Al 置換配線層	
4 1	Al 置換ゲート電極	
4 2	チャネル領域	
2 0 1	シリコン基板	
2 0 2	SiO_2 膜	
2 0 3	コンタクトホール	
2 0 4	多結晶 Si 層	
2 0 5	多結晶 Si プラグ	
2 0 6	Al 層	30
2 0 7	Al 置換プラグ	
2 1 1	p 型シリコン基板	
2 1 2	素子分離酸化膜	
2 1 3	ゲート酸化膜	
2 1 4	ゲート電極	
2 1 5	保護膜	
2 1 6	サイドウォール	
2 1 7	n 型ソース・ドレイン領域	
2 1 8	Si_3N_4 膜	
2 1 9	層間絶縁膜	40
2 2 0	Ti 膜	
2 2 1	TiN 膜	
2 2 2	多結晶 Si プラグ	
2 2 3	Al 層	
2 2 4	Ti 層	
2 2 5	Al 置換プラグ	

【図 1】

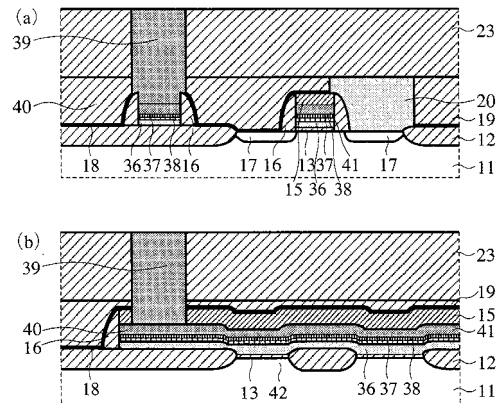
本発明の前提となる参考例 1 の工程の説明図



- | | | |
|-------------|-------------------------------------|--------------------------|
| 11:p型シリコン基板 | 17:n型ソース・ドレイン領域 | 23:第2層間絶縁膜 |
| 12:素子分離酸化膜 | 18:Si ₃ N ₄ 膜 | 24:多結晶Si ⁺ ラケ |
| 13:ゲート酸化膜 | 19:第1層間絶縁膜 | 25:Al層 |
| 14:ゲート電極 | 20:多結晶Si ⁺ ラケ | 26:Ti層 |
| 15:保護膜 | 21:Ti膜 | 27:Al置換プラケ |
| 16:サイドウォール | 22:TiN膜 | |

【図 2】

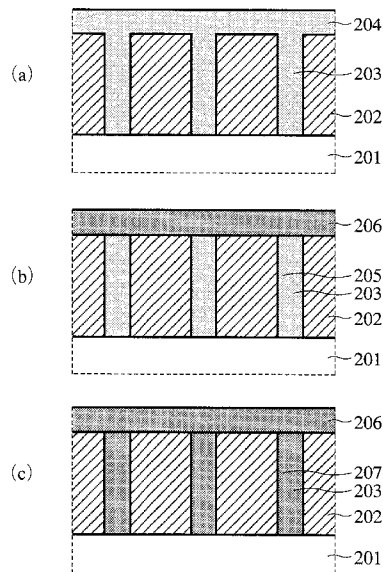
本発明の第1の実施の形態の説明図



- | | |
|-------------------------------------|--------------|
| 11:p型シリコン基板 | 23:第2層間絶縁膜 |
| 12:素子分離酸化膜 | 36:ドープ多結晶Si層 |
| 13:ゲート酸化膜 | 37:Ti膜 |
| 15:保護膜 | 38:TiN膜 |
| 16:サイドウォール | 39:Al置換プラケ |
| 17:n型ソース・ドレイン領域 | 40:Al置換配線層 |
| 18:Si ₃ N ₄ 膜 | 41:Al置換ゲート電極 |
| 19:第1層間絶縁膜 | 42:チャネル領域 |
| 20:多結晶Si ⁺ ラケ | |

【図 3】

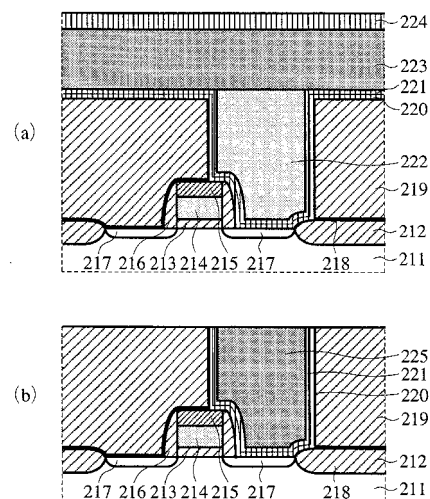
従来のPAS工程の説明図



- | | |
|------------------------|---------------------------|
| 201:シリコン基板 | 205:多結晶Si ⁺ ラケ |
| 202:SiO ₂ 膜 | 206:Al層 |
| 203:コンタクトホール | 207:Al置換プラケ |
| 204:多結晶Si層 | |

【図 4】

従来のPAS技術の応用例の説明図



- | | | |
|--------------|--------------------------------------|---------------------------|
| 211:p型シリコン基板 | 216:サイドウォール | 221:TiN膜 |
| 212:素子分離酸化膜 | 217:n型ソース・ドレイン領域 | 222:多結晶Si ⁺ ラケ |
| 213:ゲート酸化膜 | 218:Si ₃ N ₄ 膜 | 223:Al層 |
| 214:ゲート電極 | 219:層間絶縁膜 | 224:Ti層 |
| 215:保護膜 | 220:Ti膜 | 225:Al置換プラケ |

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/78 (2006.01)

審査官 長谷山 健

(56)参考文献 特開平 0 7 - 0 6 6 2 0 3 (J P , A)
特開平 0 5 - 0 1 3 5 9 4 (J P , A)
特開平 0 8 - 2 8 8 4 0 7 (J P , A)
特開平 0 4 - 0 7 2 7 5 2 (J P , A)
特開平 0 7 - 3 3 5 6 4 6 (J P , A)
特開平 0 8 - 0 9 7 2 8 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/423
H01L 21/3205
H01L 21/768
H01L 23/52
H01L 29/49
H01L 29/78