

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年5月4日 (04.05.2006)

PCT

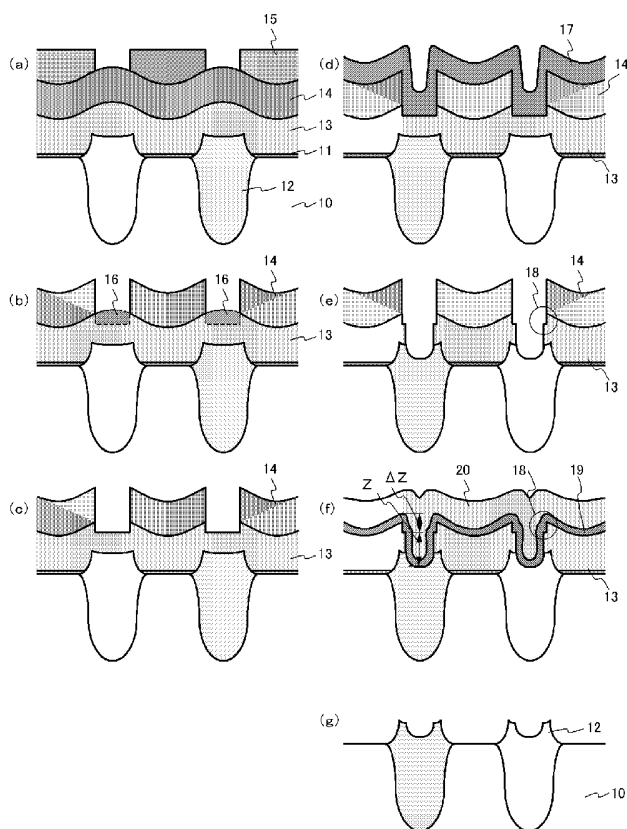
(10) 国際公開番号
WO 2006/046301 A1

- (51) 国際特許分類⁷: H01L 27/115, 29/788, 21/8247
(21) 国際出願番号: PCT/JP2004/016119
(22) 国際出願日: 2004年10月29日 (29.10.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
ムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地6番 Fukushima (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 宇津野五大 (UT-
SUNO, Yukihiro) [JP/JP]; 〒9650845 福島県会津若松
市門田町工業団地6番 Spansion Japan
株式会社内 Fukushima (JP).
- (74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋1-6-1 三井住友海上テブコビル
Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.
(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: A silicon nitride film (17), which is a second hard mask, is dry-etched so as to be completely removed. Since the silicon nitride film (17) formed on the side wall of a silicon nitride film (14) used as a first hard mask has a relatively low etching rate, when the dry-etching is continued until the silicon nitride film (17) on such part is removed by etching, polysilicon (13) is etched in a trench-shape in the depth direction, floating gates of the adjacent cells are separated and a step part (18) of the polysilicon (13) is formed. Then, a remaining part of the silicon nitride film (14) used as the first hard mask is removed, an ONO film (19) is formed over the entire surface of the polysilicon (13) having the step (18) at the etching edge part, and a film of polysilicon (20) for a control gate is formed on the ONO film (19).

(57) 要約: 第2のハードマスクであるシリコン窒化膜17をドライエッチングして完全に除去する。第1のハードマスクとして用いたシリコン窒化膜14の側壁に形成されたシリコン窒化膜17は相対的にエッチングレートが低いため、当該部分のシリコン窒化膜17がエッチングにより除去されるまでドライエッチングを継続すると、ポリシリコン13が深さ方向にトレンチ状にエッチングされて隣接するセルのフローティングゲート同士が分割されるとともに、ポリシリコン13の段差部18が形成される。この後に、第1のハードマスクとして用いたシリコン窒化膜14の残存部分を除去し、エッチング端部に段差部18を有するポリシリ

コン13の全面のONO膜19を成膜し、ONO膜19上にコントロールゲート用ポリシリコン20を成膜する。



BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

半導体装置および半導体装置の製造方法

技術分野

- [0001] 本発明は半導体装置およびその製造方法に関し、より詳細には、フラッシュメモリセルの動作特性を劣化させることなくその製品歩留まりを高めることを可能とする技術に関する。

背景技術

- [0002] フラッシュメモリは電氣的に書換えが可能なROMの一種であり、携帯電話やデジタルスチルカメラ、あるいは通信ネットワーク機器などに広く用いられている半導体記憶装置である。
- [0003] 個々のフラッシュメモリセルは、トンネル酸化膜上に設けられたフローティングゲートと、このフローティングゲートにバイアスを印加するゲートであるコントロールゲートとを備えており、フローティングゲートに印加されるバイアスに応じて、トンネル酸化膜を介してフローティングゲート中に電子を注入したり抜き取ったりすることで情報の書き込み・消去が行われる。ここで、各セルが備えることとなるフローティングゲートの外周部には、注入された電子がフローティングゲート外に漏れ出ることのないように、量子力学的なエネルギー障壁として作用する誘電体膜が形成される。
- [0004] しかし、誘電体膜の薄膜化に伴って、熱励起などによりエネルギーを得た電子がそのエネルギー障壁を飛び越えてフローティングゲート外へと漏れ出してしまう確率が高くなるため、この誘電体膜を高誘電率をもつONO膜(酸化膜/窒化膜/酸化膜の3層積層膜)あるいはON膜(酸化膜/窒化膜の2層積層膜)で形成するのが一般的である(例えば、特許文献1など参照)。
- [0005] 図1はフラッシュメモリの従来の製造プロセスの一部を説明するための単一メモリ近傍の断面概略図であり、図2はこれらの断面概略図を説明するための製造プロセス中のフラッシュメモリの一部の平面外略図で、図1には図2中のA-Aのラインに沿う断面の概略が図示されている。
- [0006] これらの図中において、符号100はシリコンなどの半導体基板、101はトンネル酸

化膜、102はシャロートレンチ・アイソレーション(STI)、103はフローティングゲートとなるポリシリコン、104はエッチング用マスクとなるフォトレジスト、105はONO膜であり、106は後述するONO膜105のエッチング残渣である。また、符号107はコントロールゲートを形成する際のマスク(コントロールゲートマスク)、108はフローティングゲート、109はコントロールゲート、110は活性領域である。

[0007] 図2(a)に図示されているように、コントロールゲートマスク107の延在方向と垂直な方向にSTI(102)がストライプ状に延在して設けられており、2本のSTIのストライプに挟まれた領域にフローティングゲートとなるポリシリコン103がSTIストライプと同方向に延在している。

[0008] 図1を参照すると、半導体基板100上に、例えば膜厚が75〜150 Åの薄いトンネル酸化膜101が形成され、各セルの活性化領域は半導体基板100内に形成されたSTI(102)で素子分離されている。これらのトンネル酸化膜101とSTI(102)はフローティングゲートとなるポリシリコン103で被覆され、その上にポリシリコン103の一部をエッチングするためのマスクとなるフォトレジスト104が形成されている(図1(a))。なお、ポリシリコン103の膜厚は例えば300〜1200 Åなどとされる。また、ポリシリコン103のエッチングは、隣接するセルのフローティングゲート108同士を分割するために行われるものである。

[0009] フォトレジスト104をマスクとしてエッチングを施すと、STI(102)上のポリシリコン103の一部がエッチングされてSTI(102)の上面が部分的に露出されて隣接するセルのフローティングゲート108同士が分割される(図1(b))。マスクとしては不要となったフォトレジスト104を除去した後に、ONO膜105を基板面の全面に成膜する(図1(c))。なお、このONO膜105の膜厚は、その電気的特性を酸化膜換算したときに100〜250 Åとなるように制御される。

[0010] これに続いて、コントロールゲート109となる領域以外の領域(セルの周辺領域)のポリシリコン103とONO膜105をドライエッチングにより除去する。ところが、ポリシリコン103の側壁に成膜されたONO膜105の高さ(図1(c)中にZ'で示した)が400〜1500 Åと厚いために、ポリシリコン103側壁のONO膜105が全て取りきれず、図2(b)に点線で示したライン上にONO膜105の残渣となって残ってしまう(図1(d))。

- [0011] このように、従来の技術では、コントロールゲートを分離させるためにドライエッチングを実行すると、フローティングゲートの側壁に形成された誘電体膜(ONO膜あるいはON膜)の全てを除去することができず、誘電体膜の一部が残渣となってしまふ。
- [0012] このような誘電体膜の残渣はその後のフッ酸エッチング工程においてエッチング槽内でリフトオフされ、パーティクルとしてエッチング液中を浮遊して再付着し、半導体装置の製品歩留まりを低下させる原因となる。
- [0013] また、誘電体膜の側壁にフローティングゲートの一部がエッチング残部として残り、ビットライン方向に隣接するセルのフローティングゲートが短絡してしまう原因にもなる。

特許文献1:特開2004-193226号公報

発明の開示

発明が解決しようとする課題

- [0014] 上述したような問題を解決するためには、コントロールゲートのエッチングによる形成プロセスに伴って必要となる誘電体膜のエッチング時間を制御することにより、誘電体膜の残渣の低減を図るという手段もとり得るが、フローティングゲートの材料と誘電体膜の材料に対するエッチング選択比は充分には高くない。このため、フローティングゲート材料のエッチングが進行しすぎてオーバーエッチされてトンネル酸化膜が損傷を受け、結果として素子特性を劣化させてしまうことになる。
- [0015] また、CMPプロセスにより、フローティングゲート側壁に形成される誘電体膜を除去するという方法もあり得るが、この方法ではゲートカップリングの程度が低下して素子の動作特性が劣化してしまう。
- [0016] 本発明は、かかる問題に鑑みてなされたもので、その目的とするところは、半導体記憶装置の動作特性を劣化させることなくその製品歩留まりを高めることを可能とする技術を提供することにある。

課題を解決するための手段

- [0017] 本発明は、半導体基板と、この上にトンネル酸化膜とフローティングゲートと誘電体膜とコントロールゲートとが順次積層されて構成されたセル領域を備え、前記フローティングゲートの側壁には段差が設けられており、前記誘電体膜は前記フローティン

グゲートの側壁にも設けられている半導体装置である。前記段差は、前記フローティングゲートの側壁に複数設けられている構成とすることができる。前記段差の数を n とし、前記フローティングゲートの側壁の高さを h としたときに、前記段差は、概ね $h/(n+1)$ の間隔をもって設けられている構成とすることができる。前記フローティングゲートは、好ましくは、ポリシリコンもしくはアモルファスシリコンである。前記フローティングゲートは、リンドーピングされていることが好ましい。前記誘電体膜は、シリコン酸化膜とシリコン窒化膜とがこの順に積層されたON膜、またはシリコン酸化膜とシリコン窒化膜とシリコン酸化膜とがこの順に積層されたONO膜を含む構成とすることができる。

- [0018] 本発明はまた、半導体基板上にトンネル酸化膜を設ける工程と、前記トンネル酸化膜上に設けられ、フローティングゲートを形成するため導電膜上に、サイズ $W1$ の第1の開口を持つ第1のマスクを形成する工程と、前記第1のマスクの第1の開口から前記導電膜の厚み方向の一部をエッチングする工程と、前記第1のマスクを除去する工程と、前記第1の開口と中心を同じくし且つサイズ $W2(<W1)$ の第2の開口を有する第2のマスクを前記導電膜上に形成する工程と、前記第2のマスクを用いて前記エッチングされた導電膜の残りを前記厚み方向にエッチングして、前記導電膜の側壁に段差を形成する第5のステップと、を備えている半導体装置の製造方法である。前記第1および第2のマスクは、シリコン窒化膜もしくはシリコン酸化膜のハードマスクとすることができる。また、前記第1および第2のマスクは、フォトリソマスクであってもよい。前記導電膜を熱酸化して該導電膜の側壁に形成された段差の角部を丸める工程を備えていてもよい。

発明の効果

- [0019] 本発明では、ハードマスクまたはフォトリソマスクを用いることによりフローティングゲートとなるポリシリコンの側壁の段差部を形成する。このような段差部を設けると、段差部から素子分離に用いるSTIの上面までの高さを、従来の構造に比較して低くすることができるため、誘電体膜をエッチングした後の残渣発生の抑制を、素子の動作特性を劣化させることなく実現することが可能となる。
- [0020] また、フローティングゲートに段差を設けることで隣接ビットのカップリングノイズを軽減することが可能となり、読み取り時のエラー（データリードエラー）の発生を抑えるこ

とができる。

- [0021] すなわち、本発明によれば、半導体記憶装置の動作特性を劣化させることなくその製品歩留まりを高めることを可能とする技術を提供することが可能となる。

図面の簡単な説明

- [0022] [図1]図1(a)～(d)はフラッシュメモリの従来の製造プロセスの一部を説明するための単一メモリ近傍の断面概略図である。

[図2]図2(a)及び(b)は図1(a)～(d)の断面概略図を説明するための製造プロセス中のフラッシュメモリの一部の平面外略図である。

[図3]図3(a)～(g)は本発明の半導体装置の製造方法の第1の例を説明するための図である。

[図4]図4(a)～(c)は本発明の半導体装置の製造方法の第2の例を説明するための図である。

[図5]図5(a)～(c)は本発明の半導体装置の製造方法の第3の例を説明するための図である。

発明を実施するための最良の形態

- [0023] 以下に、図面を参照して、本発明を実施するための形態について説明する。

- [0024] 本発明においては、動作特性を劣化させることがなく且つウェットエッチング工程において誘電体膜の残渣を発生させないようにするために、ハードマスクまたはフォトリジストマスクを用いることによりフローティングゲートとなるポリシリコンの側壁の段差部を形成する。このような段差部を設けると、段差部から素子分離に用いるSTIの上面までの高さ(これは、誘電体膜の端部の高さに等しい)を、従来の構造に比較して低くすることができる。フローティングゲート側壁に形成される誘電体膜の端部の高さを低くすることとすると、当該誘電体膜をエッチングした後の残渣の発生を抑制することが可能となる。

- [0025] また、フローティングゲートに段差を設けることで隣接ビットのカップリングノイズを軽減することが可能となり、読み取り時のエラー(データリードエラー)の発生を抑えることができる。

- [0026] さらに、必要に応じて、ポリシリコン側壁の段差部により形成されたフローティングゲ

ートの角部を丸めるために熱酸化を行う。このようなフローティングゲートの角部の「丸め」により、当該部分への電界集中の回避と、フローティングゲート端(側壁)の高さを低くすることが同時に可能となる。

[0027] 以下に実施例により、本発明をより具体的に説明する。

実施例 1

[0028] 図3は、本発明の半導体装置を製造する方法の第1の例を説明するための図で、図中において、符号10はシリコン基板、11はトンネル酸化膜、12はSTI、13はフローティングゲートとなる例えばリンドープされたポリシリコン、14は第1のハードマスクであるシリコン窒化膜、15はフォトレジスト、16は後述するエッチング工程において除去されるポリシリコン13の一部領域、17は第2のハードマスクであるシリコン窒化膜、18はポリシリコン13の段差部、19は高誘電率膜であるONO膜、20はコントロールゲートとなるポリシリコンである。

[0029] 以下に図面を順次参照しながら本発明の半導体装置の製造方法を具体的に説明する。

[0030] 先ず、半導体基板10の主面に、例えば膜厚が75〜150 Åの薄いトンネル酸化膜11を形成し、各セルの活性化領域を半導体基板10の表面近傍領域内部に形成されたSTI(12)で素子分離する。そして、トンネル酸化膜11とSTI(12)をフローティングゲートとなるポリシリコン13で被覆し、その上に第1のハードマスクとして用いるシリコン窒化膜14およびこのシリコン窒化膜の一部をエッチングしてマスクとするためのパターン化されたフォトレジスト15を成膜する(図3(a))。

[0031] なお、フローティングゲートとなるポリシリコン13の膜厚は例えば300〜1200 Åなどとされ、第1のハードマスクであるシリコン窒化膜14の膜厚は例えば300〜800 Åとされる。

[0032] フォトレジスト15をマスクとして用いて、その開口部からシリコン窒化膜14の所定箇所をドライエッチングし、図中にハッチングで示したポリシリコン13の一部領域16を次工程でエッチングするための第1のハードマスクを形成する。なお、このシリコン窒化膜14の所定箇所のエッチング後には、当該エッチング用のマスクとして使用したフォトレジスト15は除去される(図3(b))。

- [0033] 図3(b)に図示したように開口されたシリコン窒化膜14をマスクとして、ポリシリコン13の一部領域16をエッチングする(図3(c))。このときのエッチング深さは、例えば100～1000 Åとされる。ここで、ポリシリコン13のエッチング箇所(シリコン窒化膜14の開口部の対応箇所)のポリシリコン13の膜全部を除去せずに一部のみを除去するのは、シリコン窒化膜17を第2のハードマスクとして用いて行う後工程でのエッチングにより、ポリシリコン13のエッチング端部の形状を階段状の段差にするためである。
- [0034] これに続いて、第2のハードマスクであるシリコン窒化膜17を膜厚300～1000 Åで全面に成膜し(図3(d))、このシリコン窒化膜17を完全に除去されるまでドライエッチングを施す。第1のハードマスクとして用いたシリコン窒化膜14の側壁に形成されたシリコン窒化膜17は相対的にエッチングレートが低いため、あたかもシリコン窒化物のサイドウォールが形成されているのと同様に作用し、当該部分のシリコン窒化膜17がエッチングにより除去されるまでドライエッチングを継続すると、ポリシリコン13が深さ方向にトレンチ状にエッチングされて隣接するセルのフローティングゲート同士が分割されるとともに、図3(e)に図示したようなポリシリコン13の段差部18が形成される。
- [0035] このような段差部18の形成の後に、第1のハードマスクとして用いたシリコン窒化膜14の残存部分を除去し、エッチング端部に段差部18を有するポリシリコン13の全面のONO膜19を成膜する。そして、このONO膜19上にコントロールゲートとなるポリシリコン20を成膜する(図3(f))。なお、このONO膜19の膜厚は、その電気的特性を酸化膜換算したときに100～250 Åとなるように制御される。
- [0036] この図に示したように、ポリシリコン13の端部に段差部18を設けたため、段差部18からSTI(12)上面までの高さ(Z)は、従来の構造に比較して ΔZ 分だけ低くなる。段差部18からSTI(12)上面までの高さZおよび ΔZ は素子の設計に応じて適宜変更が可能であるが、例えば、Zは200～700 Å、 ΔZ は200～800 Åなどとされる。また、段差部18のテラスの幅は例えば300 Å程度とされる。
- [0037] セルの周辺領域に成膜されているこれらの膜(フローティングゲートとなるポリシリコン13、ONO膜19、およびコントロールゲートとなるポリシリコン20)はエッチングで除去されることとなるが、このエッチング工程においては、ポリシリコン13の側壁の段差

部18の上側(高さ ΔZ のONO膜)と下側(高さ Z のONO膜)の2つの領域に別個にエッチング対象となるONO膜19が形成されているのと同等のエッチングが進行する。このため、個々のONO膜は極めて速やかにエッチングされることとなり、エッチング後にONO膜19の残渣が生じるようなことがなくなる(図3(g))。

[0038] なお、図3には、ポリシリコン13の側壁に形成する段差部18は1つのみ形成されている例が図示されているが、複数設けるようにしてもよいことは言うまでもない。その場合には、段差部を2つ設ける場合には第3のハードマスクを追加し、段差部を3つ設ける場合には第4のハードマスクをさらに追加する、といった具合に、設ける段差部の数に応じて必要とされるハードマスクを追加することとなる。

[0039] また、段差部18をポリシリコン13の側壁のどの位置(高さ)に設けるかは適宜変更可能であるが、段差部18の数を n とし、ポリシリコン13の側壁の高さを h としたときに、概ね $h/(n+1)$ の間隔をもって設けるようにすると、各段差部18で区切られるONO膜の高さが概ね均等となってエッチングされる時間がほぼ等しくなるので好ましい。

[0040] 上述したようなフローティングゲートの段差は、隣接ビットのカップリングノイズを軽減するためにも有効である。デバイスの微細化の進行につれて、隣接ビット間のカップリングノイズ(隣接ビット間の容量)が問題となってきており、例えば、書き込み状態(フローティングゲートに電子が存在する状態)のビットと消去状態のビットとが隣接して存在する場合に、カップリングノイズにより消去状態のビットの閾値電圧が高く認識されてしまい書き込み状態にあるものとしてリードされてしまうことがあるが、本発明のようにフローティングゲートに段差を設けると、隣接するフローティングゲート側壁の面積低減が可能となって隣接ビットのフローティングゲート間の容量を減らすことができる。したがって、隣接ビットのカップリングノイズを小さくすることができ、これにより読み取り時のエラー(データリードエラー)の発生を抑えることができる。

実施例 2

[0041] 実施例1では、ポリシリコン13の側壁に段差部18を形成するに際してシリコン窒化膜からなるハードマスクを用いたが、このような段差部をフォトリソグラフィ技術を用いる通常のリソグラフィ技術により形成するようにしてもよい。

[0042] 図4は、本発明の半導体装置の製造方法の第2の例を説明するための図で、図中

において、実施例1と同じ要素には同じ符号を用いて図示してある。

- [0043] 先ず、半導体基板10の主面に、例えば膜厚が75〜150 Åの薄いトンネル酸化膜11を形成し、各セルの活性化領域を半導体基板10の表面近傍領域内部に形成されたSTI(12)で素子分離する。そして、トンネル酸化膜11とSTI(12)をフローティングゲートとなるポリシリコン13で被覆し、その上にポリシリコンの一部をエッチングするためのパターン化されたフォトレジスト15を成膜する(図4(a))。なお、フローティングゲートとなるポリシリコン13の膜厚は例えば300〜1200 Åなどとされる。
- [0044] フォトレジスト15をマスクとして用いて、その開口部からポリシリコン13の所定箇所をドライエッチングする。なお、このポリシリコン13の所定箇所のエッチング後には、当該エッチング用のマスクとして使用したフォトレジスト15は除去される(図4(b))。
- [0045] これに続いて、図4(a)で用いたマスクよりもさらにスペースの狭いフォトレジスト15^{*}のマスクを形成し、このマスクの開口部からポリシリコン13をエッチングして段差部を形成する(図4(c))。
- [0046] 以降のプロセスは、図3(e)〜(g)を用いて説明したのと同様であるので繰り返しての説明は省略する。
- [0047] フォトレジストマスクを用いた通常のフォトリソグラフィ技術によりポリシリコン13の側壁に段差部を形成した場合においても、セルの周辺領域のエッチング工程においてはポリシリコン13の側壁の段差部18の上側(高さ ΔZ のONO膜)と下側(高さZのONO膜)の2つの領域に別個にエッチング対象となるONO膜19が形成されているのと同様のエッチングが進行することとなるから、個々のONO膜は極めて速やかにエッチングされることとなり、エッチング後にONO膜19の残渣が生じるようなことがなくなる(図3(g))。
- [0048] なお、図4には、フォトレジストのマスクを2つ用いて1つの段差部を形成する例が図示されているが、実施例1と同様に、段差部を複数設けるようにしてもよいことは言うまでもない。その場合にも、設ける段差部の数に応じて必要とされるフォトレジストマスクを追加することとなる。

実施例 3

- [0049] 実施例1および2では、ポリシリコン13の側壁に段差部18を形成した後の段差部形

状に特別な変更を加えるための処理は施していない。しかしながら、このようなポリシリコン13の段差部18にはその断面輪郭に鋭角な部分(角部)が含まれるため、これをセル領域のフローティングゲートとして用いた場合には当該角分に電界が集中してONO膜19が絶縁破壊を起こす原因となってしまう。このような絶縁破壊を回避するためには、段差部18を形成した後に熱酸化を行って段差部18の角部を丸めることが好ましい。

[0050] 図5は、熱酸化により段差部18の角部を丸めるプロセスを説明するための工程図で、図5(a)は、図3(e)の工程終了後に第1のハードマスクであるシリコン窒化膜14を除去した状態を示している。この図に示されているように、シリコン窒化膜14を除去した状態のポリシリコン13側壁の段差部18はこの段差部18のテラスとトップの領域はその端部が鋭角な角部となっている。

[0051] この状態のポリシリコン13を熱酸化して酸化膜21を形成する(図5(b))。この酸化プロセスにおいては、ポリシリコン13の表面領域のシリコン原子が酸素と反応して酸化膜となり、上記の角部は丸みを帯びた形状となる。このような「丸め」を行った後に形成された酸化膜21をアンモニア加水などのエッチャントを用いたウェットエッチングやRIEなどドライエッチングの手法でエッチングすると、段差部18に角部をもたないポリシリコン13が得られ(図5(c))、セル領域のフローティングゲートとして用いた場合にも電界集中によりONO膜19の絶縁破壊を生じることのないポリシリコン13の形状となる。この後の工程は図3(f)以降の図を用いて既に説明したのと同様であるので説明は省略する。

[0052] なお、これまでの説明では誘電体膜を高誘電率をもつONO膜として説明してきたが、これに限らず、ON膜などの他の膜であってもよい。また、フローティングゲートはポリシリコンで形成する必要はなく、アモルファスシリコンであってもよい。さらに、ハードマスクとしては、シリコン窒化膜に替えてシリコン酸化膜を用いるようにしてもよい。

[0053] 以上説明したように、本発明によれば、半導体記憶装置の動作特性を劣化させることなくその製品歩留まりを高めることを可能とする技術を提供することができる。

[0054] 以上本発明の好ましい実施形態について詳述したが、本発明に係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲

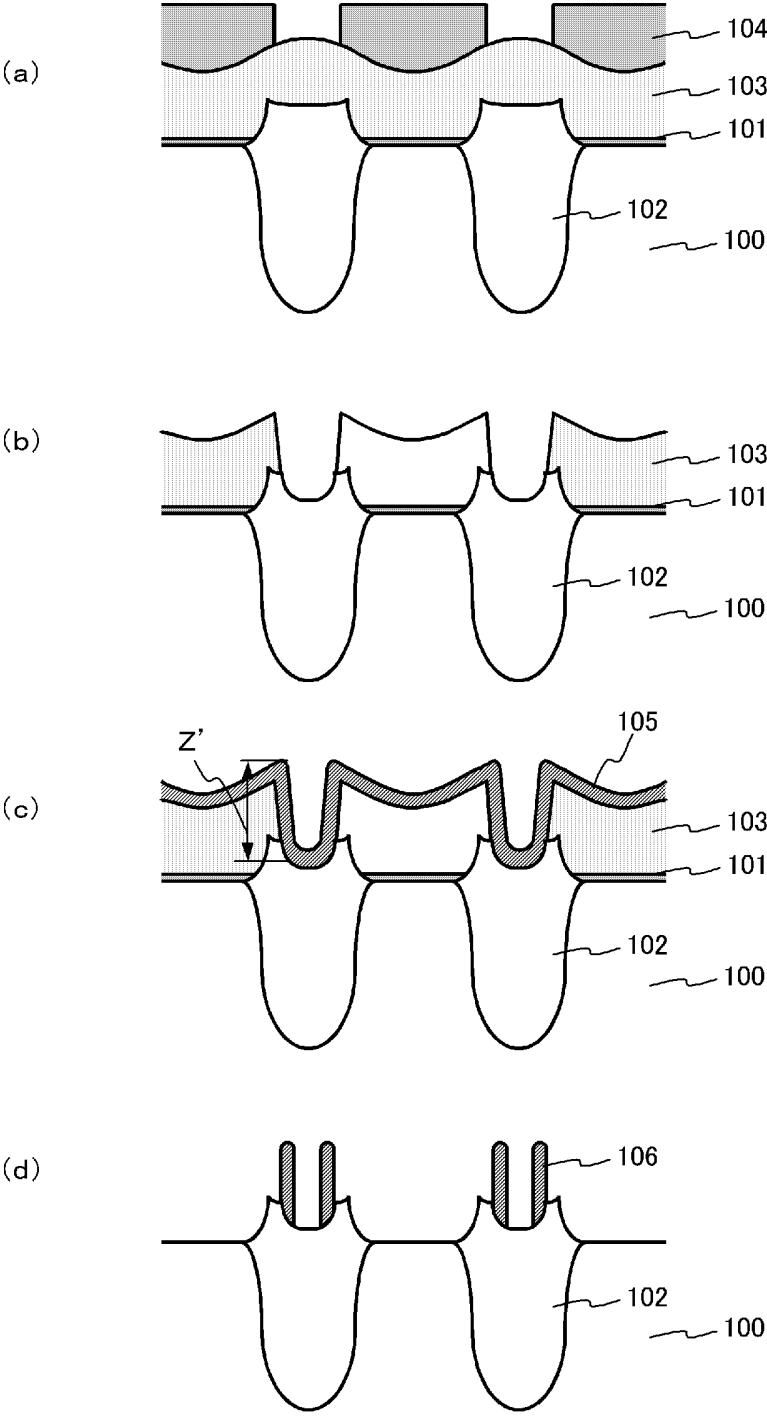
内において、種々の変形・変更が可能である。

請求の範囲

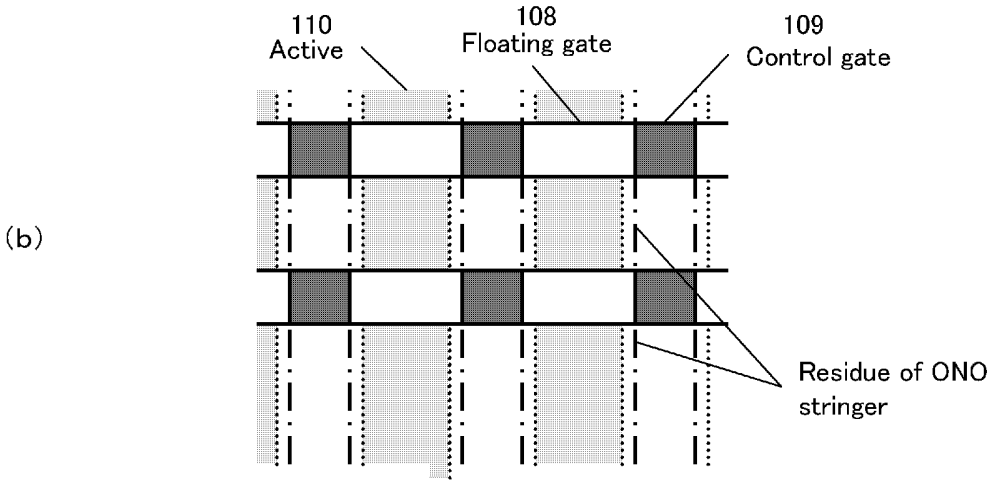
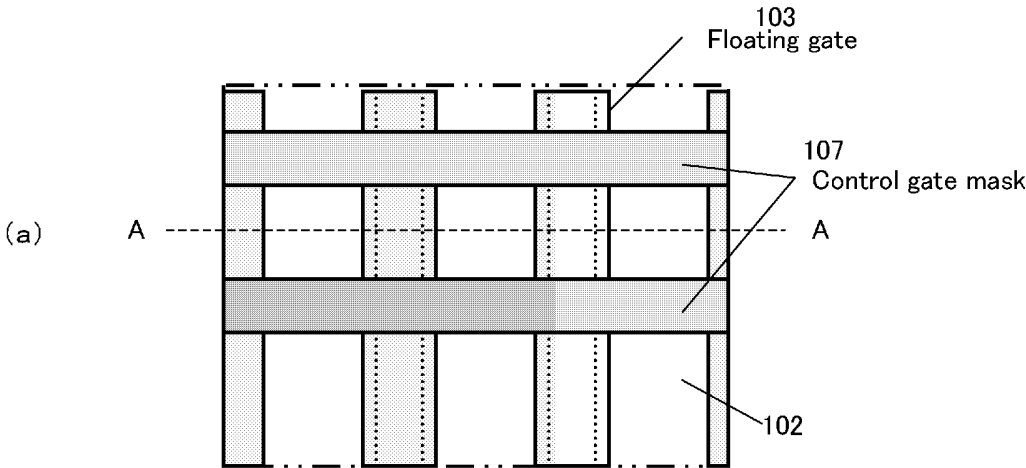
- [1] 半導体基板と、この上にトンネル酸化膜とフローティングゲートと誘電体膜とコントロールゲートとが順次積層されて構成されたセル領域を備え、
前記フローティングゲートの側壁には段差が設けられており、前記誘電体膜は前記フローティングゲートの側壁にも設けられている半導体装置。
- [2] 前記段差は、前記フローティングゲートの側壁に複数設けられている請求項1に記載の半導体装置。
- [3] 前記段差の数を n とし、前記フローティングゲートの側壁の高さを h としたときに、前記段差は、概ね $h/(n+1)$ の間隔をもって設けられている請求項1または2に記載の半導体装置。
- [4] 前記フローティングゲートは、ポリシリコンもしくはアモルファスシリコンである請求項1乃至3の何れかに記載の半導体装置。
- [5] 前記フローティングゲートは、リンドーピングされている請求項1乃至4の何れかに記載の半導体装置。
- [6] 前記誘電体膜は、シリコン酸化膜とシリコン窒化膜とがこの順に積層されたON膜、またはシリコン酸化膜とシリコン窒化膜とシリコン酸化膜とがこの順に積層されたONO膜を有する請求項1乃至5の何れかに記載の半導体装置。
- [7] 半導体基板上にトンネル酸化膜を設ける工程と、
該トンネル酸化膜上に設けれ、フローティングゲートを形成するため導電膜上に、サイズ $W1$ の第1の開口を持つ第1のマスクを形成する工程と、
前記第1のマスクの第1の開口から前記導電膜の厚み方向の一部をエッチングする工程と、
前記第1のマスクを除去する工程と、
前記第1の開口と中心を同じくし且つサイズ $W2 (< W1)$ の第2の開口を有する第2のマスクを前記導電膜上に形成する工程と、
前記第2のマスクを用いて前記エッチングされた導電膜の残りを前記厚み方向にエッチングして、前記導電膜の側壁に段差を形成する第5のステップと、を備えている半導体装置の製造方法。

- [8] 前記第1および第2のマスクは、シリコン窒化膜もしくはシリコン酸化膜のハードマスクである請求項7に記載の半導体装置の製造方法。
- [9] 前記第1および第2のマスクは、フォトリソマスクである請求項7に記載の半導体装置の製造方法。
- [10] 前記導電膜を熱酸化して該導電膜の側壁に形成された段差の角部を丸める工程を備えている請求項7乃至9の何れかに記載の半導体装置の製造方法。

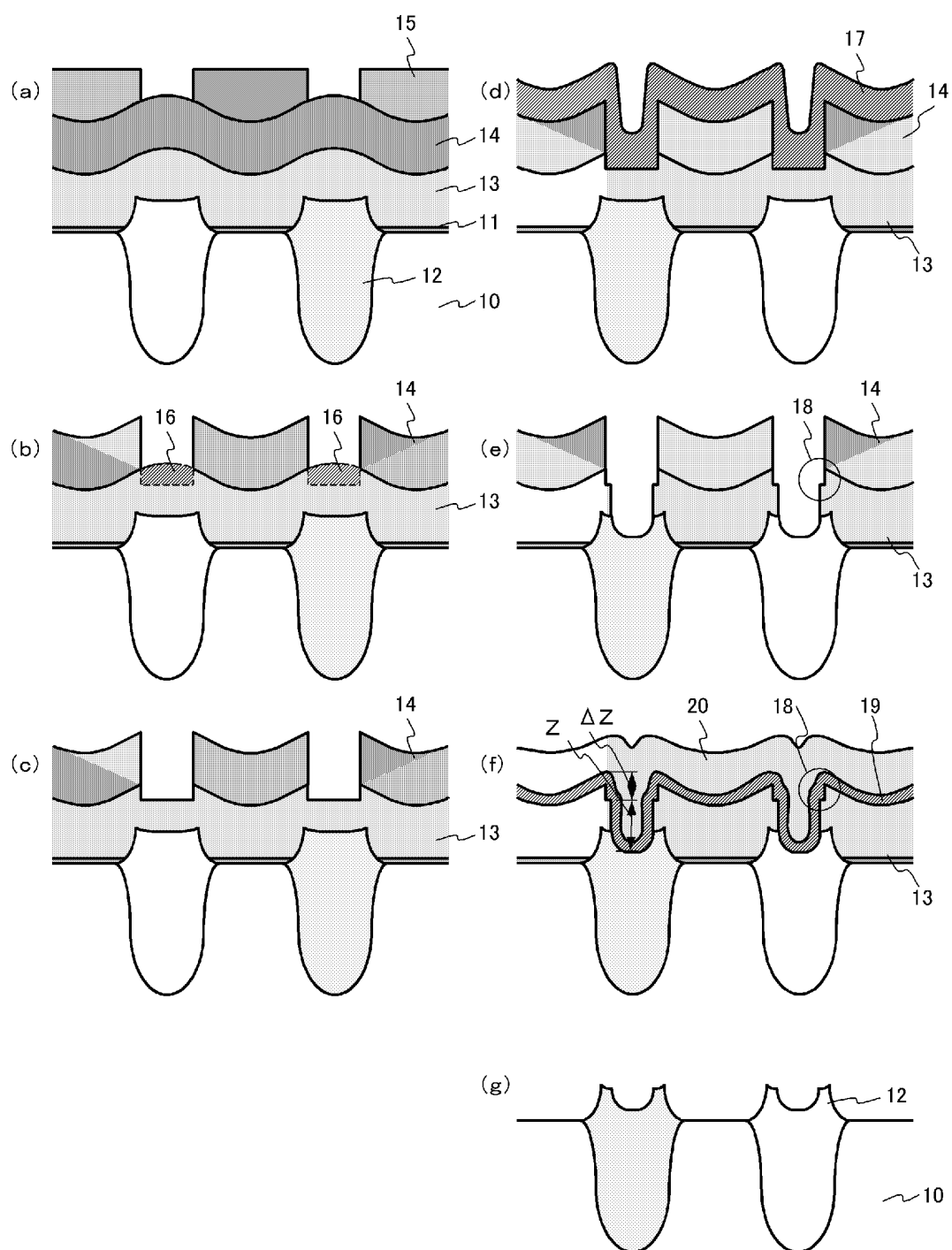
[図1]



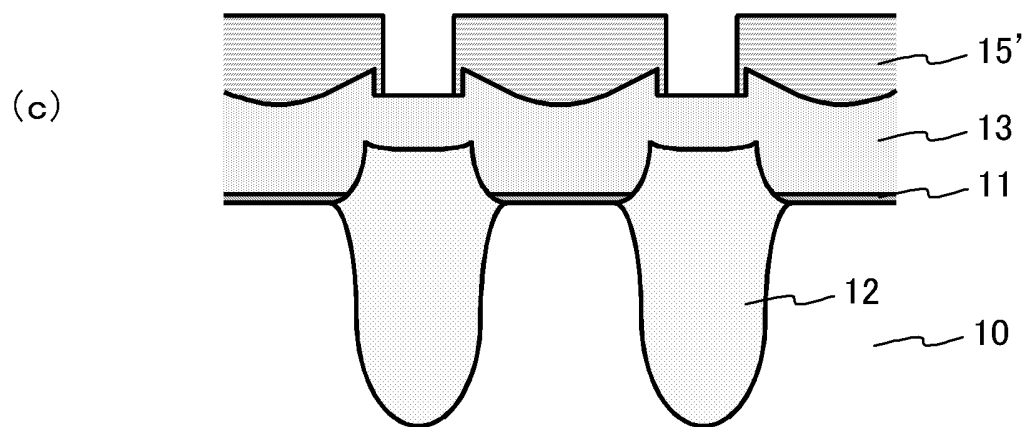
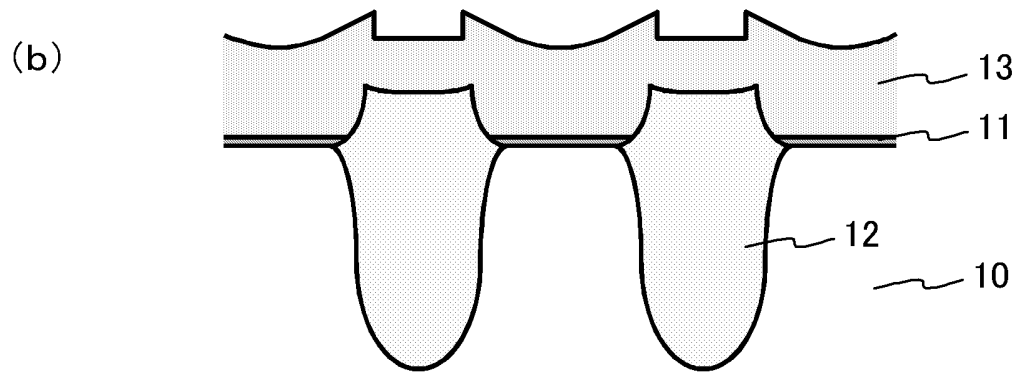
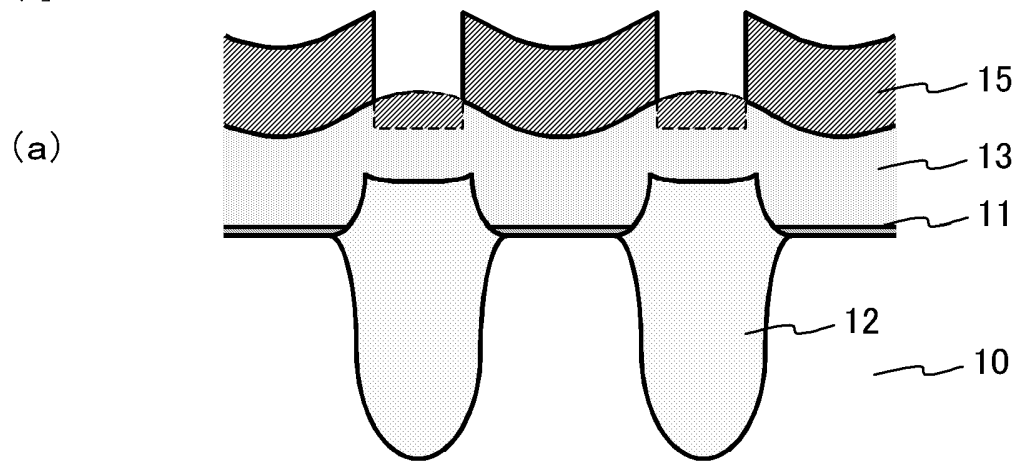
[図2]



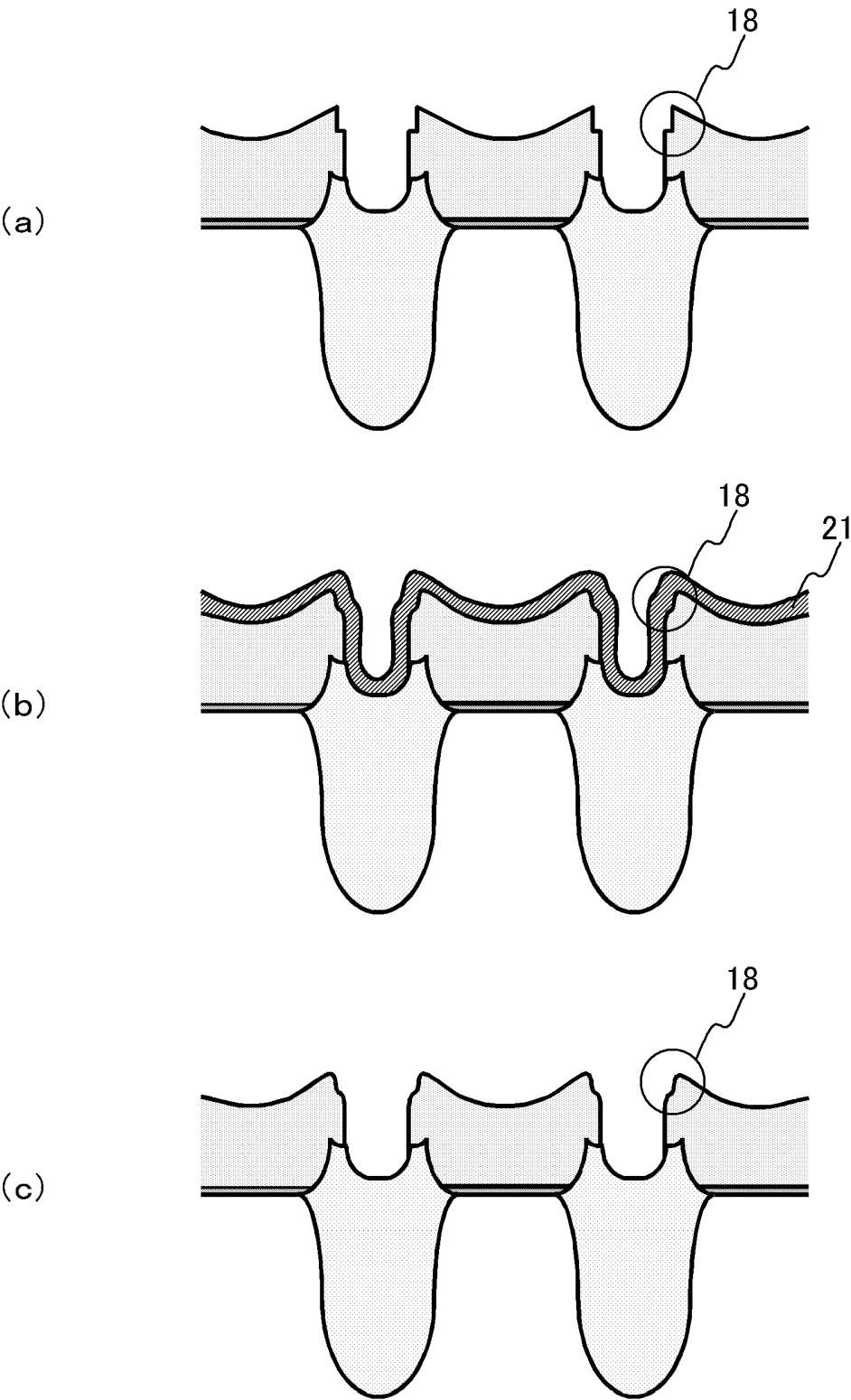
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016119

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L27/115, H01L29/788, H01L21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L27/115, H01L29/788, H01L21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-17038 A (Nippon Steel Corp.), 22 January, 1999 (22.01.99), Full text; all drawings (Family: none)	1, 4, 6-9 2, 3, 5, 10
Y	JP 5-90290 A (Sanyo Electric Co., Ltd.), 09 April, 1993 (09.04.93), Full text; all drawings (Family: none)	2, 3, 5
Y	JP 6-188426 A (Toshiba Corp.), 08 July, 1994 (08.07.94), Full text; all drawings (Family: none)	5, 10

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 December, 2004 (01.12.04)Date of mailing of the international search report
21 December, 2004 (21.12.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/115, H01L29/788, H01L21/8247

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/115, H01L29/788, H01L21/8247

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-17038 A (新日本製鐵株式会社) 1999.01.22, 全文, 全図 (ファミリーなし)	1, 4, 6-9
Y		2, 3, 5, 10
Y	JP 5-90290 A (三洋電機株式会社) 1993.04.09, 全文, 全図 (ファミリーなし)	2, 3, 5
Y	JP 6-188426 A (株式会社東芝) 1994.07.08, 全文, 全図 (ファミリーなし)	5, 10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.12.2004

国際調査報告の発送日

21.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

4L

3035

電話番号 03-3581-1101 内線 3462